

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5993687号
(P5993687)

(45) 発行日 平成28年9月14日(2016.9.14)

(24) 登録日 平成28年8月26日(2016.8.26)

(51) Int. Cl. F I
G06F 9/38 (2006.01) G06F 9/38 370C
G06F 9/32 (2006.01) G06F 9/32 310A

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2012-214997 (P2012-214997)	(73) 特許権者	503092180
(22) 出願日	平成24年9月27日 (2012.9.27)		学校法人関西学院
(65) 公開番号	特開2014-71502 (P2014-71502A)		兵庫県西宮市上ヶ原一番町1番155号
(43) 公開日	平成26年4月21日 (2014.4.21)	(74) 代理人	100104444
審査請求日	平成27年6月9日 (2015.6.9)		弁理士 上羽 秀敏
		(74) 代理人	100112715
			弁理士 松山 隆夫
		(74) 代理人	100125704
			弁理士 坂根 剛
		(74) 代理人	100120662
			弁理士 川上 桂子
		(72) 発明者	石浦 菜岐佐
			兵庫県三田市学園二丁目一番地 関西学院 大学理工学部内

最終頁に続く

(54) 【発明の名称】 ワンチッププロセッサ

(57) 【特許請求の範囲】

【請求項 1】

メモリに格納されたプログラムを実行するワンチッププロセッサであって、
 複数の演算器と、
 前記プログラムに記述された命令のうち、次に実行される命令の前記メモリ上のアドレスをカウントするプログラムカウンタと、
 前記プログラムカウンタによりカウントされたアドレスに格納された命令を前記メモリから読み出すメモリインタフェースと、
 前記メモリインタフェースにより読み出された命令を保持する命令レジスタと、
 制御回路とを備え、
 前記制御回路は、
命令の種類に応じて前記演算器を制御して前記プログラムを実行する汎用制御手段と、
 前記プログラムに記述された命令のうち前記メモリ上の特定のアドレス空間に格納された命令を読み出すことなく、前記特定のアドレス空間に格納された命令により実現される所定の処理を、当該所定の処理の内容に応じて前記演算器を制御して実行する専用処理手段と、
 前記プログラムカウンタによりカウントされたアドレスが前記特定のアドレス空間の先頭アドレスに一致する場合、前記専用処理手段を動作させるとともに前記汎用制御手段が前記命令レジスタに格納されている命令を新たに実行しないように前記汎用制御手段を制御し、前記プログラムカウンタによりカウントされたアドレスが前記先頭アドレスに一致

しない場合、前記プログラムカウンタによりカウントされたアドレスに格納されている命令を前記汎用制御手段に実行させ、前記専用処理手段の動作が終了した場合、前記プログラムカウンタによりカウントされるアドレスを、前記所定の処理の後に実行される命令が格納されているアドレスに更新する全体制御手段とを備え、

前記複数の演算器と、前記プログラムカウンタと、前記メモリインタフェースと、前記命令レジスタと、前記制御回路とが、ワンチップ上に実装されたワンチッププロセッサ。

【請求項 2】

請求項 1 に記載のワンチッププロセッサであって、

前記全体制御手段は、前記専用処理手段が動作しているときに、前記プログラムカウンタによるアドレスのカウントを停止させる、ワンチッププロセッサ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ワンチッププロセッサに関し、さらに詳しくは、メモリに格納されたプログラムを実行するワンチッププロセッサに関する。

【背景技術】

【0002】

組み込みシステムに搭載されるワンチッププロセッサ（以下、「組み込み用プロセッサ」と呼ぶ。）の性能は、PC（Personal Computer）に搭載されるCPU（Central Processing Unit）の性能に比べて低い。このため、組み込み用プロセッサは、通信処理、音声処理、画像処理などの計算量の多い処理の実行に時間を要する。

20

【0003】

組み込みシステムにおいて、計算量の多い処理を高速に実行するために、コプロセッサを用いることが提案されている。コプロセッサは、たとえば、プログラムの一部の命令列により実現される処理を実行するために最適化されたハードウェア回路である。

【0004】

特許文献 1 において、コプロセッサとして用いられる演算装置は、CPU に接続され、CPU の内部状態をモニタする。たとえば、コプロセッサは、CPU に含まれるプログラムカウンタをモニタする。コプロセッサは、プログラムカウンタの値が特定の値となった場合に、CPU からデータを取得し、取得したデータを用いて演算処理を実行する。

30

【0005】

しかし、組み込みシステムなどのコンピュータシステムにおいて、プロセッサとは別にコプロセッサを用いる場合、組み込みシステムの回路規模、消費電力などが増大するという問題がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特許 3719241 号公報

40

【非特許文献】

【0007】

【非特許文献 1】「CPU と密に結合したコプロセッサによるハードウェア/ソフトウェア協調設計」, 戸田 勇希、石浦 菜岐佐、神原 博之、富山宏之著, 情報処理学会研究報告、2010 年 1 月 29 日

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の目的は、コンピュータシステムの回路規模及び消費電力を削減することができるワンチッププロセッサを提供することである。

50

【課題を解決するための手段及び効果】

【0009】

本発明のワンチッププロセッサは、メモリに格納されたプログラムを実行する。本発明のワンチッププロセッサは、演算器と、プログラムカウンタと、メモリアクセス手段と、命令レジスタと、汎用制御手段と、専用処理手段と、全体制御手段とを備える。プログラムカウンタは、プログラムに記述された命令のうち、次に実行される命令のメモリ上のアドレスをカウントする。メモリアクセス手段は、プログラムカウンタによりカウントされたアドレスに格納された命令をメモリから読み出す。命令レジスタは、メモリアクセス手段により読み出された命令を保持する。汎用制御手段は、命令レジスタにより保持されている命令を読み出し、演算器を制御して命令レジスタから読み出された命令を実行する。専用処理手段は、所定の処理を実行する。全体制御手段は、プログラムカウンタによりカウントされたアドレスが所定のアドレスに一致する場合、専用処理手段を動作させ、プログラムカウンタによりカウントされたアドレスが所定のアドレスに一致しない場合、プログラムカウンタによりカウントされたアドレスに格納されている命令を汎用制御手段に実行させる。

10

【0010】

本発明によれば、プログラムカウンタによりカウントされたアドレスが所定のアドレスに一致する場合、専用処理手段が動作する。これにより、ワンチッププロセッサは、コプロセッサを用いることなく、所定の処理を実行することができるため、回路規模及び消費電力を削減することができる。

20

【0011】

好ましくは、専用処理手段は、演算器を制御して所定の処理を実行する。

【0012】

本発明によれば、汎用制御手段及び専用処理手段が、演算器を共用するため、回路規模をさらに削減することができる。特に、汎用制御手段と専用処理手段がともに乗除算器のような大規模な回路を使用する場合にその効果が顕著である。

【0013】

好ましくは、所定の処理は、プログラムに記述された命令のうち、メモリ上の特定のアドレス空間に格納された命令により実現される処理である。

【0014】

本発明によれば、専用処理手段が特定のアドレス空間に格納された命令により実現される処理を実行することにより、本発明のワンチッププロセッサは、メモリに格納されたプログラムを効率良く実行できる。この際、プログラムを修正する必要がない。即ち、専用処理手段を起動するためにプログラムを修正する必要はなく、プログラムは元のままで、所定の処理を効率化することが可能となる。

30

【0015】

好ましくは、全体制御手段は、専用処理手段が動作しているときに、汎用制御手段が命令レジスタに格納されている命令を新たに実行しないように汎用制御手段を制御する。

【0016】

本発明によれば、専用処理手段が動作している間、汎用制御手段は、新たな命令を実行しない。これにより、専用処理手段による処理結果が、汎用制御手段による命令の実行結果と干渉することを防止できる。

40

【0017】

好ましくは、全体制御手段は、専用処理手段が動作しているときに、プログラムカウンタによるアドレスのカウントを停止させる。

【0018】

本発明によれば、プログラムカウンタは、専用処理手段が動作しているときに、アドレスのカウントを停止する。これにより、汎用制御手段は、専用処理手段が動作しているときに、新たな命令を実行しない。

【0019】

50

好ましくは、全体制御手段は、専用処理手段の動作が終了した場合、プログラムカウンタによりカウントされるアドレスを、所定の処理の後に実行される命令が格納されているアドレスに更新する。

【0020】

本発明によれば、汎用制御手段は、専用処理手段の動作が終了した後に、プログラムに記述された命令を速やかに実行できる。

【図面の簡単な説明】

【0021】

【図1】本発明の実施の形態によるワンチッププロセッサの構成を示す機能ブロック図である。

10

【図2】図1に示すプログラムに記述された命令を示す図である。

【図3】図1に示すワンチッププロセッサの動作を示すフローチャートである。

【図4】図1に示すプログラムに記述された命令の変形例を示す図である。

【図5】図1に示すプログラムに記述された命令の変形例を示す図である。

【発明を実施するための形態】

【0022】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

【0023】

{ワンチッププロセッサの構成}

20

図1は、本発明の実施の形態によるワンチッププロセッサ1の機能ブロック図である。以下、ワンチッププロセッサ1を単に「プロセッサ1」と呼ぶ。図1を参照して、プロセッサ1は、家電用機器、産業用機器、あるいは医療用機器などに組み込まれるコンピュータシステム（組み込みシステム）に用いられる。

【0024】

プロセッサ1は、図示しないバスによってメモリ2と接続される。メモリ2は、たとえば、RAM（Random Access Memory）、ROM（Read Only Memory）などである。プロセッサ1は、メモリ2に格納されたプログラム20を実行する。

【0025】

プロセッサ1は、制御回路3と、プログラムカウンタ4と、命令レジスタ5と、レジスタファイル6と、複数の演算器7と、メモリアインタフェース8とを備える。

30

【0026】

制御回路3は、プロセッサ1を制御する。たとえば、制御回路3は、メモリアインタフェース8を制御して、データなどをメモリ2から読み出す。制御回路3は、プログラム20に記述された命令を実行するために、複数の演算器7を制御する。制御回路3の構成は、後述する。

【0027】

プログラムカウンタ4は、プログラム20に記述された命令のうち、次に実行される命令のメモリ2上のアドレスをカウントする。

【0028】

メモリアインタフェース8は、プロセッサ1がメモリ2にアクセスするために用いられる。メモリアインタフェース8は、制御回路3の指示に応じて、命令又はデータをメモリ2から読み出し、かつ、命令の実行結果などのデータをメモリ2に書き込む。

40

【0029】

命令レジスタ5は、メモリアインタフェース8により読み出された命令を格納する。本実施の形態では、命令レジスタ5が1つの命令を格納する例を説明するが、命令レジスタ5は、複数の命令を格納してもよい。

【0030】

レジスタファイル6は、複数のレジスタにより構成され、命令の実行結果などを格納する。演算器7は、制御回路3の指示に応じて、四則演算、論理演算、ビットシフト、その

50

他処理に必要な演算を実行する演算器である。

【 0 0 3 1 】

次に、制御回路 3 の構成について説明する。制御回路 3 は、汎用制御手段 3 1 と、専用処理手段 3 2 と、全体制御手段 3 3 とを備える。

【 0 0 3 2 】

汎用制御手段 3 1 は、命令レジスタ 5 により保持されている命令を読み出し、命令レジスタ 5 から読み出された命令を演算器 7 を制御して実行する。

【 0 0 3 3 】

専用処理手段 3 2 は、所定の処理を、最適な数の演算器を用いて実行する。専用処理手段 3 2 により使用される演算器の種類及び演算器の制御方式も、所定の処理を実行するために最適化されたものである。これにより、専用処理手段 3 2 は、汎用制御手段 3 1 が所定の処理を実行する場合よりも、所定の処理を高速に、かつ低消費電力で実行することが可能となる。本実施の形態では、専用処理手段 3 2 は、プログラム 2 0 に記述された命令のうち、メモリ 2 上の特定のアドレス空間に格納された命令により実現される処理を、演算器 7 を制御して実行する。ただし、専用処理手段 3 2 は、汎用制御手段 3 1 とは異なり、プログラム 2 0 に記述された命令を読み出して実行することはしない。

【 0 0 3 4 】

全体制御手段 3 3 は、プログラムカウンタ 4 によりカウントされたアドレスが参照アドレス 9 に一致するか否かを確認する。全体制御手段 3 3 は、カウントされたアドレスが参照アドレス 9 に一致する場合、専用処理手段 3 2 を動作させる。全体制御手段 3 3 は、カウントされたアドレスが参照アドレスに一致しない場合、カウントされたアドレスに格納されている命令を汎用制御手段 3 1 に実行させる。

【 0 0 3 5 】

制御回路 3 は、参照アドレス 9 を保持する。参照アドレス 9 は、専用処理手段 3 2 を動作させるか否かを判定するために用いられる所定のアドレスである。制御回路 3 は、参照アドレス 9 を保持するために、書き込み不可能なメモリ（図示省略）などを備える。本実施の形態では、参照アドレス 9 が 1 つのアドレスである場合を例に説明するが、制御回路 3 は、複数の参照アドレス 9 を保持してもよい。制御回路 3 が複数の参照アドレス 9 を保持する場合については、後述する。

【 0 0 3 6 】

{ 動作概要 }

次に、プロセッサ 1 の動作の概要を説明する。プロセッサ 1 は、メモリ 2 に格納されたプログラム 2 0 を実行する。プログラムカウンタ 4 は、プログラム 2 0 に記述された命令のうち、次に実行される命令が格納されているメモリ 2 のアドレスをカウントする。

【 0 0 3 7 】

全体制御手段 3 3 は、プログラムカウンタ 4 によりカウントされたアドレスを監視する。カウントされたアドレスが参照アドレス 9 に一致しない場合、全体制御手段 3 3 は、カウントされたアドレスに格納されている命令の実行を、汎用制御手段 3 1 に指示する。汎用制御手段 3 1 は、全体制御手段 3 3 の指示に応じて、メモリ 2 から命令を読み出して実行する。

【 0 0 3 8 】

カウントされたアドレスが参照アドレス 9 に一致する場合、全体制御手段 3 3 は、専用処理手段 3 2 を動作させる。専用処理手段 3 2 は、プログラム 2 0 に記述された命令のうち、メモリ 2 の特定のアドレス空間に格納された命令により実現される処理（以下、「対象処理」と呼ぶ。）を実行する。対象処理は、専用処理手段 3 2 が演算器 7 を制御することにより実行される。専用処理手段 3 2 に制御される演算器 7 は、汎用処理手段 3 1 により使用される演算器 7 を含んでいてもよい。

【 0 0 3 9 】

これにより、プロセッサ 1 を用いる組み込みシステムは、対象処理を実行するコプロセッサを用いる組み込みシステムに比べて、回路規模及び消費電力を削減できる。汎用制御

10

20

30

40

50

手段 3 1 及び専用処理手段 3 2 は、演算器 7 を共用するため、プロセッサ 1 の回路規模を削減できる。また、汎用制御手段 3 1 及び専用処理手段 3 2 は、メモリインタフェース 8 を共有するため、プロセッサ 1 の回路規模をさらに削減できる。メモリインタフェース 8 の共有により、汎用制御手段 3 1 と専用処理手段 3 2 とは、特殊な回路を用いることなくメモリ 2 のデータを共有することができ、汎用制御手段 3 1 と専用処理手段 3 2 とがメモリ 2 にアクセスする際に、時間的なオーバーヘッドも発生しない。

【 0 0 4 0 】

{ プロセッサ 1 の動作 }

次に、プロセッサ 1 がプログラム 2 0 を実行するときの動作を詳しく説明する。図 2 は、プログラム 2 0 に記述された命令を示す図である。図 2 を参照して、1 つの命令が、プログラム 2 0 の各行に記述される。アドレスは、メモリ 2 における各命令の格納位置を示す。たとえば、命令 2 1 は、メモリ 2 のアドレス「 4 0 0 」に格納される。専用処理手段 3 2 は、プログラム 2 0 に記述された命令のうち、アドレス「 4 0 8 」～「 4 2 8 」の命令群 2 2 により実現される処理を、対象処理として実行する。

10

【 0 0 4 1 】

通常であれば、汎用制御手段 3 1 は、プログラム 2 0 に記述された命令を順次実行する。しかし、専用処理手段 3 2 が、プログラム 2 0 に記述された命令のうち、特定の命令（命令群 2 2 ）により実現される処理を、対象処理として実行することにより、プログラム 2 0 全体の処理時間を短縮することができる。特定の命令とは、たとえば、並列処理が可能な命令により実現される処理である。したがって、命令群 2 2 は、汎用制御手段 3 1 により実行されない。

20

【 0 0 4 2 】

図 3 は、プログラム 2 0 を実行するプロセッサ 1 の動作を示すフローチャートである。プログラムカウンタ 4 が、メモリ 2 上のアドレスをカウントする（ステップ S 1 ）。なお、プロセッサ 1 は、プログラム 2 0 の実行を開始したときには、プログラム 2 0 の先頭の命令のアドレスをプログラムカウンタ 4 に設定する。

【 0 0 4 3 】

全体制御手段 3 3 は、カウントされたアドレスが、参照アドレス 9 に一致するか否かを確認する（ステップ S 2 ）。参照アドレス 9 は、命令群 2 2 の先頭の命令のアドレス（アドレス「 4 0 8 」）である。全体制御手段 3 3 は、カウントされたアドレスが参照アドレス 9 に一致しない場合（ステップ S 2 で N o ）、カウントされたアドレスに格納された命令の実行を汎用制御手段 3 1 に指示する。汎用制御手段 3 1 は、ステップ S 3 ～ S 8 を実行することにより、プログラム 2 0 に記述された命令を実行する。

30

【 0 0 4 4 】

汎用制御手段 3 1 は、メモリインタフェース 8 を介して、カウントされたアドレスに格納された命令をメモリ 2 から読み出し、読み出した命令を命令レジスタ 5 に格納する（ステップ S 3 ）。汎用制御手段 3 1 は、命令レジスタ 5 に格納された命令をデコードする（ステップ S 4 ）。汎用制御手段 3 1 は、デコードにより、命令レジスタ 5 に格納された命令の種類を特定し、命令の実行に必要なデータを格納するレジスタを特定する。

【 0 0 4 5 】

汎用制御手段 3 1 は、演算器 7 を制御して演算を実行する（ステップ S 5 ）。たとえば、特定された命令の種類が加算命令である場合、汎用制御手段 3 1 は、演算器 7 に加算の実行を指示し、加算に用いられるデータをレジスタファイル 6 から読み出す。演算器 7 は、レジスタファイル 6 から読み出されたデータを加算する。汎用制御手段 3 1 は、命令の種類に応じて、複数の演算器 7 を制御してもよい。

40

【 0 0 4 6 】

汎用制御手段 3 1 は、メモリ 2 にアクセスする必要があるか否かを確認する（ステップ S 6 ）。汎用制御手段 3 1 は、メモリ 2 にアクセスする必要がある場合（ステップ S 6 で Y e s ）、メモリ 2 に対するデータの読み出し又は書き込みを行う（ステップ S 7 ）。たとえば、演算結果の保存先がメモリ 2 に指定されている場合、命令がメモリ 2 へのデータ

50

の書き込みを指示している場合などが該当する。一方、汎用制御手段 3 1 は、演算結果の保存先がレジスタファイル 6 に指定されていた場合（ステップ S 6 で N o ）、演算器 7 による演算結果をレジスタファイル 6 に書き込む（ステップ S 8 ）。

【 0 0 4 7 】

その後、プロセッサ 1 は、次の命令を実行するために、ステップ S 1 に戻る。

【 0 0 4 8 】

ステップ S 2 の説明に戻る。全体制御手段 3 3 は、カウントされたアドレスが参照アドレス 9 に一致する場合（ステップ S 2 で Y e s ）、プログラムカウンタ 4 によるアドレスのカウントを停止させる（ステップ S 9 ）。これにより、汎用制御手段 3 1 は、プログラム 2 0 の実行を一時的に停止する。全体制御手段 3 3 は、専用処理手段 3 2 に対して動作開始を指示する。専用処理手段 3 2 は、演算器 7 を制御して、対象処理（命令群 2 2 により実現される処理）を実行する（ステップ S 1 0 ）。専用処理手段 3 2 は、対象処理を実行する際に、メモリ 2 及びレジスタファイル 6 にアクセスしてもよい。また、専用処理手段 3 2 は、対象処理の内容に応じて、複数の演算器 7 を制御してもよい。

10

【 0 0 4 9 】

対象処理の実行が終了した場合、全体制御手段 3 3 は、プログラムカウンタ 4 のアドレスを、命令群 2 2 の直後のアドレス「 4 3 2 」に更新する（ステップ S 1 1 ）。これにより、汎用制御手段 3 1 は、プログラム 2 0 の実行を、アドレス「 4 8 0 」に格納された命令から再開することができる。プロセッサ 1 は、プログラム 2 0 の実行を継続するために、ステップ S 2 に戻る。

20

【 0 0 5 0 】

以上説明したように、プロセッサ 1 は、命令群 2 2 により実現される対象処理を実行する専用処理手段 3 2 を備える。プロセッサ 1 を組み込みシステムに用いることにより、組込システムの回路規模及び消費電力を削減することができるとともに、プログラム 2 0 を効率良く実行することができる。

【 0 0 5 1 】

{ 変形例 }

上記実施の形態では、専用処理手段 3 2 が、命令群 2 2 により実現される処理を、対象処理として実行する例を説明したが、これに限られない。専用処理手段 3 2 は、命令群 2 2 により実現される処理と異なる処理を、対象処理として実行してもよい。たとえば、命令群 2 2 にバグがある場合、専用処理手段 3 2 は、バグが修正された命令群 2 2 により実現される処理を、対象処理として実行してもよい。

30

【 0 0 5 2 】

あるいは、専用処理手段 3 2 は、プログラム 2 0 と関係のない処理を対象処理として実行してもよい。対象処理の内容は、特に限定されない。図 4 は、専用処理手段 3 2 が、命令群 2 2 と関係のない処理を対象処理として実行する場合における、プログラム 2 0 の内容を示す図である。制御回路 3 は、アドレス「 4 1 6 」を参照アドレス 9 として保持する。図 4 を参照して、N O P (No Operation) が、アドレス「 4 1 6 」に格納される。全体制御手段 3 3 が、カウントされたアドレスが「 4 1 6 」に一致する場合、専用処理手段 3 2 に動作を指示する。これにより、専用処理手段 3 2 は、プログラム 2 0 の実行中に、プログラム 2 0 と関係のない所定の処理を開始することができる。

40

【 0 0 5 3 】

また、プロセッサ 1 は、キャッシュメモリを備えていてもよい。汎用制御手段 3 1 のみならず、専用処理手段 3 2 が、キャッシュメモリに対するデータの書き込みや読み出しを行ってもよい。これによって、専用処理手段 3 2 は、汎用制御手段 3 1 によるキャッシュメモリのフラッシュ（全内容のメモリ 2 への書き出し）、あるいはキャッシュメモリのデータを共有するための複雑な機構を使用することなく、汎用制御手段 3 1 と同様に、キャッシュメモリに格納されたデータを読み書きできる。また、これにより、専用処理手段 3 2 の処理対象（所定の処理）がメモリ 2 に対する読み書きを行う命令を含む場合であっても、この命令を高速に実行することができる。

50

【 0 0 5 4 】

また、専用処理手段 3 2 は、汎用制御手段 3 1 と演算器 7 を共用する例を説明したが、これに限られない。プロセッサ 1 は、汎用制御手段 3 1 が使用する演算器 7 と、専用処理手段 3 2 が使用する演算器 7 とを個別に備えていてもよい。すなわち、プロセッサ 1 は、汎用制御手段 3 1 と専用処理手段 3 2 とを備えていればよい。

【 0 0 5 5 】

また、制御回路 3 は、複数の専用処理手段 3 2 を備えていてもよい。図 5 を参照して、1 つの専用処理手段 3 2 は、命令群 2 3 により実現される処理を対象処理として実行する。もう 1 つの専用処理手段 3 2 は、命令群 2 4 により実現される処理を対象処理として実行する。この場合、制御回路 3 は、参照アドレス 9 として、アドレス「4 0 4」, 「4 3 2」を保持する。全体制御手段 3 3 は、カウントされたアドレスに一致する参照アドレス 9 に応じて、動作させる専用処理手段 3 2 を決定すればよい。

10

【 0 0 5 6 】

また、上記実施の形態において、カウントされたアドレスが参照アドレス 9 に一致する場合（ステップ S 2 において Yes）、全体制御手段 3 3 は、プログラムカウンタ 4 によるアドレスのカウントの停止により、汎用制御手段 3 1 を停止させる例を説明したが、これに限られない。専用処理手段 3 2 が動作しているときに、汎用制御手段 3 1 を停止させることができれば、汎用制御手段 3 1 を停止させる方法は、特に限定されない。

【 0 0 5 7 】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることがなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

20

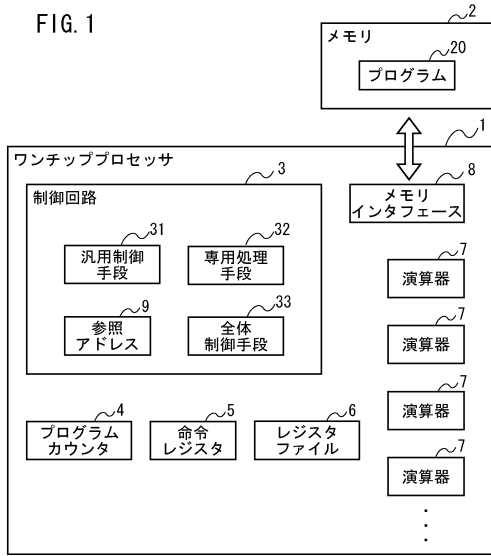
【 符号の説明 】

【 0 0 5 8 】

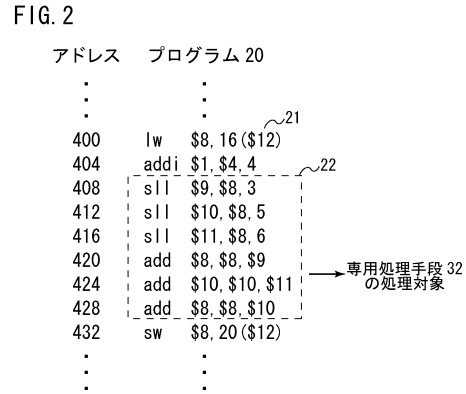
- 1 プロセッサ
- 2 メモリ
- 3 制御回路
- 4 プログラムカウンタ
- 5 命令レジスタ
- 6 レジスタファイル
- 7 演算器
- 8 メモリインタフェース
- 9 参照アドレス
- 2 0 プログラム
- 3 1 汎用制御手段
- 3 2 専用処理手段
- 3 3 全体制御手段

30

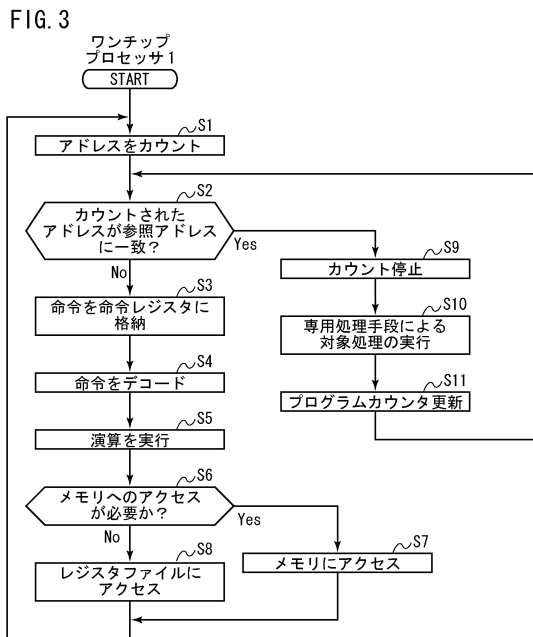
【図 1】



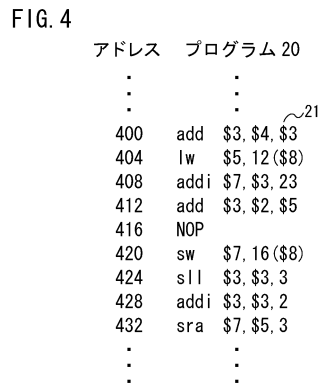
【図 2】



【図 3】



【図 4】



【 図 5 】

FIG. 5

アドレス	プログラム 20
⋮	⋮
400	add \$3, \$4, \$3
404	lw \$5, 12(\$8)
408	addi \$7, \$3, 23
412	add \$3, \$2, \$5
416	sw \$7, 16(\$8)
420	sll \$3, \$3, 3
424	addi \$3, \$3, 2
428	sra \$7, \$5, 3
432	add \$7, \$8, \$4
436	addi \$5, \$3, 23
440	lw \$7, 16(\$8)
⋮	⋮

フロントページの続き

審査官 清木 泰

- (56)参考文献 特開2001-043084(JP,A)
特開2004-102595(JP,A)
特開2008-299475(JP,A)
戸田勇希,石浦菜岐佐,神原弘之,富山宏之,CPUと密に結合したコプロセッサによるハードウェア/ソフトウェア協調設計,情報処理学会研究報告 平成21年度5,日本,社団法人情報処理学会,2010年 2月15日,all 6 pages(No.16)

(58)調査した分野(Int.Cl.,DB名)

G06F 9/30 - 9/42
G06F 15/78
G06T 1/00 - 1/40
G06T 3/00 - 5/50
G06T 9/00 - 9/40
G06F 5/01
G06F 7/00
G06F 7/57 - 7/575
G06F 7/74 - 7/78
G06F 9/22 - 9/28