

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5979704号
(P5979704)

(45) 発行日 平成28年8月31日(2016.8.31)

(24) 登録日 平成28年8月5日(2016.8.5)

(51) Int.Cl.		F I			
G06F 17/50	(2006.01)	G06F 17/50		652A	
H03H 17/04	(2006.01)	H03H 17/04		633A	
H03H 17/00	(2006.01)	H03H 17/00		601Z	

請求項の数 3 (全 20 頁)

(21) 出願番号	特願2012-55303 (P2012-55303)	(73) 特許権者	503027931
(22) 出願日	平成24年3月13日 (2012.3.13)		学校法人同志社
(65) 公開番号	特開2013-190895 (P2013-190895A)		京都府京都市上京区今出川通烏丸東入玄武町601番地
(43) 公開日	平成25年9月26日 (2013.9.26)	(74) 代理人	110000475
審査請求日	平成27年3月11日 (2015.3.11)		特許業務法人みのり特許事務所
特許法第30条第1項適用	2012年2月14日 同志社大学発行の「2011年度 電気電子工学専攻 博士課程 (前期課程) 修士論文審査会予稿集」に発表	(72) 発明者	加藤 利次 京都府京田辺市多々羅部谷1-3 同志社大学内
		(72) 発明者	井上 馨 京都府京田辺市多々羅部谷1-3 同志社大学内
		審査官	松浦 功

最終頁に続く

(54) 【発明の名称】 任意特性回路合成方法

(57) 【特許請求の範囲】

【請求項1】

インバータ回路およびエネルギー蓄積素子を含む主回路部と、測定した前記主回路部の端子電圧または端子電流に基づいて前記主回路部の端子電流または端子電圧に関する基準信号を生成する基準信号生成部と、前記主回路部の端子電流または端子電圧が前記基準信号に一致するように前記インバータ回路のスイッチ素子を制御する制御部とからなるシステムを用いて任意の特性を有する回路を合成する方法であって、

合成すべき回路の周波数特性に基づいて、アドミタンス形の合成を行うのか、インピーダンス形の合成を行うのかを決定し、

アドミタンス形の合成を行う場合は、電圧型の前記インバータ回路および前記エネルギー蓄積素子としてのインダクタを有する前記主回路部と、(C1)式で表現された前記回路のアドミタンス特性 $Y(s)$ に対応するように構成された前記基準信号生成部とを準備するとともに、測定した端子電圧と前記アドミタンス特性 $Y(s)$ とに基づいて端子電流に関する前記基準信号を生成し、

【数1】

$$sC_0 + G_0 + \sum_{k=1}^{N_c} \frac{b_{1k}s + b_{0k}}{s^2 + a_{1k}s + a_{0k}} + \sum_{k=1}^{N_s} \frac{b_{rk}}{s + a_{rk}} \dots (C1)$$

(ただし、 C_0, G_0 は任意の定数であり、 $a_{11} \dots a_{1N_c}, a_{01} \dots a_{0N_c}, b_{11} \dots b_{1N_c}, b_{01} \dots b_{0N_c}, a_{r1} \dots a_{rN_s}, b_{r1} \dots b_{rN_s}$ は任意の定数であり、 N_c は自然数、 N_s は非負整数)

$a_{r1 \dots r N_s}, b_{r1 \dots r N_s}$ は任意の係数である)

インピーダンス形の合成を行う場合は、電流型の前記インバータ回路および前記エネルギー蓄積素子としてのキャパシタを有する前記主回路部と、(C2)式で表現された前記回路のインピーダンス特性 $Z(s)$ に対応するように構成された前記基準信号生成部とを準備するとともに、測定した端子電流と前記インピーダンス特性 $Z(s)$ とに基づいて端子電圧に関する前記基準信号を生成する

【数2】

$$sL_0 + R_0 + \sum_{k=1}^{N_c} \frac{b_{1k}s + b_{0k}}{s^2 + a_{1k}s + a_{0k}} + \sum_{k=1}^{N_s} \frac{b_{rk}}{s + a_{rk}} \dots (C2)$$

10

(ただし、 L_0, R_0 は任意の定数である)

ことを特徴とする任意特性回路合成方法。

【請求項2】

前記基準信号生成部が、前記アドミタンス特性 $Y(s)$ または前記インピーダンス特性 $Z(s)$ に対応する関数を、(C3)式で表現されるデジタルフィルタで構成したものであることを特徴とする請求項1に記載の任意特性回路合成方法。

【数3】

$$\frac{b_0 + b_1 z^{-1} + \dots + b_{N_v} z^{-N_v}}{1 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_{N_i} z^{-N_i}} \dots (C3)$$

20

(ただし、 $a_{1 \dots N_i}, b_{1 \dots N_v}$ は任意の係数である)

【請求項3】

前記デジタルフィルタが、前記基準信号生成部および前記制御部における制御遅れを考慮したものであることを特徴とする請求項2に記載の任意特性回路合成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ回路とエネルギー蓄積素子を含む主回路部を適切に制御することにより、任意の特性を有する回路を合成する方法に関する。

30

【背景技術】

【0002】

任意の線形1端子対回路の時間領域における特性は、図1(A)に示すように、過渡アドミタンス $y(t)$ または過渡インピーダンス $z(t)$ により表すことができる。同回路の端子電圧および端子電流の時間関数をそれぞれ $v(t), i(t)$ とすると、端子電流 $i(t)$ および端子電圧 $v(t)$ の関係は相乗記号 $*$ として次式の通りとなる。

【数1】

$$\begin{aligned} i(t) &= y(t) * v(t) \\ v(t) &= z(t) * i(t) \end{aligned} \dots (1)$$

40

【0003】

また、任意の線形1端子対回路の周波数領域における特性は、図1(B)に示すように、アドミタンス関数 $Y(s)$ またはインピーダンス関数 $Z(s)$ により表すことができる。同回路の端子電圧および端子電流の周波数関数をそれぞれ $V(s), I(s)$ とすると、端子電流 $I(s)$ および端子電圧 $V(s)$ の関係は次式の通りとなる。ただし、 ω を角周波数として $s = j\omega$ である。

【数 2】

$$\begin{aligned} I(s) &= Y(s)V(s) \\ V(s) &= Z(s)I(s) \end{aligned} \quad \dots (2)$$

【0004】

任意の特性を有する回路を合成する従来の方法としては、回路全体の特性が所望のアドミタンス特性 ($y(t)$ 、 $Y(s)$) またはインピーダンス特性 ($z(t)$ 、 $Z(s)$) となるように複数の回路素子 (抵抗、キャパシタ、インダクタ等) を組み合わせる方法がある。しかしながら、この従来の合成方法は、特性を変更する際に具体的な回路素子を組み合わせなおす必要があるという問題があった。また、この合成方法は、現実には存在しない特性を持つ回路 (例えば、負性インダクタ) を合成することができないという問題があった。

10

【0005】

なお、負性インダクタを合成することができる合成方法としては、非特許文献 1 に記載の方法が知られている。しかしながら、この合成方法は、オペアンプおよびアナログ乗算器を含むアナログ部品からなる帰還回路を用いた、負性インダクタの合成に特化した合成方法であり、汎用性が高くなかった。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献 1】Hirohito Funato, Atsuo Kawamura and Kenzo Kamiyama, "Realization of Negative Inductance Using Variable Active-Passive Reactance (VAPAR)", IEEE Transactions on Power Electronics, July 1997, Vol.12, No.4, pp.589-596

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は上記事情に鑑みてなされたものであり、その課題とするところは、汎用性が高く、しかも現実には存在しない特性を持つ回路をも合成することができる任意特性回路合成方法を提供することにある。

【課題を解決するための手段】

30

【0008】

上記課題を解決するために、本発明に係る任意特性回路合成方法は、インバータ回路およびエネルギー蓄積素子を含む主回路部と、測定した主回路部の端子電圧または端子電流に基づいて主回路部の端子電流または端子電圧に関する基準信号を生成する基準信号生成部と、主回路部の端子電流または端子電圧が基準信号に一致するようにインバータ回路のスイッチ素子を制御する制御部とからなるシステムを用いて任意の特性を有する回路を合成する方法であって、

1) 合成すべき回路の周波数特性に基づいて、アドミタンス形の合成を行うのか、インピーダンス形の合成を行うのかを決定し、

2-1) アドミタンス形の合成を行う場合は、電圧型のインバータ回路およびエネルギー蓄積素子としてのインダクタを有する主回路部と、(C1) 式で表現された合成すべき回路のアドミタンス特性 $Y(s)$ に対応するように構成された基準信号生成部とを準備するとともに、測定した端子電圧とアドミタンス特性 $Y(s)$ とに基づいて端子電流に関する基準信号を生成し、

40

【数 3】

$$sC_0 + G_0 + \sum_{k=1}^{N_c} \frac{b_{1k}s + b_{0k}}{s^2 + a_{1k}s + a_{0k}} + \sum_{k=1}^{N_s} \frac{b_{rk}}{s + a_{rk}} \quad \dots (C1)$$

(ただし、 C_0 、 G_0 は任意の定数であり、 $a_{11} \dots 1_{N_c}$ 、 $a_{01} \dots 0_{N_c}$ 、 b_{11}

50

$a_{r1} \dots a_{rN_s}, b_{r1} \dots b_{rN_s}$ は任意の係数である)

2 - 2) インピーダンス形の合成を行う場合は、電流型のインバータ回路およびエネルギー蓄積素子としてのキャパシタを有する主回路部と、(C2)式で表現された合成すべき回路のインピーダンス特性 $Z(s)$ に対応するように構成された基準信号生成部とを準備するとともに、測定した端子電流とインピーダンス特性 $Z(s)$ とに基づいて端子電圧に関する基準信号を生成する

【数4】

$$sL_0 + R_0 + \sum_{k=1}^{N_c} \frac{b_{1k}s + b_{0k}}{s^2 + a_{1k}s + a_{0k}} + \sum_{k=1}^{N_s} \frac{b_{rk}}{s + a_{rk}} \dots (C2)$$

10

(ただし、 L_0, R_0 は任意の定数である)

ことを特徴とする。

【0009】

上記任意特性回路合成方法では、基準信号生成部が、上記アドミタンス特性 $Y(s)$ または上記インピーダンス特性 $Z(s)$ に対応する関数を、(C3)式で表現されるデジタルフィルタで構成したものであってもよい。

【数5】

$$\frac{b_0 + b_1z^{-1} + \dots + b_{N_v}z^{-N_v}}{1 + a_1z^{-1} + a_2z^{-2} + \dots + a_{N_i}z^{-N_i}} \dots (C3)$$

20

(ただし、 $a_{1 \dots N_i}, b_{1 \dots N_v}$ は任意の係数である)

【0010】

この場合、デジタルフィルタは、基準信号生成部および制御部における制御遅れを考慮したものであることが好ましい。

【発明の効果】

【0011】

本発明によれば、汎用性が高く、しかも現実に存在しない特性を持つ回路をも合成することができる任意特性回路合成方法を提供することができる。

30

【図面の簡単な説明】

【0012】

【図1】端子電流と端子電圧の関係を示す図であって、(A)は時間領域における関係図、(B)は周波数領域における関係図である。

【図2】本発明に係る任意特性回路合成方法で使用する主回路部の回路図であって、(A)はアドミタンス形の合成を行う場合に使用する主回路部、(B)はインピーダンス形の合成を行う場合に使用する主回路部である。

【図3】本発明に係る任意特性回路合成方法で使用する簡略化された主回路部の回路図であって、(A)はアドミタンス形の合成を行う場合に使用する主回路部、(B)はインピーダンス形の合成を行う場合に使用する主回路部である。

40

【図4】本発明に係る任意特性回路合成方法で使用するシステムのブロック図であって、(A)は基準信号生成部および制御部の両方がデジタル処理を行う場合のシステム、(B)は基準信号生成部がアナログ的処理を行う場合のシステム、(C)は基準信号生成部および制御部の両方がアナログ的処理を行う場合のシステムである。

【図5】本発明に係る任意特性回路合成方法で使用する制御部のブロック図であって、(A)はアナログ的処理を行う回路で構成した制御部、(B)はデジタル的処理を行う回路で構成した制御部である。

【図6】本発明に係る任意特性回路合成方法で使用する、アナログ的処理を行う回路で構成した基準信号生成部のブロック図である。

【図7】本発明に係る任意特性回路合成方法で使用する、デジタル的処理を行う回路で

50

構成した基準信号生成部のブロック図である。

【図 8】合成例 1 に係る基準信号生成部のブロック図である。

【図 9】合成例 1 に係る実験系を示す回路図である。

【図 10】合成例 1 に係る実験結果を示す波形図である。

【図 11】合成例 1 に係る実験結果を示す波形図である。

【図 12】合成例 2 に係る LCR 回路の回路図であって、(A) は合成すべき LCR 回路の回路図、(B) は (A) の等価回路図である。

【図 13】合成例 2 に係る基準信号生成部のブロック図である。

【図 14】合成例 2 に係る実験系を示す回路図である。

【図 15】合成例 2 に係る実験結果を示す波形図である。

【図 16】合成例 2 に係る実験結果を示す波形図である。

【図 17】デジタルフィルタを作成するために測定した波形であって、(A) はフィッティング前の波形図、(B) はフィッティング後の波形図である。

【図 18】合成例 3 に係る実験結果を示す波形図である。

【図 19】デジタルフィルタを作成するために測定した波形であって、(A) はフィッティング前の波形図、(B) はフィッティング後の波形図である。

【図 20】合成例 3 に係る実験結果を示す波形図である。

【図 21】4 端子回路を合成するための基準信号生成部のブロック図である。

【発明を実施するための形態】

【0013】

以下、添付図面を参照しつつ、本発明に係る任意特性回路合成方法の実施形態について説明する。

【0014】

[システム全体の構成]

本発明に係る任意特性回路合成方法では、インバータ回路およびエネルギー蓄積素子を含む主回路部と、測定した主回路部の端子電圧または端子電流に基づいて主回路部の端子電流または端子電圧に関する基準信号を生成する基準信号生成部と、主回路部の端子電流または端子電圧が基準信号に一致するようにインバータ回路を制御する制御部とからなるシステムを用いる。

【0015】

図 2 に主回路部の一例を示す。図 2 (A) は、アドミタンス形の合成を行う場合、すなわち所望のアドミタンス特性 ($y(t)$) を有するようにインバータ回路のスイッチ素子を制御して合成を行う場合に使用する主回路部である。同図に示すように、この主回路部は、4 つのスイッチ素子と 4 つのダイオードからなる電圧形のインバータ回路と、エネルギー蓄積素子としてのインダクタと、直流電圧源とを備えている。一方、図 2 (B) は、インピーダンス形の合成を行う場合、すなわち所望のインピーダンス特性 ($z(t)$) を有するようにインバータ回路のスイッチ素子を制御して合成を行う場合に使用する主回路部である。同図に示すように、この主回路部は、4 つのスイッチ素子と 4 つのダイオードからなる電流形のインバータ回路と、エネルギー蓄積素子としてのキャパシタと、直流電流源とを備えている。

【0016】

図 1 および (1) 式を用いて説明したように、アドミタンス形の合成を行う場合は、端子電圧 $v(t)$ を測定し、 $v(t) * y(t)$ に一致するように端子電流 $i(t)$ を制御する。一方、インピーダンス形の合成を行う場合は、端子電流 $i(t)$ を測定し、 $i(t) * z(t)$ に一致するように端子電圧 $v(t)$ を制御する。

【0017】

合成すべき回路に抵抗成分がなく、合成回路内でエネルギーの消費および回生が行われない場合は、主回路部の直流電圧源または直流電流源をキャパシタまたはインダクタに置き換え、構成を簡略化することができる (図 3 参照)。

【0018】

10

20

30

40

50

図4に、本発明に係るアドミタンス形の合成方法で使用するシステムの全体構成を示す。前記の通り、本発明で使用するシステムは、図2および図3に示す主回路部の他、基準信号 $x^*(t)$ または $x^*[k]$ を生成する基準信号生成部と、インバータ回路のスイッチ素子を制御する制御部とを備えている。基準信号生成部は、アドミタンス形の合成を行う場合は端子電流 $i(t)$ に関する基準信号 $i^*(t)$ または $i^*[k]$ を生成し、インピーダンス形の合成を行う場合は、端子電圧 $v(t)$ に関する基準信号 $v^*(t)$ または $v^*[k]$ を生成する。

【0019】

図4(A)は、基準信号生成部および制御部の両方をデジタル的処理を行う回路で構成した場合のシステムである。この場合、基準信号生成部は、測定した端子電圧 $v(t)$ をAD変換するAD変換機と、該AD変換により得られた端子電圧 $v[k]$ に基づいて基準信号 $i^*[k]$ を生成するデジタル処理部(例えば、DSP(Digital Signal Processor))とを備えている。また、制御部は、実際の端子電流 $i(t)$ をAD変換することにより得られた端子電流 $i[k]$ を基準信号 $i^*[k]$ に一致させるような制御信号 $u[k]$ を生成するデジタル制御部(例えば、DSP)と、制御信号 $u[k]$ を制御信号 $u(t)$ に変換するDA変換器とを備えている。主回路部のインバータ回路は、この制御信号 $u(t)$ によって制御される。

10

【0020】

図4(B)は、基準信号生成部をアナログ的処理を行う回路で構成した場合のシステム、図4(C)は、基準信号生成部と制御部の両方をアナログ的処理を行う回路で構成した場合のシステムである。図示していないが、制御部だけをアナログ的処理を行う回路で構成することもできる。つまり、本発明に係るアドミタンス形の合成方法では、4通りのシステムを使用することができる。

20

【0021】

当然ながら、本発明に係るインピーダンス形の合成方法でも、4通りのシステムを使用することができる。インピーダンス形の合成を行う場合は、主回路部の構成を一部変更するとともに、端子電圧および端子電流を表す記号を入れ替えればよい。

【0022】

[制御部の構成]

続いて、図5を参照しながら、制御部の具体的な構成について説明する。

30

【0023】

(アナログ的処理を行う回路で構成した制御部)

図5(A)は、アナログ的処理を行う回路で構成した制御部の一例である。同図に示すように、この制御部は、主回路部を状態フィードバック制御するとともに、2次の積分補償を行う。補償を2次としたのは、1次の補償では一定値への補償しか行うことができず、基準信号 $x^*(t)$ の動的な変化に追従することができないからである。図5(A)の例では、主回路部が直流電圧源または直流電流源を含んでおり(図2参照)、主回路部自身が1次の補償を行うため、制御系全体でみたときの補償は3次となる。このため、フィードバックゲインは、 f 、 g_1 、 g_2 の3つとなる。補償器の次数や構成は必要に応じて適宜変更することができ、例えば、より高次としたり、正弦波補償器等を組み合わせたりしてもよい。

40

【0024】

図5(A)に示す制御系の状態方程式は、主回路部の状態遷移行列および入力ベクトルをそれぞれ A_c 、 h_c とすると、次式となる。

【数 6】

$$\begin{aligned} \frac{d}{dt}x(t) &= A_c x(t) + h_c u(t) \\ e(t) &= x^*(t) - x(t) \\ e(t) &= \frac{d}{dt}w_1(t) \quad \dots (3) \\ w_1(t) &= \frac{d}{dt}w_2(t) \\ u(t) &= -fx(t) + g_1 w_1(t) + g_2 w_2(t) \end{aligned}$$

10

また、この制御系の特性方程式は次式となる。

【数 7】

$$s^3 - (A_c - h_c f)s^2 + h_c g_1 s + h_c g_2 = 0 \quad \dots (4)$$

(3)式および(4)式中のフィードバックゲイン f 、 g_1 、 g_2 は、例えば、極配置法や最適制御法により決定することができる。

【0025】

(デジタル的処理を行う回路で構成した制御部)

20

図5(B)は、デジタル的処理を行う回路で構成した制御部の一例である。状態遷移行列を A 、入力ベクトルを h 、サンプル時間間隔を T とすると、サンプル時間 $t = t[k] = kT$ におけるこの制御系の状態方程式は次式となる。

【数 8】

$$\begin{aligned} x[k+1] &= Ax[k] + hu[k] \\ e[k] &= x^*[k] - x[k] \\ w_1[k+1] &= w_1[k] + e[k] \quad \dots (5) \\ w_2[k+1] &= w_2[k] + w_1[k] \\ u[k] &= -fx[k] + g_1 w_1[k] + g_2 w_2[k] \end{aligned}$$

30

また、この制御系の特性方程式は次式となる。

【数 9】

$$\begin{aligned} \begin{bmatrix} x[k+1] \\ w_1[k+1] \\ w_2[k+1] \end{bmatrix} &= \begin{bmatrix} A & 0 & 0 \\ -1 & 1 & 0 \\ 0 & 1 & 1 \end{bmatrix} \begin{bmatrix} x[k] \\ w_1[k] \\ w_2[k] \end{bmatrix} + \begin{bmatrix} h \\ 0 \\ 0 \end{bmatrix} \begin{bmatrix} -f & g_1 & g_2 \end{bmatrix} \begin{bmatrix} x[k] \\ w_1[k] \\ w_2[k] \end{bmatrix} + \begin{bmatrix} 0 \\ x^*[k] \\ 0 \end{bmatrix} \quad \dots (6) \\ &= \begin{bmatrix} A - hf & hg_1 & hg_2 \\ -1 & 1 & 0 \\ 0 & 1 & 1 \end{bmatrix} \begin{bmatrix} x[k] \\ w_1[k] \\ w_2[k] \end{bmatrix} + \begin{bmatrix} 0 \\ x^*[k] \\ 0 \end{bmatrix} \end{aligned}$$

40

アナログ的処理を行う回路で制御部を構成した場合と同様、(5)式および(6)式中のフィードバックゲイン f 、 g_1 、 g_2 は、例えば、極配置法や最適制御法により決定することができる。

【0026】

[基準信号生成部の構成]

次に、基準信号生成部の具体的な構成について説明する。なお、ここではアドミタンス形の合成を行う場合に使用する基準信号生成部について説明するが、この基準信号生成部

50

は、端子電圧と端子電流の関係を入れ替えて対応する記号を変換するだけでインピーダンス形の合成を行う場合に使用する基準信号生成部となる。

【0027】

(アナログ的处理を行う回路で構成した基準信号生成部)

周波数領域におけるアドミタンス特性 $Y(s)$ は次式で表すことができる。

【数10】

$$Y(s) = sC_0 + G_0 + \sum_{k=1}^{N_c} \frac{b_{1k}s + b_{0k}}{s^2 + a_{1k}s + a_{0k}} + \sum_{k=1}^{N_s} \frac{b_{rk}}{s + a_{rk}} \quad \dots (7)$$

10

ここで、 C_0 、 G_0 は定数、 a_{1k} 、 a_{0k} 、 b_{1k} 、 b_{0k} ($k = 1, 2, \dots, N_c$) は N_c 個の2次分数多項式に対する係数、 a_{rk} 、 b_{rk} ($k = 1, 2, \dots, N_s$) は N_s 個の1次分数多項式に対する係数である。

【0028】

測定した端子電圧 $v(t)$ および上記アドミタンス特性 $Y(s)$ に基づいて、端子電流に関する基準信号 $i^*(t)$ を生成する基準信号生成部のブロック図を図6に示す。同図に示すように、この基準信号生成部では、(7)式の各項に相当する処理が並列的に行われる。すなわち、この基準信号生成部では、 sC_0 に相当するブロックと、 G_0 に相当するブロックと、2次分数多項式に相当する N_c 段のブロックと、1次分数多項式に相当する N_s 段のブロックとが並列に接続されている。この基準信号生成部からは、端子電流に関する基準信号 $i^*(t)$ が出力される。

20

【0029】

なお、インピーダンス形の合成を行う場合は、(7)式で表されるアドミタンス特性 $Y(s)$ の代わりに、次式で表されるインピーダンス特性 $Z(s)$ を使用すればよい。

【数11】

$$Z(s) = sL_0 + R_0 + \sum_{k=1}^{N_c} \frac{b_{1k}s + b_{0k}}{s^2 + a_{1k}s + a_{0k}} + \sum_{k=1}^{N_s} \frac{b_{rk}}{s + a_{rk}} \quad \dots (8)$$

【0030】

30

(デジタル的处理を行う回路で構成した基準信号生成部)

デジタル的处理を行う回路で基準信号生成部を構成する場合は、積分要素の代わりに時間遅れ要素を用いてフィードバック系を構成すればよい。

【0031】

ところで、このように構成した基準信号生成部および上記アナログ的处理を行う回路で構成した基準信号生成部では、基準信号と実際の信号との間、例えば、基準信号 $i^*(t)$ と実際の端子電流 $i(t)$ との間はずれ(制御遅れ)が生じてしまう。そこで、以下では、制御遅れをキャンセルし得るデジタルフィルタで構成された基準信号生成部について説明する。

【0032】

40

デジタル的处理を行う回路で構成した基準信号生成部を用い、かつアドミタンス形の合成を行う場合、端子電流の伝達関数 $I[z]$ 、端子電圧の伝達関数 $V[z]$ およびアドミタンス関数 $Y[z]$ の間には(9)式の関係が成立する。

【数12】

$$I[z] = Y[z] V[z] \quad \dots (9)$$

すなわち、次式が成立する。

【数 1 3】

$$i[k] = y[k] * v[k] \quad \dots (10)$$

【0033】

ここで、アドミタンス関数 $Y[z]$ は次式の通りである。

【数 1 4】

$$Y[z] = \frac{b_0 + b_1 z^{-1} + \dots + b_{N_v} z^{-N_v}}{1 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_{N_i} z^{-N_i}} \quad \dots (11)$$

10

したがって、アドミタンス関数 $Y[z]$ を IIR デジタルフィルタで構成すれば、基準信号生成部のブロック図は図 7 に示す通りとなる。

【0034】

図 7 および (11) 式における係数 a_1, a_2, \dots, a_{N_i} および係数 b_1, b_2, \dots, b_{N_v} は、以下の手順により決定することができる。すなわち、(9) 式に (11) 式を代入し、分母を払うことにより (12) 式および (13) 式を得、さらに (13) 式をベクトルを用いて書き直すことにより (14) 式を得る。

【数 1 5】

$$i[k] + \sum_{j=1}^{N_i} a_j i[k-j] = \sum_{j=0}^{N_v} b_j v[k-j] \quad \dots (12)$$

20

【数 1 6】

$$i[k] = -\sum_{j=1}^{N_i} a_j i[k-j] + \sum_{j=0}^{N_v} b_j v[k-j] \quad \dots (13)$$

【数 1 7】

$$\mathbf{Ax} \simeq \mathbf{i} \quad \dots (14)$$

30

ここで、(14) 式の各ベクトルは、1 周期中の各 N 個の端子電流 $i[k]$ 、端子電圧 $v[k]$ ($k = 0, 1, \dots, N-1$) のサンプル点より合成すれば、次式となる。

【数 1 8】

$$\mathbf{A} = \begin{bmatrix} -i[N-1] & -i[N-2] & \dots & -i[N-N_i] & v[0] & v[N-1] & \dots & v[N-N_v] \\ -i[0] & -i[N-1] & \dots & -i[N-N_i+1] & v[1] & v[0] & \dots & v[N-N_v+1] \\ -i[1] & -i[0] & \dots & -i[N-N_i+2] & v[2] & v[1] & \dots & v[N-N_v+2] \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ -i[N-2] & -i[N-1] & \dots & -i[N-N_i-1] & v[N-1] & v[N-2] & \dots & v[N-N_v-1] \end{bmatrix} \quad \dots (15)$$

40

【数 1 9】

$$\mathbf{x} = [a_1 \ a_2 \ \dots \ a_{N_i} \ b_0 \ b_1 \ \dots \ b_{N_v}]^T \quad \dots (16)$$

【数 2 0】

$$\mathbf{i} = [i[0] \quad i[1] \quad \dots \quad i[N-1]]^t \quad \dots \quad (17)$$

【0035】

(14)式について最小自乗法を用いることにより係数ベクトル \mathbf{x} を求めることができる。

【数 2 1】

$$\mathbf{x} = (\mathbf{A}'\mathbf{A})^{-1} \mathbf{A}'\mathbf{i} \quad \dots \quad (18)$$

10

すなわち、図7および(11)式における係数 a_1, a_2, \dots, a_{N_i} および係数 b_1, b_2, \dots, b_{N_v} を決定することができる。

【0036】

[合成例1：負性インダクタ]

本発明に係る合成方法によれば、任意の特性を持つ回路を合成することができるが、その一例として、図6(A)に示すシステムを用いて - 5 mH の負性インダクタを合成した実験結果について説明する。なお、負性インダクタの周波数特性は高周波域で減衰するので、本合成例ではアドミタンス形の合成を行った。

【0037】

20

合成すべき回路が負性インダクタなので、端子電流 $i(t)$ 、 $I(s)$ はそれぞれ端子電圧 $v(t)$ 、 $V(s)$ の積分に比例する。したがって、次式が成立する。

【数 2 2】

$$I(s) = \frac{1}{sL} V(s) \quad \dots \quad (19)$$

$$i(t) = \frac{1}{L} \int v(t) dt$$

上記(19)式をサンプル時間 T で離散化すると、(20)式が得られる。

30

【数 2 3】

$$i[k] = i[k-1] + \frac{T}{L} V[k] \quad \dots \quad (20)$$

したがって、基準信号 $i^*[k]$ を生成するための基準信号生成部の構成は、図8に示す通りとなる。ただし、図8中の L は - 5 mH である。

【0038】

本合成例で使用した実験系を図9に示す。同図に示すように、主回路部は、インバータ回路と、エネルギー蓄積素子としてのインダクタと、インダクタに直列接続された抵抗と、直流電圧源とを備えている。また、主回路部の端子間には、任意の電圧波形(本合成例では、正弦波および矩形波)を出力可能な電圧源が接続されている。抵抗を設けたのは限流のためである。

40

【0039】

実験パラメータの公称値は下表の通りである。

【表 1】

E	40V
v_{in}	5V
f_{in}	50Hz(正弦波/矩形波)
L_a	5mH
R_a	2.5Ω
f_s	10kHz

なお、記号 f_s は、インバータ回路の制御周波数である。

10

【0040】

図 10 は、入力する任意電圧波形を正弦波（振幅 5 V , 5 0 H z ）とし、端子電圧（図 9 の入力電圧 v_{in} ）を測定しながら、- 5 m H の負性インダクタに対応した基準信号 i^* に追従するように端子電流（図 9 のインダクタ電流 i_L ）をインバータ回路で P W M 制御した結果であり、このうち、同図（A）は、基準信号生成部および制御部を構成する D S P に取り込まれた端子電圧 v_{in} 、端子電流 i_L および D S P 内で生成された基準信号 i^* の波形である。この図からは、端子電流 i_L が基準信号 i^* にほぼ一致していること、および端子電流 i_L が端子電圧 v_{in} に対して 9 0 ° 進んでおり、負性インダクタの特性を再現できていることが分かる。

【0041】

20

また、同図（B）は、オシロスコープで測定した端子電圧 v_{in} および端子電流 i_L の波形である。この図からも、端子電流 i_L が端子電圧 v_{in} に対して 9 0 ° 進んでおり、負性インダクタの特性を再現できていることが分かる。

【0042】

図 11 は、入力する任意電圧波形を矩形波（振幅 5 V , 5 0 H z ）とした場合の実験結果であり、このうち、同図（A）は、D S P に取り込まれた端子電圧 v_{in} 、端子電流 i_L および D S P で生成された基準信号 i^* の波形、同図（B）は、オシロスコープで測定した端子電圧 v_{in} および端子電流 i_L の波形である。正弦波の場合と同様、これらの図からは、端子電流 i_L が基準信号 i^* にほぼ一致していることが分かる。

【0043】

30

[合成例 2 : L C R 回路]

次に、図 6（A）に示すシステムを用いて図 12（A）に示す L C R 回路を合成した実験結果について説明する。なお、L C R 回路の周波数特性は高周波域で減衰するので、本合成例ではアドミタンス形の合成を行った。

【0044】

L C R 回路の等価回路は図 12（B）に示す通りなので、合成すべき L C R 回路のアドミタンス特性 $Y(s)$ は次式で表すことができる。

【数 2 4】

$$\begin{aligned}
 Y(s) &= \frac{1}{sL_1 + R_1 + \frac{1}{sC_1 + G_1}} + G_0 \\
 &= \frac{sC_1 + G_1}{(sL_1 + R_1)(sC_1 + G_1) + 1} + G_0 \\
 &= \frac{sC_1 + G_1}{s^2 L_1 C_1 + (C_1 R_1 + L_1 G_1)s + (R_1 G_1 + 1)} + G_0 \quad \dots (21) \\
 &= \frac{\frac{1}{sL_1} + \frac{G_1}{s^2 L_1 C_1}}{1 + \left(\frac{R_1}{L_1} + \frac{G_1}{C_1}\right) \frac{1}{s} + \frac{R_1 G_1 + 1}{L_1 C_1} \frac{1}{s^2}} + G_0
 \end{aligned}$$

10

したがって、本合成例では、基準信号生成部を図 1 3 に示すブロック図で構成すればよい。なお、(21) 式および図 1 3 における素子値は下表の通りである。

【表 2】

G_0	5.184mS
L_1	4.264mH
R_1	1.545 Ω
C_1	70.18 μ F
G_1	0.108mS

20

【0 0 4 5】

実験系は図 1 4 に示す通りであり、合成例 1 で使用した実験系にさらに LCR 回路を付加した構成となっている。このような構成とすることにより、電圧源から主回路部に向かって流れていく電流 i_{syn} (以下、端子電流という) と実際の LCR 回路に向かって流れていく電流 i_{LCR} が一致しているかどうか、すなわち、合成により得られた回路の特性と実際の LCR 回路の特性が一致しているかどうかを判断することができる。実験パラメータの公称値は下表の通りである。

30

【表 3】

E	40V
v_{in}	5V
f_{in}	50Hz (正弦波/矩形波)
L_a	5mH
L_b	5mH
R_a	2.5 Ω
R_b	10 Ω
C_b	60 μ F
f_s	10kHz

40

なお、記号 f_s は、インバータ回路の制御周波数である。

【0 0 4 6】

図 1 5 は、入力する任意電圧波形を正弦波 (振幅 5 V, 50 Hz) とし、端子電圧 (図 1 4 の入力電圧 v_{in}) を測定しながら、上記 LCR 回路に対応した基準信号 i^* に追従するように端子電流 i_{syn} をインバータ回路で PWM 制御した結果であり、このうち、

50

同図 (A) は、基準信号生成部および制御部を構成する DSP に取り込まれた端子電流 i_{syn} 、DSP 内で生成された基準信号 i^* および電流 i_{LCR} の波形である。この図からは、端子電流 i_{syn} と電流 i_{LCR} とがほぼ一致しており、所望の LCR 回路が合成できていることが分かる。

【 0 0 4 7 】

また、同図 (B) は、オシロスコープで測定した端子電流 i_{syn} および電流 i_{LCR} の波形である。この図からも、端子電流 i_{syn} と電流 i_{LCR} とがほぼ一致しており、所望の LCR 回路が合成できていることが分かる。

【 0 0 4 8 】

図 1 6 は、入力する任意電圧波形を矩形波 (振幅 5 V , 5 0 H z) とした場合の実験結果であり、このうち、同図 (A) は、DSP に取り込まれた端子電流 i_{syn} 、DSP 内で生成された基準信号 i^* および電流 i_{LCR} の波形、同図 (B) は、オシロスコープで測定した端子電流 i_{syn} および電流 i_{LCR} の波形である。いずれの図においても、端子電流 i_{syn} は電流 i_{LCR} よりもやや遅れており、オーバーシュート量もやや大きくなっている。任意電圧波形を矩形波とした場合は、制御遅れの影響がより顕著に表れるからである。なお、この制御遅れは、後述するデジタルフィルタを用いた合成を行うことにより改善することができる。

【 0 0 4 9 】

[合成例 3 : LCR 回路]

続いて、制御遅れをキャンセルするように考慮されたデジタルフィルタを用いて合成例 2 と同じ LCR 回路 (図 1 4 、表 3 参照) を合成した実験結果について説明する。

【 0 0 5 0 】

デジタルフィルタを作成するためには、まず、図 1 4 に示す実験系において、入力する端子電圧 v_{in} を正弦波 (振幅 5 V , 5 0 H z) としたときに LCR 回路側に向かって流れる電流 i_{LCR} (以下、実電流という) と、基準信号 i^* を上記端子電圧 v_{in} / R (ただし、R はスケールファクタ) とした場合の端子電流 i_{syn} とを測定する必要がある。この測定の結果を図 1 7 (A) に示す。

【 0 0 5 1 】

基準信号 i^* に対する端子電流 i_{syn} の遅れの伝達関数を $H [z]$ とすると、端子電流 i_{syn} の伝達関数 $I_{syn} [z]$ と基準信号 i^* の伝達関数 $I^* [z]$ との間には、次式が成立する。

【 数 2 5 】

$$I_{syn} [z] = H [z] I^* [z] = H [z] V [z] / R \quad \dots (2 2)$$

また、伝達関数 $I_{syn} [z]$ を実電流 i_{LCR} の伝達関数 $I_{LCR} [z]$ に一致させるための補正伝達関数を $F [z]$ とすると、(2 3) 式および (2 4) 式が成立する。

【 数 2 6 】

$$I_{LCR} [z] = F [z] I_{syn} [z] = F [z] H [z] V [z] / R = Y [z] V [z] \quad \dots (2 3)$$

【 数 2 7 】

$$F [z] = I_{LCR} [z] / I_{syn} [z] = Y [z] R / H [z] \quad \dots (2 4)$$

【 0 0 5 2 】

補正伝達関数 $F [z]$ の係数、すなわち本合成例で使用するデジタルフィルタの係数は、(1 8) 式により求めることができる。より詳しくは、デジタルフィルタの係数は、図 1 7 (A) に示す端子電流 i_{syn} が同じく図 1 7 (A) に示す実電流 i_{LCR} に一致するように、 $I_{syn} [z]$ に含まれる遅れの伝達関数 $H [z]$ を補正することにより

10

20

30

40

50

求めることができる。このようにして求めた係数（ただし、 $N_i = 6$ 、 $N_v = 5$ ）を表 4 に示す。

【表 4】

a_0	1	b_0	-0.00205
a_1	-0.665	b_1	0.00167
a_2	-0.219	b_2	0.000074
a_3	-0.458	b_3	0.00286
a_4	-0.252	b_4	0.00231
a_5	0.153	b_5	-0.00520
a_6	0.443		

10

【0053】

上記係数を用いて作成したデジタルフィルタ（図 7 参照）を使用して図 17（A）を得たのと同じ測定を行ったところ、図 17（B）が得られた。この図からは、フィッティングの結果、端子電流 $i_{s y n}$ が実電流 $i_{L C R}$ にほぼ一致したことが分かる。

【0054】

図 18 にこのデジタルフィルタを用いた実験結果を示す。同図は、デジタルフィルタを使用していない場合（図 15（B）参照）よりも実電流 $i_{L C R}$ に対する端子電流 $i_{s y n}$ の遅れが低減され、追従性が向上したことを示している。

20

【0055】

入力する端子電圧 $v_{i n}$ を矩形波（振幅 5 V、50 Hz）とした場合は、同様の手法により、表 5 に示す係数（ただし、 $N_i = 4$ 、 $N_v = 4$ ）が得られた。

【表 5】

a_0	1	b_0	0.0412
a_1	-2.0796	b_1	-0.0387
a_2	1.446	b_2	0.0217
a_3	-0.282	b_3	-0.0346
a_4	-0.0280	b_4	0.0153

30

この係数を用いて作成したデジタルフィルタ（図 7 参照）を使用したフィッティングの結果を図 19 に示す。同図（A）に示すフィッティング前に比べ、同図（B）に示すフィッティング後では、実電流 $i_{L C R}$ に対する端子電流 $i_{s y n}$ の遅れが低減され、追従性が向上したことが分かる。

【0056】

図 20 にこのデジタルフィルタを用いた実験結果を示す。同図も、デジタルフィルタを使用していない場合（図 16（B）参照）よりも実電流 $i_{L C R}$ に対する端子電流 $i_{s y n}$ の遅れが低減され、追従性が向上したことを示している。

【0057】

40

以上、本発明に係る任意特性回路合成方法の実施形態について説明したが、本発明は上記構成に限定されるものではなく、種々の変形例が考えられる。

【0058】

例えば、本発明に係る任意特性回路合成方法は、任意の特性を有する他端子回路も合成することができる。一例として、4 端子回路の場合は次式が成立するので、基準信号生成部を図 21 に示す構成とすることで、各端子の端子電圧 $v_1(t) \sim v_4(t)$ に基づいて各端子の端子電流に関する基準信号 $i_1^*(t) \sim i_4^*(t)$ を生成することができる。ただし、図 21 では、例えば $y_{11}(t)$ を伝達特性 $Y_{11}(s) = Y_{11}$ で表現している。

【数 2 8】

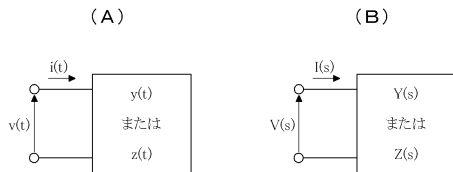
$$\begin{bmatrix} i_1(t) \\ i_2(t) \\ i_3(t) \\ i_4(t) \end{bmatrix} = \begin{bmatrix} y_{11}(t) & y_{12}(t) & y_{13}(t) & y_{14}(t) \\ y_{21}(t) & y_{22}(t) & y_{23}(t) & y_{24}(t) \\ y_{31}(t) & y_{32}(t) & y_{33}(t) & y_{34}(t) \\ y_{41}(t) & y_{42}(t) & y_{43}(t) & y_{44}(t) \end{bmatrix} * \begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ v_4(t) \end{bmatrix} \quad \dots (25)$$

【 0 0 5 9】

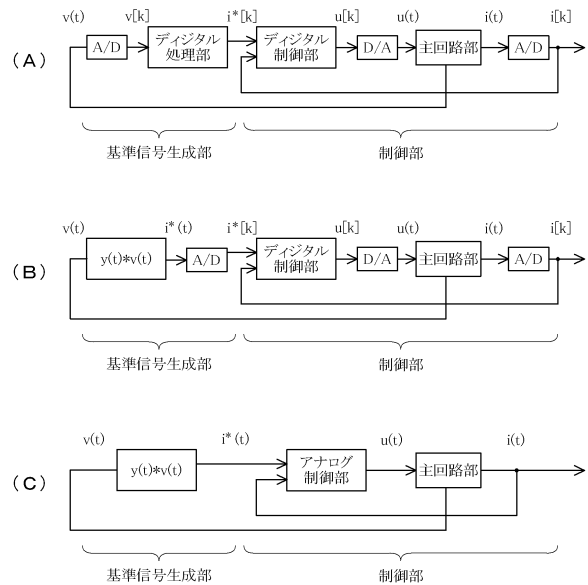
また、合成例 3 では、ディジタルフィルタによって制御遅れをキャンセルしたが、本発明に係る任意特性回路合成方法では、アナログ的処理を行う回路で構成した基準信号生成部を使用して制御遅れをキャンセルすることもできる。

10

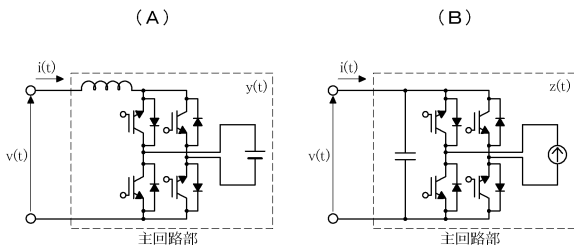
【図 1】



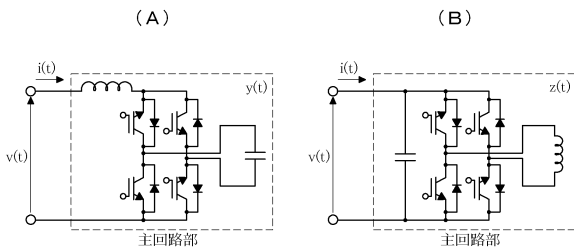
【図 4】



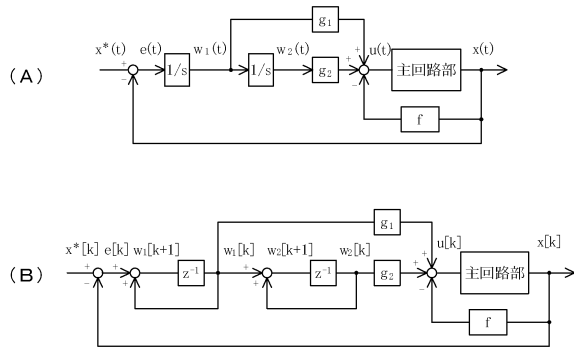
【図 2】



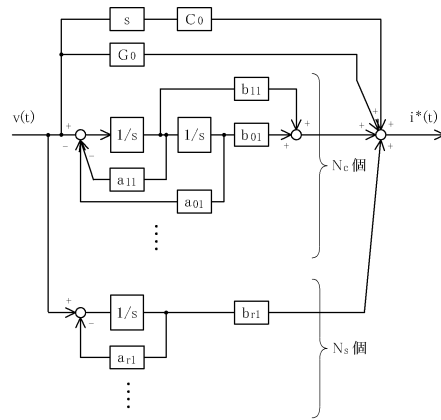
【図 3】



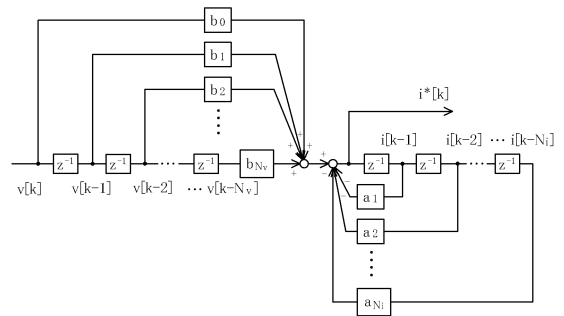
【図5】



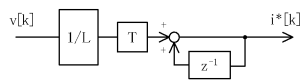
【図6】



【図7】

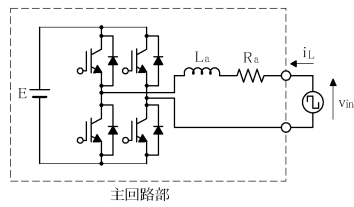


【図8】

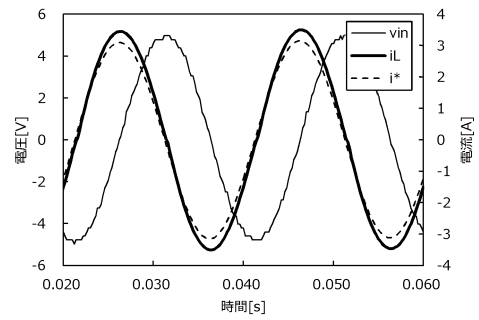


【図10】

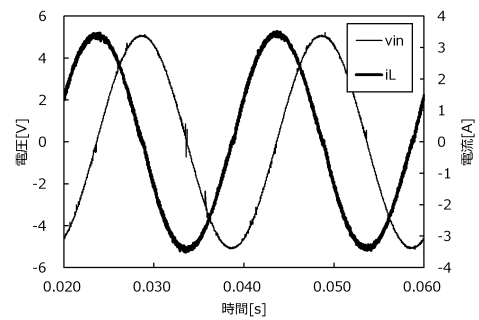
【図9】



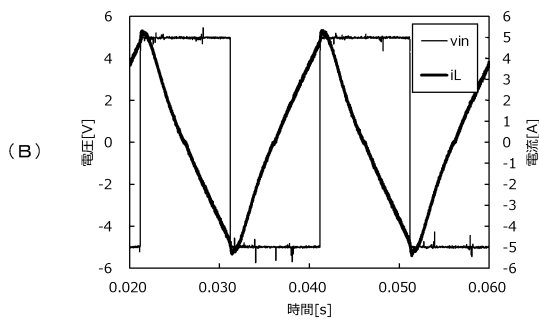
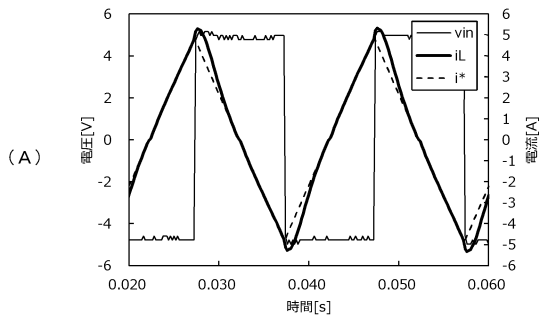
(A)



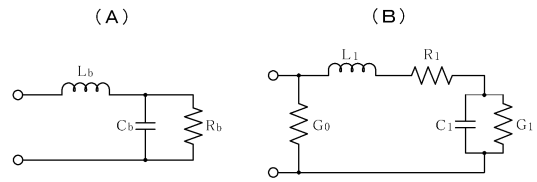
(B)



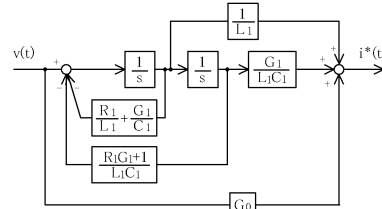
【 図 1 1 】



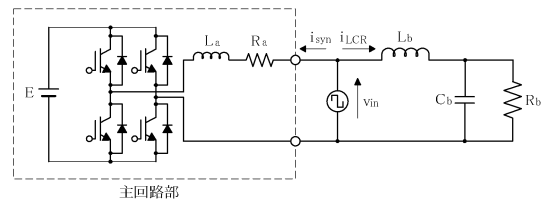
【 図 1 2 】



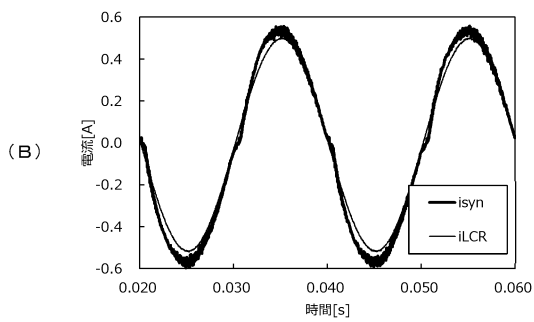
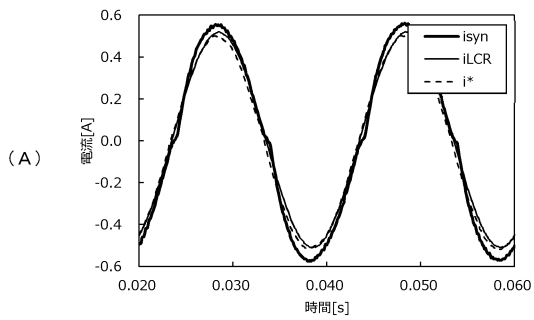
【 図 1 3 】



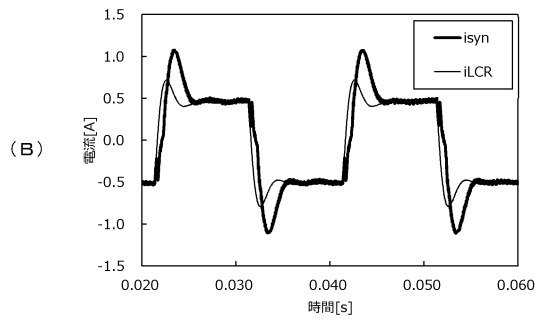
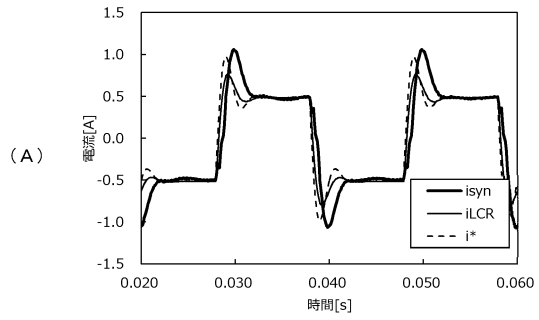
【 図 1 4 】



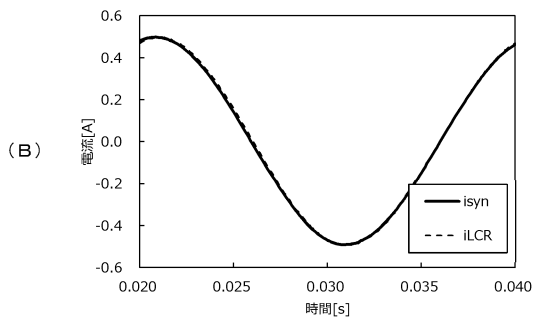
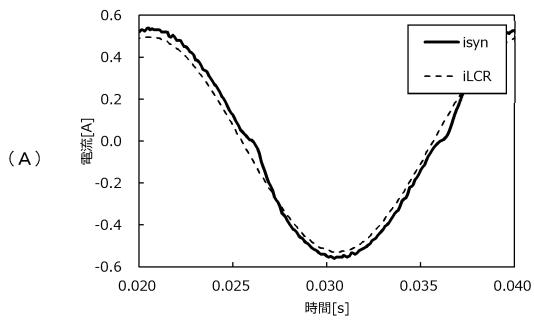
【 図 1 5 】



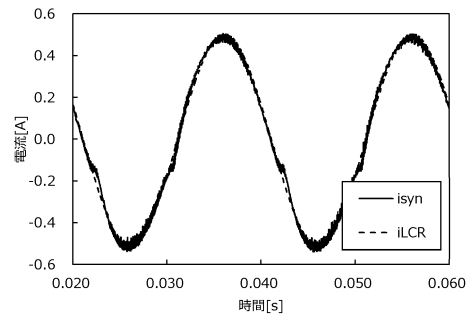
【 図 1 6 】



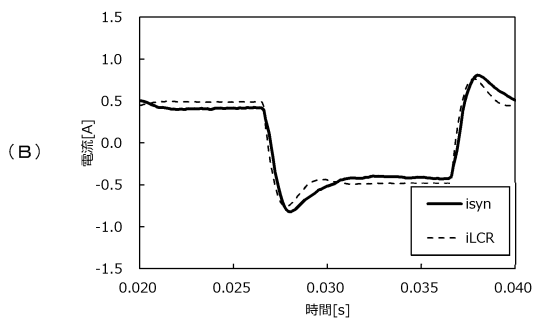
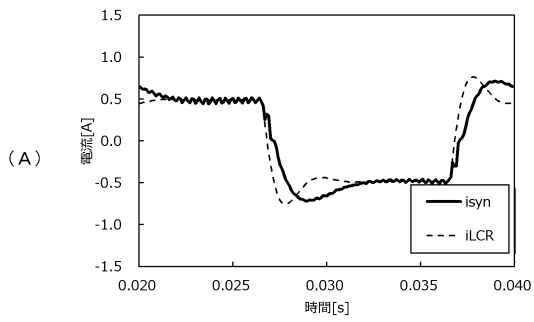
【 図 17 】



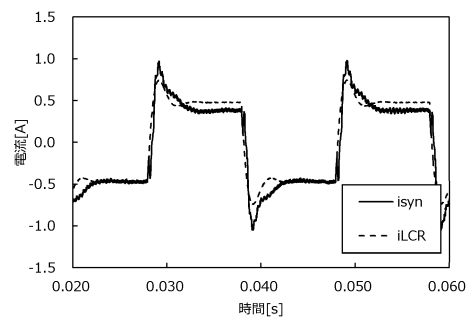
【 図 18 】



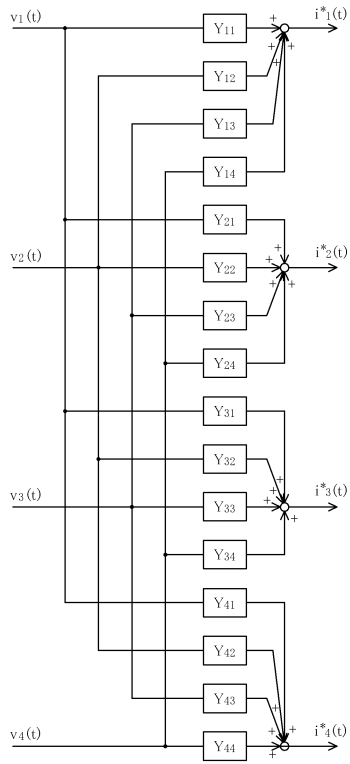
【 図 19 】



【 図 20 】



【 図 2 1 】



フロントページの続き

(56)参考文献 特開2007-251533(JP, A)

船渡寛人 外1名, 電力用アクティブパッシブ回路, 電気学会論文誌D(産業応用部門誌) [online], 一般社団法人電気学会, 1993年, Vol. 113, No. 5, pp. 601-610, [検索日 2015.11.26], J - S T A G E, U R L, https://www.jstage.jst.go.jp/article/ieejias1987/113/5/113_5_601/_article/-char/ja/

船渡寛人 外1名, 直流電源不要の電力用アクティブパッシブリアクタンス回路, 電気学会論文誌D(産業応用部門誌) [online], 一般社団法人電気学会, 1994年, Vol. 114, No. 11, pp. 1100-1107, [検索日 2015.11.26], J - S T A G E, U R L, https://www.jstage.jst.go.jp/article/ieejias1987/114/11/114_11_1100/_article/-char/ja/

(58)調査した分野(Int.Cl., DB名)

G 0 6 F 1 7 / 5 0

H 0 3 H 1 7 / 0 0 - 1 7 / 0 4

H 0 3 H 1 1 / 4 8

G o o g l e S c h o l a r

J - S T A G E