

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6548065号
(P6548065)

(45) 発行日 令和1年7月24日(2019.7.24)

(24) 登録日 令和1年7月5日(2019.7.5)

(51) Int.Cl.		F I		
HO 1 L 21/338	(2006.01)	HO 1 L	29/80	H
HO 1 L 29/778	(2006.01)	HO 1 L	21/28	3 O 1 B
HO 1 L 29/812	(2006.01)	HO 1 L	29/50	M
HO 1 L 21/28	(2006.01)	HO 1 L	29/50	J
HO 1 L 29/417	(2006.01)			

請求項の数 9 (全 10 頁)

(21) 出願番号	特願2014-256754 (P2014-256754)	(73) 特許権者	304021277
(22) 出願日	平成26年12月19日(2014.12.19)		国立大学法人 名古屋工業大学
(65) 公開番号	特開2015-159274 (P2015-159274A)		愛知県名古屋市昭和区御器所町字木市29番
(43) 公開日	平成27年9月3日(2015.9.3)	(72) 発明者	分島 彰男
審査請求日	平成29年11月30日(2017.11.30)		愛知県名古屋市昭和区御器所町字木市29番
(31) 優先権主張番号	特願2014-10850 (P2014-10850)		国立大学法人名古屋工業大学内
(32) 優先日	平成26年1月24日(2014.1.24)	(72) 発明者	江川 孝志
(33) 優先権主張国	日本国(JP)		愛知県名古屋市昭和区御器所町字木市29番
			国立大学法人名古屋工業大学内
		審査官	恩田 和彦

最終頁に続く

(54) 【発明の名称】 オーミック特性を改善したノーマリオフ型窒化物半導体電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

基板上に少なくともチャネル層、バリア層、n型Siドープ層が順次積層され、当該n型Siドープ層上にソース電極およびドレイン電極が形成され、n型Siドープ層が除去されたバリア層上にゲート電極が形成されたInAlGaN系電界効果トランジスタであって、前記n型Siドープ層内の膜厚方向の少なくとも一部において、Si濃度が他の部位より高濃度の部位があり、前記チャネル層、バリア層、n型Siドープ層をチャネル層/バリア層/n型Siドープ層なる積層構造として表した場合において、前記積層構造が $GaN/Al_xGa_{1-x}N(X>0)/n型GaN$ 、 $Al_xGa_{1-x}N/Al_yGa_{1-y}N/n型GaN(0<X<Y)$ 、または $GaN/In_xAl_{1-x}N(X>0)/n$

10

【請求項2】

前記中央部はシート状のSi層である請求項1に記載のGaN系電界効果トランジスタ。

20

【請求項 3】

前記積層構造は $GaN / Al_xGa_{1-x}N (X > 0) / n$ 型 GaN である請求項 1 または 2 に記載の GaN 系電界効果トランジスタ。

【請求項 4】

前記積層構造は前記基板とチャンネル層の間に緩衝層をさらに備える請求項 1 ~ 3 に記載の GaN 系電界効果トランジスタ。

【請求項 5】

前記 n 型 Si ドープ層が、前記バリア層内の分極電荷の少なくとも 10% の面密度 N_s 2 で n 型 Si がドープされた領域と、当該領域の n 型 Si 面密度よりも低い面密度で n 型 Si がドープされた領域とを有する、請求項 4 に記載の GaN 系電界効果トランジスタ。

10

【請求項 6】

前記シート状の Si 層の面密度 N_s 2 が 10^{12} cm^{-2} 以上である請求項 5 に記載の GaN 系電界効果トランジスタ。

【請求項 7】

前記バリア層の厚みが 1 ~ 10 nm であり、前記 n 型 Si ドープ層の厚みが 3 ~ 15 nm である、請求項 1 ~ 6 に記載の GaN 系電界効果トランジスタ。

【請求項 8】

前記ゲート電極がショットキー型である、請求項 1 ~ 7 に記載の GaN 系電界効果トランジスタ。

【請求項 9】

前記ゲート電極が金属 絶縁膜 半導体の MIS 型である、請求項 1 ~ 7 に記載の GaN 系電界効果トランジスタ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタ (FET)、特にノーマリオフ型 HEMT 素子に係る。

【背景技術】

【0002】

窒化物半導体電界効果トランジスタをパワーデバイスに用いる場合、安全性ならびに従来の Si パワーデバイスとの互換性の観点から、ノーマリオフ型であることが強く求められている。窒化物半導体電界効果トランジスタにおいて、ノーマリオフを実現する方法の一つとして、高速電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) 構造のゲート部をそれ以外の部分に対して掘り下げたりセスゲート構造が知られている (非特許文献 1 参照)。このリセス構造を用いた $GaN / AlGaN$ ヘテロ構造の場合、トランジスタの閾値を決定するチャンネル層 (GaN 層) 上の $AlGaN$ 層の膜厚を制御しなければならないが、これまでは、エッチングに用いるプラズマ密度、ガス密度、基板表面温度によりエッチング速度が決定されるため、エッチングの深さを基板面内で制御することが困難であった。特に、大口径ウェーハの面内では、エッチング深さの制御はより一層困難になる。

30

40

【0003】

基板表面での条件の不均一性によらずエッチング深さを制御する方法として選択ドライエッチングという手法が従来から提案されている。これは、被エッチング材料の種類によるエッチング速度の違いを利用して、材料が異なる界面でエッチングを止めるものである。結晶成長により、 GaN (基板側) / $AlGaN$ / GaN (表面側) 構造を作製し、フッ素系のエッチングガスを用いることによって、表面側の GaN をエッチングした後、露出する $AlGaN$ 層では Al のフッ化物が生成し、これによりエッチングをストップする方法が用いられる (非特許文献 2 参照)。

【0004】

しかしながら、 $AlGaN / GaN$ (表面側) の界面の GaN 側には正電荷が誘起され

50

、AlGaIn側には負電荷が誘起されるために、伝導帯に大きなノッチが発生し、ソース電極およびドレイン電極において良好なオーミック電極を形成することが難しい。これを回避するために、非特許文献2のオーミック接触は、電子走行層(チャンネル層)に電極金属を直接接触させる構造としているが、オーミック接触が点で形成されており、半導体表面上に面で電極を形成する場合と比較して、接触抵抗が大きくなるという問題がある。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】Wataru Saito他 IEEE Trans. Electron Devices, p. 356-362, Vol. 53, No. 2, 2006

10

【非特許文献2】Lu Bin他 IEEE Electron Device Letts., p. 369-371, Vol. 34, No. 3, 2013

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の課題は、窒化物半導体のHEMT素子のリセス構造によって、ノーマリオフ化を実現した場合に生じるソース電極およびドレイン電極でのオーミック特性を改善することである。

【課題を解決するための手段】

【0007】

20

本発明者らは、AlGaIn/GaN(表面側)の界面に生じるバンドのノッチを低減するため、前記AlGaIn/GaN(表面側)の界面のAlGaIn側に誘起される負の分極電荷を相殺することを創案した。このため、表面側のGaN層のAlGaIn層との界面近傍に、高濃度にn型にドーブした層を設け、この層によるキャリア(電子)を素子表面方面に拡散させることで前記界面近傍に局所的に正に帯電した領域を形成し、この正電荷によりAlGaIn側に誘起される負の分極電荷を相殺することを創案した。すなわち、本発明によれば、以下の電界効果トランジスタが提供される。

【0008】

[1] 基板上に少なくともチャンネル層、バリア層、n型不純物ドーブ層が順次積層され、当該n型不純物ドーブ層上にソース電極およびドレイン電極が形成され、n型不純物ドーブ層が除去されたバリア層上にゲート電極が形成されたGaN系電界効果トランジスタであって、前記n型不純物ドーブ層内の膜厚方向の少なくとも一部において、不純物濃度が他の部位より高濃度の部位があるGaN系電界効果トランジスタ。

30

【0009】

[2] 前記チャンネル層、バリア層、n型不純物ドーブ層をチャンネル層/バリア層/n型不純物ドーブ層なる積層構造として表した場合において、積層構造がGaN/Al_xGa_{1-x}N(X>0)/n型GaN、Al_xGa_{1-x}N/Al_yGa_{1-y}N/n型GaN(0<X<Y)、またはGaN/In_xAl_{1-x}N(X>0)/n型GaNのいずれかである前記[1]に記載のGaN系電界効果トランジスタ。

【0010】

40

[3] 前記n型不純物ドーブ層の不純物濃度がソース電極およびドレイン電極側で低く、バリア層側で高くなり、その濃度変化がステップ状あるいは連続的である、前記[1]または[2]に記載のGaN系電界効果トランジスタ。

【0011】

[4] 前記n型不純物ドーブ層の不純物濃度が、ソース電極およびドレイン電極近接部、ならびにバリア層近接部よりも中央部において高く、その濃度変化がステップ状あるいは連続的である、前記[1]または[2]に記載のGaN系電界効果トランジスタ。

【0012】

[5] 前記n型不純物ドーブ層が、前記バリア層内の分極電荷の少なくとも10%の面密度Ns2でn型不純物がドーブされた領域と、当該領域のn型不純物面密度よりも低い面

50

密度でn型不純物がドーブされた領域とを有する、前記[4]に記載のGaN系電界効果トランジスタ。

【0013】

[6]前記面密度 N_s が 10^{12} cm^{-2} 以上である、前記[5]に記載のGaN系電界効果トランジスタ。

【0014】

[7]前記バリア層の厚みが $1 \sim 10 \text{ nm}$ であり、前記n型不純物ドーブ層の厚みが $3 \sim 15 \text{ nm}$ である、前記[1]～[6]に記載のGaN系電界効果トランジスタ。

【0015】

[8]前記ゲート電極がショットキー型である、前記[1]～[7]に記載のGaN系電界効果トランジスタ。

10

【0016】

[9]前記ゲート電極が金属絶縁膜半導体のMIS型である、前記[1]～[7]に記載のGaN系電界効果トランジスタ。

【図面の簡単な説明】

【0017】

【図1】本発明の第1実施形態における電界効果トランジスタの断面構造を示す図である。

【図2】本発明の第2実施形態における電界効果トランジスタの断面構造を示す図である。

20

【図3】従来のリセスゲート型電界効果トランジスタの断面構造を示す図である。

【図4】本発明の第1実施形態における電界効果トランジスタのバイアスを印加しない状態でのオーミック電極直下の縦方向の伝導帯プロファイルを示す図である。

【図5】本発明の第2実施形態における電界効果トランジスタのバイアスを印加しない状態でのオーミック電極直下の縦方向の伝導帯プロファイルを示す図である。

【図6】従来例のリセスゲート型電界効果トランジスタのバイアスを印加しない状態でのオーミック電極直下の縦方向の伝導帯プロファイルを示す図である。

【図7】本発明の第2実施形態に含まれる実施例1の製造工程フローを示す図である。

【図8】表面側n型GaN層にSiドーブした積層構造の深さ方向のSi分布を示す図である。

30

【図9】本発明の第2実施形態に含まれる実施例2の製造工程フローを示す図である。

【図10】本発明の第2実施形態に含まれる実施例3の製造工程フローを示す図である。

【図11】 $\text{GaN}/\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ /高濃度Siドーブn型GaNなる積層構造のホール効果測定を示す図である。

【図12】本発明の第2実施形態の実施例3の積層構造のFETにおけるドレインI-V測定結果を示す図である。

【図13】本発明の第2実施形態の実施例3の積層構造のFETにおける $I_d - V_g$ 測定結果を示す図である。

【発明を実施するための形態】

40

【0018】

以下、図面を参照しつつ本発明の実施の形態について説明する。本発明は、以下の実施形態に限定されるものではなく、発明の範囲を逸脱しない限りにおいて、変更、修正、改良を加え得るものである。

【0019】

本発明において基板は、その上に形成するバッファ層(緩衝層)、チャネル層、バリア層、n型不純物ドーブ層、あるいは各層の形成手法に応じて適宜に選択される。例えば、基板としては、シリコン、ゲルマニウム、サファイア、炭化ケイ素、酸化物(ZnO 、 LiAlO_2 、 LiGaO_2 、 MgAl_2O_4 、 $(\text{LaSr})(\text{AlTa})\text{O}_3$ 、 NdGaO_3 、 MgO など)、Si-Ge合金、周期律表の第3族-第5族化合物(GaAs 、 AlN

50

、GaN、AlGa_{1-x}N、AlInN)、ホウ化物(ZrB₂など)、などを用いることができる。ただし、室温～1200℃における前記基板の熱膨張係数が基板上に形成するAl_xGa_{1-x}Nからなる膜の熱膨張係数より小さいことが好ましく、なかでもSi基板が品質およびコストの点で好ましく、Si基板の厚みとしては0.42～1.00mmが好適である。

【0020】

バッファ層は、その上に形成するデバイス層の組成や構造、あるいは各層の形成手法に応じて、様々な第3族窒化物半導体からなる単一層または複数層から形成される。本発明では、バッファ層はAl_xGa_{1-x}Nからなり、X=0.2の1層または複数層からなり、合計の厚みとして30～500nmが好ましく、50～150nmがより好ましい。このバッファ層は、例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。歪や転位密度ができるだけ少ない膜構造とすることが好ましく、後に形成される膜の品質に影響するため、転位密度は $1 \times 10^{11} / \text{cm}^2$ 以下に形成することが好ましい。なお、バッファ層とチャネル層の間に、更なる格子歪低減のため、前記組成傾斜層または超格子層を形成してもよい。組成傾斜層としては、膜成長方向に連続的に減少する、あるいは膜成長方向に膜厚10nm～100nm毎に階段状に減少することが好ましい。超格子層を形成する場合は、一方の組成がAlNであり、他方の組成がAl_xGa_{1-x}Nであり、Xが0～0.2であることが好ましい。そして、超格子の一对がAlNとAl_xGa_{1-x}Nの場合、その膜厚比が1:2～1:4が好ましい。

【0021】

本発明の電界効果トランジスタ(FET)、特にHEMT素子の場合は、バッファ層に引き続き、チャネル層、バリア層、およびn型不純物ドープ層が形成される。チャネル層はi-GaNで構成することが好ましく、バリア層としてi-Al_xGa_{1-x}N(0.1<X<0.3)とすることが好ましい。なお、二次元電子ガスの移動度を改善させるため、チャネル層とバリア層との間に0.5～1.5nm厚のAlNスペーサ層が適宜形成される。なお、チャネル層のi-GaNに対して、バリア層としてi-In_xAl_{1-x}N(0.1<X<0.3)を用いることもできる。チャネル層、バリア層、n型不純物ドープ層をチャネル層/バリア層/n型不純物ドープ層なる積層構造として表した場合において、積層構造がGaN/Al_xGa_{1-x}N(X>0)/n型GaN、Al_xGa_{1-x}N/Al_yGa_{1-y}N/n型GaN(0<X<Y)、またはGaN/In_xAl_{1-x}N(X>0)/n型GaNのいずれかであることが好ましい。

【0022】

n型不純物ドープ層の不純物濃度分布は、ソース電極およびドレイン電極側で低く、バリア層側で高くなり、その濃度変化がステップ状あるいは連続的であることが好ましい(第1実施形態)。また他の形態として、n型不純物ドープ層の不純物濃度が、ソース電極およびドレイン電極近接部、ならびにバリア層近接部よりも中央部において高く、その濃度変化がステップ状あるいは連続的であることが好ましい(第2実施形態)。第2実施形態として、n型不純物ドープ層が、バリア層内の分極電荷の少なくとも10%の面密度Ns₂でn型不純物がドープされた領域と、当該領域のn型不純物面密度よりも低い面密度でn型不純物がドープされた領域とを有することが特に好ましい。この場合、面密度Ns₂が 10^{12} cm^{-2} 以上であることが好ましい。そして、バリア層の厚みが1～10nmであり、前記n型不純物ドープ層の厚みが3～15nmであることが好ましい。バリア層上に形成されるゲート電極がショットキー型、あるいは、金属絶縁膜半導体のMIS型であることが好ましい。

【0023】

本発明、例えば実施形態1の構造において、バイアスを印加しない状態でのオーミック電極直下の縦方向の伝導帯プロファイル(図4参照)は、高濃度均一ドープn型GaN層のオーミック電極直下の縦方向の伝導帯プロファイル(図6参照)に比べて、電子障壁が小さくなり、良いオーミック特性が期待できる。さらに、実施形態2の構造においては、実施形態1の構造よりもオーミック電極直下の縦方向の伝導帯プロファイルの電子障壁が小

10

20

30

40

50

さくなり、より良いオーミック特性が期待できる（図5参照）。

【実施例】

【0024】

以下、第2実施形態に含まれる実施例1～3について詳細に説明する。

（実施例1：オーミック電極間にリセスしたゲート電極を形成する構造）

8インチ径、厚み525 μm の(111)面シリコン(Si)基板上にバッファ層として膜厚100nm、チャンネル層として膜厚1 μm のGa_{0.15}N_{0.85}層、バリア層として膜厚6nmのAl_{0.15}Ga_{0.85}N層、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 添加した膜厚1nmのn型Ga_{0.15}N_{0.85}層、Siをシート状に面密度として $1 \times 10^{13} \text{ cm}^{-2}$ 添加した層、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 添加した膜厚20nmのn型Ga_{0.15}N_{0.85}層をこの順に有機金属気層成長法(MOCVD法)にて形成した(図7(a))。なお、バッファ層形成時は1030、他の層の形成時は1130に基板加熱を行った。次に、CF₄をエッチングガスとした反応性イオンエッチングのイオン注入にて、半導体表面からチャンネル層であるGa_{0.15}N_{0.85}層の途中までエッチングすることで素子間分離を行った(図7(b))。n型Ga_{0.15}N_{0.85}層の表面にTi/Alを蒸着し、800で30秒の加熱により、n型Ga_{0.15}N_{0.85}層上にオーミック電極を形成した(図7(c))。次に、オーミック電極の間で、ゲート電極を形成する部位をエッチングガスとしてSF₆を用いた反応性イオンエッチングにより、表面側n型Ga_{0.15}N_{0.85}層、シート状のSi層、およびその下層のn型Ga_{0.15}N_{0.85}層を選択的にエッチングする(図7(d))。さらに、その開口部にNi/Auを蒸着およびリフトオフすることで、HEMT素子を作製した(図7(e))。本実施例にもとづいて作製したエピタキシャル構造におけるSiドーピング分布をSIMS装置により測定した。この結果、素子表面側n型Ga_{0.15}N_{0.85}層とAl_{0.15}Ga_{0.85}N層との界面近傍のn型Ga_{0.15}N_{0.85}層側にSi濃度のピークがあることが確認できた(図8参照)。Si濃度のピークの体積密度はほぼ狙い通りであり、 $0.9 \times 10^{20} \text{ cm}^{-3}$ (設計値： $1 \times 10^{20} \text{ cm}^{-3}$)であった。なお、素子表面側にSiの拡散があった。

【0025】

（実施例2：FP構造といって絶縁膜上にゲートの一部がせり出した構造）

実施例1と全く同じプロセスにて、(111)面Si基板上にバッファ層、Ga_{0.15}N_{0.85}層1 μm 、Al_{0.15}Ga_{0.85}N層6nm、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 添加したn型Ga_{0.15}N_{0.85}層1nm、Siをシート状に面密度として $1 \times 10^{13} \text{ cm}^{-2}$ 添加した層、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 添加したn型Ga_{0.15}N_{0.85}層20nmをこの順にMOCVD法にて形成し、CF₄をエッチングガスとした反応性イオンエッチングのイオン注入にて、半導体表面から1 μm のGa_{0.15}N_{0.85}層の途中までエッチングすることで素子間分離を行い、さらにn型Ga_{0.15}N_{0.85}層の表面にTi/Alを蒸着し、800度30秒の加熱により、n型Ga_{0.15}N_{0.85}層上にオーミック電極を形成した(図9(a)～図9(c))。次に、素子表面全体に原子層オーダー堆積法(ALD法)にてAl₂O₃を膜厚10nm形成した(図9(d))。次に、オーミック電極の間で、ゲート電極を形成する部位のAl₂O₃を除去したのち(図9(e))、その開口マスクにSF₆をエッチングガスとした反応性イオンエッチングをもちいて、表面側n型Ga_{0.15}N_{0.85}層、シート状のSi層、およびその下層のn-Ga_{0.15}N_{0.85}層を選択的にエッチングする(図9(f))。その電極開口部にNi/Auを蒸着およびリフトオフすることによりゲート電極を形成して、HEMT素子(図9(g))を作製した。

【0026】

（実施例3：MIS-FET構造）

実施例1および実施例2と全く同様のプロセスと膜構成にて、n型Ga_{0.15}N_{0.85}層上にオーミック電極を形成した(図10(a)～図10(c))。次に、オーミック電極の間で、ゲート電極を形成する部位を、SF₆をエッチングガスとした反応性イオンエッチングをもちいて、素子表面側n型Ga_{0.15}N_{0.85}層、シート状のSi層、およびその下層のn型Ga_{0.15}N_{0.85}層を選択的にエッチングした(図10(d))。素子表面全体に原子層オーダー堆積法(ALD)にてAl₂O₃を堆積膜厚10nm形成した(図10(e))。その電極開口部

10

20

30

40

50

にNi/Auを蒸着およびリフトオフによりゲート電極を形成することで、HEMT素子を作製した(図10 (f))。

【0027】

図8に示す高濃度SiドープGaN/Al_{0.15}Ga_{0.85}N/n型GaNなる積層構造のホール効果測定を行った。その結果、電子移動度 μ : 560 cm²/Vs (表面側n型GaN層へのSiドープ量: 1.5×10^{13} cm⁻²)であり、n型ドープGaN層をエッチングにより除去すると、電子移動度 μ は測定できなかった。表面側n型GaN層のみに電子が流れているとすると、その電子移動度が高過ぎるので、チャンネル層であるGaN層とバリア層であるAl_{0.15}Ga_{0.85}Nとの界面近傍で電子が流れ、オーミックコンタクトがとれているものと考えられる(図11参照)。なお、n型GaN層へのSi均一ドープ構造ではオーミックコンタクトがとれない。

10

【0028】

本発明の第2実施形態の実施例3の積層構造のHEMTにおけるドレインI-V測定結果を図12に示す。サンプル10個の平均値を示す。ゲート電圧8Vでの飽和ドレイン電流は75 mA、閾値電圧は2~3 V、通電時比抵抗は17 Ω であった。

【0029】

次に、本発明の第2実施形態の実施例3の積層構造のHEMTにおける伝達特性(I_d-V_g特性、ドレイン電圧8V)を図13に示す。ノーマリオフになっており、非通電のドレイン電流に対する通電時のドレイン電流は10⁷以上あることがわかった。なお、破線は、ゲート電圧V_gに対してドレイン電流I_dがリニアに変化する領域での、ドレイン電流1 decadeあたり(1桁変化)のゲート電圧V_gの変化であり、この値が小さいことが好ましい。実際に測定したところ、130 mV/decであった。

20

【産業上の利用可能性】

【0030】

本発明は、電界効果トランジスタ(FET)、特に接触抵抗の小さいノーマリオフ型HEMT素子に用いられる。

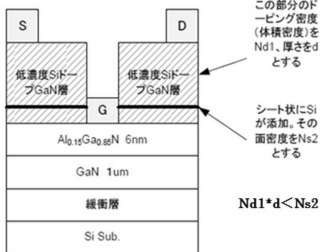
【図1】



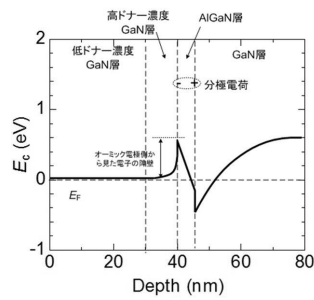
【図3】



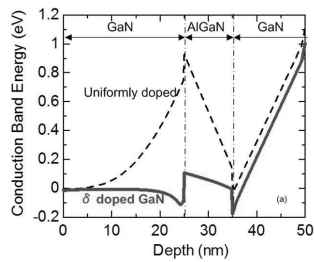
【図2】



【図4】

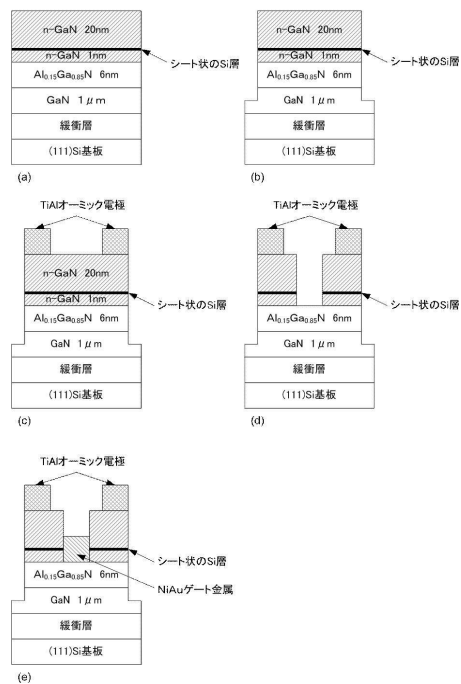


【図5】

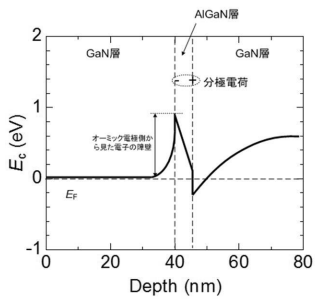


【図7】

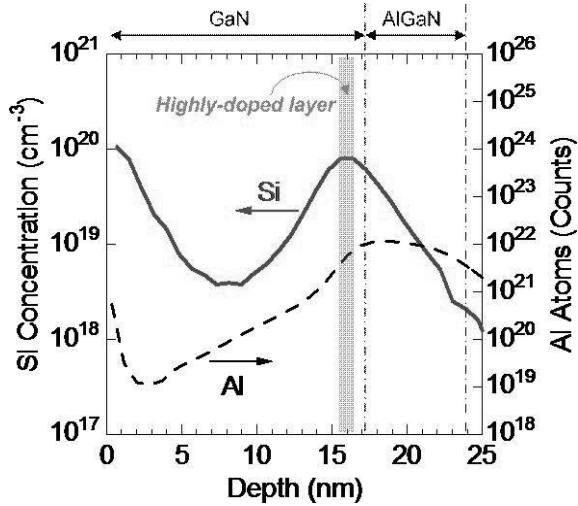
実施例1



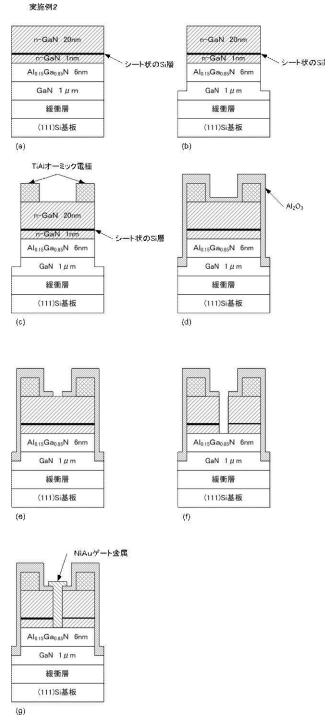
【図6】



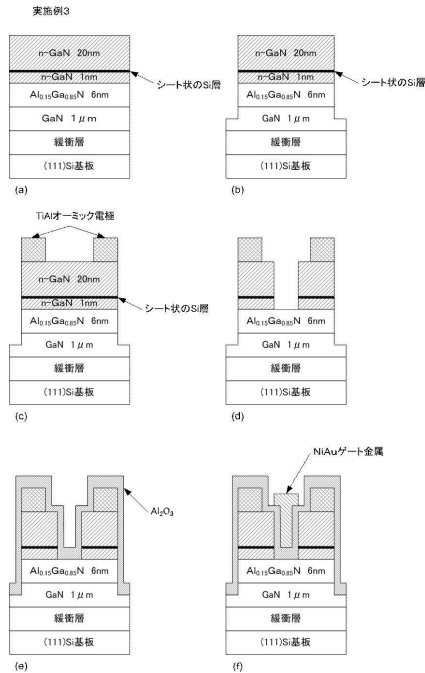
【 図 8 】



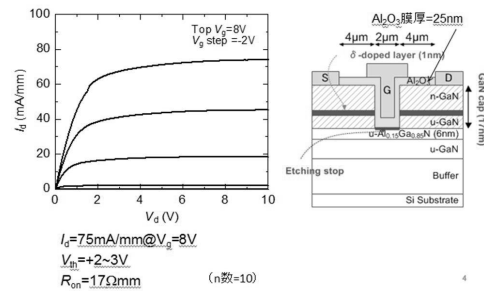
【 図 9 】



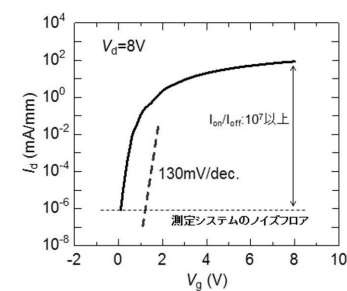
【 図 10 】



【 図 12 】



【 図 13 】



【 図 11 】

Doping profile in GaN cap	Before etching	After etching
δ-doping (本発明)	$\mu = 560 \text{ cm}^2/\text{Vs}$ $N_c = 1.5 \times 10^{13} \text{ cm}^{-2}$	Highly resistive (unable to measure)
Uniformly-doping (比較例)	Non Ohmic Contact	-
通常の AlGaIn/GaN (比較例)	-	$\mu = 1300 \text{ cm}^2/\text{Vs}$ $N_c = 1.0 \times 10^{13} \text{ cm}^{-2}$

フロントページの続き

- (56)参考文献 特開2010-251391(JP,A)
特開2002-359256(JP,A)
米国特許出願公開第2009/0267078(US,A1)
特開2008-270521(JP,A)
特開2013-131650(JP,A)
特開2001-274375(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 21/28
H01L 29/417
H01L 29/778
H01L 29/812