

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-18859  
(P2015-18859A)

(43) 公開日 平成27年1月29日(2015.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/324 (2006.01)	HO 1 L 21/324 X	5 F 0 0 3
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 Z	5 F 1 5 2
HO 1 L 29/73 (2006.01)	HO 1 L 29/91 F	
HO 1 L 29/861 (2006.01)	HO 1 L 29/161	
HO 1 L 29/868 (2006.01)	HO 1 L 21/20	

審査請求 未請求 請求項の数 17 O L (全 39 頁) 最終頁に続く

(21) 出願番号 特願2013-143504 (P2013-143504)  
(22) 出願日 平成25年7月9日 (2013.7.9)

(71) 出願人 504132272  
国立大学法人京都大学  
京都府京都市左京区吉田本町36番地1  
(74) 代理人 110000280  
特許業務法人サンクレスト国際特許事務所  
(72) 発明者 須田 淳  
京都府京都市左京区吉田本町 国立大学法人京都大学大学院工学研究科内  
(72) 発明者 奥田 貴史  
京都府京都市左京区吉田本町 国立大学法人京都大学大学院工学研究科内  
(72) 発明者 木本 恒暢  
京都府京都市左京区吉田本町 国立大学法人京都大学大学院工学研究科内

最終頁に続く

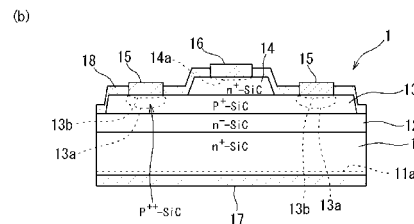
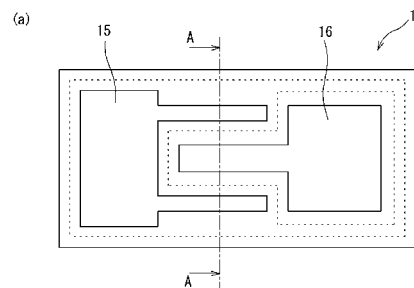
(54) 【発明の名称】 半導体装置、半導体装置の製造方法および熱処理装置

(57) 【要約】

【課題】 電気抵抗の低減を図ることができる半導体装置の製造方法、当該半導体装置および熱処理装置を提供する。

【解決手段】 半導体装置1の製造方法は、SiCからなる第2半導体層12を有する半導体装置1の製造方法である。そして、第2半導体層12から水素の脱離が生じる600以上の温度で処理を行う第1熱処理工程および第2熱処理工程と、第1熱処理工程および第2熱処理工程よりも後に行われ、水素雰囲気中で熱処理を行う第3熱処理工程と、を含む。

【選択図】 図8



## 【特許請求の範囲】

## 【請求項 1】

S i C からなる半導体層を少なくとも 1 つ有する半導体装置の製造方法であって、前記半導体層から水素の脱離が生じる第 1 温度以上の温度で処理を行う第 1 工程と、前記第 1 工程よりも後に行われ、水素雰囲気中で熱処理を行う第 2 工程と、を含む半導体装置の製造方法。

## 【請求項 2】

前記第 1 温度は、600 である  
請求項 1 記載の半導体装置の製造方法。

## 【請求項 3】

前記第 2 工程よりも後に行われ、前記半導体層から水素の脱離が生じない、前記第 1 温度以下の第 2 温度未満の温度で処理を行う第 3 工程を更に含む  
請求項 1 または請求項 2 記載の半導体装置の製造方法。

## 【請求項 4】

前記第 2 温度は、600 である  
請求項 3 記載の半導体装置の製造方法。

## 【請求項 5】

前記半導体装置は、S i C からなる第 1、第 2、第 3 半導体層を有し、  
S i C からなる第 1 導電型の半導体基板上に前記第 1 導電型の第 1 半導体層をエピタキシャル成長した後、前記第 1 半導体層上に前記第 1 導電型とは異なる第 2 導電型の第 2 半導体層をエピタキシャル成長し、その後、前記第 2 半導体層上に前記第 1 導電型の第 3 半導体層をエピタキシャル成長するエピタキシャル成長工程と、  
前記第 3 半導体層の一部を取り除くことにより前記第 2 半導体層に前記第 3 半導体層で覆われない領域を形成する第 3 半導体層除去工程と、  
前記第 2 半導体層に不純物を添加することにより不純物濃度の高い領域を形成する不純物添加工程と、  
熱処理を行うことにより前記第 2 半導体層に添加された不純物を活性化する第 1 熱処理工程と、  
前記第 2 半導体層および前記第 3 半導体層のうち電極形成予定領域以外の領域全体を覆う保護膜を形成する保護膜形成工程と、  
前記電極形成予定領域に金属層を形成する金属層形成工程と、  
熱処理を行うことにより前記金属層を構成する金属を前記第 2 半導体層および前記第 3 半導体層内に拡散させる第 2 熱処理工程と、  
前記金属層を除去する金属層除去工程と、  
水素雰囲気下で熱処理を行うことにより前記第 2 半導体層に水素を取り込ませる第 3 熱処理工程と、  
前記電極形成予定領域に電極を形成する電極形成工程と、を含み、  
前記第 1 工程は、少なくとも前記第 1 熱処理工程と前記第 2 熱処理工程とから構成され、

前記第 2 工程は、前記第 3 熱処理工程から構成され、  
前記第 3 工程は、前記電極形成工程から構成される  
請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

## 【請求項 6】

前記第 3 熱処理工程を行う前に、前記電極形成予定領域にパラジウムからなるパラジウム層を形成するパラジウム層形成工程と、  
前記第 3 熱処理工程を行った後に前記パラジウム層を除去するパラジウム層除去工程と、  
を更に含む  
請求項 5 記載の半導体装置の製造方法。

## 【請求項 7】

前記半導体装置は、S i C からなる第 1、第 2、第 3 半導体層を有し、

10

20

30

40

50

S i C からなる第 1 導電型の半導体基板上に前記第 1 導電型の第 1 半導体層をエピタキシャル成長した後、前記第 1 半導体層上に前記第 1 導電型とは異なる第 2 導電型の第 2 半導体層をエピタキシャル成長し、その後、前記第 2 半導体層上に前記第 1 導電型の第 3 半導体層をエピタキシャル成長するエピタキシャル成長工程と、

前記第 3 半導体層の一部を取り除くことにより前記第 2 半導体層に前記第 3 半導体層で覆われない領域を形成する第 3 半導体層除去工程と、

前記第 2 半導体層に不純物を添加することにより不純物濃度の高い領域を形成する不純物添加工程と、

熱処理を行うことにより前記第 2 半導体層に添加された不純物を活性化する第 1 熱処理工程と、

前記第 2 半導体層および前記第 3 半導体層のうち電極形成予定領域以外の領域全体を覆う保護膜を形成する保護膜形成工程と、

前記電極形成予定領域に電極を形成する電極形成工程と、

熱処理を行うことにより前記電極を構成する金属を前記第 2 半導体層および前記第 3 半導体層内に拡散させる第 2 熱処理工程と、

水素雰囲気下で熱処理を行うことにより前記第 2 半導体層に水素を取り込ませる第 3 熱処理工程と、を含み、

前記第 1 工程は、少なくとも前記第 1 熱処理工程と、前記第 2 熱処理工程とから構成され、

前記第 2 工程は、前記第 3 熱処理工程から構成される

請求項 1 または請求項 2 記載の半導体装置の製造方法。

#### 【請求項 8】

前記半導体装置は、S i C からなる第 1、第 2、第 3 半導体層を有し、

S i C からなる第 1 導電型の半導体基板上に前記第 1 導電型の第 1 半導体層をエピタキシャル成長した後、前記第 1 半導体層上に前記第 1 導電型とは異なる第 2 導電型の第 2 半導体層をエピタキシャル成長し、その後、前記第 2 半導体層上に前記第 1 導電型の第 3 半導体層をエピタキシャル成長するエピタキシャル成長工程と、

前記第 3 半導体層の一部を取り除くことにより前記第 2 半導体層に前記第 3 半導体層で覆われない領域を形成する第 3 半導体層除去工程と、

前記第 2 半導体層に不純物を添加することにより不純物濃度の高い領域を形成する不純物添加工程と、

熱処理を行うことにより前記第 2 半導体層に添加された不純物を活性化する第 1 熱処理工程と、

前記第 2 半導体層および前記第 3 半導体層のうち電極形成予定領域以外の領域全体を覆うマスクを形成するマスク形成工程と、

前記電極形成予定領域に金属層を形成する金属層形成工程と、

熱処理を行うことにより前記金属層を構成する金属を前記第 2 半導体層および前記第 3 半導体層内に拡散させる第 2 熱処理工程と、

前記金属層および前記マスクを除去する金属層およびマスク除去工程と、

水素雰囲気下で熱処理を行うことにより前記第 2 半導体層に水素を取り込ませる第 3 熱処理工程と、

前記第 2 半導体層および前記第 3 半導体層のうち電極形成予定領域以外の領域全体を覆う保護膜を形成する保護膜形成工程と、

前記電極形成予定領域に電極を形成する電極形成工程と、を含み、

前記第 1 工程は、少なくとも前記第 1 熱処理工程と、前記第 2 熱処理工程とから構成され、

前記第 2 工程は、前記第 3 熱処理工程から構成され、

前記第 3 工程は、前記保護膜形成工程と、前記電極形成工程とから構成される

請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

#### 【請求項 9】

10

20

30

40

50

前記第 1 導電型は、N 型であり、前記第 2 導電型は、P 型である  
請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

S i C からなる半導体層を少なくとも 1 つ有する半導体装置であって、  
前記半導体層は、前記半導体層中を移動するキャリアを捕獲可能な点欠陥を不活性化す  
る水素を含有し、  
前記水素の含有量は、前記キャリアの寿命を延長させるのに有効な量に相当する  
半導体装置。

【請求項 11】

前記半導体層中に存在するキャリアの寿命は、300 ns 以上である  
請求項 10 記載の半導体装置。

10

【請求項 12】

前記半導体層の導電型は、P 型である  
請求項 10 または請求項 11 記載の半導体装置。

【請求項 13】

S i C からなる第 1 導電型の半導体基板を備え、  
前記半導体層は、  
前記半導体基板上に形成された前記第 1 導電型の第 1 半導体層、  
前記第 1 半導体層上に形成された、前記第 1 導電型とは異なる第 2 導電型の第 2 半導体  
層、および、  
前記第 2 半導体層上に形成された前記第 1 導電型の第 3 半導体層のうちの少なくとも 1  
つに相当する  
請求項 10 乃至請求項 12 のいずれか 1 項に記載の半導体装置。

20

【請求項 14】

S i C からなる半導体層を少なくとも 1 つ有する半導体装置であって、  
前記半導体層中に存在する水素の量は、  
前記半導体層中に存在するキャリアの寿命を X とし、半導体層を水素が十分に存在しな  
い環境において 600 以上で熱処理した後における半導体層中に存在するキャリアの寿  
命を Y とした場合、式 (1) の関係式が成立する水素の量である。  
半導体装置。

30

【数 1】

$$X > Y \quad \dots \text{式 (1)}$$

【請求項 15】

S i C からなる半導体層を少なくとも 1 つ有する半導体装置および当該半導体装置の未  
完成品の少なくとも一方に対して、水素雰囲気中で熱処理を行う熱処理装置であって、  
前記半導体装置および前記未完成品の少なくとも一方が配置される熱処理炉と、  
前記水素雰囲気中での熱処理工程において、前記半導体装置および前記未完成品の少  
なくとも一方の前記半導体層に取り込まれた水素の量を計測する水素取り込み量計測部と、  
を備える  
熱処理装置。

40

【請求項 16】

前記水素取り込み量計測部は、前記半導体層中に存在するキャリアの寿命に基づいて、前  
記半導体層に取り込まれた水素の量を計測する  
請求項 14 記載の熱処理装置。

【請求項 17】

前記水素取り込み量計測部は、差動式マイクロ波光導電減衰法を利用して、前記キャリ  
アの寿命を計測する  
ことを特徴とする請求項 15 記載の熱処理装置。

【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、半導体装置の製造方法、半導体装置および熱処理装置に関し、特に、電気的特性向上を図るための製造技術に関する。

## 【背景技術】

## 【0002】

炭化珪素（SiC）等のワイドギャップ半導体材料は、シリコン（Si）に比べて絶縁破壊強度が約10倍高いなど各種の優れた特性を有しており、高耐圧が要求されるパワー半導体装置に好適な材料として注目されている（特許文献1参照）。

パワー半導体装置には、pnダイオードやバイポーラトランジスタ、IGBT、GTOサイリスタ等のバイポーラ素子を構成するものがある。

10

## 【0003】

また、バイポーラ素子において比較的大きいバイアス電圧を印加すると、バイポーラ素子中のキャリア濃度が不純物濃度を大きく上回り、抵抗率が大きく減少するいわゆる伝導度変調と呼ばれる現象が知られている。そして、バイポーラ素子において、この伝導度変調を活用することにより、オン抵抗の低減を図る試みがなされつつある。

ここにおいて、バイポーラ素子にバイアス電圧を印加したときに、バイポーラ素子中のキャリア濃度が大きくなり易くするためには、バイポーラ素子中に存在するキャリア寿命の向上が必要となってくる。

また、バイポーラトランジスタにおいては、ベース層中のキャリア寿命が大きいほど高い電流増幅率が得られるため、伝導度変調とは別の観点で、キャリア寿命の向上が必要となってくる。

20

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特開2012-195519号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

ところで、バイポーラ素子は、バイポーラ素子の基となる多層構造体をエピタキシャル成長により作製した後、当該多層構造体に対して様々な加工工程を行うことにより作製される。ここにおいて、上記多層構造体を作製した直後においては、当該多層構造体中に存在するキャリア寿命は比較的長い。

30

## 【0006】

しかしながら、当該多層構造体に対して様々な加工工程を施すことによりバイポーラ素子を作製した後では、当該バイポーラ素子中に存在するキャリア寿命が、エピタキシャル成長直後において上記多層構造体中に存在するキャリア寿命よりも減少していることが判明しつつある。

従って、多層構造体をエピタキシャル成長により作製した直後では、伝導度変調が生じる程度に十分大きいキャリア濃度が得られることが期待されていたにも関わらず、完成したバイポーラ素子中のキャリア濃度は、伝導度変調が生じる程度に十分大きくない虞がある。この場合、バイポーラ素子のオン抵抗（電気抵抗）を十分に低減できない。あるいは、キャリア寿命が減少した層がバイポーラトランジスタのベース層であれば、バイポーラトランジスタの電流増幅率が低下してしまう。

40

## 【0007】

本発明は、上記事由に鑑みてなされたものであり、半導体装置の電気抵抗の低減を図ることができる半導体装置、当該半導体装置の製造方法、および当該製造方法に用いる熱処理装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0008】

50

(1) 本発明の半導体装置の製造方法は、SiCからなる半導体層を少なくとも1つ有する半導体装置の製造方法であって、第1工程と、第2工程とを含む。第1工程では、半導体層から水素の脱離が生じる第1温度以上の温度で処理を行う。第2工程では、第1工程よりも後に行われ、水素雰囲気中で熱処理を行う。

【0009】

第1工程において、半導体層から水素の脱離が生じた場合、半導体層中に存在するキャリアを捕獲可能な点欠陥が電気的に活性化する。これにより、半導体層中に存在するキャリアの寿命が減少してしまう。

これに対して、本構成によれば、第1工程よりも後に行われる第2工程において、水素雰囲気中で熱処理を行うことにより、半導体層に水素が取り込まれる。これにより、第1工程において、電気的に活性化された半導体層中の点欠陥が、半導体層に取り込まれた水素により電気的に不活性化される。そして、半導体中に存在する電気的に活性化された点欠陥が減少することにより、キャリアが点欠陥に捕獲されにくくなり、その結果、半導体層中のキャリアの寿命が増大する。

そして、本構成に係る製造方法により製造された半導体装置は、バイアス電圧が印加された場合、半導体層中のキャリア濃度を、伝導度変調が生じる程度に大きくなる。つまり、当該半導体装置は、半導体層中に伝導度変調を生じさせることにより、電気抵抗の低減を図ることができる。あるいは、キャリア寿命の向上がバイポーラトランジスタのベース層であれば、バイポーラトランジスタの電流増幅率の向上を図ることができる。

【0010】

(2) また、本発明に係る半導体装置の製造方法は、上記第1温度が、600 であってもよい。

本構成によれば、半導体層に600 以上の処理を行うことができる。

【0011】

(3) また、本発明に係る半導体装置の製造方法は、上記第2工程よりも後に行われ、上記半導体層から水素の脱離が生じない、上記第1温度以下の第2温度未満の温度で処理を行う第3工程を更に含んでもよい。

本構成によれば、第2工程の後、更に、半導体層に対して第3工程を行ったとしても半導体層からの水素の脱離が生じない。従って、半導体層中に存在する点欠陥が電気的に活性化することを抑制できるので、半導体層中のキャリアの寿命の低下を抑制できる。

【0012】

(4) また、本発明に係る半導体装置の製造方法は、上記第2温度が、600 であってもよい。

本構成によれば、半導体層に600 未満の処理を行うことができる。

【0013】

(5) また、本発明に係る半導体装置の製造方法は、SiCからなる第1、第2、第3半導体層を有する半導体装置を製造する方法であってもよい。ここで、当該製造方法は、エピタキシャル成長工程と、第3半導体層除去工程と、不純物添加工程と、第1熱処理工程と、保護膜形成工程と、金属層形成工程と、第2熱処理工程と、金属層除去工程と、第3熱処理工程と、電極形成工程と、を含む。エピタキシャル成長工程では、SiCからなる第1導電型の半導体基板上に第1導電型の第1半導体層をエピタキシャル成長した後、第1半導体層上に前記第1導電型とは異なる第2導電型の第2半導体層をエピタキシャル成長する。その後、エピタキシャル工程では、第2半導体層上に第1導電型の第3半導体層をエピタキシャル成長する。第3半導体層除去工程では、第3半導体層の一部を取り除くことにより第2半導体層に第3半導体層で覆われない領域を形成する。

【0014】

不純物添加工程では、第2半導体層に不純物を添加することにより不純物濃度の高い領域を形成する。第1熱処理工程では、熱処理を行うことにより第2半導体層に添加された不純物を活性化する。保護膜形成工程では、第2半導体層および第3半導体層のうち電極形成予定領域以外の領域全体を覆う保護膜を形成する。金属層形成工程では、電極形成予

10

20

30

40

50

定領域に金属層を形成する。第2熱処理工程では、熱処理を行うことにより金属層を構成する金属を第2半導体層および第3半導体層内に拡散させる。金属層除去工程では、金属層を除去する。第3熱処理工程では、水素雰囲気下で熱処理を行うことにより第2半導体層に水素を取り込ませる。電極形成工程では、電極形成予定領域に電極を形成する。そして、上記第1工程は、少なくとも第1熱処理工程と第2熱処理工程とから構成される。上記第2工程は、第3熱処理工程から構成され、上記第3工程は、電極形成工程から構成される。

**【0015】**

本構成によれば、金属層形成工程において、電極形成予定領域に金属層を形成した後、熱処理を行うことにより金属層を構成する金属を第2半導体層および第3半導体層内に拡散させる。これにより、電極を、第2半導体層および第3半導体層にオーミック接触させることができるので、電気抵抗の低減を図ることができる。また、金属層形成工程を行った後に、金属層除去工程を行うことにより金属層を除去してから、第3熱処理工程において、水素雰囲気下で熱処理を行う。これにより、第2半導体層への水素の取り込みを促進できる。

10

**【0016】**

(6)また、本発明に係る半導体装置の製造方法は、上記第3熱処理工程を行う前に、上記電極形成予定領域にパラジウムからなるパラジウム層を形成するパラジウム層形成工程と、上記第3熱処理工程を行った後にパラジウム層を除去するパラジウム層除去工程と、を更に含んでもよい。

20

本構成によれば、第3熱処理工程において、パラジウム層が形成された状態で、水素雰囲気下での熱処理が行われる。これにより、上記第2半導体層への水素の取り込みが促進されるので、第3熱処理工程における熱処理時間の短縮を図ることができる。

**【0017】**

(7)また、本発明に係る半導体装置の製造方法は、SiCからなる第1、第2、第3半導体層を有する半導体装置の製造方法であってもよい。ここで、当該製造方法は、エピタキシャル成長工程と、第3半導体層除去工程と、不純物添加工程と、第1熱処理工程と、保護膜形成工程と、電極形成工程と、第2熱処理工程と、第3熱処理工程と、を含む。エピタキシャル成長工程では、SiCからなる第1導電型の半導体基板上に第1導電型の第1半導体層をエピタキシャル成長した後、第1半導体層上に第1導電型とは異なる第2導電型の第2半導体層をエピタキシャル成長する。その後、エピタキシャル成長工程では、第2半導体層上に第1導電型の第3半導体層をエピタキシャル成長する。第3半導体層除去工程では、第3半導体層の一部を取り除くことにより第2半導体層に第3半導体層で覆われない領域を形成する。

30

**【0018】**

不純物添加工程では、第2半導体層に不純物を添加することにより不純物濃度の高い領域を形成する。第1熱処理工程では、熱処理を行うことにより前記第2半導体層に添加された不純物を活性化する。保護膜形成工程では、第2半導体層および第3半導体層のうち電極形成予定領域以外の領域全体を覆う保護膜を形成する。電極形成工程では、電極形成予定領域に電極を形成する。第2熱処理工程では、熱処理を行うことにより電極を構成する金属を第2半導体層および第3半導体層内に拡散させる。第3熱処理工程では、水素雰囲気下で熱処理を行うことにより第2半導体層に水素を取り込ませる。そして、上記第1工程は、少なくとも第1熱処理工程と第2熱処理工程とから構成され、上記第2工程は、第3熱処理工程から構成される。

40

**【0019】**

本構成によれば、電極形成工程において、電極を形成してから、第2熱処理工程において、熱処理を行うことにより、電極を構成する金属を第2半導体層および第3半導体層内に拡散させる。これにより、電極を、第2半導体層および第3半導体層にオーミック接触させることができるので、電気抵抗の低減を図ることができる。また、電極形成工程および第2熱処理工程の後、第3熱処理工程において、水素雰囲気下で熱処理を行うことによ

50

り、水素を電極と保護層との界面を通じて第2半導体層に取り込ませる。これにより、金属層形成工程および金属層除去工程を省略することができる。

【0020】

(8)また、本発明に係る半導体装置の製造方法は、SiCからなる第1、第2、第3半導体層を有する半導体装置の製造方法であってもよい。ここで、当該製造方法は、エピタキシャル成長工程と、第3半導体層除去工程と、不純物添加工程と、第1熱処理工程と、マスク形成工程と、金属層形成工程と、第2熱処理工程と、金属層およびマスク除去工程と、第3熱処理工程と、保護膜形成工程と、電極形成工程と、を含む。エピタキシャル成長工程では、SiCからなる第1導電型の半導体基板上に第1導電型の第1半導体層をエピタキシャル成長した後、第1半導体層上に第1導電型とは異なる第2導電型の第2半導体層をエピタキシャル成長する。その後、エピタキシャル成長工程では、第2半導体層上に第1導電型の第3半導体層をエピタキシャル成長する。第3半導体層除去工程では、第3半導体層の一部を取り除くことにより第2半導体層に第3半導体層で覆われない領域を形成する。

10

【0021】

不純物添加工程では、第2半導体層に不純物を添加することにより不純物濃度の高い領域を形成する。第1熱処理工程では、熱処理を行うことにより第2半導体層に添加された不純物を活性化する。マスク形成工程では、第2半導体層および第3半導体層のうち電極形成予定領域以外の領域全体を覆うマスクを形成する。金属層形成工程では、電極形成予定領域に金属層を形成する。第2熱処理工程では、熱処理を行うことにより金属層を構成する金属を第2半導体層および第3半導体層内に拡散させる。金属層およびマスク除去工程では、金属層およびマスクを除去する。第3熱処理工程では、水素雰囲気下で熱処理を行うことにより第2半導体層に水素を取り込ませる。保護膜形成工程では、第2半導体層および第3半導体層のうち電極形成予定領域以外の領域全体を覆う保護膜を形成する。電極形成工程では、電極形成予定領域に電極を形成する。そして、上記第1工程は、少なくとも第1熱処理工程と、第2熱処理工程とから構成される。上記第2工程は、第3熱処理工程から構成され、上記第3工程は、保護膜形成工程と、電極形成工程とから構成される。

20

【0022】

本構成によれば、第3熱処理工程において、第2半導体層上が金属層とマスクの両方が除去された状態となっている。これにより、第2半導体層への水素の取り込みがより促進される。

30

【0023】

(9)また、本発明に係る半導体装置の製造方法は、上記第1導電型が、N型であり、上記第2導電型が、P型であってもよい。

本構成によれば、第3熱処理工程において、比較的水素が取り込まれやすい第2半導体層に、水素を効率よく取り込ませることができる。

【0024】

(10)本発明に係る半導体装置は、SiCからなる半導体層を少なくとも1つ有する半導体装置であって、前記半導体層は、前記半導体層中を移動するキャリアを捕獲可能な点欠陥を複数有し、前記半導体層中に存在する水素の含有量は、前記複数の点欠陥のうちの少なくとも半分以上を不活性化させることができる量に相当する。

40

本構成によれば、半導体層中に含まれるキャリアを捕獲可能な複数の点欠陥の半分以上が、水素により電氣的に不活性化している。これにより、半導体層中に存在するキャリアは、点欠陥に捕獲されにくくなり、その結果、半導体層中のキャリアの寿命が増大する。

従って、バイアス電圧が印加された場合、半導体層中のキャリア濃度が伝導度変調を生じる程度に大きくなる。つまり、半導体層中に伝導度変調を生じさせることにより、電気抵抗の低減を図ることができる。あるいは、キャリア寿命の向上がバイポーラトランジスタのベース層であれば、バイポーラトランジスタの電流増幅率の向上を図ることができる。

50



## 【0025】

(11)また、本発明に係る半導体装置は、上記半導体層中に存在するキャリアの寿命は、300ns以上であってもよい。

本構成によれば、バイアス電圧が印加された場合、半導体層中のキャリア濃度が伝導度変調を生じる程度に大きくなる。つまり、当該半導体装置は、半導体層中に伝導度変調を生じさせることにより、電気抵抗の低減を図ることができる。

## 【0026】

(12)また、本発明に係る半導体装置は、上記半導体層の導電型が、P型であってもよい。

本構成によれば、半導体層中存在する水素の量が、伝導度変調が生じる程度に大きくすることができる。

10

## 【0027】

(13)また、本発明に係る半導体装置は、SiCからなる第1導電型の半導体基板を備え、上記半導体層が、半導体基板上に形成された前記第1導電型の第1半導体層、前記第1半導体層上に形成された、前記第1導電型とは異なる第2導電型の第2半導体層、および、前記第2半導体層上に形成された前記第1導電型の第3半導体層のうちの少なくとも1つに相当するものであってもよい。

本構成によれば、電気抵抗の低減を図ることができる。

## 【0028】

(14)また、本発明に係る半導体装置は、SiCからなる半導体層を少なくとも1つ有する半導体装置であって、半導体層中に存在する水素の量が、半導体層中に存在するキャリアの寿命をXとし、仮にこの半導体層を水素が十分に存在しない環境で600以上で熱処理した後における半導体層中に存在するキャリアの寿命をYとした場合、式(1)の関係式が成立する水素の量である。

20

## 【数1】

$$X > Y \quad \dots \text{式(1)}$$

本構成によれば、半導体層中に存在する水素の効果により半導体層中に含まれるキャリアの寿命が増大している。これにより、バイアス電圧が印加された場合、半導体層中のキャリア濃度が伝導度変調を生じる程度に大きくなる。つまり、半導体層中に伝導度変調を生じさせることにより、電気抵抗の低減、もしくは、バイポーラトランジスタであれば電流増幅率の向上を図ることができる。

30

## 【0029】

(15)また、本発明に係る熱処理装置は、SiCからなる半導体層を少なくとも1つ有する半導体装置および当該半導体装置の未完成品の少なくとも一方に対して、水素雰囲気中で熱処理を行う熱処理装置であって、前記半導体装置および前記未完成品の少なくとも一方が配置される熱処理炉と、前記水素雰囲気中での熱処理工程において、前記半導体装置および前記未完成品の少なくとも一方の前記半導体層に取り込まれた水素の量を計測する水素取り込み量計測部と、を備えるものであってもよい。

40

本構成によれば、熱処理工程において、半導体層内に取り込まれた水素の量をリアルタイムでモニタリングしながら処理を行うことができる。従って、熱処理工程における処理不良の発生を抑制できる。

## 【0030】

(16)また、本発明に係る熱処理装置は、上記水素取り込み量計測部が、前記半導体層中存在するキャリアの寿命に基づいて、前記半導体層に取り込まれた水素の量を計測するものであってもよい。

本構成によれば、熱処理工程において、半導体層内に取り込まれた水素の量を比較的容易にモニタリングできる。

## 【0031】

50

(17)また、本発明に係る熱処理装置は、上記水素取り込み量計測部が、差動式マイクロ波光導電減衰法を利用して、前記キャリアの寿命を計測するものであってもよい。

本構成によれば、熱処理工程において、半導体層内に取り込まれた水素の量を比較的精度よくモニタリングできる。

【発明の効果】

【0032】

本発明によれば、半導体装置の電気抵抗の低減を図ることができる半導体装置、当該半導体装置の製造方法、および当該製造方法に用いる熱処理装置を提供することができる。

【図面の簡単な説明】

【0033】

【図1】実施形態について、(a)は対象試料の概略断面図であり、(b)は計測装置の概略構成図である。

【図2】実施形態に係る試料について、半導体層中に存在するキャリアの寿命を計測した結果を示す図である。

【図3】実施形態に係る試料について、Ar雰囲気下での熱処理の温度とキャリアの寿命との関係を示す図である。

【図4】実施形態に係る試料について、H<sub>2</sub>雰囲気下での熱処理の温度とキャリアの寿命との関係を示す図である。

【図5】実施形態に係る試料について、重水素雰囲気下で熱処理を行った後の重水素の濃度プロファイルを示す図である。

【図6】実施形態に係る試料について、(a)は半導体層中に存在するキャリアの寿命を計測した結果を示す図であり、(b)はAr雰囲気下での熱処理の温度とキャリアの寿命との関係を示す図である。

【図7】実施形態に係る試料について、半導体層中の不純物濃度とキャリアの寿命との関係を示す図である。

【図8】実施形態に係る半導体装置を示し、(a)は概略平面図、(b)は概略断面図である。

【図9】実施形態に係る半導体装置の製造方法を示すフローチャートである。

【図10】実施形態に係る半導体装置の各製造工程における概略断面図である。

【図11】実施形態に係る半導体装置の各製造工程における概略断面図である。

【図12】実施形態に係る半導体装置の各製造工程における概略断面図である。

【図13】実施形態に係る半導体装置の各製造工程における概略断面図である。

【図14】変形例に係る半導体装置の製造方法を示すフローチャートである。

【図15】変形例に係る半導体装置の各製造工程における概略断面図である。

【図16】変形例に係る半導体装置の各製造工程における概略断面図である。

【図17】変形例に係る試料について、H<sub>2</sub>雰囲気下での熱処理の温度とキャリアの寿命との関係を示す図である。

【図18】変形例に係る半導体装置の製造方法を示すフローチャートである。

【図19】変形例に係る半導体装置の各製造工程における概略断面図である。

【図20】変形例に係る半導体装置の製造方法を示すフローチャートである。

【図21】変形例に係る半導体装置の各製造工程における概略断面図である。

【図22】変形例に係る半導体装置の各製造工程における概略断面図である。

【図23】変形例に係る熱処理装置を示す概略構成図である。

【発明を実施するための形態】

【0034】

<実施形態1>

<1>本発明の動機となった分析の結果について

まず、本発明の動機となった分析の結果について説明する。発明者らは、半導体装置に用いられているSiC(炭化ケイ素)からなるエピタキシャル成長膜の電気的物性について分析を行っている。具体的には、差動式マイクロ波光導電減衰法(差動式μ-PCD法

10

20

30

40

50

)を用いて、SiCからなるエピタキシャル成長膜中に存在するキャリアの寿命を計測した。

#### 【0035】

<1-1>分析対象の試料について

図1(a)は、分析対象の試料の概略断面図であり、図1(b)は、 $\mu$ -PCD法によりキャリア寿命を計測する計測装置の概略構成図である。

図1(a)に示すように、分析対象の試料101は、半導体基板102と、半導体基板102上に形成された半導体層103とを備える。ここで、半導体層103は、半導体基板102上にHW-CVD法(ホットウォール型のCVD装置を用いる方法)によりエピタキシャル成長されたものである。

半導体基板102は、4H-SiCのn型基板からなる。

半導体層103は、導電型がP型のSiCからなり、膜厚が100 $\mu$ m、不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

#### 【0036】

<1-2>計測装置について

図1(b)に示すように、計測装置201は、マイクロ波発振器211と、導波管212, 213, 214, 215, 216, 225, 226と、方向性結合器217と、マジックティー218と、フェーズシフト回路219と、ミキサ回路220と、信号検出部221とを備える。また、計測装置201は、更に、レーザ源222と、光学系223と、ステージ224とを備える。この計測装置201は、試料101について差動式 $\mu$ -PCD法により計測される信号(以下、「 $\mu$ -PCD信号」と称する。)の経時変化を計測する装置である。この信号の大きさは、試料101中のキャリア濃度に比例する。

#### 【0037】

ここで、マイクロ波発振器211は、例えば周波数26GHzのマイクロ波を放射するものである。また、レーザ源222は、例えば波長349nm、パルス幅5ns~数十nsのパルス状のレーザ光を出射するものである。光学系223は、レーザ光の試料101上における照射スポット径が例えば2mmとなるように設定されている。

この計測装置201では、マイクロ波発振器211から放射されたマイクロ波が、導波管212から方向性結合器217、導波管213を通過してマジックティー218に導かれる。そして、マジックティー218に導かれたマイクロ波は、信号用の導波管214と、参照用の導波管215に分岐される。参照用の導波管215から試料101に放射されたマイクロ波は、試料101の半導体層103内の自由キャリア密度により定まる反射率で反射される。

#### 【0038】

一方、レーザ源222から出射されるレーザ光は、光学系223により、試料101の半導体層103に照射される。ここで、信号用の導波管214を通過するマイクロ波は、半導体層103のうちレーザ光が照射される領域に照射される。半導体層103のうちレーザ光が照射された領域では、キャリア密度が上昇し、マイクロ波の反射率が増加する。

試料101で反射されたマイクロ波は、導波管214, 215を通過して再びマジックティー218に戻る。そして、マジックティー218からは、試料101で反射され2つの導波管214, 215それぞれを通過して戻ってきたマイクロ波の強度差に比例する強度のマイクロ波を、導波管225を通過してミキサ回路220に送る。

#### 【0039】

また、フェーズシフト回路219は、方向性結合器217から導波管216を通過して伝送されてきたマイクロ波の位相を調整してから導波管226を通過してミキサ回路220に送る。

そして、ミキサ回路220では、マジックティー218から送られてきたマイクロ波と、フェーズシフト回路219から送られてきたマイクロ波とを混合して信号検出部221に送る。

信号検出部221では、ミキサ回路220から送られてくるマイクロ波に基づいて、試

10

20

30

40

50

料 1 0 1 にレーザ光を照射した場合におけるマイクロ波の反射率と、試料 1 0 1 にレーザ光を照射しない場合におけるマイクロ波の反射率との差分に相当する  $\mu$ -PCD 信号の強度を検出する。

#### 【0040】

また、信号検出部 2 2 1 は、 $\mu$ -PCD 信号の強度の経時変化を計測することができる。そして、レーザ光が照射された後の  $\mu$ -PCD 信号の強度の経時変化を計測することにより、レーザ光により半導体層 1 0 3 中に誘起されたキャリア濃度の時間変化を計測することができる。また、半導体層 1 0 3 中のキャリア濃度が、レーザ光照射後、 $1/e$  の大きさに減衰するまでの時間が、キャリアの寿命に相当する。そこで、発明者らは、 $\mu$ -PCD 信号の強度が、レーザ光照射後、 $1/e$  の大きさに減衰するまでの時間をキャリアの寿命として、半導体層 1 0 3 の評価を行っている。

10

#### 【0041】

< 1 - 3 > 分析結果について

図 2 は、試料 1 0 1 について、半導体層 1 0 3 中に存在するキャリアの寿命を計測した結果を示す図である。ここにおいて、レーザ光により半導体層 1 0 3 に注入するフォトン数を、3 種類 ( $1.1 \times 10^{14} \text{ cm}^{-2}$ 、 $2.8 \times 10^{13} \text{ cm}^{-2}$ 、 $5.6 \times 10^{12} \text{ cm}^{-2}$ ) に設定して計測を行った。このとき、表面近傍に励起されるキャリア数は、4 H - S i C の室温における吸収係数が  $324 \text{ cm}^{-1}$  (レーザ光の侵入深さが  $30 \mu\text{m}$ ) であることを考慮すれば、 $3.6 \times 10^{16}$ 、 $9.2 \times 10^{15}$ 、 $1.8 \times 10^{15}$  と計算される。

20

図 2 中において、(k - 1) (k = 1, 2, 3) は、半導体基板 1 0 2 上に結晶成長により半導体層 1 0 3 を形成した直後の試料 1 0 1 について計測した結果である。(k - 2) (k = 1, 2, 3) は、試料 1 0 1 に対して Ar 雰囲気中で 1 0 0 0、2 分間の熱処理を行った後の試料 1 0 1 について計測した結果である。(k - 3) (k = 1, 2, 3) は、試料 1 0 1 に対して水素 (H<sub>2</sub>) 雰囲気中で 1 0 0 0、1 0 分間の熱処理を行った後の試料 1 0 1 について計測した結果である。

ここにおいて、Ar 雰囲気下での熱処理は、赤外線加熱式の熱処理炉 (RTA 炉) 中で行った。また、H<sub>2</sub> 雰囲気下での熱処理は、横型 HW - CVD 反応炉中或いは縦型の赤外線加熱式の熱処理炉で行った。

また、図 2 中において、(1 - m) (m = 1, 2, 3) は、フォトン数を  $1.1 \times 10^{14} \text{ cm}^{-2}$  に設定した場合の計測結果である。(2 - m) (m = 1, 2, 3) は、フォトン数を  $2.8 \times 10^{13} \text{ cm}^{-2}$  に設定した場合の計測結果である。(3 - m) (m = 1, 2, 3) は、フォトン数を  $5.6 \times 10^{12} \text{ cm}^{-2}$  に設定した場合の計測結果である。

30

#### 【0042】

半導体基板 1 0 2 上に半導体層 1 0 3 を形成した直後では、半導体層 1 0 3 中に存在するキャリアの寿命は 3 1 0 ns 程度であるのに対して、試料 1 0 1 に対して Ar 雰囲気下で熱処理を行った後では、キャリアの寿命が 9 0 ns 程度に低下している。

p 型層のキャリア寿命の減少については報告がなく、その理由や原理は不明であったが、発明者らは、発明者らが独自に行ったさまざまな実験結果を総合して以下のように考察している。

40

#### 【0043】

実験に使用した半導体層の形成温度は 1 4 0 0 以上である。形成温度以上に加熱すると新たな結晶欠陥などが生じ、結晶が劣化することが知られているが、今回のように、形成温度より低い温度の熱処理で結晶が劣化することは考えにくい。Ar 雰囲気下の熱処理以外に、真空中熱処理、酸素雰囲気下の熱処理などを行ったが、すべての場合で Ar 雰囲気下の熱処理と同様のキャリア寿命の低下が見られた。唯一、水素雰囲気下の熱処理ではキャリア寿命の低下は見られなかった。

#### 【0044】

これらの結果から以下のモデルを導出した。エピタキシャル成長により形成した半導体

50

層 103 中には、結晶成長工程中に生じた半導体層 103 中に存在するキャリアを捕獲可能な複数の点欠陥が存在している。エピタキシャル成長中、あるいは成長後の降温過程において、エピタキシャル成長工程で用いられるキャリアガスである水素が半導体層 103 中に取り込まれる。これにより、半導体層 103 中に存在するキャリアを捕獲可能な点欠陥が電氣的に不活性化する。その後、試料 101 に対して Ar 雰囲気下（水素が存在しない雰囲気下）で熱処理を行うことにより、半導体層 103 から水素の脱離が生じ、半導体層 103 中に存在するキャリアを捕獲可能な点欠陥が再び電氣的に活性化する。これにより、半導体層 103 中に存在するキャリアの寿命が減少してしまう。

#### 【0045】

図 3 は、試料 101 について、Ar 雰囲気下での熱処理の温度とキャリアの寿命との関係を示す図である。 10

熱処理の温度が約 600 以下であれば、キャリアの寿命の低下がほとんどないのに対して、熱処理の温度が約 700 以上となるとキャリアの寿命の低下が目立つようになっている。そして、熱処理の温度が約 900 以上となると、キャリアの寿命は、100 ns 以下にまで低下している。

即ち、水素の存在しない環境下においては、熱処理の温度が約 600 以下であれば、半導体層 103 からの水素の脱離は生じないが、熱処理の温度が約 900 以上となると、半導体層 103 からの水素の脱離が顕著になると考えられる。

#### 【0046】

図 2 に戻って、Ar 雰囲気下で熱処理を行った後の試料 101 に対して、更に、H<sub>2</sub> 雰囲気下で熱処理を行った後では、キャリアの寿命が 300 ns 程度にまで回復している。 20

図 4 は、試料 101 について、H<sub>2</sub> 雰囲気下での熱処理の温度とキャリアの寿命との関係を示す図である。

熱処理の時間が 2 分間の場合、熱処理の温度が約 1000 以上であれば、キャリアの寿命が回復している。また、熱処理の時間を 10 分間に延ばすと、熱処理の温度が約 800 以上であれば、キャリアの寿命が回復している。脱離した水素を水素雰囲気下の熱処理で再び半導体層中に取り込ませることが可能であることを示す結果と考えられる。

#### 【0047】

また、発明者らは、上記のモデル、すわなち、H<sub>2</sub> 雰囲気下での熱処理により、半導体層 103 中に水素が取り込まれていることを検証すべく、Ar 雰囲気下で熱処理を行った後、更に重水素（D<sub>2</sub>）雰囲気下で熱処理を行った試料 101 について、重水素の濃度プロファイル SIMS (Secondary Ion-microprobe Mass Spectrometry: 二次イオン質量分析) により分析した。重水素は水素と同様の化学的、電氣的振る舞いをする。一方、自然界にはほとんど存在しないため、定量分析においては非常に高感度で検出できるため、水素が関わる現象の学術研究においてよく使われる手法である。 30

#### 【0048】

図 5 は、重水素雰囲気下で熱処理を行った後の試料 101 における、重水素の濃度プロファイルを示す図である。この分析で用いた SIMS の濃度検出限界は、 $5 \times 10^{14} \text{ cm}^{-3}$  である。 40

図 5 に示すように、試料 101 の半導体層 103 の表面から 4 μm の深さに至るまで、2 乃至  $3 \times 10^{15} \text{ cm}^{-3}$  の濃度で重水素が存在することが判った。一方、Ar 雰囲気下で熱処理したサンプルからは重水素は検出限界以下であった。

このことから、発明者の考えた、Ar 雰囲気下の熱処理による水素の脱離によりキャリア寿命の減少、水素雰囲気下の熱処理による水素の取り込みによるキャリア寿命の向上の原理が裏付けられた。

また、発明者らは、半導体層 103 中に少なくとも  $1 \times 10^{15} \text{ cm}^{-3}$  以上の水素が取り込まれていれば、半導体層 103 中に存在するキャリアの寿命が向上するという知見を得ている。つまり、半導体層 103 中に存在するキャリアの寿命を延長させるのに有効な量は、2 乃至  $3 \times 10^{15} \text{ cm}^{-3}$  であるという知見を得ている。 50

## 【 0 0 4 9 】

次に、発明者らは、H<sub>2</sub>雰囲気下での熱処理によって半導体層103中に取り込まれたH<sub>2</sub>が、その後の熱処理によってどの程度半導体層103中から脱離するかについて調べた。

図6(a)は、試料101について、半導体層103中に存在するキャリアの寿命を計測した結果を示す図である。

図6(a)では、Ar雰囲気下で600未満、2分間の熱処理を行った後の試料101と、Ar雰囲気下で700、2分間の熱処理を行った後の試料101と、Ar雰囲気下で800、2分間の熱処理を行った後の試料101と、Ar雰囲気下で900乃至1100、2分間の熱処理を行った後の試料101とについての計測結果を示している。

10

## 【 0 0 5 0 】

熱処理温度が600未満の場合、半導体層103中のキャリアの寿命は、ほとんど低下しないが、熱処理温度が700、800になると、キャリアの寿命の低下が目立ち始め、熱処理温度が900乃至1100になると、キャリアの寿命の低下が顕著になった。

## 【 0 0 5 1 】

図6(b)は、試料101について、Ar雰囲気下での熱処理の温度とキャリアの寿命との関係を示す図である。

熱処理の温度が、600未満であれば、キャリアの寿命の大きな低下は見られない。このことから、発明者らは、H<sub>2</sub>雰囲気下での熱処理を行った試料101について、その後試料101について行う熱処理の温度が600未満に設定すれば、半導体層103からの水素の脱離は発生しないとの知見を得ている。

20

つまり、半導体層103中に存在する水素の量は、半導体層103中に存在するキャリアの寿命をXとし、仮に半導体層103に対して水素が十分に存在しない環境下で600以上で熱処理して水素を脱離させた時の半導体層103中に存在するキャリアの寿命をYとした場合、式(1)の関係式が成立する水素の量である。ここで、「水素が十分に存在しない環境」とは、例えば前述のAr雰囲気等が挙げられる。

## 【 数 1 】

$$X > Y \quad \dots \text{式(1)}$$

30

図6(b)の場合、例えば、Xは300ns以上、Yは90ns程度であり、水素の量は2乃至 $3 \times 10^{15} \text{ cm}^{-3}$ である。必要な水素の量は、半導体層が含む点欠陥の密度に依存する。点欠陥密度が大きな試料では、点欠陥の不活性化のためにより高濃度の水素を含ませる必要があり、逆に点欠陥密度の少ない試料では、僅かな量の水素で十分な効果が得られる。

## 【 0 0 5 2 】

また、発明者らは、H<sub>2</sub>雰囲気下での熱処理によって半導体層103中に取り込まれる水素の量と、半導体層103中の不純物濃度との関係について調べた。

40

図7は、試料101について、半導体層103中の不純物濃度とキャリアの寿命との関係を示す図である。ここでは、Ar雰囲気下で熱処理を行った後におけるキャリアの寿命と、その後更にH<sub>2</sub>雰囲気下で熱処理を行った後におけるキャリアの寿命とを示している。図7において、丸印はエピタキシャル成長工程直後、三角印はAr雰囲気下での熱処理後、四角印はH<sub>2</sub>雰囲気下での熱処理後における計測結果を示す。

不純物濃度に関わらず、Ar雰囲気下での熱処理により低下したキャリアの寿命が、H<sub>2</sub>雰囲気下の熱処理により向上している。このことから、発明者らは、導電型がP型の半導体層103中のキャリアの寿命は、当該半導体層103中の不純物濃度に関わらず、H<sub>2</sub>雰囲気下の熱処理により回復するという知見を得ている。

## 【 0 0 5 3 】

50

いくつかの場合において、エピタキシャル成長工程直後よりもキャリア寿命が向上している。これは、エピタキシャル成長工程では意図的に水素を取り込ませることは考えておらず、水素の取り込みが不十分であることが理由として考えられる。もちろん、エピタキシャル成長工程の降温過程で水素の圧力や降温速度を調節することで、十分に水素を取り込ませることも可能であるが、その後、デバイス作製工程において、各種の熱処理が行われるために、水素は脱離してしまう。したがって、本発明に示すように、高温の各種の熱処理が済んだ後に、意図的に水素を取り込ませる工程を取り入れることが実用上は重要である。

#### 【0054】

< 2 > 半導体装置の製造方法について

次に、発明者らが、< 1 > で説明した知見に基づいて考案した半導体装置の製造方法について説明する。ここでは、半導体装置 1 として、バイポーラトランジスタを取り上げて説明する。

< 2 - 1 > 半導体装置の構造について

半導体装置 1 は、SiC - pn 接合を用いたバイポーラトランジスタである。

図 8 は、半導体装置 1 を示し、( a ) は概略平面図、( b ) は ( a ) における A - A 断面の矢視図である。以下、図 8 ( b ) における紙面上方を「上方」として説明する。

半導体装置 1 は、半導体基板 1 1 と、半導体基板 1 1 上に形成された第 1 半導体層 1 2 と、第 1 半導体層 1 2 上に形成された第 2 半導体層 1 3 と、第 2 半導体層 1 3 上に形成された第 3 半導体層 1 4 とを備える。ここで、第 1 半導体層 1 2 の周縁部上方は、第 2、第 3 半導体層 1 3, 1 4 に覆われていない。また、第 2 半導体層 1 3 上方には、第 3 半導体層 1 4 に覆われていない領域が存在する。この半導体装置 1 は、断面メサ形状の第 2 半導体層 1 3 の上方に断面メサ形状の第 3 半導体層 1 4 が積層されてなる、いわゆる二重メサ構造を有している。

#### 【0055】

また、半導体装置 1 は、更に、ベース電極 1 5、エミッタ電極 1 6 およびコレクタ電極 1 7 と、保護膜 1 8 とを備える。

エミッタ電極 1 6 は、第 3 半導体層 1 4 の上方に形成されている。ベース電極 1 5 は、第 2 半導体層 1 3 の上方における第 3 半導体層 1 4 で覆われていない領域の一部に形成されている。コレクタ電極 1 7 は、半導体基板 1 1 の下側全体を覆うように形成されている。エミッタ電極 1 6、ベース電極 1 5 およびコレクタ電極 1 7 は、いずれも Ni 等の金属材料から形成されている。

#### 【0056】

保護膜 1 8 は、第 1 半導体層 1 2 周縁部上方、第 2 半導体層 1 3 上方における第 3 半導体層 1 4 に覆われていない領域および第 3 半導体層 1 4 上方のうち、エミッタ電極 1 6 およびベース電極 1 5 で覆われていない部分全体を覆うように形成されている。保護膜 1 8 は、SiO<sub>2</sub> 等の半導体酸化物から形成されている。

#### 【0057】

半導体基板 1 1 は、4H - SiC からなる n 型の半導体基板からなる。また、半導体基板 1 1 におけるコレクタ電極 1 7 との界面近傍には、コレクタ電極 1 7 を構成する金属材料が半導体基板 1 1 側に拡散した第 1 領域 1 1 a が形成されている。これにより、コレクタ電極 1 7 が、半導体基板 1 1 の下側にオーミック接触している。

#### 【0058】

第 1 半導体層 1 2 は、SiC に不純物として P (リン) 等の 5 族元素が添加されてなる n 型の半導体層である。第 1 半導体層 1 2 は、不純物濃度が約  $1 \times 10^{16} \text{ cm}^{-3}$ 、厚みが約  $10 \mu\text{m}$  に設定されている。

#### 【0059】

第 2 半導体層 1 3 は、SiC に不純物として Al (アルミニウム) 等の 3 族元素が添加されてなる p 型の半導体層である。第 2 半導体層 1 3 は、不純物濃度が約  $1 \times 10^{18} \text{ cm}^{-3}$  ( $1 \times 10^{15} \text{ cm}^{-3}$ )、厚みが約  $0.35 \mu\text{m}$  に設定されている。また、第

10

20

30

40

50

2半導体層13のベース電極15との界面近傍には、他の部位に比べて不純物濃度が大きい第2領域13aが形成されている。そして、この第2領域13a内におけるベース電極15との界面近傍には、ベース電極15を構成する金属元素が第2半導体層13内に拡散してなる第3領域13bが形成されている。これにより、ベース電極15が、第2半導体層13にオーミック接触した状態となっている。

#### 【0060】

第3半導体層14は、第1半導体層12と同様にn型の半導体層である。第3半導体層14は、不純物濃度が約 $2 \times 10^{19} \text{ cm}^{-3}$ であり、厚みが約 $1.2 \mu\text{m}$ に設定されている。また、第3半導体層14のエミッタ電極16との界面近傍には、エミッタ電極16を構成する金属元素が第3半導体層14内に拡散してなる第4領域14aが形成されている。これにより、エミッタ電極16が、第3半導体層14にオーミック接触した状態となっている。

10

#### 【0061】

<2-2>半導体装置の製造方法について

以下に、本実施形態に係る半導体装置1の製造工程について説明する。

図9は、半導体装置1の製造方法を示すフローチャートであり、図10乃至図13は、各工程における未完成品の断面図である。

まず、半導体基板11上に、第1、第2、第3半導体層12, 13, 14を順にエピタキシャル成長法により形成するエピタキシャル成長工程が行われる(ステップS1)。すると、図10(a)に示すように、半導体基板11上に、第1、第2、第3半導体層12, 13, 14が順に積層された構造を得る。ここにおいて、エピタキシャル成長法としては、例えば、CVD(Cemical Vaper Diposition)法やMBE(Molecular Beam Epitaxy)法を採用すればよい。

20

#### 【0062】

図9に戻って、エピタキシャル成長工程を行った後、第2、第3半導体層13, 14の形状加工を行うことによりいわゆる二重メサ構造を形成する二重メサ構造形成工程が行われる(ステップS2)。この二重メサ構造形成工程は、第3半導体層14の一部を取り除くことにより第2半導体層13に第3半導体層14で覆われない領域を形成する第3半導体層除去工程に相当する。

二重メサ構造形成工程では、まず、第3半導体層14上にSiO<sub>2</sub>(酸化シリコン)からなる酸化膜111を形成する。ここでは、例えばプラズマエンハンスト(PE)CVD法により酸化膜111を成膜する。

30

次に、図10(b)に示すように、酸化膜111上に、フォトリソグラフィ技術を利用して、レジストマスク110を形成する。

#### 【0063】

具体的には、酸化膜111上にフォトリソ(図示せず)を塗布した後、当該フォトリソ上にフォトリソマスクを被せる。その後、フォトリソに対して当該フォトリソの上から紫外線を照射する。ここで、フォトリソマスクは、フォトリソ上に重ね合わされた状態で、レジストマスク110の形成予定領域以外の領域を遮光するようなパターンが形成されている。従って、フォトリソにおけるレジストマスク110の形成予定領域のみを感光させることができる。そして、フォトリソの一部を感光させた後、現像液(例えば、TMAH水溶液)に浸漬することにより、感光していない余分なフォトリソを除去する。次に、水洗により現像液を除去し、続いて、加熱処理(ポストバーク処理および焼成処理)を行うことにより、レジストマスク110が形成される。

40

#### 【0064】

続いて、ウェットエッチング法により、レジストマスク110をマスクとして、酸化膜111をエッチングする。そして、O<sub>2</sub>(酸素)アッシャー等によりレジストマスク110を除去すれば、図10(c)に示すような、側面がテーパ状のマスク111aが形成される。このウェットエッチング法では、例えば、BHF(パフアドフッ酸)等を用いることができる。

50



## 【0065】

その後、リアクティブイオンエッチング（RIE）法により、マスク111aをマスクとして、第3半導体層14をエッチングする。このRIE法では、例えば、CF<sub>4</sub>、CHF<sub>3</sub>、Cl<sub>2</sub>等の反応性ガスを用いることができる。これにより、図10（d）に示すように、第3半導体層14が断面メサ形状に加工される。

## 【0066】

次に、第2半導体層13上およびマスク111a上に、再び、SiO<sub>2</sub>からなる酸化膜112を形成する。酸化膜112の成膜方法は、酸化膜111の成膜方法と同様である。

続いて、図11（a）に示すように、酸化膜112上に、フォトリソグラフィ技術を利用して、レジストマスク113を形成する。

その後、ウェットエッチング法により、レジストマスク113をマスクとして、酸化膜112をエッチングする。そして、O<sub>2</sub>アッシャー等によりレジストマスク113を除去すれば、図11（b）に示すような、側面がテーパ状のマスク112aが形成される。そして、O<sub>2</sub>アッシャー等によりレジストマスク113を除去する。

## 【0067】

次に、RIE法により、マスク112aをマスクとして、第2半導体層13をエッチングする。これにより、図11（c）に示すように、第2半導体層13が断面メサ形状に加工される。

以上のようにして、断面メサ形状の第2半導体層13上に断面メサ形状の第3半導体層14が積層されてなるいわゆる二重メサ構造が形成される。

## 【0068】

図9に戻って、二重メサ構造形成工程を行った後、第3半導体層13にAl<sup>+</sup>イオンを注入することにより、第3半導体層13の表面近傍に上記第2領域13aを形成する不純物添加工程が行われる（ステップS3）。

## 【0069】

図11（d）に示すように、不純物添加工程では、まず、第1半導体層12および酸化膜112を覆うようにSiO<sub>2</sub>からなる酸化膜114を形成する。酸化膜114の成膜方法は、酸化膜111、112の成膜方法と同様である。

次に、酸化膜114上に、フォトリソグラフィ技術を利用して、レジストマスク115を形成する。

続いて、ウェットエッチング法により、レジストマスク115をマスクとして、酸化膜114をエッチングする。そして、酸素プラズマによりレジストマスク115をアッシングしてレジストマスク115を除去すれば、図12（a）に示すような、マスク114aが形成される。このウェットエッチング法では、例えば、BHF（バッファドフッ酸）等を用いることができる。

## 【0070】

その後、図12（b）に示すように、Al<sup>+</sup>のイオン注入により、マスク114aをマスクとして、第2半導体層13の表面近傍にp型不純物としてAl<sup>+</sup>イオンを添加し、上記第2領域13aを形成する。なお、不純物添加工程は、イオン注入を行う工程に限定されるものではなく、不純物拡散法等の他の方法を行ってもよい。そして、Al<sup>+</sup>のイオン注入が完了した後、HF（フッ酸）等を用いてマスク114aが除去される。

## 【0071】

図9に戻って、不純物添加工程が行われた後、第1熱処理工程が行われる（ステップS4）。この第1熱処理工程では、例えばAr雰囲気中で、1800（>600）、20分間の熱処理が行われる。これにより、第2半導体層13の第2領域13a中のAl<sup>+</sup>イオンが活性化される。なお、熱処理は、例えば、周知の誘導加熱方式や赤外線加熱方式で加熱を行う加熱炉を用いて行われる。

## 【0072】

第1熱処理工程が行われた後、第1、第2、第3半導体層12、13、14の表面を覆う保護膜18を形成する保護膜形成工程が行われる（ステップS5）。

図12(c)に示すように、保護膜形成工程では、まず、第1、第2、第3半導体層12, 13, 14の表面を覆うように保護膜18を形成する。ここで、保護膜18は、例えばSiO<sub>2</sub>からなる。また、保護膜18は、例えばプラズマエンハンスド(PE)CVD法により成膜される。

次に、保護膜18上に、フォトリソグラフィ技術を利用して、レジストマスク116を形成する。レジストマスク116の形成方法は、前述のレジストマスク113の形成方法と同様である。

続いて、ウェットエッチング法により、レジストマスク116をマスクとして、保護膜18をエッチングする。そして、酸素プラズマによりレジストマスク116をアッシングしてレジストマスク116を除去すれば、図12(d)に示すような、保護膜18が形成される。

10

#### 【0073】

図9に戻って、保護膜形成工程が行われた後、半導体基板11を所定の厚みまで研磨する研磨工程が行われ、その後、金属層形成工程が行われる(ステップS6)。研磨工程では、例えば、半導体基板11の厚みを50μm程度まで研磨すればよい。

図13(a)に示すように、金属層形成工程では、保護膜18および第2、第3半導体層13, 14における保護膜18で覆われていない部分全体を覆うように金属層117が形成される。また、半導体基板11における第1、第2、第3半導体層12, 13, 14側とは反対側の表面にも金属層118が形成される。なお、この金属層形成工程では、例えば蒸着法やスパッタリング法、メッキ法により、金属層117が形成される。また、金属層117, 118は、ベース電極15、エミッタ電極16およびコレクタ電極17を構成する金属(例えばNi等)からなる。

20

#### 【0074】

図9に戻って、金属層形成工程が行われた後、第2熱処理工程が行われる(ステップS7)。この第2熱処理工程では、例えばAr雰囲気中で、950(>600)、2分間の熱処理が行われる。

これにより、図13(a)に示すように、第2半導体層13の第2領域13aにおいて、金属層117を構成する金属が拡散してなる第3領域13bが形成されるとともに、第3半導体層14内において、上記金属が拡散してなる第4領域14aが形成される。また、半導体基板11における金属層118との界面近傍において、金属層118を構成する金属が拡散してなる第1領域11aが形成される。なお、熱処理の方法は、第1熱処理工程と同様である。

30

#### 【0075】

図9に戻って、第2熱処理工程が行われた後、金属層117, 118を除去する金属層除去工程が行われる(ステップS8)。ここでは、例えば、未成品を、フッ酸と硝酸との混合液に浸漬することにより、金属層117, 118を除去する。

#### 【0076】

金属層除去工程が行われた後、第3熱処理工程(第2工程)が行われる(ステップS9)。図13(b)に示すように、この第3熱処理工程は、H<sub>2</sub>(水素)雰囲気下で行われる。また、このH<sub>2</sub>雰囲気下の熱処理は、例えば、1000、10分間行われる。これにより、第2半導体層13に水素が取り込まれ、第2半導体層13のキャリア寿命向上を図ることができる。

40

#### 【0077】

図9に戻って、第3熱処理工程が行われた後、ベース電極15、エミッタ電極16およびコレクタ電極17を形成する電極形成工程が行われる(ステップS10)。

図13(c)に示すように、電極形成工程では、リフトオフ法を利用してベース電極15、エミッタ電極16およびコレクタ電極17が形成される。具体的には、まず、フォトリソグラフィ技術を利用して、保護膜18の上方にレジストマスク119が形成される。次に、第2, 第3半導体層13, 14のうち保護膜18で覆われていない部分と、レジストマスク119とを覆うように金属層120を形成する。ここで、金属層120は、例

50

えば蒸着法やスパッタリング法により形成する。

その後、酸素プラズマによりレジストマスク 119 をアッシングしてレジストマスク 119 を除去すれば、図 13 (d) に示すような、半導体装置 1 が完成する。

【0078】

以上の製造方法において、第 1 熱処理工程と、第 2 熱処理工程とは、600 以上の温度で処理が行われる工程（第 1 工程）に相当する。また、電極形成工程は、500 以下の温度で処理が行われる工程（第 3 工程）に相当する。

【0079】

< 3 > まとめ

第 1 熱処理工程や第 2 熱処理工程において、第 2 半導体層 13 から水素の脱離が生じた場合、第 2 半導体層 13 中に存在する、キャリア捕獲が可能な点欠陥が電氣的に活性化する。これにより、第 2 半導体層 13 中に存在するキャリアの寿命が減少してしまう。

【0080】

これに対して、本実施形態に係る半導体装置 1 の製造方法によれば、第 1 熱処理工程や第 2 熱処理工程よりも後に行われる第 3 熱処理工程において、H<sub>2</sub> 雰囲気中で熱処理を行うことにより、第 2 半導体層 13 に水素が取り込まれる。これにより、第 1 熱処理工程や第 2 熱処理工程において、電氣的に活性化された第 2 半導体層 13 中の点欠陥が、第 2 半導体層 13 に取り込まれた水素により電氣的に不活性化される。そして、第 2 半導体層 13 中に存在する電氣的に活性化された点欠陥が減少することにより、キャリアが点欠陥に捕獲されにくくなり、その結果、第 2 半導体層 13 中のキャリアの寿命が増大する。

【0081】

そして、本実施形態に係る製造方法により製造された半導体装置 1 は、バイアス電圧が印加された場合、第 2 半導体層 13 中のキャリア濃度が大きくなり、注入されたキャリアの到達率が増大する。つまり、当該半導体装置 1 は、第 2 半導体層 13 中のキャリア寿命の増大により、到達率の増大、その結果、トランジスタの電流増幅率の向上を図ることができる。

【0082】

本構成によれば、第 3 熱処理工程の後、更に、第 2 半導体層 13 に対して、電極形成工程を行ったとしても第 2 半導体層 13 からの水素の脱離が生じない。従って、第 2 半導体層 13 中に存在する点欠陥が電氣的に活性化することを抑制できるので、第 2 半導体層 13 中のキャリアの寿命の低下を抑制できる。

【0083】

また、半導体装置 1 は、< 2 > で説明した製造方法により製造されたものである。従って、半導体装置 1 の第 2 半導体層 13 は、第 2 半導体層 13 中を移動するキャリアを捕獲可能な点欠陥を不活性化する水素を含有している。そして、水素の含有量は、キャリアの寿命を延長させるのに有効な量に相当するものである。

【0084】

つまり、半導体層 103 中に存在する水素の量は、半導体層 103 中に存在するキャリアの寿命を X とし、半導体層 103 に対して仮に 600 以上で水素を含まない環境で熱処理した後における半導体層 103 中に存在するキャリアの寿命を Y とした場合、上記式 (1) の関係式が成立する。半導体装置 1 の場合、< 1 > で説明した分析の結果から、X が 300 ns 以上であり、Y は約 90 ns 程度となっている。

【0085】

< 変形例 >

(1) 実施形態では、金属層形成工程の後、第 2 熱処理工程を行い、その後、金属層を除去する金属層除去工程を行う製造方法について説明したが、必ずしも金属層除去工程を含むものに限定されるものではない。

図 14 は、本変形例に係る半導体装置 1 の製造方法を示すフローチャートである。

エピタキシャル成長工程（ステップ S1）から保護膜形成工程（ステップ S5）までの処理は、実施形態に係る製造方法と同様であるので、詳細な説明は省略する。

10

20

30

40

50

## 【0086】

保護膜形成工程（ステップS5）が行われた後、ベース電極15、エミッタ電極16およびコレクタ電極17を形成する電極形成工程が行われる（ステップS26）。

電極形成工程では、実施形態に係る電極形成工程（ステップS10）と同様にして、リフトオフ法を利用してベース電極15、エミッタ電極16およびコレクタ電極17が形成される。

## 【0087】

電極形成工程が行われた後、第2熱処理工程が行われる（ステップS27）。この第2熱処理工程では、実施形態に係る第2熱処理工程（ステップS7）と同様に、例えばAr雰囲気中で、950（>600）、2分間の熱処理が行われる。

10

これにより、図8（b）に示すような、第2半導体層13の第2領域13a内において、金属層117を構成する金属が拡散してなる第3領域13bが形成されるとともに、第3半導体層14内において、上記金属が拡散してなる第4領域14aが形成される。また、半導体基板11における金属層118との界面近傍において、金属層118を構成する金属が拡散してなる第1領域11aが形成される。

## 【0088】

第2熱処理工程が行われた後、第3熱処理工程が行われる（ステップS28）。この第3熱処理工程は、H2（水素）雰囲気下で行われる。また、このH2雰囲気下の熱処理は、例えば、1000、10分間行われる。これにより、水素が保護膜18とベース電極15との界面部分等を通して第2半導体層13に取り込まれるので、第2半導体層13のキャリア寿命向上を図ることができる。

20

## 【0089】

以上の製造方法において、第1熱処理工程と、第2熱処理工程とが、600以上の温度で処理が行われる工程（第1工程）に相当する。

本構成によれば、金属層除去工程を省略することができるので、製造方法の簡素化を図ることができる。

## 【0090】

（2）実施形態では、保護膜形成工程（図9のステップS5参照）において、不純物添加工程（図9のステップS3参照）において用いたマスク114aを除去した後に、新たにSiO2からなる保護膜18を形成する例について説明した。但し、保護膜形成工程における保護膜18の形成方法はこれに限定されるものではない。

30

図15は、本変形例に係る保護膜形成工程および電極形成工程における未完成品の断面図である。

## 【0091】

図15（a）に示すように、不純物添加工程においてAl+イオン注入を行った直後では、第2、第3半導体層13、14上にマスク114aが形成された状態となっている。本変形例に係る製造方法では、このマスク114aを除去せずに、そのまま保護膜形成工程を行う。

図15（b）に示すように、保護膜形成工程では、マスク114aを所定の厚みになるまで研磨する。この研磨は、例えばCMP（Chemical Mechanical Polishing）法により行う。これにより、保護膜318が形成される。

40

## 【0092】

次に、図15（c）に示すように、保護膜318上に、フォトリソグラフィ技術を利用して、レジストマスク316を形成する。レジストマスク316の形成方法は、前述実施形態で説明したレジストマスク113の形成方法と同様である。

続いて、ウェットエッチング法により、レジストマスク316をマスクとして、保護膜318をエッチングすれば、図15（d）に示すような、保護膜318が完成する。このウェットエッチング法では、例えば、BHF（バッファドフッ酸）等を用いることができる。

## 【0093】

50

なお、保護膜形成工程が行われた後、半導体基板 1 1 を所定の厚みまで研磨する研磨工程が行われ、その後、金属層形成工程が行われる。

図 1 6 ( a ) に示すように、金属層形成工程では、第 2、第 3 半導体層 1 3, 1 4 における保護膜 1 8 で覆われていない部分と、保護膜 3 1 8 とを覆うように金属層 1 1 7 が形成される。また、半導体基板 1 1 における第 1、第 2、第 3 半導体層 1 2, 1 3, 1 4 側とは反対側の表面にも金属層 1 1 8 が形成される。なお、金属層 1 1 7, 1 1 8 の成膜方法や材料は、実施形態に係る金属層形成工程と同様である。

#### 【 0 0 9 4 】

金属層形成工程が行われた後、第 2 熱処理工程が行われる。これにより、図 1 6 ( a ) に示すように、第 2 半導体層 1 3 の第 2 領域 1 3 a 内において、金属層 1 1 7 を構成する金属が拡散してなる第 3 領域 1 3 b が形成されるとともに、第 3 半導体層 1 4 内において、上記金属が拡散してなる第 4 領域 1 4 a が形成される。また、半導体基板 1 1 における金属層 1 1 8 との界面近傍において、金属層 1 1 8 を構成する金属が拡散してなる第 1 領域 1 1 a が形成される。なお、熱処理の方法は、実施形態に係る第 1、第 2 熱処理工程と同様である。

10

#### 【 0 0 9 5 】

金属層除去工程が行われた後、第 3 熱処理工程が行われる。図 1 6 ( b ) に示すように、この第 3 熱処理工程は、H 2 (水素) 雰囲気下で行われる。また、この H 2 雰囲気下の熱処理は、例えば、1 0 0 0、1 0 分間行われる。これにより、第 2 半導体層 1 3 に水素が取り込まれ、第 2 半導体層 1 3 のキャリア寿命向上を図ることができる。

20

#### 【 0 0 9 6 】

本構成によれば、不純物添加工程において作製したマスク 1 1 4 a を研磨することにより、保護膜 3 1 8 を形成する。従って、C V D 法等を用いて保護膜を形成する場合に比べて、製造方法の簡略化を図ることができる。

#### 【 0 0 9 7 】

( 3 ) また、発明者らは、実施形態で説明した試料 1 0 1 について、半導体層 1 0 3 上にパラジウム層 ( 図示せず ) を形成してなる試料 ( 以下、「本変形例に係る試料」と称する。 ) について、半導体層 1 0 3 に取り込まれる水素の量についても分析を行っている。

本変形例に係る試料は、実施形態に係る試料 1 0 1 について半導体層 1 0 3 上にパラジウム層を 1 0 0 n m 蒸着させてなるものである。

30

#### 【 0 0 9 8 】

図 1 7 は、本変形例に係る試料について、H 2 雰囲気下で熱処理を行った後におけるキャリアの寿命を示す図である。なお、図 1 7 では、比較のために実施形態に係る試料 1 0 1 についてのキャリアの寿命も示している。また、図 1 7 では、熱処理時間が 2 分間の場合と、熱処理時間が 1 0 分間の場合とを示している。

実施形態に係る試料 1 0 1 では、H 2 雰囲気下で、9 0 0、2 分間の熱処理を行ってもキャリアの寿命の回復は見られない。これに対して、本変形例に係る試料では、同条件で熱処理を行った後においてキャリアの寿命が回復している。これについて、発明者らは、パラジウム層がその触媒作用により H 2 分子を原子状水素 ( プロトン ) に乖離させ、その原子状水素がパラジウム層を拡散し、これにより、半導体層 1 0 3 表面に原子状水素が供給され易くしていると考えしている。パラジウムの触媒作用により、水素を取り込ませる処理の短時間化や低温化の効果が得られる。

40

#### 【 0 0 9 9 】

以上のように、発明者らは、半導体層 1 0 3 上にパラジウム層を形成することにより、当該パラジウム層の触媒作用により、半導体層 1 0 3 への水素の取り込みを促進させることができるという知見を得ている。そして、発明者らは、この知見に基づいて、本変形例に係る半導体装置 1 の製造方法を考案した。

#### 【 0 1 0 0 】

図 1 8 は、本変形例に係る半導体装置 1 の製造方法を示すフローチャートであり、図 1 9 は、各工程における未完成品の断面図である。

50

エピタキシャル成長工程（ステップS 1）から金属層除去工程（ステップS 8）までの処理並びに第3熱処理工程（ステップS 9）、電極形成工程（ステップS 10）の処理は、実施形態に係る製造方法と同様であるので、詳細な説明は省略する。

金属層除去工程（ステップS 8）の後、パラジウム層形成工程を行う（ステップS 6 1）。図19（a）に示すように、パラジウム層形成工程では、保護膜18上と、第2、第3半導体層13，14における保護膜18で覆われていない領域とを覆うように、パラジウム層517を形成する。

#### 【0101】

図18に戻って、パラジウム層形成工程の後、第3熱処理工程を行う（ステップS 9）。ここでは、図19（b）に示すように、パラジウム層517が形成された状態で、H<sub>2</sub>雰囲気下での熱処理が行われる。このとき、パラジウム層517の触媒作用により、第2半導体層13への水素の取り込みが促進される。そして、第3熱処理工程（ステップS 9）の後、パラジウム層除去工程を行う（ステップS 6 2）。パラジウム除去工程では、第3熱処理工程後の半導体装置1の未成品を、パラジウム除去液に浸漬することにより行えばよい。パラジウム除去液としては、例えば、塩酸と、ベンゼンスルホン酸との混合液に、亜硝酸ナトリウムと、塩化ナトリウムとを溶解させてなるものを用いることができる。

10

そして、パラジウム除去工程の後、電極形成工程が行われる（ステップS 10）。

#### 【0102】

本構成によれば、第3熱処理工程において、パラジウム層が形成された状態で、H<sub>2</sub>雰囲気下での熱処理が行われる。これにより、第2半導体層13への水素の取り込みが促進されるので、第3熱処理工程における熱処理時間の短縮を図ることができる。

20

#### 【0103】

（4）実施形態に係る半導体装置1の製造方法では、第1熱処理工程を行った後、直ぐに保護膜形成工程を行う例について説明したが、保護膜形成工程を行うタイミングはこれに限定されるものではない。例えば、保護膜形成工程が、H<sub>2</sub>雰囲気下で行われる第3熱処理工程が行われた後に行われてもよい。

図20は、半導体装置1の製造方法を示すフローチャートであり、図21および図22は、各工程における未成品の断面図である。

エピタキシャル成長工程（ステップS 1）から不純物添加工程（ステップS 4）までの処理は、実施形態に係る製造方法と同様であるので、詳細な説明は省略する。

30

#### 【0104】

図21（a）に示すように、不純物添加工程においてAl<sup>+</sup>イオン注入を行った直後では、第2、第3半導体層13，14上にマスク114aが形成された状態となっている。本変形例に係る製造方法では、このマスク114aを除去せずに、そのまま保護膜形成工程を行う。

#### 【0105】

図20に示すように、第1熱処理工程が行われた後、第2、第3半導体層13，14の表面におけるベース電極15およびエミッタ電極16に対応する領域以外の領域を覆うマスクを形成するマスク形成工程が行われる（ステップS 4 5）。

40

図21（b）に示すように、マスク形成工程では、まず、マスク114aおよび第2半導体層13上に、フォトリソグラフィ技術を利用して、レジストマスク416aを形成する。レジストマスク416aの形成方法は、前述の実施形態で説明したレジストマスク113の形成方法と同様である。

次に、ウェットエッチング法により、レジストマスク416aをマスクとして、マスク114aをエッチングする。そして、酸素プラズマによりレジストマスク416aをアッシングしてレジストマスク416aを除去すれば、図21（c）に示すような、マスク414aが形成される。

#### 【0106】

図20に戻って、マスク形成工程が行われた後、半導体基板11を所定の厚みまで研磨

50

する研磨工程が行われ、その後、金属層形成工程が行われる（ステップS46）。研磨工程では、例えば、半導体基板11の厚みを50 $\mu$ m程度まで研磨すればよい。

図21(d)に示すように、金属層形成工程では、第2、第3半導体層13, 14におけるマスク414aで覆われていない部分と、マスク414a上とを覆うように金属層117が形成される。また、半導体基板11における第1、第2、第3半導体層12, 13, 14側とは反対側の表面にも金属層118が形成される。なお、この金属層形成工程における成膜方法および金属材料は、実施形態に係る製造方法と同様である。

#### 【0107】

図20に戻って、金属層形成工程が行われた後、第2熱処理工程が行われる（ステップS47）。この第2熱処理工程では、例えばAr雰囲気中で、950、2分間の熱処理が行われる。

10

これにより、図21(d)に示すように、第2半導体層13の第2領域13aにおいて、金属層117を構成する金属が拡散してなる第3領域13bが形成されるとともに、第3半導体層14内において、上記金属が拡散してなる第4領域14aが形成される。また、半導体基板11における金属層118との界面近傍において、金属層118を構成する金属が拡散してなる第1領域11aが形成される。なお、熱処理の方法は、実施形態における第1、第2熱処理工程と同様である。

#### 【0108】

図20に戻って、第2熱処理工程が行われた後、金属層117, 118およびマスク414aを除去する金属層およびマスク除去工程が行われる（ステップS8）。ここでは、例えば、未成品を、フッ酸と硝酸との混合液に浸漬することにより、金属層117, 118を除去する。その後、フッ酸を用いてマスク414aを除去する。

20

#### 【0109】

金属層およびマスク除去工程が行われた後、第3熱処理工程が行われる（ステップS9）。図22(a)に示すように、この第3熱処理工程は、H<sub>2</sub>（水素）雰囲気下で行われる。また、このH<sub>2</sub>雰囲気下の熱処理は、例えば、1000、10分間行われる。これにより、第2半導体層13に水素が取り込まれ、第2半導体層13のキャリア寿命向上を図ることができる。また、第2半導体層13上は、金属層117とマスク414aの両方が除去された状態となっていることから、第2半導体層13への水素の取り込みがより促進される。

30

#### 【0110】

図21に戻って、第3熱処理工程が行われた後、保護膜18を形成する保護膜形成工程が行われる（ステップS50）。

図22(b)に示すように、保護膜形成工程では、まず、第1、第2、第3半導体層12, 13, 14の表面を覆うように保護膜18を形成する。ここで、保護膜18は、例えばSiO<sub>2</sub>からなる。ここでは、例えば、シランを用いたCVD法により、300乃至500（<600）の温度で保護膜18を成膜する。なお、600未満の温度で保護膜18を成膜できるのであれば、例えば、TEOS（テトラエチルオルソシリケート）を用いたCVD法により保護膜18を成膜してもよい。

#### 【0111】

40

次に、保護膜18上に、フォトリソグラフィ技術を利用して、レジストマスク416bを形成する。

続いて、ウェットエッチング法により、レジストマスク416bをマスクとして、保護膜18をエッチングする。そして、酸素プラズマによりレジストマスク416bをアッシングしてレジストマスク416bを除去すれば、図22(c)に示すような、保護膜18が形成される。

#### 【0112】

図20に戻って、保護膜形成工程が行われた後、電極形成工程（ステップS10）が行われることにより、半導体装置1が完成する。

以上の製造方法において、第1熱処理工程と、第2熱処理工程とは、600以上の温

50

度で処理が行われる工程（第1工程）に相当する。また、保護膜形成工程と、電極形成工程とは、600 未満の温度で処理が行われる工程（第3工程）に相当する。

【0113】

本構成によれば、第3熱処理工程において、第2半導体層13上が、金属層117とマスク414aの両方が除去された状態となっていることから、第2半導体層13への水素の取り込みがより促進される。

【0114】

(5)また、実施形態および前述の変形例(1)乃至(3)で説明した第3熱処理工程では、周知の誘導加熱方式や赤外線加熱方式により加熱する加熱炉に限らず、例えば、当該加熱炉と実施形態の<1>で説明した分析装置を組み合わせた熱処理装置を用いてもよい。

10

図23は、本変形例に係る熱処理装置501の概略構成図である。

【0115】

この熱処理装置501は、前述の半導体装置1や半導体装置1の未完成品に対して、水素雰囲気中で熱処理を行う。ここでは、半導体装置1の未完成品100に対して、実施形態に係る第3熱処理工程を行う場合について説明する。

熱処理装置501は、加熱炉511と、計測装置521とからなる。

加熱炉511は、チャンバ515と、未完成品100が載置されるステージ513と、誘導加熱方式で加熱を行うコイル512と、チャンバ515内にH<sub>2</sub>ガスを導入するためのバルブ514とを備える。

20

計測装置521は、第3熱処理工程において、半導体装置1の未完成品100の第2半導体13に取り込まれた水素の量を計測する水素取り込み量計測部として機能する。

【0116】

計測装置521は、前述の実施形態で説明した差動式 $\mu$ -PCD法を利用して、第2半導体層13内に存在するキャリアの寿命を計測する。

計測装置521は、マイクロ波発振器523と、方向性結合器524と、検出部530と、マジックティー527と、これらを結合する導波管526とを備える。検出部530は、実施形態の<1-2>で説明したフェーズシフト回路、ミキサ回路および信号検出部を含んで構成される。そして、マジックティー527には、信号用の導波管522aと、参照用の導波管522bとが結合されている。また、計測装置521は、レーザ源528と、レーザ源528から出射されたレーザ光を未完成品100表面に導く光学系529とを備える。この計測装置521の動作は、実施形態の<1-2>で説明した動作と同様である。

30

【0117】

計測装置521は、計測して得られた第2半導体層13に存在するキャリアの寿命に基づいて、第2半導体層13に取り込まれた水素の量を計測する。ここにおいて、例えば検出部530が、計測して得られたキャリアの寿命を、第2半導体層13に取り込まれた水素の量に換算する。

【0118】

なお、本変形例では、差動式 $\mu$ -PCD法を利用してキャリアの寿命を計測する例について説明したが、キャリア寿命を計測する方法はこれに限定されるものではなく、例えば、光学的なパラメータ(光の透過率や反射率等)の変化に基づいてキャリアの寿命を計測する構成であってもよい。

40

また、第2半導体層13中に取り込まれた水素の量の計測は、キャリアの寿命に基づいて計測する構成に限定されるものではなく、他の方法により水素の量を計測する構成(例えば、モニタ用サンプルの水素含有量をSIMS等で計測する構成)であってもよい。

【0119】

本構成によれば、第3熱処理工程において、第2半導体層13内に取り込まれた水素の量をリアルタイムでモニタリングしながら処理を行うことができる。従って、第3熱処理工程における処理不良の発生を抑制できる。

50



## 【0120】

(6) 実施形態では、第1半導体層12および第3半導体層14の導電型がN型であり、第2半導体層13の導電型がP型である半導体装置1の例について説明した。但し、第1、第2、第3半導体層12, 13, 14の導電型はこれに限定されるものではなく、例えば、第1半導体層12および第3半導体層14の導電型がP型であり、第2半導体層13の導電型がN型であってもよい。

## 【0121】

(7) 実施形態では、半導体装置1として、バイポーラトランジスタを取り上げて説明したが、半導体装置の種類はこれに限定されるものではない。バイポーラトランジスタの伝導度変調はコレクタ層において生じるので、コレクタ層のキャリア寿命の向上はオン抵抗の低減につながる。

バイポーラトランジスタ以外のバイポーラデバイスの代表例として、PiNダイオード、IGBT、サイリスタ(光トリガサイリスタやGTOサイリスタを含む)がある。これらの素子においてキャリア寿命の向上を行い、伝導度変調の効果の増大による低オン抵抗化に本発明を用いることができる。

また、MOSFETやフォトダイオード、太陽電池などその他のあらゆる半導体装置にも本発明を利用することができる。

## 【0122】

具体的には以下の素子で特に大きな効果が得られる。

PiNダイオードに関して、i層(耐圧維持層)として比較的低濃度ドーピングのp層を用いたn+層/p層/p+層構造を有するPiNダイオードにおいて、伝導度変調が生じるp層のキャリア寿命の向上、それによる低オン抵抗化に本発明を利用することができる。

IGBTに関しては、pチャネルMOS構造を有するIGBTにおける耐圧維持層である比較的低濃度ドーピングのp層に対して、この層のキャリア寿命の向上、それによる低オン抵抗化に本発明を利用することができる。

サイリスタに関しては、n+層/p層/n層/p+層を有しており、伝導度変調が生じるp層、n層のうち、特にp層のキャリア寿命の構造、それによる低オン抵抗化に本発明を利用することができる。なお、n層のキャリア寿命の向上技術として、長時間の熱酸化と高温熱処理の組み合わせ、あるいは、炭素イオン注入と高温熱処理の組み合わせが報告されている。p層、n層両方の層のキャリア寿命を向上させるには、まず、1000以上の高温熱処理が必要なn層のキャリア寿命の向上を行い、その後、本発明の方法でp層のキャリア寿命の向上を行えばよい。

## 【0123】

MOSFET(縦型パワーMOSFETやsuper junction構造を有する縦型パワーMOSFET)はユニポーラデバイスであるが、縦型MOSFETに付随するボディダイオードはpnダイオードであり、これはバイポーラデバイスである。ボディダイオードはパワーエレクトロニクス回路の構成によっては、回路素子として積極的に利用する場合があります、性能向上が求められる。その目的で本発明を利用することが可能である。

フォトダイオードや太陽電池においては、半導体層中のキャリアの拡散長を大きくすることが変換効率向上の最重要項目である。キャリアの拡散長はキャリア寿命が大きいほど大きくなる。従って、本発明によるキャリア寿命の向上を、キャリア拡散長増大、ひいては変換効率向上に利用することができる。

これ以外の半導体素子であっても、キャリア寿命の向上が必要とされる半導体素子に関しては本発明を利用することができる。

## 【0124】

逆に、キャリア寿命を減少させることが半導体素子の性能向上に役立つ場合もある。例えば、PiNダイオードやIGBT、サイリスタにおいて必要以上に大きすぎるキャリア寿命は、スイッチング速度の低下を招き、スイッチング損失の増大をもたらす場合がある

10

20

30

40

50

。この場合は、水素を含まない雰囲気での熱処理によりキャリア寿命が減少する図2の結果を参考にして、素子製造工程の最終段階で意図的に部分的に水素を脱離させ、キャリア寿命を短くすること、あるいは、図3の結果を参考にして、あえて水素雰囲気下での熱処理の温度を低めに、あるいは、熱処理時間を短めに設定して、キャリア寿命が上がりすぎないようにすることが有効である。

【0125】

(8)実施形態では、水素によるp型層のキャリア寿命の向上を取り上げて説明したが、p型層に限らずn型層においても有効である。n型層においても水素により不活性化される点欠陥が存在する場合があります、その場合、水素雰囲気下での熱処理によりキャリア寿命の向上を図ることができる。

10

【0126】

(9)炭素空孔に関連する点欠陥は、報告されているように炭素イオン注入と高温加熱処理、もしくは、熱酸化処理と高温加熱処理により低減でき、大変有効な方法である。これらの処理温度では水素が脱離してしまう。従って、水素雰囲気下での熱処理をこれらの処理を行った後に行えば良い。もしくは、炭素依存注入後の熱処理もしくは熱酸化後の熱処理の工程後半において水素を導入することで、熱処理工程を1工程削減することもできる。

【0127】

(10)半導体装置1の製造工程において、実施形態で述べたように水素が脱離するような高温の工程と、その後の水素雰囲気下での熱処理を別の工程として行っても良いが、高温処理装置に水素ガス導入装置を付加させれば、最も後の高温工程のすべて、もしくはその後半において水素を導入し、水素雰囲気下で降温することで、水素雰囲気下での熱処理を同時に行っても良い。1400を超える高温で水素雰囲気にすると炭化ケイ素の表面がエッチングされてしまうので、表面がエッチングされてしまうと素子作製に支障をきたす場合は、高温加熱終了後の降温過程で、1400以下になった時点で水素を導入すれば良い。

20

【0128】

<付記>

上記の実施形態において、添付図面に図示されている構成等については、これらに限定されるものではなく、本発明の効果を発揮する範囲内で適宜変更することが可能である。その他、本発明の目的の範囲を逸脱しない限りにおいて適宜変更して実施することが可能である。例えば、上記実施形態では、メサ型の構造を例にしたが、プレーナ構造の半導体素子であっても良い。

30

【産業上の利用可能性】

【0129】

本発明は、SiCからなる半導体装置に利用可能である。

【符号の説明】

【0130】

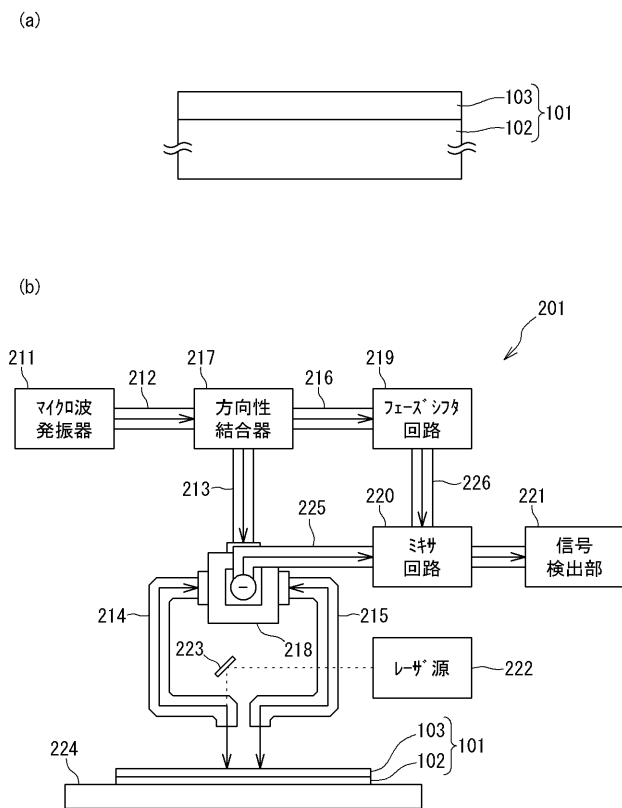
- 1 半導体装置
- 11, 102 半導体基板
- 11a 第1領域
- 12 第1半導体層
- 13 第2半導体層
- 13a 第2領域
- 13b 第3領域
- 14 第3半導体層
- 14a 第4領域
- 15 ベース電極
- 16 エミッタ電極
- 17 コレクタ電極

40

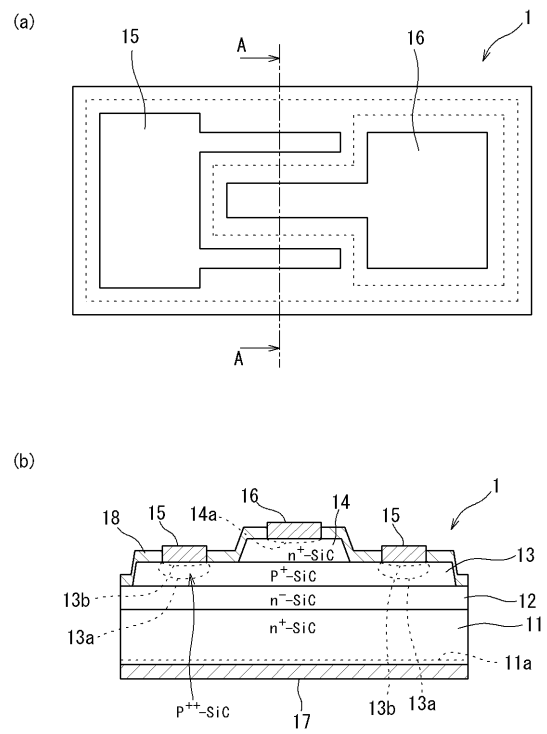
50

- 1 8 保護膜
- 1 0 1 試料
- 1 1 2 半導体層

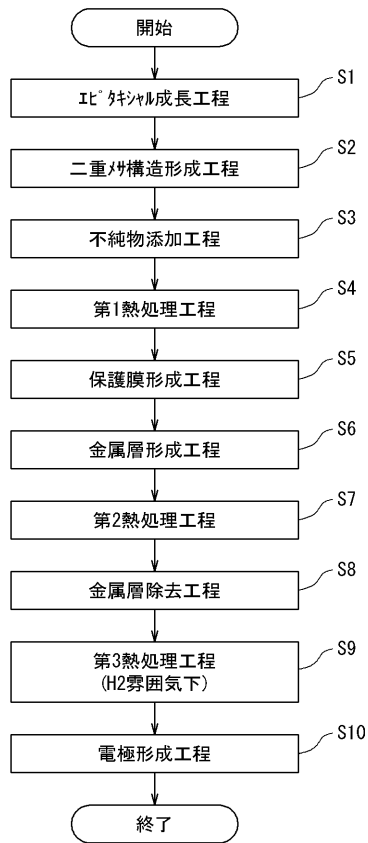
【 図 1 】



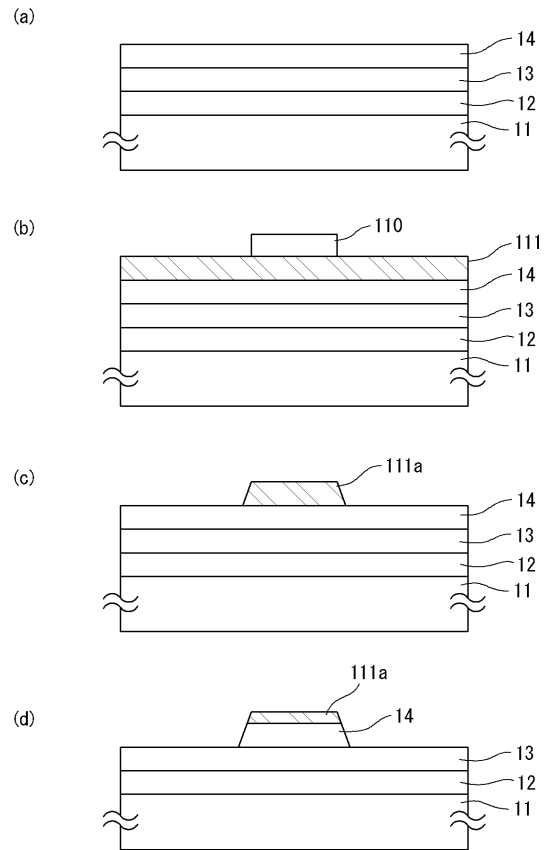
【 図 8 】



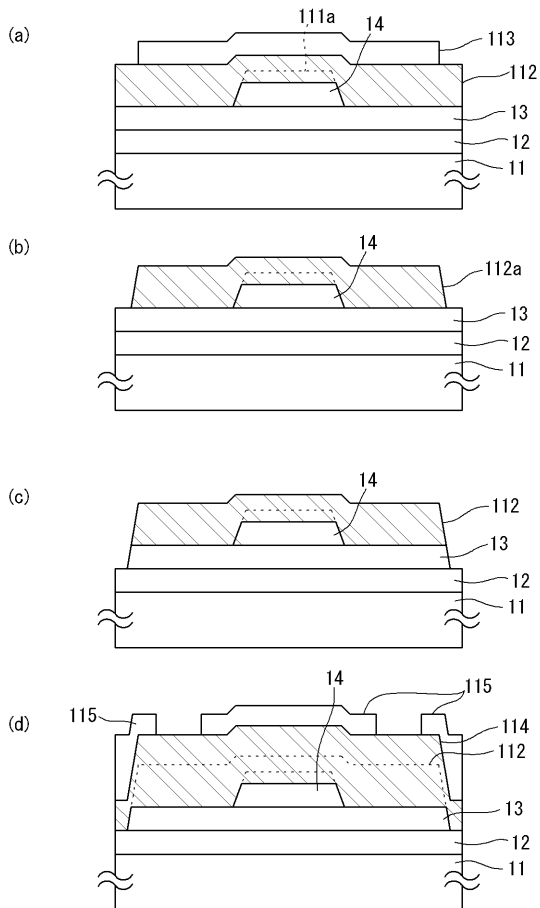
【 図 9 】



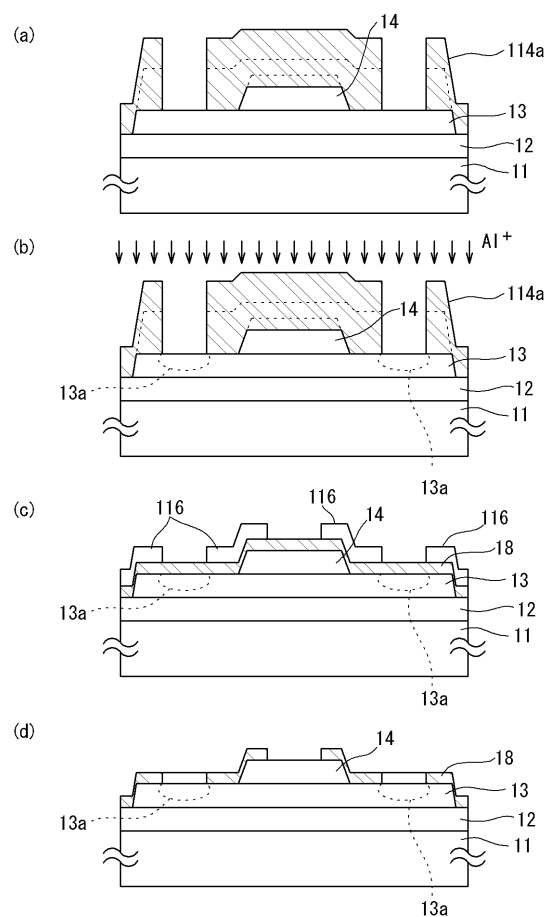
【 図 1 0 】



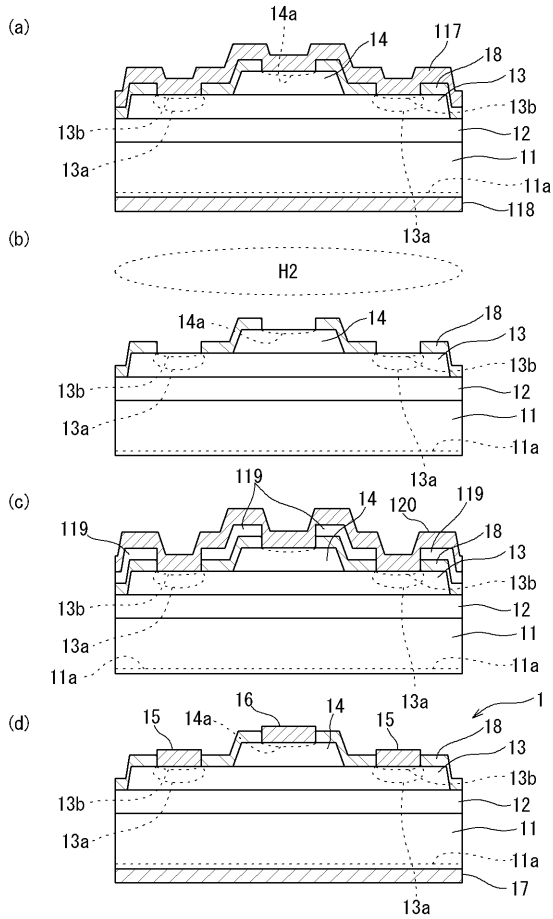
【 図 1 1 】



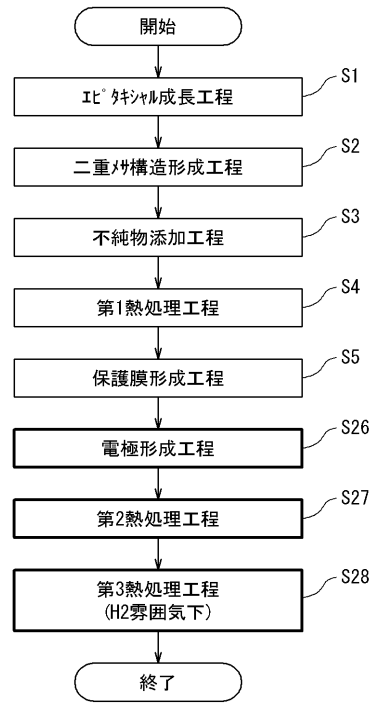
【 図 1 2 】



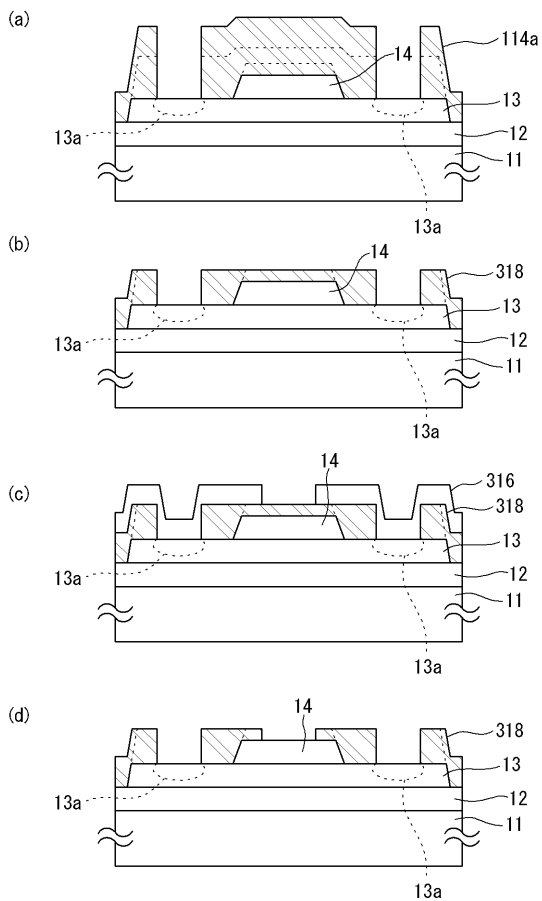
【 図 1 3 】



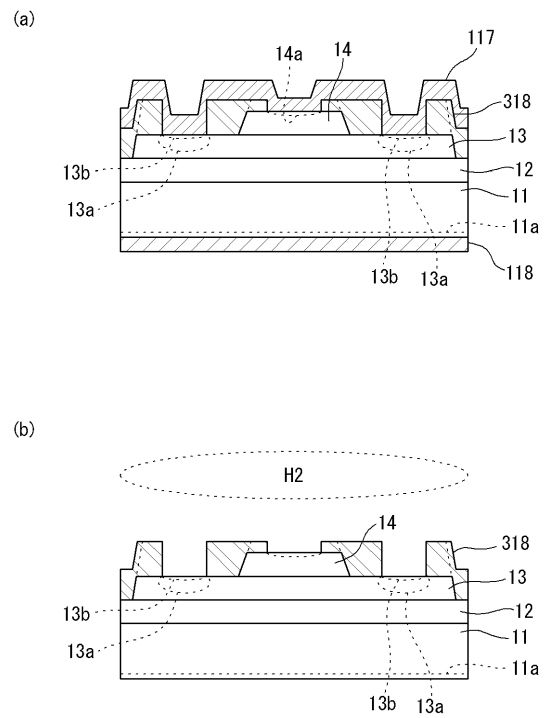
【 図 1 4 】



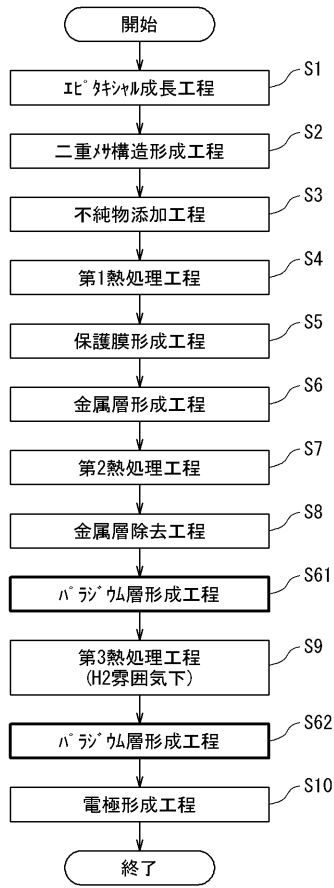
【 図 1 5 】



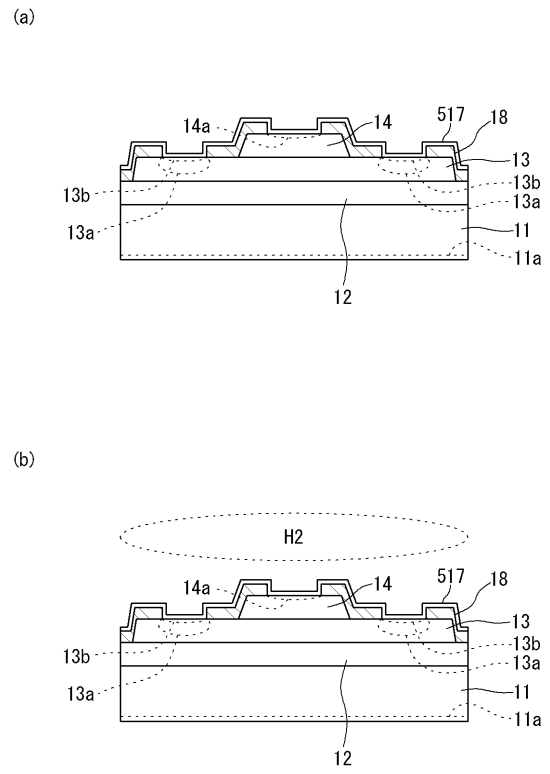
【 図 1 6 】



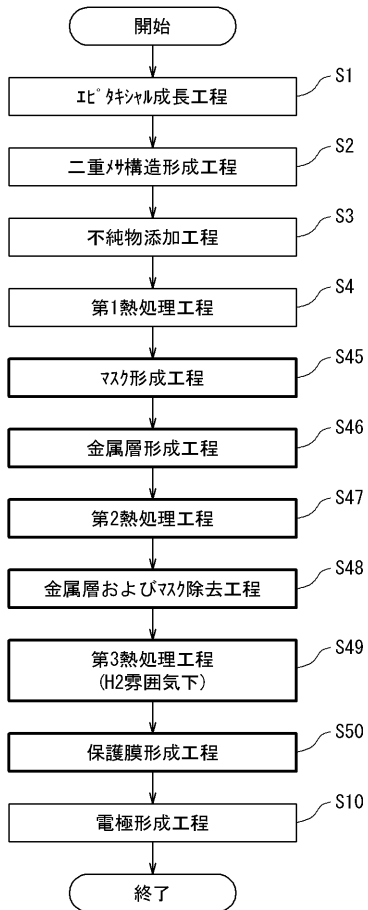
【 図 1 8 】



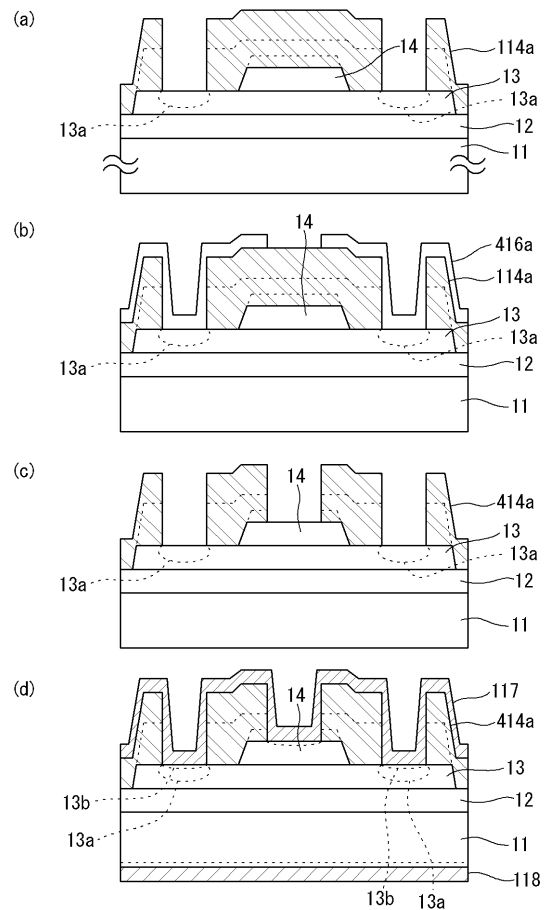
【 図 1 9 】



【 図 2 0 】

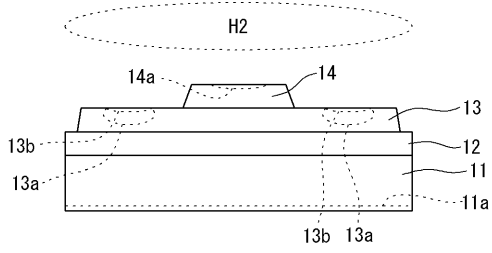


【 図 2 1 】

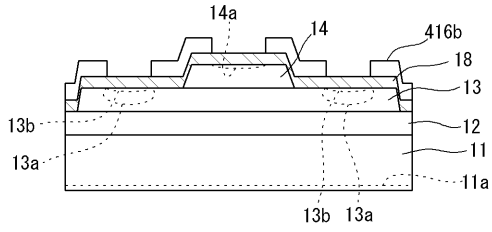


【 図 2 2 】

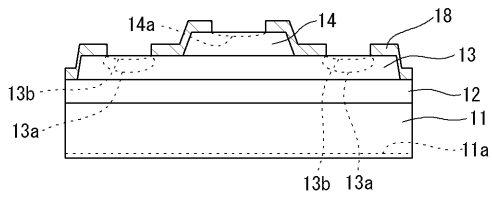
(a)



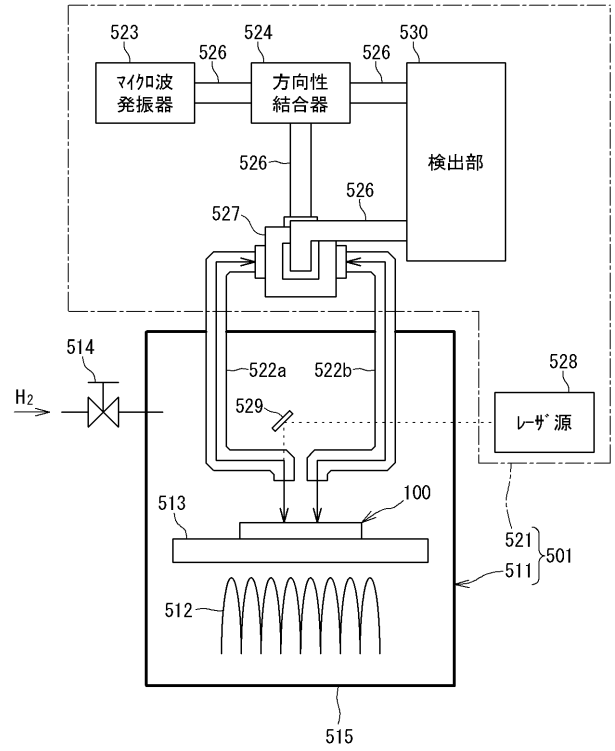
(b)



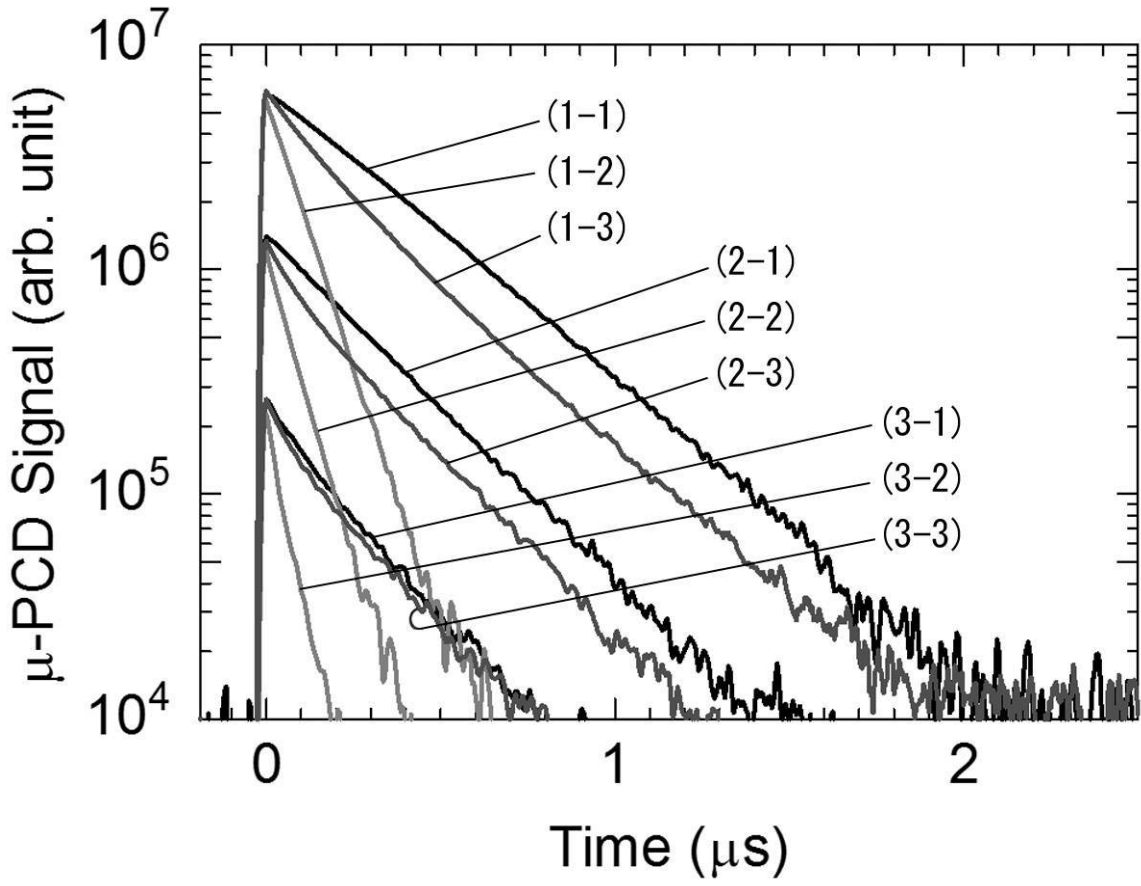
(c)



【 図 2 3 】

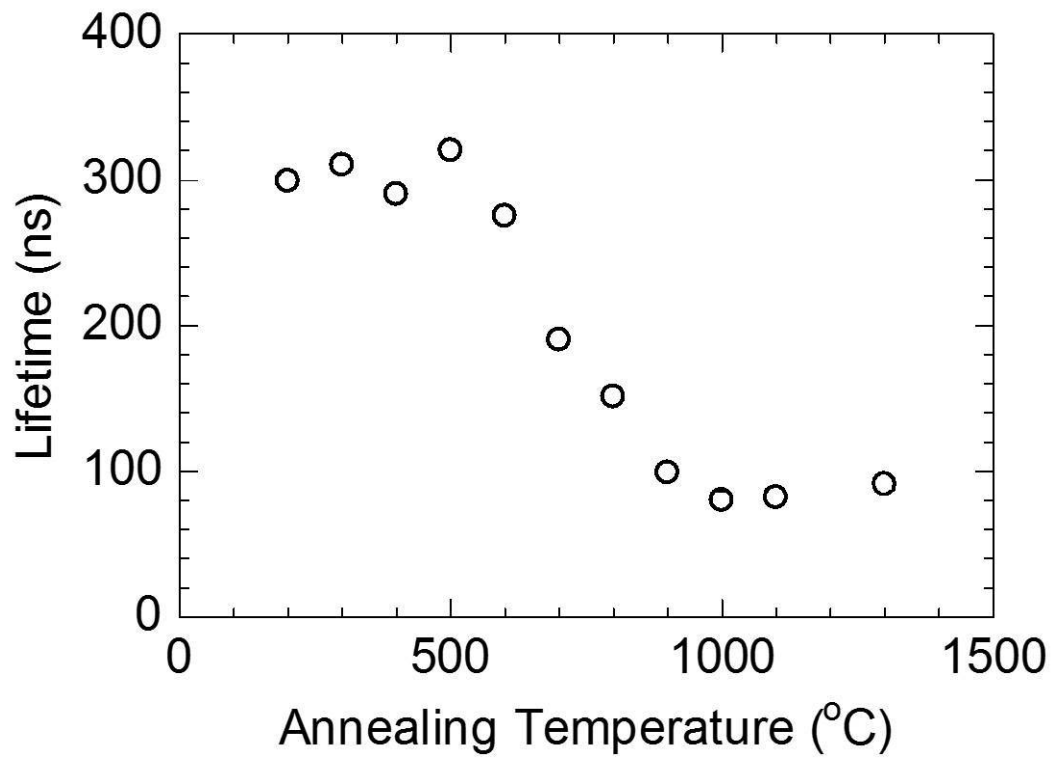


【 図 2 】

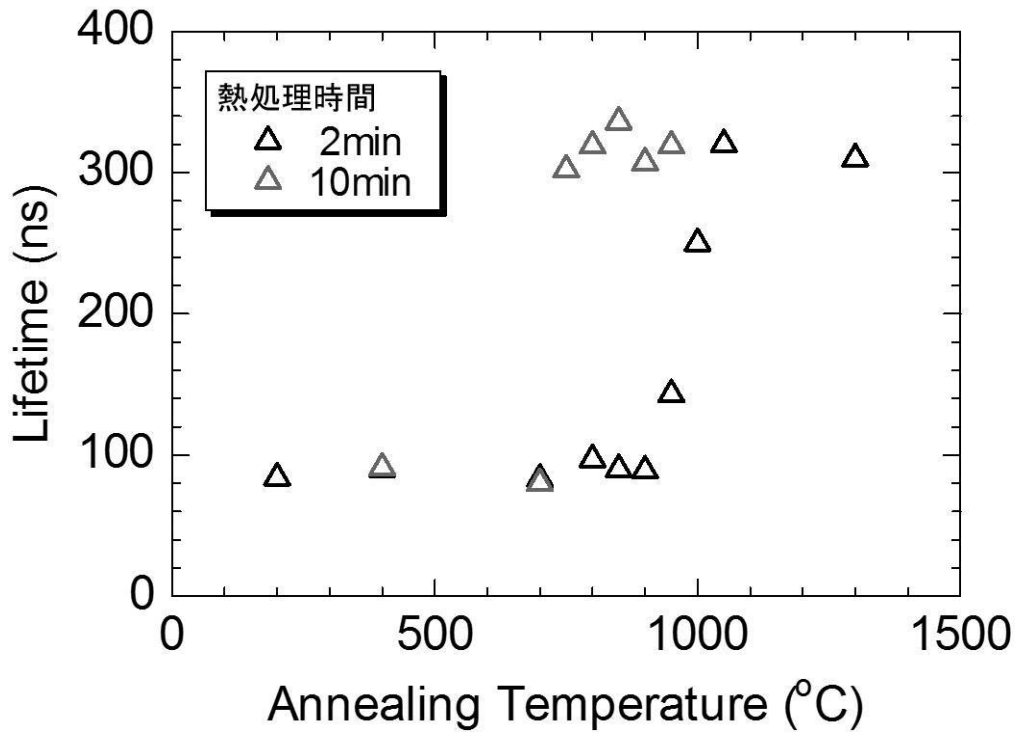




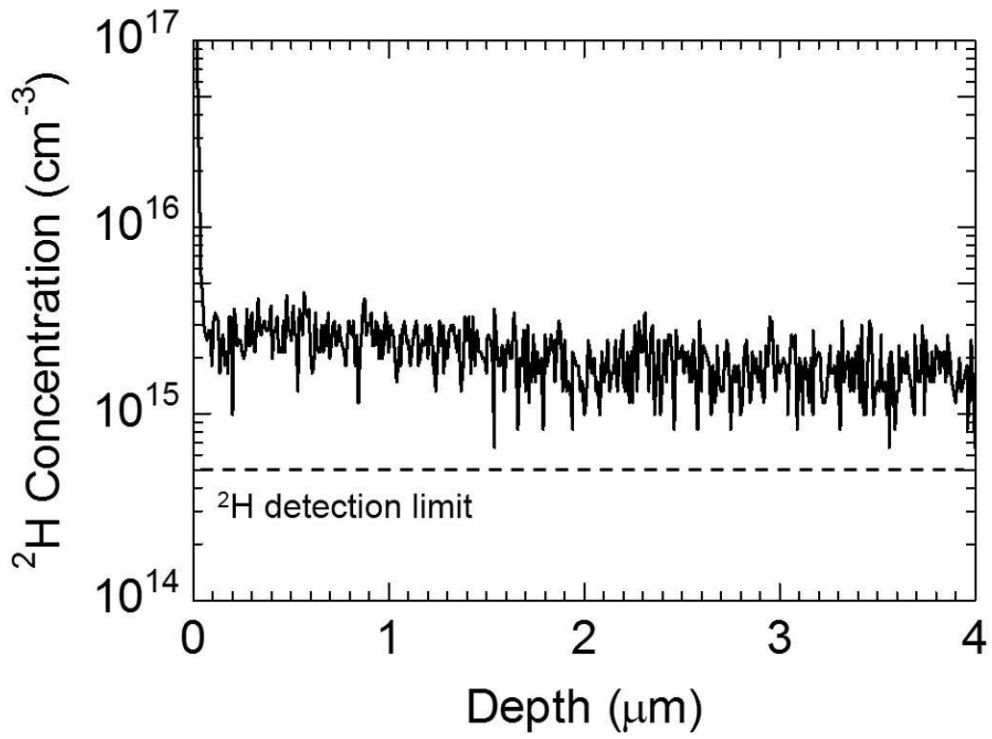
【 図 3 】



【 図 4 】

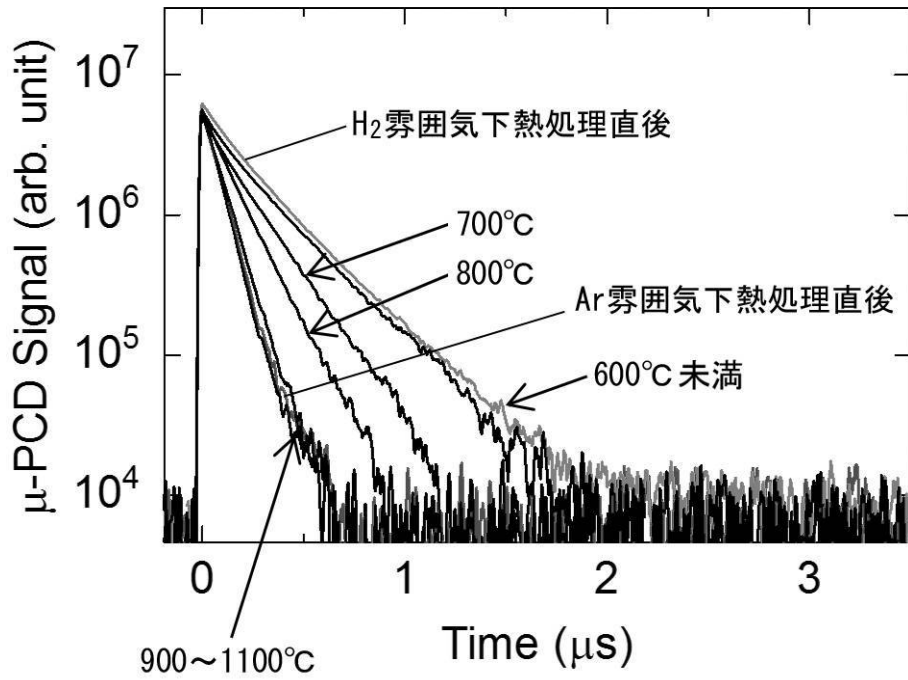


【 図 5 】

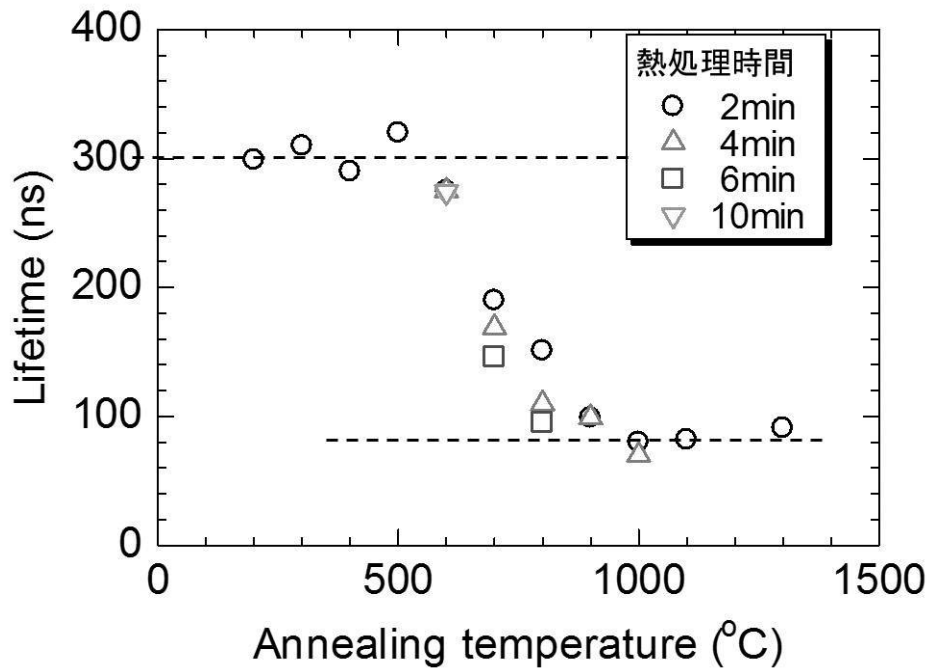


【 図 6 】

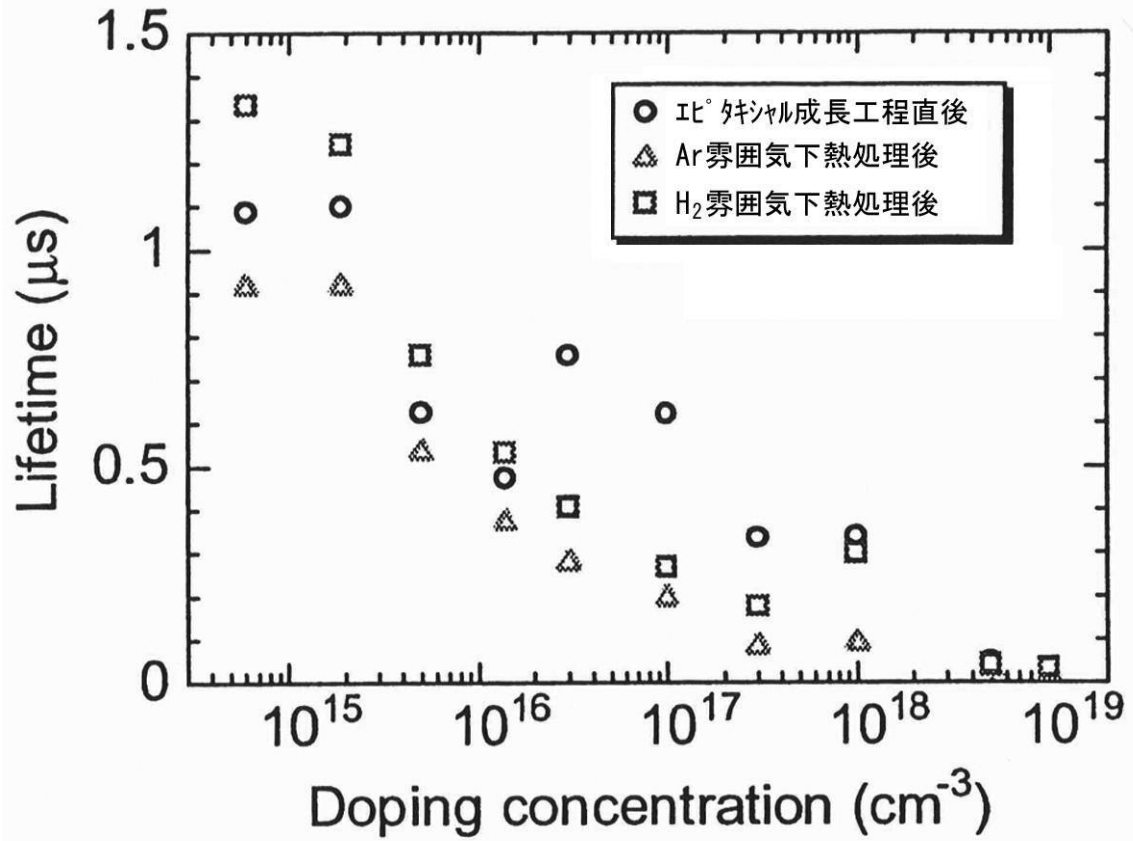
(a)



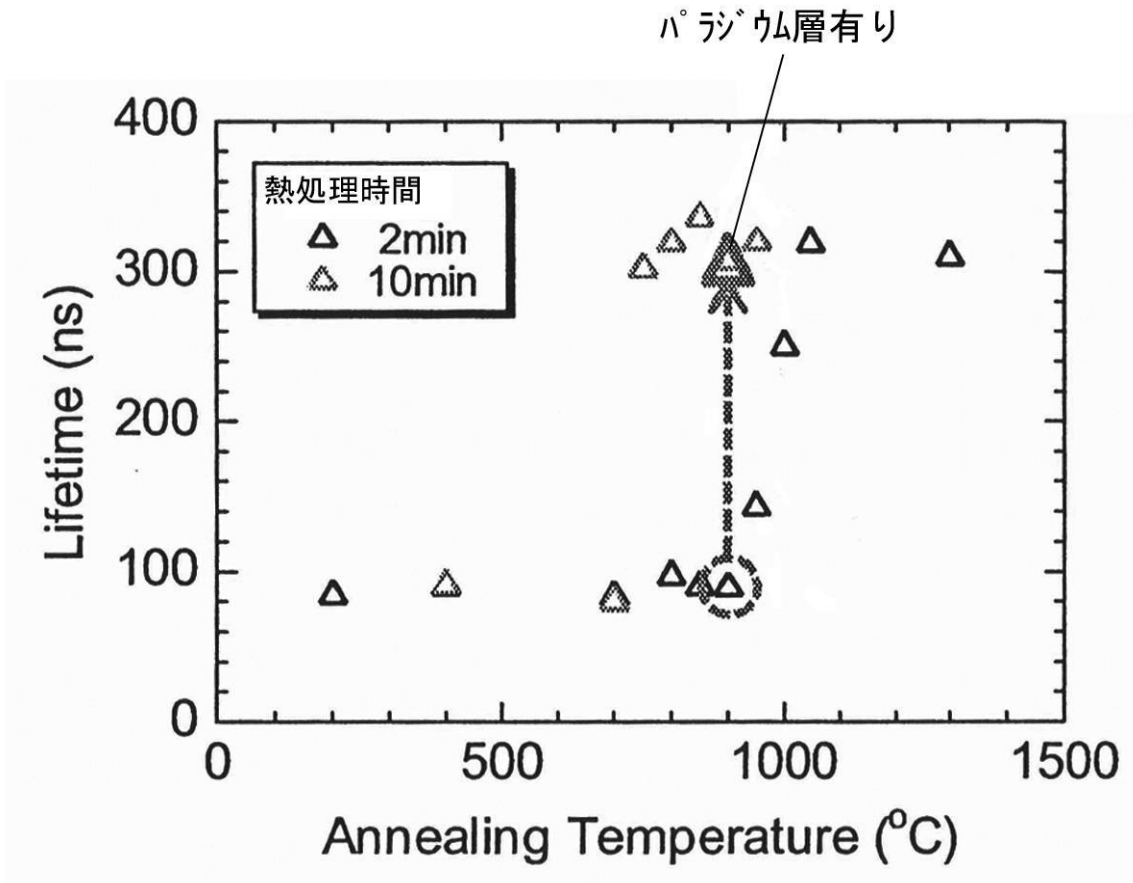
(b)



【 図 7 】



【 図 1 7 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 29/161 (2006.01)  
H 0 1 L 21/20 (2006.01)

Fターム(参考) 5F003 BA09 BA92 BM01 BP31 BP32 BP42 BZ01 BZ02  
5F152 CC07 LL03 LL09 MM02 MM04 MM07 MM12 MM13 NN05 NQ02