

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6555682号
(P6555682)

(45) 発行日 令和1年8月7日(2019.8.7)

(24) 登録日 令和1年7月19日(2019.7.19)

(51) Int.Cl.		F I			
HO3H	7/09	(2006.01)	HO3H	7/09	A
HO1F	27/00	(2006.01)	HO1F	27/00	S
HO1F	17/00	(2006.01)	HO1F	17/00	B

請求項の数 1 (全 12 頁)

(21) 出願番号	特願2015-20017 (P2015-20017)	(73) 特許権者	504180239
(22) 出願日	平成27年2月4日(2015.2.4)		国立大学法人信州大学
(65) 公開番号	特開2016-144115 (P2016-144115A)		長野県松本市旭三丁目1番1号
(43) 公開日	平成28年8月8日(2016.8.8)	(72) 発明者	曾根原 誠
審査請求日	平成30年1月22日(2018.1.22)		長野県長野市若里四丁目17番1号 国立 大学法人信州大学工学部内
		(72) 発明者	吉作 祥明
			長野県長野市若里四丁目17番1号 国立 大学法人信州大学工学部内
		(72) 発明者	佐藤 敏郎
			長野県長野市若里四丁目17番1号 国立 大学法人信州大学工学部内
		審査官	石田 昌敏

最終頁に続く

(54) 【発明の名称】 コモンモードフィルタ

(57) 【特許請求の範囲】

【請求項1】

第1の伝送線路(L1)と第2の伝送線路(L2)に差動信号を伝播させて信号を伝送する伝送回路に用いるコモンモードフィルタであって、

前記第1の伝送線路(L1)に配設した第1のキャパシタ(91)及び前記第2の伝送線路(L2)に配設した第2のキャパシタ(92)と、

前記第1のキャパシタ(91)よりも入力側の前記第1の伝送線路(L1)上の点と、前記第2のキャパシタ(92)よりも入力側の前記第2の伝送線路(L2)上の点との間に掛け渡して配設した第1のインダクタ(11)と、

前記第1のキャパシタ(91)よりも出力側の前記第1の伝送線路(L1)上の点と、前記第2のキャパシタ(92)よりも出力側の前記第2の伝送線路(L2)上の点との間に掛け渡して配設した第2のインダクタ(21)と、

前記第1の伝送線路(L1)及び前記第2の伝送線路(L2)上の、前記第1のインダクタ(11)との接続点よりも入力側の位置において、前記第1の伝送線路(L1)と前記第2の伝送線路(L2)との間に直列接続により掛け渡して配設され、中間点が接地された第3のキャパシタ(31)及び第4のキャパシタ(41)と、

前記第1の伝送線路(L1)及び前記第2の伝送線路(L2)上の、前記第2のインダクタ(11)との接続点よりも出力側の位置において、前記第1の伝送線路(L1)と前記第2の伝送線路(L2)との間に直列接続により掛け渡して配設され、中間点が接地された第5のキャパシタ(32)及び第6のキャパシタ(42)と、

10

20

前記第3のキャパシタ(31)と前記第1の伝送線路(L1)との接続点よりも入力側の前記第1の伝送線路(L1)上に配設した第7のキャパシタ(51)及び前記第4のキャパシタ(41)と前記第2の伝送線路(L2)との接続点よりも入力側の前記第2の伝送線路(L2)上に配設した第8のキャパシタ(71)と、

前記第5のキャパシタ(32)と前記第1の伝送線路(L1)との接続点よりも出力側の前記第1の伝送線路(L1)上に配設した第9のキャパシタ(62)及び前記第6のキャパシタ(42)と前記第2の伝送線路(L2)との接続点よりも出力側の前記第2の伝送線路(L2)上に配設した第10のキャパシタ(82)とを備え、

前記第1～第10のキャパシタ(91、92、31、41、32、42、51、71、62、82)を構成する導体パターンが設けられた第1層と、誘電体材からなる第2層と、前記第1～第10のキャパシタ(91、92、31、41、32、42、51、71、62、82)を構成する導体パターン及び前記第1のインダクタ(11)と第2のインダクタ(21)を構成する導体パターンが設けられた第3層とを、前記第2層を中間層として積層するとともに、前記第1層の前記第1～第10のキャパシタを構成する導体パターンと前記第3層の前記第1～第10のキャパシタを構成する導体パターンとを前記第2層を挟んで対向配置し、

前記第1のインダクタ(11)と前記第2のインダクタ(21)は、前記第3層の平面内において、コイルパターンを互いに入り組ませた形態として磁氣的に結合する構成とするとともに、前記コイルパターンを囲む配置に前記第1～第10のキャパシタを構成する導体パターンを形成したことを特徴とするコモンモードフィルタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は差動伝送に用いられるコモンモードフィルタに関する。

【背景技術】

【0002】

差動伝送技術は、伝送線路を介して信号を伝送する際に、2本の平行に配置した線路に差動信号(ディファレンシャルモード)を伝播させることにより、電磁的な妨害波が外部に作用しないようにする(EMC対策)ためのものである。この差動伝送技術においては、同相成分(コモンモード)のノイズが伝播すると、ノイズ輻射によりEMC対策が阻害されることから、コモンモード成分を抑制するコモンモードフィルタが必ず用いられる。

【0003】

従前のコモンモードフィルタは、コモンモードチョークコイルやチップ素子を用いたフィルタが一般的であった。これに対し、従前のコモンモードフィルタとは動作原理が異なる擬似伝送線路理論に基づくコモンモードフィルタが提案されている(特許文献1)。図20は、擬似伝送線路理論に基づくコモンモードフィルタの構成例を示す。このコモンモードフィルタは、第1の伝送線路L1と第2の伝送線路L2に、それぞれ入力側のAパターン部L1A、L2A、出力側のBパターン部L1B、L2B、中間接続パターン部L1C、L2Cを設けた構成を備える。

【0004】

図16は図15の等価回路である。等価回路は、各パターン部及び各パターン部間のキャパシタンス成分、インダクタンス成分を考慮して構成されている。このコモンモードフィルタは、コモンモードのノイズ信号を遮断し、ディファレンシャルモードについては、通したい周波数領域の信号のみ通過させるという作用をなす。

擬似伝送線路理論に基づくコモンモードフィルタは、図15に示すように、薄膜パターンの線幅や形状を適宜設計することによって形成することができ、容易に小型化、薄型化が可能である。

【先行技術文献】

【特許文献】

【0005】

10

20

30

40

50

【特許文献1】特開2012-191530号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

擬似伝送線路理論に基づく従来のコモンモードフィルタは、図21の等価回路に示すように、6個のインダクタと8個のキャパシタを構成素子としている。これらの構成素子のうち、インダクタは占有面積が大きくなるため、デバイスに組み込む際の高集積化が阻害されるという問題があった。

本発明は、従来のコモンモードフィルタに用いられているインダクタの数を減らすことにより回路の簡素化を図り、小型化、高集積化を可能とするコモンモードフィルタを提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係るコモンモードフィルタは、第1の伝送線路(L1)と第2の伝送線路(L2)に差動信号を伝播させて信号を送る伝送回路に用いるコモンモードフィルタであって、前記コモンモードフィルタは、一対のインダクタと複数のキャパシタとから構成され、前記インダクタが相互に磁気的に結合される配置として形成したことを特徴とする。

コモンモードフィルタを構成する一対のインダクタを磁気的に結合する配置とすることにより、インダクタとなるコイルを互いに近接させて配置することができ、コモンモードフィルタの小型化を効率的に図ることができる。

【0009】

本発明に係るコモンモードフィルタは、第1の伝送線路(L1)と第2の伝送線路(L2)に差動信号を伝播させて信号を送る伝送回路に用いるコモンモードフィルタであって

前記第1の伝送線路(L1)に配設した第1のキャパシタ(91)及び前記第2の伝送線路(L2)に配設した第2のキャパシタ(92)と、前記第1のキャパシタ(91)よりも入力側の前記第1の伝送線路(L1)上の点と、前記第2のキャパシタ(92)よりも入力側の前記第2の伝送線路(L2)上の点との間に掛け渡して配設した第1のインダクタ(11)と、前記第1のキャパシタ(91)よりも出力側の前記第1の伝送線路(L1)上の点と、前記第2のキャパシタ(92)よりも出力側の前記第2の伝送線路(L2)上の点との間に掛け渡して配設した第2のインダクタ(21)と、前記第1の伝送線路(L1)及び前記第2の伝送線路(L2)上の、前記第1のインダクタ(11)との接続点よりも入力側の位置において、前記第1の伝送線路(L1)と前記第2の伝送線路(L2)との間に直列接続により掛け渡して配設され、中間点が接地された第3のキャパシタ(31)及び第4のキャパシタ(41)と、前記第1の伝送線路(L1)及び前記第2の伝送線路(L2)上の、前記第2のインダクタ(11)との接続点よりも出力側の位置において、前記第1の伝送線路(L1)と前記第2の伝送線路(L2)との間に直列接続により掛け渡して配設され、中間点が接地された第5のキャパシタ(32)及び第6のキャパシタ(42)と、前記第3のキャパシタ(31)と前記第1の伝送線路(L1)との接続点よりも入力側の前記第1の伝送線路(L1)上に配設した第7のキャパシタ(51)及び前記第4のキャパシタ(41)と前記第2の伝送線路(L2)との接続点よりも入力側の前記第2の伝送線路(L2)上に配設した第8のキャパシタ(71)と、前記第5のキャパシタ(32)と前記第1の伝送線路(L1)との接続点よりも出力側の前記第1の伝送線路(L1)上に配設した第9のキャパシタ(62)及び前記第6のキャパシタ(42)と前記第2の伝送線路(L2)との接続点よりも出力側の前記第2の伝送線路(L2)上に配設した第10のキャパシタ(82)とを備え、前記第1～第10のキャパシタ(91、92、31、41、32、42、51、71、62、82)を構成する導体パターンが設けられた第1層と、誘電体材からなる第2層と、前記第1～第10のキャパシタ(91、92、31、41、32、42、51、71、62、82)を構成する導体パターン及び前記第1のインダクタ(11)と第2のインダクタ(21)を構成する導体パターンが設けられた第3層とを、前記第2層を中間層として積層するとと

10

20

30

40

50

もに、前記第1層の前記第1～第10のキャパシタを構成する導体パターンと前記第3層の前記第1～第10のキャパシタを構成する導体パターンとを前記第2層を挟んで対向配置し、前記第1のインダクタ(11)と前記第2のインダクタ(21)は、前記第3層の平面内において、コイルパターンを互いに入り組ませた形態として磁氣的に結合する構成とするとともに、前記コイルパターンを囲む配置に前記第1～第10のキャパシタを構成する導体パターンを形成したことを特徴とする。

【発明の効果】

【0010】

本発明に係るコモンモードフィルタは、一对のインダクタを相互に磁氣的に結合する構成としたことにより、インダクタを相互に接近させて配置することができ、コモンモードフィルタの小型化を好適に図ることができる。

10

【図面の簡単な説明】

【0011】

【図1】1ユニット構成のコモンモードフィルタの等価回路である。

【図2】図1のコモンモードフィルタを導体パターンの積層構造として構成した例を示す組み立て斜視図である。

【図3】図1の等価回路を立体構造として書き表した回路である。

【図4】図1のコモンモードフィルタの周波数特性を解析した結果のグラフである。

【図5】図1の等価回路を2つ接続した回路(2ユニット構成)である。

【図6】図5のコモンモードフィルタをデバイスとして構成する場合の平面図である。

20

【図7】本発明に係るコモンモードフィルタの等価回路である。

【図8】図7に示すコモンモードフィルタをデバイスとして構成した場合の平面図である。

【図9】図7の等価回路を立体的に書き換えた等価回路である。

【図10】図7の等価回路を備えるコモンモードフィルタを導体パターンを積層したデバイスとして構成した組み立て斜視図である。

【図11】デバイスのインダクタの部分の平面図である。

【図12】コモンモードフィルタのデバイスの周波数特性を測定した結果を示すグラフである。

【図13】コモンモードフィルタの減衰特性を解析により求めた結果と、実測結果を対比して示すグラフである。

30

【図14】図13に示すグラフのうち、ディファレンシャルモードの特性を拡大して示すグラフである。

【図15】従来のコモンモードフィルタの構成例を示す説明図である。

【図16】従来のコモンモードフィルタの等価回路である。

【発明を実施するための形態】

【0012】

(コモンモードフィルタ回路：1ユニット構成)

本発明においてコモンモードフィルタとして検討している構成は、キャパシタとインダクタとなる導体パターンを形成した層を絶縁層を挟んで積層することにより、パターン間あるいは線間に寄生するキャパシタンス成分、インダクタンス成分を構成して、コモンモードフィルタとするものである。

40

【0013】

図1は、コモンモードフィルタの基本単位(ユニット)として当初検討したコモンモードフィルタの等価回路を示す。

このコモンモードフィルタは、信号を伝送する第1の伝送線路L1と第2の伝送線路L2との間を、インダクタ11(インダクタンス： $2L_L$)により接続するとともに、インダクタ11と並列に、キャパシタ31(キャパシタンス： C_R)とキャパシタ41(キャパシタンス： C_R)を直列接続により配置した構成を備える。

キャパシタ31とキャパシタ41とを接続する中間位置は接地電位とする。なお、イン

50

ダクタ11のインダクタンスを $2L_L$ と表しているのは、キャパシタンス31、41と並列にインダクタンス L_L の2つのインダクタを直列配置した回路を想定しているためである。

また、第1の伝送線路L1と第2の伝送線路L2には、インダクタ11及びキャパシタ31、41との結節点を挟む配置に、それぞれ、キャパシタ51、キャパシタ61(キャパシタンス： C_L)と、キャパシタ71、キャパシタ81(キャパシタンス： C_L)を設ける。

【0014】

図2は図1に示す等価回路に相当するコモンモードフィルタをデバイスに組み込む構造とするため、導体パターンを備える積層構造として構成した例である。

図2に示すコモンモードフィルタは、全体形状を矩形の平面形状とし、導体パターンを配した第1層と、絶縁層からなる第2層と、インダクタとキャパシタを構成する導体パターンを形成した第3層とからなる。

インダクタ11は第3層の中央部に配置し、第1層と第3層に形成するキャパシタとなる導体パターンは、インダクタ11の周囲に配置する。インダクタ11を配置する領域を導体パターンの空域としているのは、インダクタ11を配置する領域に重複して導体パターンを配置すると、インダクタ11のQ値が大きく低下してしまうためである。

【0015】

第1層には、キャパシタ31、41と、キャパシタ51、61、71、81となる導体パターンが形成されている。第2層は絶縁層である。

第3層には、インダクタ11の他に、キャパシタ31、41と、キャパシタ51、61、71、81となる導体パターンが形成されている。

それぞれのキャパシタは、第2層の絶縁層を第1層の導体パターンと第3層の導体パターンとで挟むことにより、平行平板キャパシタとして構成される。

【0016】

キャパシタ31、41と、キャパシタ51、61、71、81のキャパシタンスは、絶縁層(第2層)の厚さ、誘電率、導体パターンの対向する部分の面積によって決められる。

キャパシタ31、41のキャパシタンス C_R は、絶縁層の厚さ d 、絶縁層の誘電率 ϵ_r 、導体パターンの面積 S_R に基づいて、次式(1)により与えられる。

$$C_R = \epsilon_0 \epsilon_r S_R / d \cdots (1)$$

キャパシタ51、61、71、81のキャパシタンス C_L は、次式(2)により与えられる。 S_L は導体パターンの対向する部分の面積、絶縁層の厚さ d 、絶縁層の誘電率 ϵ_r は上式と同一である。

$$C_L = \epsilon_0 \epsilon_r S_L / d \cdots (2)$$

【0017】

インダクタ11のインダクタンスは、巻き数、線幅、線間によって決められる。

図2に示すコモンモードフィルタは、1.8~2.0[GHz]帯でのフィルタとして構成する場合の設計例で、インダクタ11については、巻数：2turn、線幅 $20\mu\text{m}$ 、線間 $30\mu\text{m}$ とし、インダクタ11の外形寸法を、横： $1460\mu\text{m}$ 、縦： $930\mu\text{m}$ とした。 S_R の設計値は $490 \times 290\mu\text{m}^2$ 、 S_L の設計値は $210 \times 490\mu\text{m}^2$ である。キャパシタンスについてのパラメータは、 $C_R = 3.7\text{pF}$ 、 $C_L = 2.7\text{pF}$ 、インダクタンス $L_L = 1.2\text{nH}$ 、インダクタ11のインダクタンス $2L_L = 2.4\text{nH}$ である。

【0018】

図3に、図1に示した等価回路を、図2に示すコモンモードフィルタの積層構造に対応して立体構造として書き換えた図を示す。図3と図1とはまったく同一の回路である。図3と図2とを対比してみると、絶縁層を挟んで対向する導体パターン間において、それぞれキャパシタが形成されていることがわかる。

【0019】

図4は、上述したコモンモードフィルタの設計値にしたがって、コモンモードフィルタの周波数特性を電磁界解析により解析した結果を示す。なお、キャパシタ31、41のキャパシタンスは $C_R = 3.7\text{pF}$ 、キャパシタ51、61、71、81のキャパシタは $C_L = 2.7\text{pF}$

10

20

30

40

50

、インダクタンス $L_L=1.2\text{nH}$ 、すなわちインダクタ11のインダクタンス $2L_L=2.4\text{nH}$ である。

図4に示す分析結果を見ると、1.8~2.0[GHz]帯におけるコモンモードフィルタの遮蔽特性を見ると、-8dB程度であり、実用レベルである-15dBを満足していない。

【0020】

(コモンモードフィルタ回路：2ユニット構成)

上述したコモンモードフィルタは、キャパシタとインダクタとを構成する導体パターンを積層構造として形成したものであり、図2に示すように、きわめて微細なパターンとして形成することができ、高集積化されたデバイスに組み込むことが可能であるという特徴がある。しかしながら、コモンモードフィルタとしての実用可能性については不十分である。

10

そこで、本発明者は、上述したフィルタユニットを2つ直列に接続した2ユニット構成からなるコモンモードフィルタについて検討した。

【0021】

図5に、図1に示す等価回路の2ユニットを直列接続した回路を示す。図5に示すコモンモードフィルタは、図1に示した、インダクタ11、キャパシタ31、41、キャパシタ51、61、71、81からなるフィルタユニットと同形のフィルタユニット、すなわち、インダクタ21(インダクタンス： $2L_L$)、キャパシタ31、41(キャパシタンス： C_R)、キャパシタ51、61、71、81(キャパシタンス： C_L)を備えるユニットを接続したものである。

20

【0022】

図5の回路は、2つのインダクタ11、21と12個のキャパシタを備えている。この回路においてはインダクタ11、12は、相互作用を排除するために一定程度離間させた配置としている。このような等価回路構成としたフィルタ回路は、コモンモードフィルタとして実用レベルのフィルタ特性を有することが確かめられる。

しかしながら、図5に示す等価回路構成とした場合は、実際に搭載するデバイス構造は、図6に示すようなコイルとキャパシタとを備える同形のデバイスユニットを二つ横に並べる配置となり、デバイスの小型化の点からは有効でないという問題が生じる。

【0023】

そこで、図5に示した等価回路を組み替え、図7に示すようにインダクタ11、21を互いに接近させインダクタ11、21を磁氣的に結合させた構成の等価回路を考える。2つのフィルタユニットを接続してフィルタとする場合、通常はインダクタ11、21の間に磁氣的な相互作用が生じないようにインダクタ11、21を空間的に離して設計するが、本方法では、敢えてインダクタ11、21間で磁氣的な相互作用が生じるように等価回路を設計する。インダクタ11、21を相互に近づけて配置する構成とすることにより、インダクタ11、21の間に配置されていたキャパシタ52、61、キャパシタ72、81はそれぞれ一つにまとめられ、キャパシタンス $C_L/2$ のキャパシタ91、92に置き換えられる。

30

【0024】

図8は、図7の等価回路を導体パターンを積層した構成を備えるデバイスとして構成した場合の平面図である。インダクタ11とインダクタ21とを磁氣的に結合する構成としたことにより、インダクタ11とインダクタ21のコイルパターンを相互に入り組む形状にすることができ、直列接続されていたキャパシタ52とキャパシタ61、キャパシタ72とキャパシタ81を一つのキャパシタ91、92にまとめることにより、キャパシタの数を減らすことができ、キャパシタを構成するための導体パターンの面積を縮小させることができる。図8に示すように、デバイスの平面領域は、図6に示すデバイスの1/4程度となる。

40

【0025】

図7に示す等価回路を用いて、コモンモードフィルタの目標特性として、目標帯域1.8~2.0GHz、特性インピーダンス 50 ± 5 、コモンモードの減衰15dB以上、ディファレン

50

シャルモードの減衰3dB以下として回路設計した。

図9に導体パターンの積層構造としてデバイスを構成するために、図7の等価回路を立体的に書き換えた等価回路を示す。図9は、上層にインダクタ11、21を配置し、上層と下層に設ける導体パターンによりキャパシタが形成されることを示す。導体パターンを形成する上層と下層との間に所定の厚さの誘電体層を設けることにより、所要のキャパシタンスを有するキャパシタが構成される。

【0026】

図10は、導体パターンを積層構造としたデバイスの組み立て斜視図である。第1層にはキャパシタを構成するための導体パターンが形成され、第3層にインダクタとキャパシタの導体パターンが形成されている。第2層は誘電体層である。第1層の導体パターンと第3層の導体パターンとが対向することによりそれぞれのキャパシタが構成される。図10では、図9に示す立体構造の等価回路のインダクタ11、21とキャパシタに対応する導体パターンに符号を付して示した。

10

【0027】

図11はインダクタの平面図である。インダクタ11、21は、巻数：1.25turn、線幅：20 μm 、線間：30 μm に設定した。インダクタ11、21の配置領域は縦：500 μm 、横：400 μm の矩形領域である。

インダクタ11、21のインダクタンス L_L の設計値 $L_L = 1.2\text{nH}$ である。

本実施形態においては、上述した目標帯域において所要のコモンモードとディファレンシャルモードの減衰特性が得られるように、等価回路におけるキャパシタのキャパシタンス C_R 、 C_L を次のように設定した。

20

$$C_R = 3.7\text{pF}, C_L = 2.7\text{pF}$$

【0028】

C_R と C_L は、対向する導体パターン部分の面積 S_R 、 S_L と誘電体層（第2層）の厚さ d 、誘電体層の誘電率 ϵ_r により次式により定められる。 ϵ_0 は真空の誘電率である。導体パターンの面積 S_R 、 S_L と誘電体層の材質（誘電率）と厚さを適宜選択することにより、 C_R と C_L の目標値に合わせることができる。

$$C_R = \epsilon_0 \cdot \epsilon_r \cdot S_R / d \quad S_R = 200 \times 380 (\mu\text{m})^2$$

$$C_L = \epsilon_0 \cdot \epsilon_r \cdot S_L / d \quad S_L = 400 \times 130 (\mu\text{m})^2$$

30

【0029】

図10に示す積層構造を備えるデバイスを実際に作製し、コモンモードフィルタとしての周波数特性を実際に測定した。測定は4ポートネットワークアナライザを使用して行った。

図12に測定結果を示す。図12に示す測定結果は、目標帯域1.8~2.0GHzにおいて、コモンモードの減衰は-35.2dB、ディファレンシャルモードの減衰は-2.8dBであり、目標帯域での減衰特性を十分に満足していることがわかる。また、コモンモードの減衰特性についてみると、2GHz~5GHzの広帯域で減衰が15dB以上であり、ディファレンシャルモードの減衰が3dB以下となる帯域が3GHz~4GHz帯にもあることがわかる。

40

【0030】

図13、14は、上記のパラメータを図7の等価回路に設定したときのコモンモードフィルタの減衰特性を解析により求めた結果と、図12に示す測定結果とを対比して示している。図14は図13のグラフでディファレンシャルモードの特性を拡大して示したものである。コモンモードフィルタの減衰特性は電磁界シミュレーションソフトを利用して行った。

表1に、ディファレンシャルモードの減衰が3dB以下となる周波数帯域について、実測と解析により求めた帯域と、対応する帯域でのディファレンシャルモードとコモンモードの減衰値を示す。

【表 1】

測定結果	3dB未満帯域(GHz)		ディファレンシャルモードの減衰(dB)		コモンモードの減衰(dB)	
	1.92~2.08	3.24~3.80	2.81	2.44	34.8	40.8
解析結果	1.61~1.74	2.58~2.82	2.5	2.7	63	69

【 0 0 3 1 】

図 1 3 及び表 1 から、実測値と解析値とでは、ディファレンシャルモードについて、減衰が3dB以下となる周波数帯域が、解析値の方がやや低い側にあらわれているものの、実測値でも近似した周波数帯域で3dB以下となる減衰特性が得られている。コモンモードについては、解析値の減衰特性は-70dB以下といった大きな減衰特性になるのに対して、実測値では解析値よりも減衰特性が劣っている。ただし、実測値でも30dB以下の減衰特性は確保している。

10

【 0 0 3 2 】

(減衰特性の解析)

図 7 に示すコモンモードフィルタにおけるインダクタ、キャパシタの設計においては、インダクタとキャパシタのパラメータを設定し、電磁界シミュレーションソフトを使用してコモンモードフィルタが目標特性(目標帯域1.8~2.0GHz、特性インピーダンス 50 ± 5 、コモンモードの減衰15dB以上、ディファレンシャルモードの減衰3dB以下)を満足するか否かを評価して行った。

【 0 0 3 3 】

なお、上記実施形態において説明したコモンモードフィルタは、目標帯域1.8~2.0GHz、特性インピーダンス 50 ± 5 、コモンモードの減衰15dB以上、ディファレンシャルモードの減衰3dB以下を満足する条件下でインダクタやキャパシタのパラメータを設計したものであり、用途により、求められる目標帯域やコモンモードの減衰特性、ディファレンシャルモードの減衰特性等の特性はさまざまである。本発明に係るコモンモードフィルタは、インダクタとキャパシタのパラメータ、インダクタの相互インダクタンスを適宜設計することにより、用途に応じた減衰特性を有し、かつ小型なコモンモードフィルタとして提供することが可能である。

20

また、上記実施形態においては、インダクタ 1 1、2 1 のパターンを形成した周辺を空間としている(図 1 1 のパターン以外の領域部分)。このパターン以外の領域を 1 より大きな比誘電率の誘電体、あるいは 1 より大きな比誘電率及び比透磁率を有する複合材料で形成することにより、フィルタ特性を改善することが可能である。

30

【 0 0 3 4 】

本発明に係るコモンモードフィルタは、一对のインダクタを近接配置して、磁気的に結合した配置として設けるから、図 8、1 0 に示すように、コイルを相互に入り組ませた形態として配置することができ、これによって効果的にコモンモードフィルタの小型化を図ることができるという利点がある。このように小型化し、導体パターンを積層する構造とすることにより、各種電子部品に搭載することが容易に可能になる。

【産業上の利用可能性】

【 0 0 3 5 】

本発明によれば、小型化、高集積化が可能でフィルタ特性に優れたコモンモードフィルタを提供することができ、信号伝送特性に優れた差動伝送技術に好適に適用できる。

40

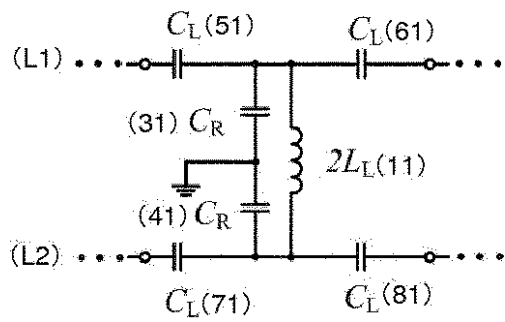
【符号の説明】

【 0 0 3 6 】

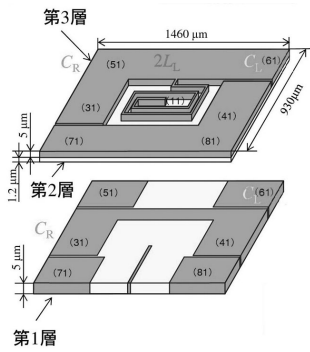
- 1 1、2 1 インダクタ ($2L_L$)
- 3 1、3 2、4 1、4 2 キャパシタ (C_R)
- 5 1、5 2、6 1、6 2、7 1、7 2、8 1、8 2 キャパシタ (C_L)
- 9 1、9 2 キャパシタ ($C_L/2$)
- L_1 第 1 の伝送線路
- L_2 第 2 の伝送線路

50

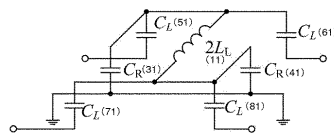
【 図 1 】



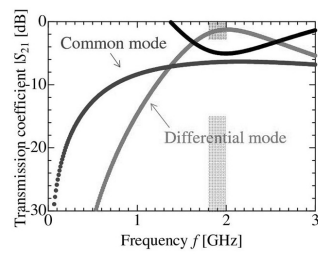
【 図 2 】



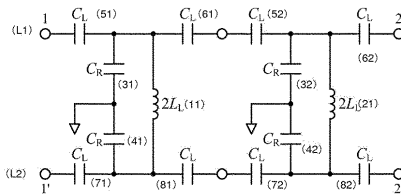
【 図 3 】



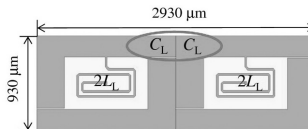
【 図 4 】



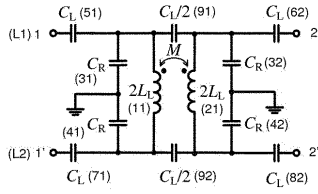
【 図 5 】



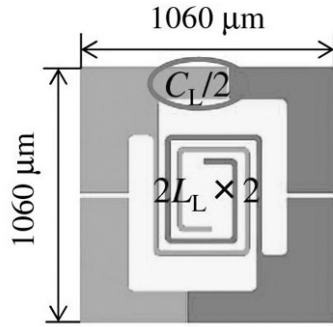
【 図 6 】



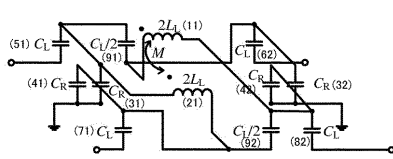
【 図 7 】



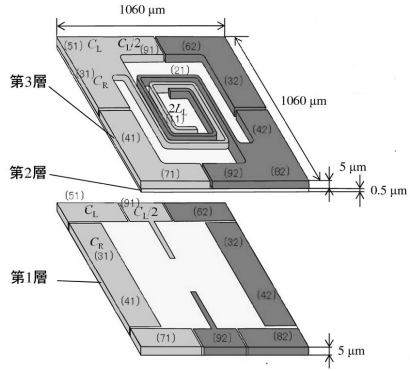
【 図 8 】



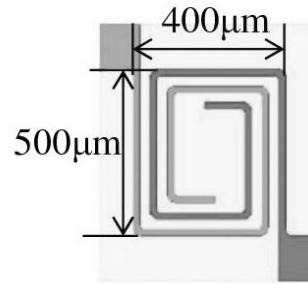
【 図 9 】



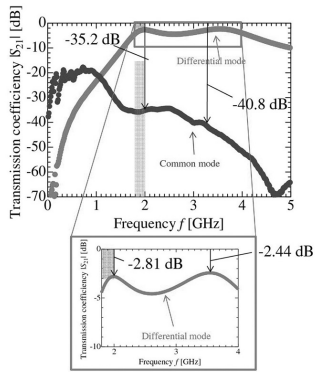
【 図 1 0 】



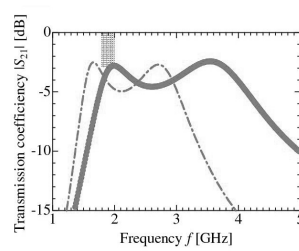
【 図 1 1 】



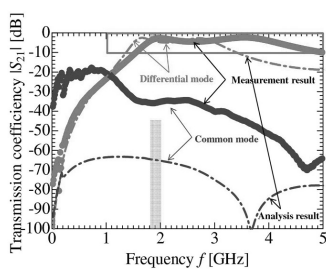
【 図 1 2 】



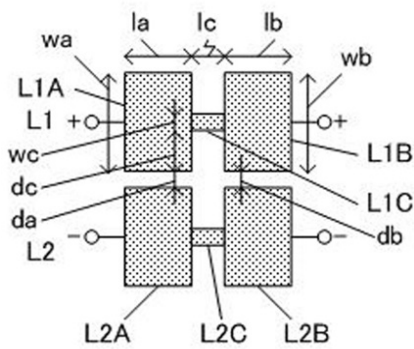
【 図 1 4 】



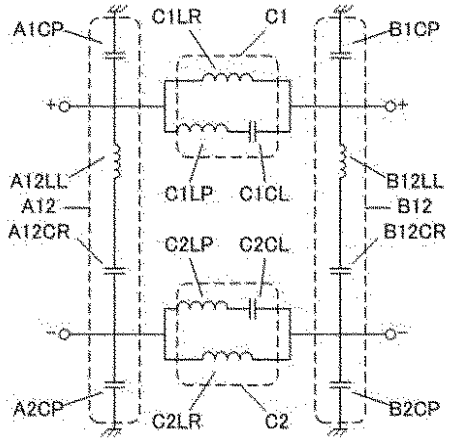
【 図 1 3 】



【 図 1 5 】



【図16】



フロントページの続き

(56)参考文献 特開2002-374139(JP,A)
特開2014-053765(JP,A)
特開2010-114899(JP,A)
特開2001-244118(JP,A)
特開2005-318657(JP,A)
特開2005-184127(JP,A)
特開平04-355902(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03H 1/00 - 7/13
H01F 17/00 - 27/42