

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/129535

発行日 平成27年7月30日 (2015. 7. 30)

(43) 国際公開日 平成25年9月6日 (2013. 9. 6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 2 2	5 F 1 1 O
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 8 B	
HO 1 L 29/06 (2006. 01)	HO 1 L 29/78 6 1 7 N	
HO 1 L 29/66 (2006. 01)	HO 1 L 29/78 6 1 9 A	
	HO 1 L 29/06 6 0 1 N	

審査請求 有 予備審査請求 有 (全 34 頁) 最終頁に続く

出願番号 特願2014-502342 (P2014-502342)
 (21) 国際出願番号 PCT/JP2013/055261
 (22) 国際出願日 平成25年2月27日 (2013. 2. 27)
 (11) 特許番号 特許第5674220号 (P5674220)
 (45) 特許公報発行日 平成27年2月25日 (2015. 2. 25)
 (31) 優先権主張番号 特願2012-42588 (P2012-42588)
 (32) 優先日 平成24年2月28日 (2012. 2. 28)
 (33) 優先権主張国 日本国 (JP)

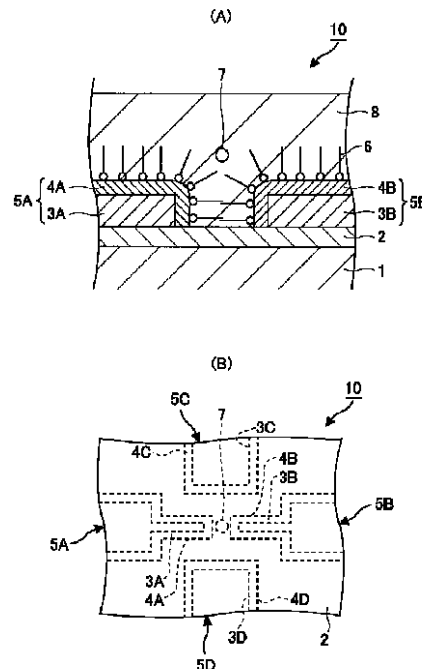
(71) 出願人 503360115
 独立行政法人科学技術振興機構
 埼玉県川口市本町四丁目1番8号
 (74) 代理人 100082876
 弁理士 平山 一幸
 (72) 発明者 真島 豊
 神奈川県横浜市緑区長津田町4259-R
 3-5 国立大学法人東京工業大学内
 (72) 発明者 寺西 利治
 京都府宇治市五ヶ庄 国立大学法人京都大学内
 (72) 発明者 松本 和彦
 大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内

最終頁に続く

(54) 【発明の名称】 ナノデバイス及びその製造方法

(57) 【要約】

ダイオード、トンネル素子、MOSトランジスタなどの電子デバイスと組み合わせられるナノデバイス、集積回路及びナノデバイスの製造方法を提供する。ナノデバイスは、第1の絶縁層2と、第1の絶縁層2上にナノギャップを有するように設けられた一方の電極5Aと他方の電極5Bと、一方の電極5Aと他方の電極5Bとの間に配置された金属ナノ粒子7又は機能分子と、第1の絶縁層2、一方の電極5A及び他方の電極5Bの上に設けられ、かつ金属ナノ粒子7、機能分子の何れかを埋設する第2の絶縁層8とを備える。第2の絶縁層8がパッシベーション層として機能する。



【特許請求の範囲】

【請求項 1】

第 1 の絶縁層と、
 上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、
 上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子と、
 上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子を埋設する第 2 の絶縁層と、
 を備える、ナノデバイス。

【請求項 2】

第 1 の絶縁層と、
 上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、
 上記一方の電極と上記他方の電極との間に配置された機能分子と、
 上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記機能分子を埋設する第 2 の絶縁層と、
 を備える、ナノデバイス。

【請求項 3】

前記第 1 の絶縁層上に、前記一方の電極と前記他方の電極との配置方向に対して交差する方向に一又は複数のゲート電極を備え、
 上記ゲート電極が前記第 2 の絶縁層によって被覆されている、請求項 1 又は 2 に記載のナノデバイス。

【請求項 4】

前記金属ナノ粒子に電圧を印加するためのゲート電極が、前記第 2 の絶縁層上に設けられている、請求項 1 又は 2 に記載のナノデバイス。

【請求項 5】

前記第 2 の絶縁層は、 SiN 、 SiO 、 SiON 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 MgO の何れかである、請求項 1 又は 2 に記載のナノデバイス。

【請求項 6】

前記一方の電極と前記金属ナノ粒子との間、前記他方の電極と前記金属ナノ粒子との間には絶縁膜が介在されており、上記絶縁膜が、無機材料又は有機材料からなる、請求項 1 に記載のナノデバイス。

【請求項 7】

請求項 1 乃至 6 の何れかに記載のナノデバイスと電子デバイスとが半導体基板上に形成されてなる、集積回路。

【請求項 8】

電子デバイスが形成された半導体基板上に設けられた第 1 の絶縁層と、
 上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、
 上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子又は機能分子と、
 上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子又は機能分子を埋設する第 2 の絶縁層と、
 を備え、
 上記電子デバイスの複数の電極のうち一つが、前記第 1 の絶縁層に設けたビアを介して上記一方の電極に接続されている、集積回路。

【請求項 9】

ナノギャップを有する一方の電極及び他方の電極を設けた絶縁層付き基板に金属ナノ粒子又は機能分子を配置し、
 上記一方の電極、上記他方の電極及び上記絶縁層付き基板の上にパッシベーション膜を形成することで金属ナノ粒子又は機能分子を埋設する、ナノデバイスの製造方法。

10

20

30

40

50

【請求項 10】

前記パッシベーション膜を形成する際、前記絶縁層付き基板を冷却する、請求項 9 に記載のナノデバイスの製造方法。

【請求項 11】

前記パッシベーション膜は、触媒 CVD 法、プラズマ CVD 法、光 CVD 法、パルスレーザー堆積法、原子層エピタキシー法、熱 CVD 法の何れかを用いて形成する、請求項 9 に記載のナノデバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイオード、トンネル素子、MOS トランジスタなどの電子デバイスと組み合わせられるナノデバイスとその集積回路、及びナノデバイスの製造方法に関する。

【背景技術】

【0002】

ナノデバイスとして単電子トランジスタがある。その単電子トランジスタの製造技術を確立するため、本発明者らは、単電子デバイスにおけるクーロン島として金ナノ粒子に注目し、STM を用いて 1.8 nm の粒径の金ナノ粒子が常温でクーロン島として機能していることを解明してきた。また、固体基板上に電子デバイスの構築に向けて、無電解メッキを用いて 5 nm のギャップ長を有するナノギャップ電極を一度に高歩留まりで作製することを確立してきた。さらに、ナノギャップ電極間に金ナノ粒子を化学吸着法により導入した単電子トランジスタの動作について報告してきた（非特許文献 1 乃至 5）。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】S. Kano, Y. Azuma, M. Kanehara, T. Teranishi, Y. Majima, Appl. Phys. Express, 3, 105003 (2010)

【非特許文献 2】Y. Yasutake, K. Kono, M. Kanehara, T. Teranishi, M. R. Buitelaar, C. G. Smith, Y. Majima, Appl. Phys. Lett., 91, 203107 (2007)

【非特許文献 3】Victor M. Serdio V., Yasuo Azuma, Shuhei Takeshita, Taro Muraki, Toshiharu Teranishi and Yutaka Majima, Nanoscale, 4, 7161 (2012)

【非特許文献 4】N. Okabayashi, K. Maeda, T. Muraki, D. Tanaka, M. Sakamoto, T. Teranishi, Y. Majima, Appl. Phys. Lett., 100, 033101 (2012)

【非特許文献 5】猪川洋、藤原聡、高橋庸夫、信学技報、E D 2 0 0 1 - 2 4 1、S D M 2 0 0 1 - 2 5 0、1 5 - 2 0 頁

【非特許文献 6】See Kei Lee, Ryo Yamada, Shoji Tanaka, Gap Soo Chang, Yoshihiro Asai, and Hirokazu Tada, ACS Nano, 6, 5078 (2012)

【発明の概要】

【発明が解決しようとする課題】

【0004】

このように作製した単電子トランジスタは、5 nm 以下のギャップ長を有するナノギャップ電極と、有機分子を配位子として有するナノ粒子からなっており、プロトタイプなものに限られ、集積化することができなかった。

【0005】

そこで、本発明は、上記課題に鑑み、ダイオード、トンネル素子、MOS トランジスタなどの電子デバイスと組み合わせられるナノデバイス、その集積回路及びナノデバイスの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明のナノデバイスは、第 1 の絶縁層と、第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、一方の電極と他

10

20

30

40

50

方の電極との間に配置された金属ナノ粒子又は機能分子と、第1の絶縁層、一方の電極及び他方の電極の上に設けられ、金属ナノ粒子又は機能分子を埋設する第2の絶縁層と、を備える。

【0007】

上記構成において、第1の絶縁層上に、一方の電極と他方の電極との配置方向に対して交差する方向に一又は複数のゲート電極を備え、ゲート電極が第2の絶縁層によって被覆されている。

上記構成において、金属ナノ粒子に電圧を印加するためのゲート電極が、第2の絶縁層上に設けられている。

上記構成において、第2の絶縁層は、 SiN 、 SiO 、 SiON 、 Si_2O_3 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 MgO の何れかである。

上記構成において、一方の電極と金属ナノ粒子との間、他方の電極と金属ナノ粒子との間には絶縁膜が介在されており、絶縁膜が、無機材料又は有機材料からなる。

【0008】

本発明の集積回路は、本発明のナノデバイスと電子デバイスとが半導体基板上に形成されてなる。例えば、電子デバイスが形成された半導体基板上に設けられた第1の絶縁層と、第1の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、一方の電極と他方の電極との間に配置された金属ナノ粒子又は機能分子と、第1の絶縁層、一方の電極及び他方の電極の上に設けられ、金属ナノ粒子又は機能分子を埋設する第2の絶縁層とを備え、電子デバイスの複数の電極のうち一つが、第1の絶縁層に設けたビアを介して一方の電極に接続されている。

【0009】

本発明のナノデバイスの製造方法は、ナノギャップを有する一方の電極及び他方の電極を設けた絶縁層付き基板に金属ナノ粒子又は機能分子を配置し、一方の電極、他方の電極及び絶縁層付き基板の上にパッシベーション膜を形成することで金属ナノ粒子又は機能分子を埋設する。

特に、パッシベーション膜を形成する際、絶縁層付き基板を冷却する。

特に、パッシベーション膜は、触媒CVD法、プラズマCVD法、光CVD法、パルスレーザー堆積法、原子層エピタキシー法、熱CVD法の何れかを用いて形成する。

【発明の効果】

【0010】

発明によれば、ナノ粒子又は機能分子が配位子としてナノギャップ電極の間に設けられ、それらを別の絶縁層で覆っているため、別の絶縁層がパッシベーション膜として機能する。従って、パッシベーション層上で金属ナノ粒子又は機能分子の上に、ゲート電極を設けることができ、ナノデバイスを集積化することができる。さらにゲート電極上に別の絶縁膜を設け、適宜ビアホールを開けることにより、配線のための電極を構築することで集積化を図ることができる。

【0011】

また、ナノギャップ電極は、リソグラフィ技術により種電極を基板上に設け、無電解メッキに界面活性剤を混ぜて、ナノギャップ長を制御して作製することができる。そのため、ナノギャップ電極の作製とほぼ同時に、ダイオード、トンネル素子、MOSトランジスタを作製することができる。よって、デバイスの三次元集積化を図ることができる。

【図面の簡単な説明】

【0012】

【図1】本発明の第1の実施形態に係るナノデバイスとしての単電子素子を模式的に示し、(A)は断面図、(B)は平面図である。

【図2】(A)~(C)は、ナノギャップ長を有する電極に対し、例えばジチオール分子を用いた化学結合による単電子島の設置工程を模式的に示す図である。

【図3】本発明の第2の実施形態に係るナノデバイスとしての単電子素子を模式的に示し、(A)は断面図、(B)は平面図である。

10

20

30

40

50

- 【図4】本発明の第3の実施形態に係る集積回路の断面図である。
- 【図5】図4に示す集積回路の平面図である。
- 【図6】図4及び図5に示す集積回路の回路図である。
- 【図7】本発明の第4の実施形態に係るナノデバイスとしての単電子素子の断面図である。
- 【図8】本発明の第5の実施形態に係るナノデバイスとしての分子素子の断面図である。
- 【図9】実施例1で作製した単電子トランジスタの平面図である。
- 【図10】実施例1で作製した単電子トランジスタの断面図である。
- 【図11】実施例1に関し、ドレイン電流 - サイドゲート電圧依存性を示す図である。
- 【図12】実施例1に関し、ドレイン電圧及びサイドゲート電圧をそれぞれ掃引した際の、微分コンダクタンスのマッピングを示す図である。 10
- 【図13】実施例1で作製したサンプルの特性を示し、(A)はドレイン電圧 V_d を印加したときのドレイン電流 I_d を示し、(B)は第1のサイドゲートに印加する電圧 V_{g1} に対するドレイン電流 I_d を示す図である。
- 【図14】実施例2で作製した単電子トランジスタの平面図である。
- 【図15】実施例2で作製した単電子トランジスタの断面図である。
- 【図16】実施例2で作製した単電子トランジスタにおいて、トップゲート電圧を掃引した際に得られた、ドレイン電流 - トップゲート電圧依存性を示す図である。
- 【図17】実施例2に関し、ドレイン電圧及びサイドゲート電圧をそれぞれ掃引した際の、微分コンダクタンスのマッピングを示す図である。 20
- 【図18】実施例2に関し、ドレイン電圧に対するドレイン電流を示す図である。
- 【図19】実施例2に関し、ドレイン電流のトップゲート電圧依存性、いわゆる、クーロンオシレーション特性であり、(A)は測定温度 9 K, 80 K の場合、(B)は 160 K, 220 K の場合である。
- 【図20】実施例2に関し、微分コンダクタンスのマッピングを示す図であり、(A)、(B)、(C)、(D)は測定温度が、それぞれ 40 K, 80 K, 160 K, 220 K の場合である。
- 【図21】実施例3に関し、(A), (D)はドレイン電圧に対するドレイン電流の特性であり、(B), (E)はサイドゲートに印加する電圧に対するドレイン電流の特性であり、(C), (F)はサイドゲート電圧とドレイン電圧に対する dI/dV (nS) を示す。 30
- 【図22】実施例3に関し、電圧を印加するゲートが一方のサイドゲートと他方のサイドゲートとトップゲートでの特性を示す図であり、(A) ~ (C)は、それぞれ一方のサイドゲート、他方のサイドゲート、トップゲートに印加した電圧に対するドレイン電流の特性であり、(D) ~ (F)はそれぞれ一方のサイドゲート、他方のサイドゲート、トップゲートに印加した電圧及びドレイン電圧に対するドレイン電圧に対する dI/dV を示す。
- 【図23】実施例4として作製途中の単電子トランジスタのSEM像である。
- 【図24】実施例4に関し、(A)、(B)は第1のサイドゲート電極に印加する電圧に対するドレイン電流の依存性、第2のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示し、(C)は第2のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示し、(D)は第2のサイドゲート電圧及びドレイン電圧に対する dI/dV (微分コンダクタンス)を示す図である。 40
- 【図25】実施例5として作製途中の単電子トランジスタのSEM像である。
- 【図26】実施例5に関し、(A)、(B)、(C)は第1のサイドゲート電極に印加する電圧に対するドレイン電流の依存性、第2のサイドゲート電極に印加する電圧に対するドレイン電流の依存性、第2のサイドゲート電圧及びドレイン電圧に対する dI/dV (微分コンダクタンス)を示す図であり、(D)は第2のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示す図である。
- 【図27】実施例6に関し、(A)、(B)、(C)はそれぞれトップゲート電極、第1 50

のサイドゲート電極、第2のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示し、(D)はトップゲート電圧及びドレイン電圧に対する dI/dV (微分コンダクタンス)を示し、(E)は第1のサイドゲート電圧及びドレイン電圧に対する dI/dV (微分コンダクタンス)を示す図である。

【符号の説明】

【0013】

- 1：基板
- 2：第1の絶縁層
- 3A, 3B, 4A, 4B：金属層
- 5A：ナノギャップ電極(一方の電極) 10
- 5B：ナノギャップ電極(他方の電極)
- 5C, 5D：ゲート電極(サイドゲート電極)
- 6, 6A, 6B：自己組織化単分子膜
- 7：金属ナノ粒子
- 8：第2の絶縁層
- 9：自己組織化単分子混合膜(SAM混合膜)
- 9A：アルカンチオール
- 10, 20：単電子素子
- 21：ゲート電極(トップゲート電極)
- 30, 60：集積回路 20
- 40, 62：MOSFET
- 50, 61：単電子素子
- 31：基板
- 41：ソース
- 42：ドレイン
- 43：第1の絶縁層
- 43A：第1の絶縁層の下部
- 43B：第1の絶縁層の上部
- 44：ゲート電極
- 45, 46, 48, 49：ビア 30
- 51：ソース電極
- 52：ドレイン電極
- 53：金属ナノ粒子
- 54：第2の絶縁層
- 55：ゲート電極
- 70, 80：ナノデバイス
- 71：絶縁膜
- 81：機能分子

【発明を実施するための形態】

【0014】

以下、図面を参照しながら本発明の実施形態について説明する。

【0015】

本発明の実施形態を説明する前提として、従来のDRAM等の製造においてなされていたパッシベーション膜の堆積が、単電子素子などのナノデバイスの製造において実現できなかった理由について説明する。

【0016】

SiNのような無機絶縁膜を触媒CVD法、プラズマCVD法、光CVD法又はPLD法を用いて形成する際、一般的に、プラズマ中にサンプルがさらされたり、運動エネルギーの高い粒子がサンプル表面をスパッタしたり、主に膜質を向上させるために基板の温度が高くなる場合がある。これらの基板に対するプラズマ、高エネルギー粒子、熱等により

40

50

、単電子素子は容易に破壊されるため、無機絶縁膜を堆積することがこれまで困難であった。

【0017】

すなわち、自己組織化単分子膜（SAM：Self-Assembled Monolayer）のような有機物によって表面を覆われたナノ粒子や配位子分子によって表面を覆われたナノ粒子に、無機絶縁膜を堆積させると、堆積物のソース源がSAM及び配位子分子を壊し、ナノ粒子が壊れることによって素子を破壊してしまう。素子が破壊されなくても、ギャップ間に存在するナノ粒子が無機絶縁体の堆積中に移動してしまい、単電子素子として機能しなくなる。特に、金ナノギャップ電極として用いるナノスケールの金電極は熱に対して流動性が高いため、熱を加えることで、ナノギャップの構造変化が起こり、単電子素子が壊れてしま

10

【0018】

しかしながら、本発明者らの鋭意研究により、次のような観点に着目して本発明を完成するに至ったのである。

1) 無電解メッキによりギャップ長を制御して電極対を形成することができ、そのようなナノギャップ電極は熱に対して安定であること。

2) 無機絶縁物を堆積する際、金属ナノ粒子が配位分子により覆われ、ナノギャップ電極がSAMで覆われていることから電極表面を破壊しないこと。

3) 単電子島（「クーロン島」とも呼ばれる。）として働く金属ナノ粒子が、ナノギャップ間にアンカー分子、例えばジチオール分子によって化学的に固定したこと。

20

【0019】

本発明は、単電子素子の場合のみならず、金属ナノ粒子の代わりにフラーレン等の機能分子を、一方の電極と他方の電極との間のナノギャップ間に配置してもよい。これは、無電解メッキによりギャップ長を制御して電極対を形成することができ、そのようなナノギャップ電極は熱に対して安定であること、クーロン島として働くフラーレンなどの機能分子が、ナノギャップ間にアンカー分子により化学的に固定したことによる。その際、機能分子には電極へオーミック接触するアンカー部分を含むように、機能分子を直接合成すると素子の抵抗を低減させるという観点で効果的である。機能分子と電極対の伝導パスは、一方の電極と機能分子、および他方の電極と機能分子の計2カ所ある。これら2つの伝導パスのうち、片方あるいは両方の伝導パスにおいて機能分子と電極とをオーミック接触させることが好ましい。ショットキーバリアやトンネル抵抗があると抵抗が大きくなり、抵抗によって電圧分担が起きるからである。

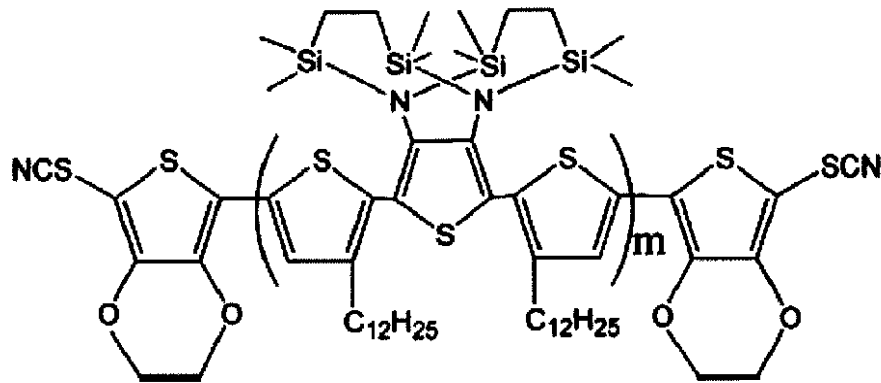
30

【0020】

機能分子のうち導電性を示す部分と電極界面との間にトンネル抵抗が存在することがある。例えば、機能分子としてフラーレンを直接ナノギャップ間に入れると、トンネルバリアが存在する。化学式1に示すような官能基を有する機能分子（非特許文献6）を用いると、オーミック接触が実現でき、機能分子の機能を発現させやすくなる。ここで、化学式1の2つの官能基の間にオリゴチオフエン分子（ m は自然数）を導入すると、導電性分子ワイヤとなる。なお、オーミック接触させる官能基は、片側だけに存在し、もう片方はオーミック接触しない機能分子の構造であってもよい。この場合、機能分子への電荷の出入りはオーミック接触側で容易に起き、他方の導電パス側に、電極への電位がそのまま加わるので、機能分子に電界が加わりやすくなり、機能を発現させやすい。

40

【化 1】



10

【0021】

以上説明したように、分子の電子準位を利用して機能を発現させたり、分子の価数を変化させたりする際には、上述のように片側の伝導パスの抵抗を低く、つまりオーミック接触した方が好ましい。機能分子には電極へのアンカーとなる部分が含まれるように、機能分子を直接合成するためには、アンカー部分は、例えば化学式1のような共役系があり、この共役系が電極金属表面との波動関数の重なりがあるような構造が、オーミック接触には好ましい。アンカー部位の化学式1のような共役系と、分子機能部位の共役系の波動関数の重なりは、機能分子の伝導性を決定する。波動関数の重なりが大きい平面状に共役系を配置すると分子内の導電性は高くなる。ちなみに、上述の分子は平面構造となるように設計されている。一方、共役系の平面性が乱れると機能部位を含めた分子内の導電性は低くなる。

20

【0022】

〔第1の実施形態〕

図1(A)は本発明の第1の実施形態に係る単電子素子を模式的に示す断面図であり、(B)は単電子素子の平面である。第1の実施形態に係るナノデバイスとしての単電子素子10は、基板1と、基板1上に設けられた第1の絶縁層2と、第1の絶縁層2上にナノギャップ長を有するように設けられた一方の電極5A及び他方の電極5Bと、一方の電極5A及び他方の電極5Bに設けられた絶縁膜としての自己組織化単分子膜6と、自己組織化単分子膜6に吸着して一方の電極5Aと他方の電極5Bとの間に配置された金属ナノ粒子7と、第1の絶縁層2、一方の電極5A、他方の電極5B上で、自己組織化単分子膜6及び金属ナノ粒子7を埋設するように設けられた第2の絶縁層8と、からなる。

30

【0023】

ここで、ナノギャップ長とは数nm、例えば2nm~12nmの寸法である。金属ナノ粒子7の周囲には、自己組織化単分子と有機分子との反応により形成された自己組織化単分子混合膜が吸着し絶縁膜として設けられている。第1の実施形態では、第1の絶縁層2上で、一方の電極5A及び他方の電極5Bの配設方向と交差する方向、具体的には直交する方向にゲート電極(サイドゲート電極と呼んでもよい。)5C, 5Dが設けられている。

40

【0024】

基板1にはSi基板など各種半導体基板が用いられる。

第1の絶縁層2は、 SiO_2 、 Si_3N_4 などにより形成される。

一方の電極5A及び他方の電極5Bは、Au、Al、Ag、Cuなどにより形成される。一方の金属5A及び他方の金属5Bは、密着層と金属層とを順に積層することにより形成されてもよい。ここで、密着層はTi、Cr、Niなどで形成され、金属層は密着層上にAu、Al、Ag、Cuなどの別の金属で形成される。

【0025】

自己組織化単分子膜6は、各種のものが用いられる。自己組織化単分子膜6は、第1の

50

電極 5 A、第 2 の電極 5 B を構成する金属原子に化学吸着する第 1 の官能基と、第 1 の官能基に結合する第 2 の官能基とから成る。第 1 の官能基は、チオール基、ジチオカルバメート基、キサンテート基の何れかの基である。第 2 の官能基は、アルカン、アルケン、アルカン又はアルケンの水素分子の一部又は全部をフッ素に置換したものの、アミノ基、ニトロ基、アミド基の何れかの基である。

【 0 0 2 6 】

金属ナノ粒子 7 は、数 nm の直径を有する粒子で、金、銀、銅、ニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、イリジウム、白金などが用いられる。金属ナノ粒子 7 は、自己組織化単分子膜 6 を構成する分子の直鎖部分と結合するアルカンチオールなどの分子が周囲に結合している。

第 2 の絶縁層 6 は、SiN、SiO、SiON、Si₂O₃、SiO₂、Si₃N₄、Al₂O₃、MgO など、無機絶縁物により形成される。無機絶縁物は化学量論組成のものが好ましいが、化学量論組成に近いものであってもよい。

【 0 0 2 7 】

以下、図 1 に示すナノデバイスとしての単電子素子 10 の作製方法について詳細に説明する。

先ず、基板 1 上に第 1 の絶縁層 2 を形成する。

次に、分子定規無電解メッキ法によりナノギャップ電極 5 A、5 B と、サイドゲート電極 5 C、5 D を形成する。

【 0 0 2 8 】

例えば、第 1 の絶縁層 2 上にナノギャップよりも広いギャップを有するように金属層 3 A、3 B を間隔をあけて対を成すように形成しておき、次に、無電解メッキ液に基板 1 を浸漬する。無機電解メッキ液は、金属イオンを含む電解液に還元剤及び界面活性剤が混入されて作製される。この無機電解メッキ液に基板 1 を浸すと、金属イオンが還元剤により還元されて金属が金属層 3 A、3 B の表面に析出して金属層 4 A と金属層 4 B となり、金属層 4 A と金属層 4 B とのギャップが狭くなり、無電解メッキ液に含まれる界面活性剤がその析出により形成される金属層 4 A、4 B に化学吸着する。界面活性剤がギャップの長さ（単に「ギャップ長」と呼ぶ。）をナノメートルサイズに制御する。電解液中の金属イオンが還元剤により還元されて金属が析出するため、このような手法は無電解メッキ法に分類される。金属層 3 A、3 B に金属層 4 A、4 B がメッキにより形成され、電極 5 A、5 B の対が得られる。このように、ナノギャップ電極 5 A、5 B 表面に保護基である界面活性剤分子を分子定規として用いた無電解メッキ法（以下、「分子定規無電解メッキ法」と呼ぶ。）により、ギャップ長を界面活性剤の分子によって制御する。これにより、ナノギャップ電極 5 A、5 B を精度よく形成することができる。ゲート電極 5 C、5 D についても同時に形成することができる。

【 0 0 2 9 】

次に、ジチオール分子によるアルカンチオールで保護された金ナノ粒子 7 の配位子交換を用いて、ナノギャップ電極 5 A、5 B 間に金属ナノ粒子 7 を化学結合させる。これにより、金属ナノ粒子 7 を例えば自己組織化単分子膜 6 に固定する。

【 0 0 3 0 】

図 2 は、ナノギャップ長を有する電極 5 A、5 B に対し、例えばジチオール分子を用いた化学結合による単電子島の設置工程を模式的に示す図である。図 2 (A) に示すように、電極 5 A、5 B としての金電極表面に、自己組織化単分子膜 (Self-Assembled Monolayer: SAM) 5 A、5 B を形成する。次に、図 2 (B) に示すように、アルカンジチオール 9 A を導入することで SAM 欠損部にアルカンジチオールが配位するか又はアルカンチオールとアルカンジチオールが交換するかによって、SAM とアルカンチオールとからなる絶縁膜としての SAM 混合膜 9 が形成される。次に、アルカンチオールで保護された金属ナノ粒子 7 A を導入する。すると、図 2 (C) に示すように、金属ナノ粒子 7 の保護基であるアルカンチオールと、アルカンチオールとアルカンジチオールの混合自己組織化単分子膜 6 A、6 B 中のアルカンジチオールとの配位子交換により金属ナノ粒子 7 が自己組織

10

20

30

40

50

化単分子に化学吸着する。

【0031】

このようにして、ナノギャップ長を有する電極5A, 5Bの間に、自己組織化単分子膜6A, 6Bを利用し、絶縁膜としてのSAM混合膜9を介在して化学吸着によって金属ナノ粒子7を単電子島として導入する。

【0032】

その後、触媒CVD法、プラズマCVD法、光CVD法又はパルスレーザー堆積(PLD)法を用いて、金属ナノ粒子7を自己組織化単分子層6A, 6Bによって化学吸着したナノギャップ電極付き基板を冷却しながら、サンプルが所定の温度を超えて昇温しないようにして、その上に第2の絶縁層8を堆積させる。

10

【0033】

なお、第2の絶縁層8として Al_2O_3 又は Si_3N_4 を堆積させる際には、原子層エピタキシー法や熱CVD法を用いてガスを熱分解してもよい。その場合は、サンプル台を十分冷却する必要がある。

【0034】

その後、ナノギャップ電極5A, 5Bを外部接続するために、外部への取出用電極を形成する。例えば、第2の絶縁層8の上にレジストを形成してレジスト上にマスクを配置して露光することにより、レジストにマスクパターンを形成する。その後、第2の絶縁層8にビアホールを形成する。ビアホールにある自己組織化単分子については必要に応じてアッシングにより除去する。このビアホールに金属を充填させて外部取出用電極を形成する。

20

【0035】

以上により、第1の実施形態に係るナノデバイスとしての単電子素子10を作製することができる。

【0036】

〔第2の実施形態〕

第2の実施形態に係るナノデバイスとしての単電子素子20について説明する。図3(A)は第2の実施形態に係るナノデバイスとしての単電子素子を模式的に示す断面図であり、(B)はナノデバイスとしての単電子素子の平面図である。

【0037】

第2の実施形態に係るナノデバイスとしての単電子素子20は、基板1と、基板1上に設けた第1の絶縁層2と、第1の絶縁層2上にナノギャップ長を有するように設けた一方の電極5A及び他方の電極5Bと、一方の電極5A及び他方の電極5Bに設けた自己組織化単分子膜6と、自己組織化単分子膜6に吸着して一方の電極5Aと他方の電極5Bとの間に配置した金属ナノ粒子7と、第1の絶縁膜2、一方の電極5A及び他方の電極5B上で、自己組織化単分子膜6及び金属ナノ粒子7とを埋設するように設けた第2の絶縁層8と、第2の絶縁層8上で金属ナノ粒子7の真上で、一方の電極5Aと他方の電極5Bとに跨ぐように設けたゲート電極21とからなる。

30

【0038】

第2の実施形態に係る単電子素子20の作製方法としては、第1の実施形態の単電子素子10を作製した要領で第2の絶縁層8を堆積させたのち、レジストを塗布し、電子ビームリソグラフィ技術又は光リソグラフィによりゲート電極21のパターンを描いて、現像後、一又は二種類の金属層を形成することにより、ゲート電極21を形成する。その際、密着層を設けた方がよい。

40

【0039】

上述では、電極材料としては金を用いているが、金に限らず別の金属であってもよい。例えば電極材料としてイニシャル電極の材料を銅としてもよい。その際、イニシャル電極は、電子ビームリソグラフィ法又は光リソグラフィ法を用いて銅電極を形成し、次いで銅電極表面を塩化銅とする。その後、メッキ液としてアスコルビン酸を還元剤として用いた塩化金溶液を用い、銅電極表面を金で覆う。具体的には、塩化金(III)酸水溶液に界

50

面活性剤臭化アルキルトリメチルアンモニウム $C_nH_{2n+1}[CH_3]_3N^+ \cdot Br^-$ を混ぜ、還元剤 $L(+)$ -アスコルビン酸を加え、ギャップ電極上に、自己触媒型無電解金メッキを行う。その後、分子定規メッキ法により表面が金のナノギャップ電極を作製する。

【0040】

〔第3の実施形態〕

次に、本発明の第3の実施形態に係る集積回路について説明する。この集積回路は、半導体基板上に電子デバイス、例えば、ダイオード、トンネル素子、MOSトランジスタなどを形成したあと、第1及び第2の実施形態に係るナノデバイスとしての単電子素子を作製して成るものである。

【0041】

図4は本発明の第3の実施形態に係る集積回路の断面図であり、図5は図4に示す集積回路の平面図である。図4及び図5に示す集積回路30では、Si基板31上にMOSFET40を設け、平面視でそのMOSFET40に重ならない位置にナノデバイスとしての単電子素子50が設けられている。図6は図4及び図5に示す集積回路30の回路図である。図6に示す回路60は、単電子素子61とMOSFET62とを直列接続したユニバーサルリテラルゲート回路と呼ばれているものである（非特許文献5参照）。

【0042】

基板31、例えばp型Si基板の一部を間隔をあけて部分的に不純物を拡散することにより、基板31と逆導電としたソース41及びドレイン42が設けられる。基板31上にマスクを設け、不純物を熱拡散やイオン注入などで拡散することで、ソース41及びドレイン42を形成することができる。

【0043】

第1の絶縁層43が、ソース41、ドレイン42及び基板31上に設けられ、ゲート電極44が、第1の絶縁層43中で基板31から所定の高さに設けられる。第1の絶縁層43のうち、第1の絶縁層43の下部43Aを形成したあと、電子ビーム蒸着法などによりMOSFET40のゲート電極44を第1の絶縁層43の下部43A上に形成する。その後、ゲート電極44及び第1の絶縁層43の下部43A上に上側の第1の絶縁層43Bを形成すればよい。次に、第1の絶縁層43でソース41の上方を貫通してコンタクトホールを設けて電極材料を充填することにより、ビア46が形成される。ソース41に接続したビア46の下端がソース電極となる。これと同時に、第1の絶縁層43でドレイン42の上方を貫通してコンタクトホールを設け、電極材料を充填することにより、ビア45の下部だけを形成してもよい。

【0044】

次に、第1の絶縁層43上には前述した第1及び第2実施形態に係る単電子素子50が設けられる。すなわち、第1の絶縁層43上にナノギャップを有するようにソース電極51及びドレイン電極52が設けられ、ソース電極51及びドレイン電極52上に図示しない自己組織化単分子膜を介在させて金属ナノ粒子53が配位子として設けられる。その手法については既に説明した通りである。その際、ビア46の上端がドレイン電極52の一端部となるようにする。

【0045】

このようにして、第2の絶縁層54が、第1の絶縁層43上でかつ単電子素子50のソース電極51及びドレイン電極52上に設けられ、第2の絶縁層54が自己組織化単分子膜及び金属ナノ粒子53を埋設している。

【0046】

単電子素子50のゲート電極55が、第2の絶縁層54上で金属ナノ粒子53の頭上に設けられる。その際、ゲート電極55は、MOSFET40や単電子素子50のソース電極及びドレイン電極の配列方向と平行とせず、交差するように、できれば直交するように形成される。これは寄生静電容量を低減させるためである。

【0047】

このように、集積回路30では、MOSFET40のソース41と単電子素子50のド

10

20

30

40

50

レイン電極 5 2 とは、第 1 の絶縁層 4 3 のコンタクトホールに電極材料を充填してビア 4 6 を介して接続され、ビア 4 6 下端側がソース電極 4 7 として機能する。

【 0 0 4 8 】

本発明の第 3 の実施形態に係る集積回路 3 0 は、M O S F E T 4 0 と単電子素子 5 0 とが直列接続されている。ソース、ドレインの配置方向と交差する方向に各ゲート電極が上下方向に分離して配置されている。M O S F E T 4 0 のゲート電極 4 4 は、上側の第 1 の絶縁層 4 3 B と第 2 の絶縁層 5 4 に形成したコンタクトホールに電極材料を充填してなるビア 4 8 で配線され、第 2 の絶縁層 5 4 上に外部接続用の配線として取り出すことができる。M O S F E T 4 0 のドレイン電極が第 1 及び第 2 の絶縁層 4 3 , 5 4 に貫通配線したビア 4 5 によって形成されている。

10

【 0 0 4 9 】

また、単電子素子 5 0 のソース電極 5 1 が第 2 の絶縁層 5 4 上の配線とビア 4 9 を介して接続される。単電子素子 5 0 のドレイン電極 5 2 と M O S F E T 4 0 ソース電極 4 7 とが、第 1 の絶縁層 4 3 に設けたビア 4 6 を介して接続される。

【 0 0 5 0 】

以上説明したように、半導体の基板 3 1 上に M O S F T 4 0 などの電子デバイスを形成し、電子デバイスを第 1 の絶縁層 4 3 で覆い、第 1 の絶縁層 4 3 にビア 4 6 を形成しておく。そして第 1 の絶縁層 4 3 上に、第 1 及び第 2 の実施形態と同様に、単電子素子 5 0 を形成し、単電子素子 5 0 の一方の制御電極と電子素子 4 0 の一方の制御電極とがビア 4 6 により配線接続される。図では、単電子素子 5 0 の一方の制御電極はドレイン電極であり、電子素子 4 0 の一方の制御電極はソース電極であるが、逆の構成であってもよい。単電子素子 5 0 のその他の制御電極と電子素子 4 0 のその他の電極については、それぞれ第 1 及び第 2 の絶縁層 4 3 , 5 4 にそれぞれ設けたビア 4 5 , 4 8 , 4 9 により第 2 の絶縁層 4 3 上に配線接続することができる。これにより、各素子の電気信号の入出力を行うことができる。

20

【 0 0 5 1 】

以上説明したナノデバイス及びそれを用いた集積回路では、例えば第 1 及び第 2 実施形態として示されているように、ナノデバイスが単電子素子であって、金属ナノ粒子 7 とナノギャップ電極 5 A , 5 B との間に、自己組織化単分子膜とアルカンチオールとからなる S A M 混合膜 9 が設けられている場合を説明したが、次のような形態であってもよい。

30

【 0 0 5 2 】

〔 第 4 の実施形態 〕

図 7 は、本発明の第 4 の実施形態に係るナノデバイスとしての単電子素子の断面図である。第 4 の実施形態では、ナノデバイス 7 0 が、第 1 乃至第 3 の実施形態とは異なり、金属ナノ粒子 7 の一部又は全部が数 ~ 数十 nm の絶縁膜 7 1 で覆われている。ナノギャップ電極 5 A と金属ナノ粒子 7 との間は絶縁膜 7 1 を介して接続され、金属ナノ粒子 7 とナノギャップ電極 5 B との間は絶縁膜 7 1 を介して接続されている。

【 0 0 5 3 】

このようなナノデバイス 7 0 では、薄い絶縁膜 7 1 によりナノギャップ電極 5 A とナノギャップ電極 5 B との間で金属ナノ粒子 7 を経由してトンネル電流が流れる。

40

【 0 0 5 4 】

〔 第 5 の実施形態 〕

図 8 は、本発明の第 5 の実施形態に係るナノデバイスとしての分子素子の断面図である。第 5 の実施形態では、ナノデバイス 8 0 が、第 1 乃至 4 の実施形態とは異なり、金属ナノ粒子 7 ではなく、機能分子 8 1 としている。すなわち、ナノギャップ電極 5 A とナノギャップ電極 5 B との間に、機能分子 8 1 が配置される。その際、ナノギャップ電極 5 A , 5 B と機能分子 8 1 とは絶縁されている。機能分子 8 1 としては 共役系骨格を有する分子、オリゴマーが挙げられる。このような分子素子も、既に説明した単電子素子の場合と同様な手法により、作製することができる。

【 実施例 1 】

50

【0055】

図9は実施例1で作製した単電子トランジスタの平面図であり、図10はその断面図である。実施例1として、第1の実施形態に係る単電子素子10としての単電子トランジスタを次の要領で作製した。Si基板1の上に第1の絶縁層2としてSiO₂膜を熱CVD法で作製し、その上に、金ナノギャップ電極5A, 5Bを形成し、自己組織化単分子膜としてオクタンチオールとデカンジチオールの混合膜を利用して金ナノ粒子7を金ナノギャップ電極間に配置した。このようにして作製した単電子トランジスタ上に、すなわち、金ナノギャップ電極5A, 5B及びSiO₂膜2上に第2の絶縁層8としてSiNのパッシベーション層を形成した。

【0056】

SiNのパッシベーション層の形成は次の要領で行った。作製した単電子トランジスタを真空チャンバー内に導入し、水冷により単電子トランジスタの温度が65℃以上にならないように温度制御を行った。この条件の下で真空チャンバー内にシランガス、アンモニアガス及び水素ガスを導入し、触媒CVD法にてSiN層を堆積した。この実施例1では、加熱により単電子トランジスタが破壊されることを防止するため、SiNのパッシベーション層は65℃を超えないように冷却した。もっともパッシベーション層の堆積は180℃以下であればよいが、出来るだけ堆積の際の温度が低くなるよう、好ましくは65℃以下になるよう、サンプルを冷却する。

【0057】

SiNのパッシベーション層の厚みをエリブソメトリー法及び走査電子顕微鏡でそれぞれ測定したところ、いずれも50nmであった。実施例1で作製した単電子トランジスタ10において、ドレイン電圧V_d = 50mVを印加した状態で、サイドゲート電圧を掃引して、ドレイン電流 - サイドゲート電圧依存性を測定した。測定温度は9Kとした。図11は、ドレイン電流 - サイドゲート電圧依存性を示す図である。横軸は第1のサイドゲートに印加する電圧V_{g1} (V)であり、縦軸はドレイン電流 (A)である。図11から、サイドゲート電圧によりドレイン電流を変調できることが分かる。

【0058】

図12は、ドレイン電圧及びサイドゲート電圧をそれぞれ掃引した際の、微分コンダクタンスのマッピングを示す図である。横軸は第1のサイドゲートに印加する電圧V_{g1} (V)であり、縦軸はドレイン電圧V_d (V)であり、濃淡がドレイン電流 (A)の微分コンダクタンスを示す。測定温度は9Kとした。ドレイン・ソース間電流の抑制に起因した、いわゆるクーロンダイヤモンドと呼ばれる平行四辺形状の電圧領域が観察されていることが分かった。このことから実施例1で作製した素子が単電子トランジスタとして動作していることが分かった。

【0059】

図13は、実施例1で作製したサンプルの特性を示し、(A)はドレイン電圧V_dを印加したときのドレイン電流I_dを示し、(B)は第1のサイドゲートに印加する電圧V_{g1}に対するドレイン電流I_dを示す図である。(A)において、横軸はドレイン電圧V_d (V)であり、左縦軸はパッシベーション膜としてSiNxを堆積したときのドレイン電流I_d (nA)であり、右縦軸はパッシベーション膜としてSiNxを堆積する前のドレイン電流I_d (pA)である。(B)において、横軸は第1のサイドゲートに印加する電圧V_{g1} (V)であり、左縦軸はパッシベーション膜としてSiNxを堆積したときのドレイン電流I_d (pA)であり、右縦軸はパッシベーション膜としてSiNxを堆積する前のドレイン電流I_d (pA)である。なお、測定温度は9Kとした。

【0060】

図13(A)から、SiNxを堆積することによりドレイン電流が増加していることが分かる。堆積したSiNxの比誘電率は、対向する電極でSiNxを挟んだキャパシタンスにおける交流電圧印加時の静電容量測定により7.5であった。また、図13(B)からSiNxを堆積させてもクーロンブロック効果を確認することができた。

【実施例2】

10

20

30

40

50

【 0 0 6 1 】

図 1 4 は実施例 2 で作製した単電子トランジスタの平面図であり、図 1 5 はその断面図である。実施例 2 では、実施例 1 と同様に、金ナノ粒子 7 を金ナノギャップ電極 5 A , 5 B 間に配置し、上部に第 2 の絶縁層 8 として Si N パッシベーション層を形成することにより、単電子トランジスタを作製した。その後、この単電子トランジスタ上にレジストを塗布し、電子ビームリソグラフィ法によって、金ナノギャップ部の直上に電極パターンを描画した。現像後、電子ビーム蒸着により Ti 層 3 0 n m , Au 層 7 0 n m を順に蒸着した。これにより、金ナノギャップの直上に第 2 の絶縁層 8 としての Si N 層を介してトップゲート電極 2 1 を配置した。

【 0 0 6 2 】

作製した単電子トランジスタにおいて、ドレイン電圧 V_d を 5 0 m V で一定に印加した状態でトップゲート電圧を掃引し、ドレイン電流 - トップゲート電圧を測定した。なお、測定温度は 9 K とした。図 1 6 は、そのドレイン電流 - トップゲート電圧依存性の測定結果を示す。横軸はトップゲート電極の電圧 (V) 、縦軸はドレイン電流 I_s (A) である。図 1 6 に示すように、サイドゲート電圧によりドレイン電流を変調できることが分かった。

【 0 0 6 3 】

図 1 7 は、ドレイン電圧及びサイドゲート電圧をそれぞれ掃引した際の、微分コンダクタンスのマッピングを示す図である。横軸はトップゲートに印加する電圧 (V) 、縦軸はドレイン電圧 V_d (V) であり、濃淡がドレイン電流 (A) の微分コンダクタンスを示す。測定温度 9 K とした。ドレイン・ソース間電流の抑制に起因した、いわゆるクーロンドiamondと呼ばれる平行四辺形状の電圧領域が観察される。このことから、実施例 2 で作製した素子が単電子トランジスタとして動作していることが分かる。

【 0 0 6 4 】

図 1 8 は、実施例 2 で作製したサンプルにおいてドレイン電圧に対するドレイン電流を示す図である。測定温度は 9 K とした。横軸はドレイン電圧 V_d (m V) 、左縦軸はドレイン電流 I_d (p A) 、右縦軸はドレイン電流 I_d (n A) である。パッシベーション膜としての Si N x を堆積する前のドレイン電流は \pm 約百 p A の範囲であるが、Si N x を堆積した後のドレイン電流は \pm 4 0 0 p A の範囲で大きくなっており、ドレイン電流 I_d が流れないドレイン電圧 V_d の幅も大きくなっている。さらに、トップゲートを堆積させた後は、ドレイン電流は \pm 4 n A となっている。

【 0 0 6 5 】

トップゲートを設けた実施例 2 では、実施例 1 と比較して、クーロンドiamondが鮮明となっている。

【 0 0 6 6 】

図 1 9 は、ドレイン電流のトップゲート電圧依存性、いわゆる、クーロンオシレーション特性であり、(A) は測定温度 9 K , 8 0 K の場合、(B) は 1 6 0 K , 2 2 0 K の場合である。各測定温度においても、ドレイン電流はゲート電圧の挿引により繰り返し増減している。低温の 9 K では、ゼロ電流領域が - 1 . 5 ~ 1 . 2 V のゲート電圧領域において明瞭に観察されている。測定温度が 8 0 K , 1 6 0 K , 2 2 0 K と増加していくにつれて、ゲート電圧挿引時の電流の最低値が徐々に大きくなっていることが分かる。これは、単電子島に 1 つ電子が入った際の系のエネルギー変化に相当する帯電エネルギー E_c と熱揺らぎ $k_B T$ の比 $E_c / k_B T$ が温度の上昇に伴い小さくなり、クーロンブロック現象が起き難くなることに起因している。 k_B はボルツマン定数である。しかしながら、2 2 0 K においてもゲート電圧の挿引に起因したクーロンオシレーションは観察されており、Si N x でパッシベーションされた単電子トランジスタは、2 2 0 K においても動作することが分かる。

【 0 0 6 7 】

図 2 0 は、微分コンダクタンスのマッピングを示す図であり、(A) 、(B) 、(C) 、(D) は測定温度がそれぞれ 4 0 K , 8 0 K , 1 6 0 K , 2 2 0 K の場合である。横軸

10

20

30

40

50

はゲート電圧で、縦軸がドレイン電圧である。測定温度を40 K、80 K、160 K、220 Kと上昇させると、クーロンダイヤモンドがあいまいになっていくが、220 Kにおいても単電子素子としての特性が維持されていることが分かる。

【実施例3】

【0068】

実施例3では、パッシベーション膜としてAlO_xを室温にて堆積させ、その上にトップゲート電極を設けた点で、実施例2と異なる。AlO_xの堆積には、パルスレーザー堆積法を用いた。トップゲートとしてはEBL法を用いてTi層とAu層の二層構造とした。

【0069】

図21(A)、(D)はドレイン電圧に対するドレイン電流の特性であり、(B)、(E)はサイドゲートに印加する電圧に対するドレイン電流の特性であり、(C)、(F)はサイドゲート電圧とドレイン電圧に対する dI/dV (nS)を表す。(A)~(C)はAl₂O₃を堆積する前の特性であり、(D)~(F)はAl₂O₃を堆積した後の特性である。測定温度は9 Kとした。パッシベーション膜としてSiNxを堆積させたときよりも電流値が高いことが分かる。クーロンオシレーションの1周期に相当するゲート電圧の幅を V とすると、ゲート容量は、 e/V (e は素電荷)となる。(B)と(E)を比較すると、クーロンオシレーションの周期がAl₂O₃の堆積後に小さくなっている。これは、Al₂O₃を堆積することにより、サイドゲートとクーロン島の間の空間が誘電率の大きいAl₂O₃で満たされることにより、ゲート容量が大きくなったことを示している。Al₂O₃でクーロン島の周囲が満たされていることは、(C)と(F)を比較することによっても分かる。クーロンダイヤモンドのドレイン電圧方向のピークの幅を V_d とすると、帯電エネルギー E_c は、 $E_c = e V_d / 4$ となる。(F)の V_d は50 mV程度であるのに対して、(C)の V_d は200 mV程度あることから、帯電エネルギーはAl₂O₃層の堆積により4分の1程度に小さくなっている。

【0070】

図22は、電圧を印加するゲートが一方のサイドゲートと他方のサイドゲートとトップゲートでの特性を示す図である。測定温度は9 Kとした。(A)~(C)は、それぞれ一方のサイドゲート、他方のサイドゲート、トップゲートに印加した電圧に対するドレイン電流の特性(クーロンオシレーション)であり、(D)~(F)はそれぞれ一方のサイドゲート、他方のサイドゲート、トップゲートに印加した電圧及びドレイン電圧に対する dI/dV (nS)(スタビリティダイアグラム)である。パッシベーション膜としてSiNxを用いた場合と比較して安定したオシレーションが生じることが分かった。

【実施例4】

【0071】

実施例4として、実施例1と同様に、単電子トランジスタを作製した。図23は、実施例4として作製途中の単電子トランジスタのSEM像である。図23のSEM像に示すように、一方の電極5Aと他方の電極5Bとの間のナノギャップの平面視で上下左右のほぼ中央に、金ナノ粒子7を絶縁膜6を介して配置した後に、パッシベーション膜としてSiNxを堆積させた。

【0072】

図24は実施例4に関し、(A)、(B)はそれぞれ、第1のサイドゲート電極に印加する電圧に対するドレイン電流の依存性、第2のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示し、何れもSiNxを堆積する前のサンプルでの測定である。(C)は第2のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示し、(D)は第2のサイドゲート電圧及びドレイン電圧に対する dI/dV (微分コンダクタンス)を示す図である。(C)及び(D)はSiNxを堆積した後のサンプルでの測定である。何れも測定温度は9 Kとした。

【0073】

10

20

30

40

50

図 2 4 から、パッシベーション前には、第 1 のサイドゲート電極 5 C よりも第 2 のサイドゲート電極 5 D の方が若干ゲート容量が大きい、後述する実施例 5 と異なり、大きな差ではない。このことから、金ナノ粒子 7 は、SEM 像におけるナノギャップの上下方向のほぼ中心に、すなわち、一方の電極 5 A と他方の電極 5 B のほぼ中心軸上に位置していると考えられる。パッシベーション後には、クーロンオシレーションが 1 周期観察され、ゲート容量が大きくなっていることが分かる。実施例 4 では、金ナノ粒子 7 がナノギャップの中心に位置していることにより、ナノギャップ電極 5 a , 5 B が金ナノ粒子 7 を囲む効果が高く、パッシベーションプロセス時に破壊されることなく、堆積されたと考えられる。

【実施例 5】

【0074】

実施例 5 として、実施例 1 と同様に、単電子トランジスタを作製した。図 2 5 は、実施例 5 として作製途中の単電子トランジスタの SEM 像である。図 2 5 の SEM 像に示すように、一方の電極 5 A と他方の電極 5 B との間のナノギャップの平面視で左右ほぼ中央で下寄りに、金ナノ粒子 7 を絶縁膜を介在して配置した後に、パッシベーション膜として SiNx を堆積させた。その他の詳細は他の実施例と同様である。

【0075】

図 2 6 は実施例 5 に関し、(A)、(B)、(C) はそれぞれ、第 1 のサイドゲート電極に印加する電圧に対するドレイン電流の依存性、第 2 のサイドゲート電極に印加する電圧に対するドレイン電流の依存性、第 2 のサイドゲート電圧及びドレイン電圧に対する dI/dV (微分コンダクタンス) を示す図であり、何れも SiNx を堆積する前のサンプルでの測定である。(D) は第 2 のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示す図であり、SiNx を堆積した後のサンプルでの測定結果である。何れも測定温度は 9 K とした。

【0076】

図 2 6 は、パッシベーション前後の特性を示している。第 1 のサイドゲートのクーロンオシレーションは、 $-4\text{ V} \sim 4\text{ V}$ の間でなだらかに電流が増加している。一方、第 2 のサイドゲートでは電流の最大値のピークが -3.5 V と 4.5 V 近傍にそれぞれ観察されており、1 周期分のクーロンオシレーションが観察されている。このことから、金ナノ粒子 7 は第 2 のサイドゲート電極 5 D の近傍に位置しており、ナノギャップ長がナノ粒子よりも若干大きいために、第 1 のサイドゲートによるクーロンオシレーションも若干観察されていることが分かる。パッシベーション後に電流は一定値となっている。これは、パッシベーションによりナノ粒子が破壊され、電極間にコアの金の破壊による伝導パスが形成されたことを示している。

【0077】

実施例 4 及び実施例 5 を比較すると、次のことが分かった。パッシベーションによる Au ナノ粒子 7 の破壊による導電パスは、Au ナノ粒子 7 がナノギャップ電極間の断面視で下寄り、すなわち SiO₂ 基板に近い場所に位置する場合に起きやすい。パッシベーションにより Au ナノ粒子 7 が破壊された際に、SiO₂ に金ナノ粒子 7 が近いとそのままコアの金が SiO₂ 表面を支持面として、電極間を電氣的に接続し伝送パスが形成されることがある。一方、Au ナノ粒子 7 が断面視で中央や上寄りにあると、Au ナノ粒子が破壊されても、ナノギャップ電極表面に付着するが支持面が無い場合伝導パスは形成されにくい。

【実施例 6】

【0078】

実施例 6 として、本発明における第 2 実施形態のように、一方の電極 5 A と他方の電極 5 B との間のナノギャップの平面視で左右ほぼ中央で下寄りに、金ナノ粒子 7 を絶縁膜を介在して配置した後に、パッシベーション膜として SiNx を堆積させた。その後、パッシベーション膜上で金属ナノ粒子の真上にトップゲートを配置した。その他の詳細は他の実施例と同様である。

10

20

30

40

50

【 0 0 7 9 】

図 27 は実施例 6 に関し、(A)、(B)、(C) はそれぞれトップゲート電極、第 1 のサイドゲート電極、第 2 のサイドゲート電極に印加する電圧に対するドレイン電流の依存性を示し、(D) はトップゲート電圧及びドレイン電圧に対する $d I / d V$ (微分コンダクタンス) を示し、(E) は第 1 のサイドゲート電圧及びドレイン電圧に対する $d I / d V$ (微分コンダクタンス) を示す。測定温度は 9 K とした。

【 0 0 8 0 】

図 27 から、パッシベーション後のトップゲート、第 1 のサイドゲート、第 2 のサイドゲートのそれぞれのクーロンオシレーションと、トップゲート、第 1 のサイドゲートのクーロンオシレーションが確認される。クーロンオシレーションの間隔から、ゲート容量は、第 1 のサイドゲートが最も大きく、トップゲート、第 2 のサイドゲートの順に小さくなっている。トップゲートよりも第 1 のサイドゲートのゲート容量が大きいことから、ナノ粒子 (クーロン島) は、ナノギャップ電極の基板近傍で第 1 のサイドゲートに近い位置にある。そのために、第 1 のサイドゲートのゲート容量が、トップゲートのゲート容量よりも大きくなったものと考えられる。さらに、第 2 のサイドゲートのクーロンオシレーションも観察されていることから、ギャップ長は、ナノ粒子の粒径よりも若干大きいものと予想され、第 2 のサイドゲートよりも第 1 のサイドゲートに近い位置で、基板側に近い位置に金ナノ粒子が存在していることが示唆される。このように、ゲート容量を比較することにより、ナノギャップ電極の形状とナノギャップ間に存在するナノ粒子の位置を知ることができる。

10

20

【 0 0 8 1 】

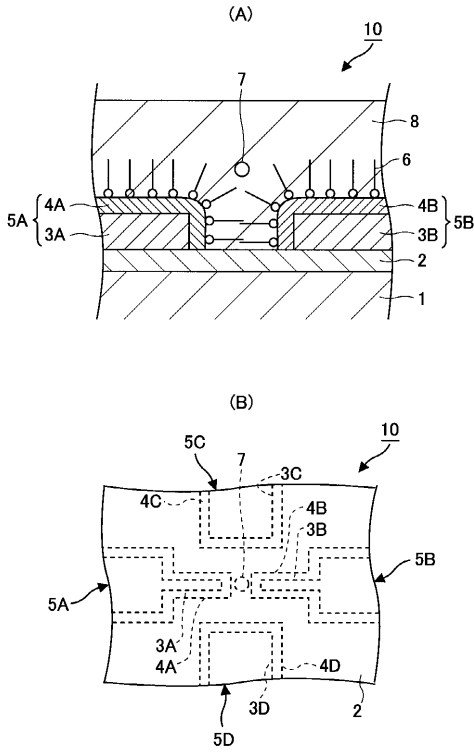
本発明は実施形態及び実施例に限定されるものではなく、特許請求の範囲に記載した発明の範囲において種々変更して適用することが可能である。

【 0 0 8 2 】

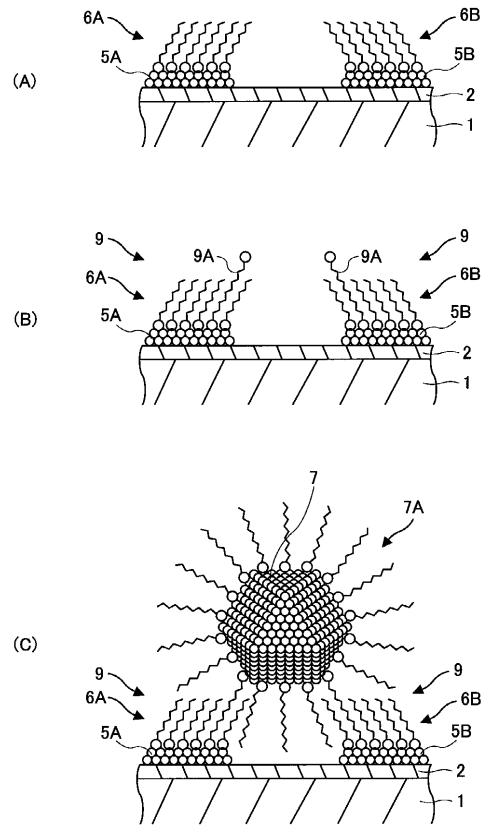
本発明の実施形態によれば、金属ナノ粒子又は機能分子をナノギャップ電極間に配置し、金属ナノ粒子とナノギャップ電極との間には絶縁膜を介在し、これ又はこれらが無機絶縁層で覆うことができる。よって、無機絶縁層上にトップゲート電極を設けたり、別のトランジスタを設けたり、半導体基板上に形成した CMOS 回路などの各種電子素子と配線で接続することにより、3 次元的に集積化した単電子トランジスタを含む論理回路素子、メモリ、センサ回路を製造することができる。

30

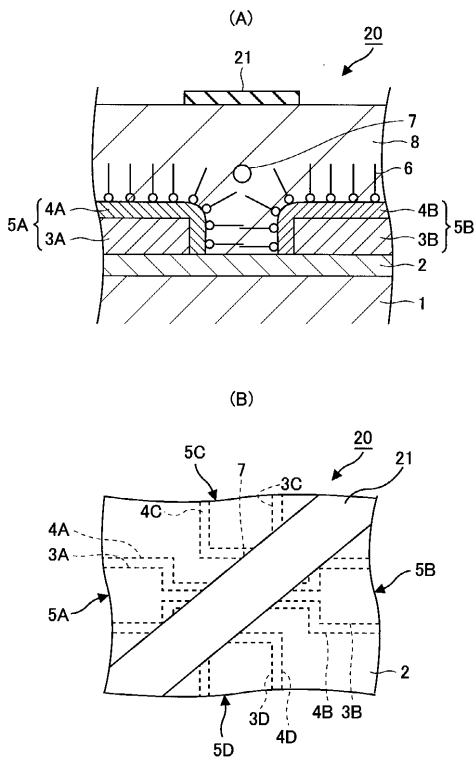
【 図 1 】



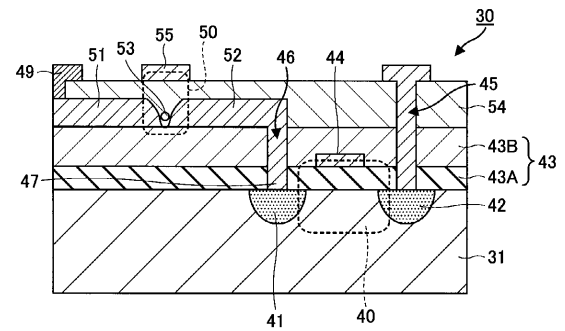
【 図 2 】



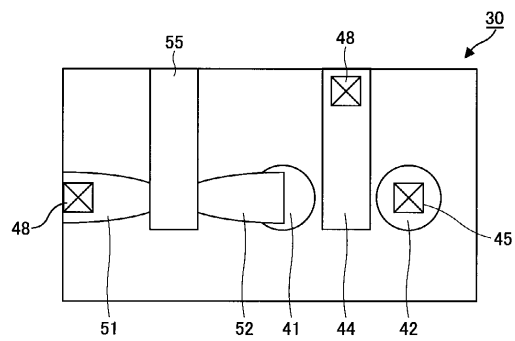
【 図 3 】



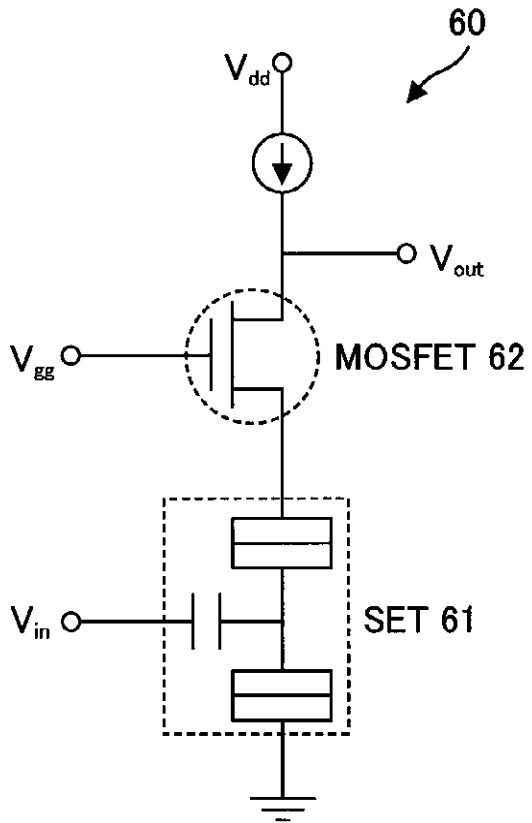
【 図 4 】



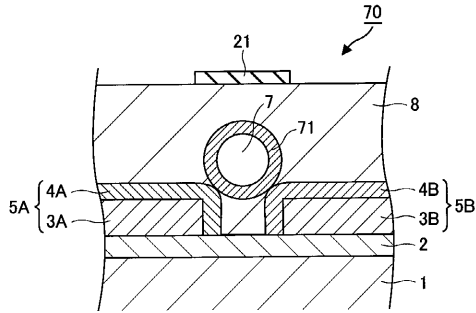
【 図 5 】



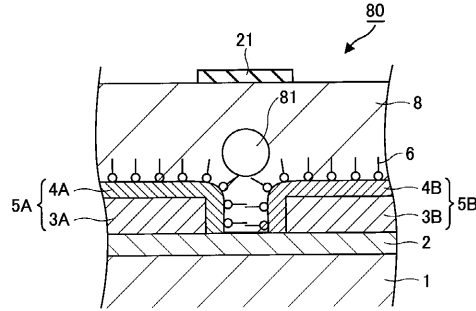
【 図 6 】



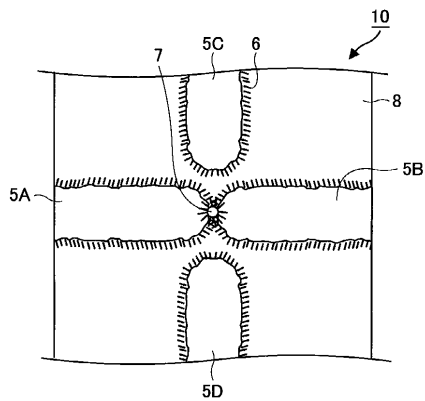
【 図 7 】



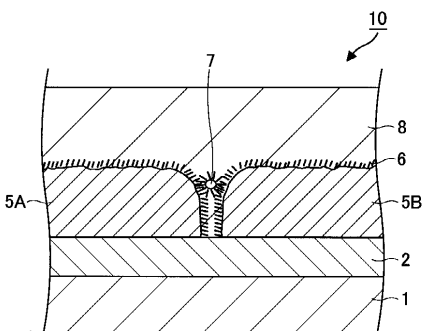
【 図 8 】



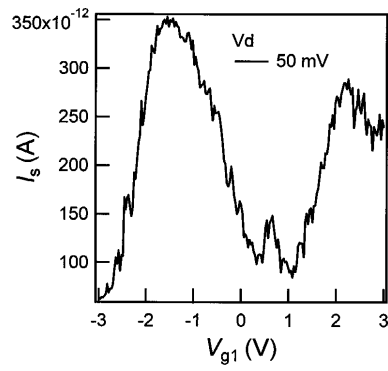
【 図 9 】



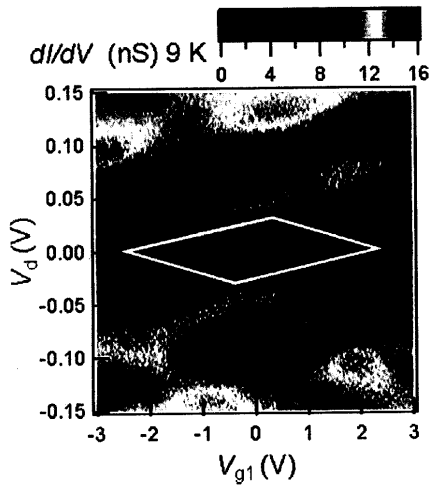
【 図 10 】



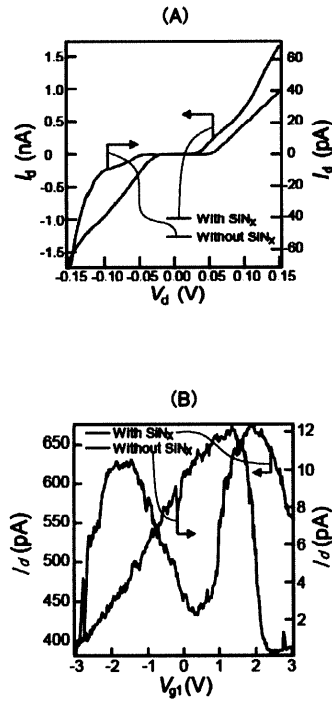
【 図 11 】



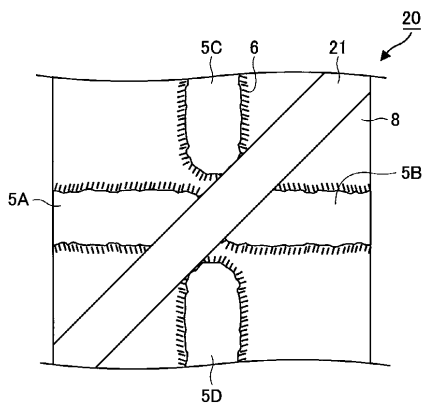
【 図 1 2 】



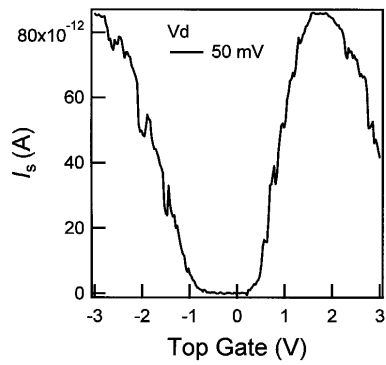
【 図 1 3 】



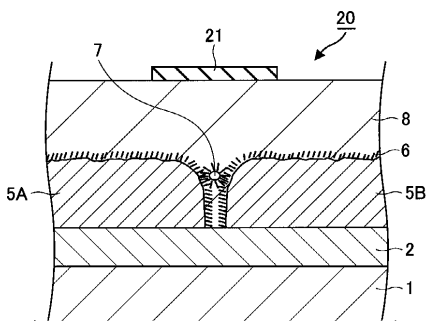
【 図 1 4 】



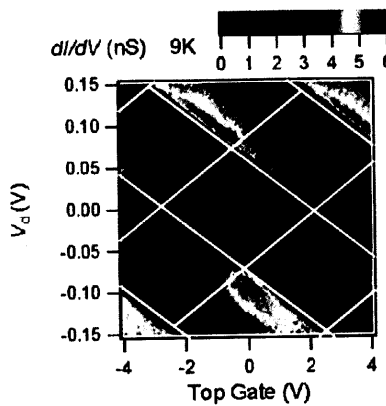
【 図 1 6 】



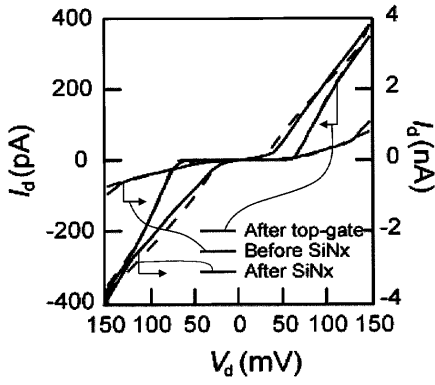
【 図 1 5 】



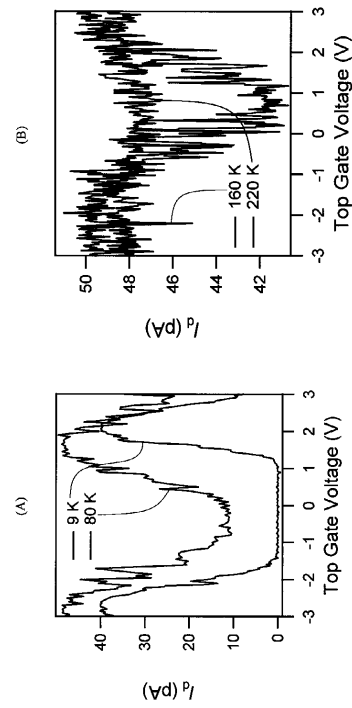
【 図 1 7 】



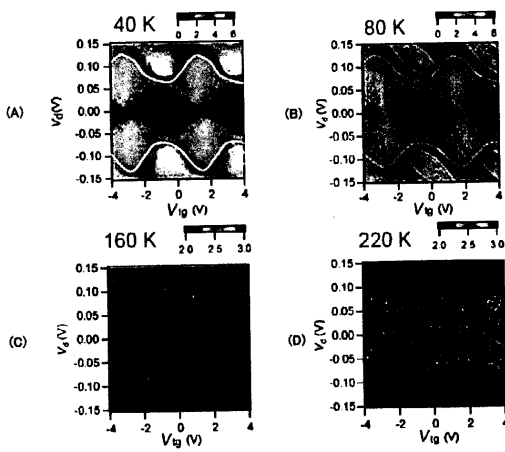
【 図 1 8 】



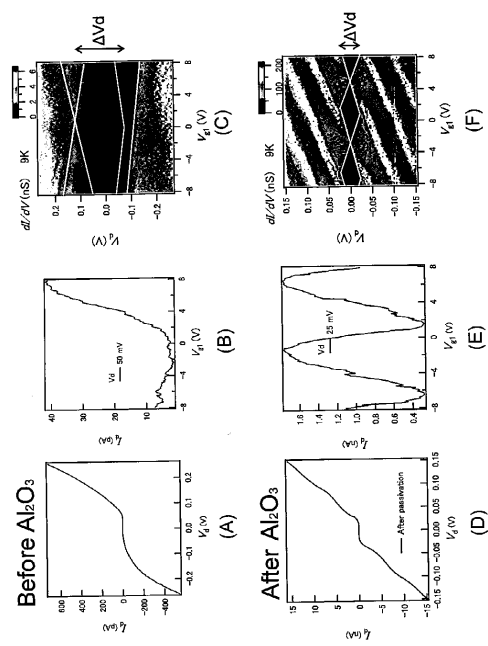
【 図 1 9 】



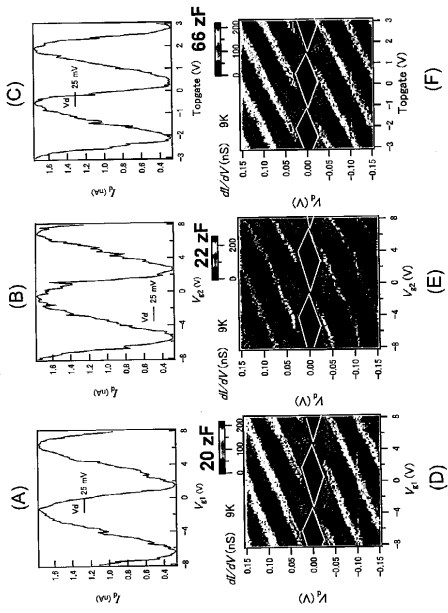
【 図 2 0 】



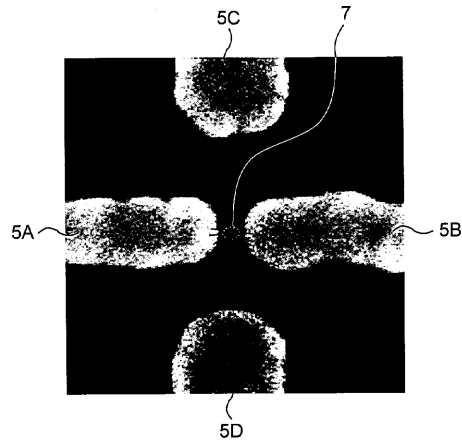
【 図 2 1 】



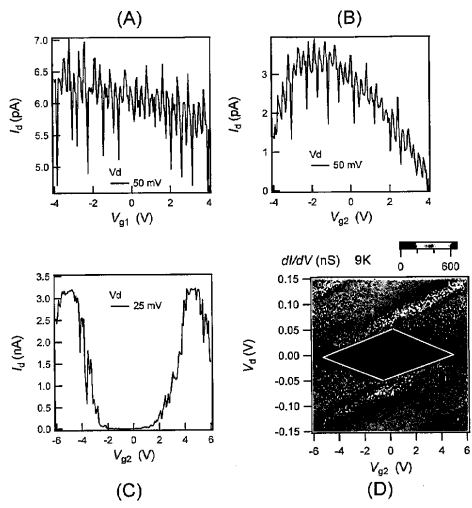
【 図 2 2 】



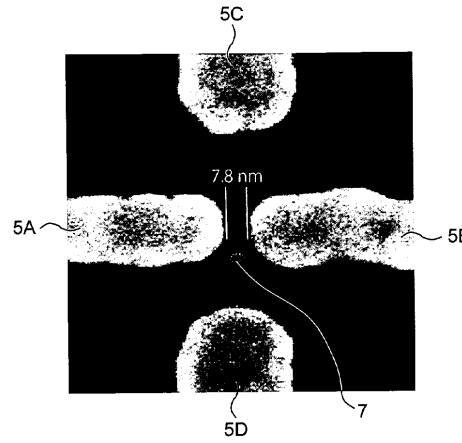
【 図 2 3 】



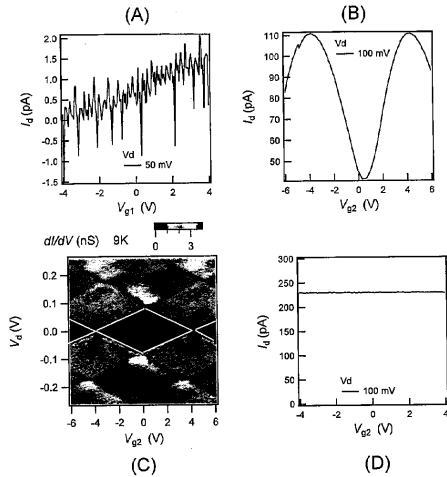
【 図 2 4 】



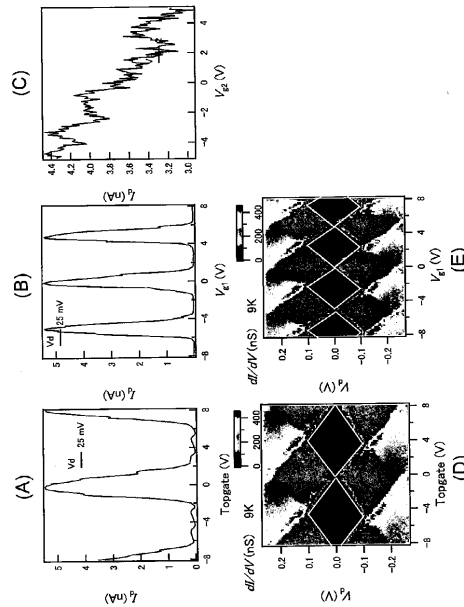
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



【 手続補正書 】

【 提出日 】平成25年10月10日 (2013.10.10)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

第 1 の絶縁層と、

上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子と、

上記金属ナノ粒子と上記一方の電極、上記金属ナノ粒子と上記他方の電極との間に介在する単分子膜と、

上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子及び上記単分子膜を埋設する第 2 の絶縁層と、

を備える、ナノデバイス。

【 請求項 2 】

第 1 の絶縁層と、

上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された機能分子と、

上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記機能分子を埋設する第 2 の絶縁層と、

を備え、

上記機能分子が、上記一方の電極及び上記他方の電極に固定するためのアンカー部を含む、

ナノデバイス。

【請求項 3】

前記第 1 の絶縁層上に、前記一方の電極と前記他方の電極との配置方向に対して交差する方向に一又は複数のゲート電極を備え、

上記ゲート電極が前記第 2 の絶縁層によって被覆されている、請求項 1 又は 2 に記載のナノデバイス。

【請求項 4】

前記金属ナノ粒子に電圧を印加するためのゲート電極が、前記第 2 の絶縁層上に設けられている、請求項 1 又は 2 に記載のナノデバイス。

【請求項 5】

前記第 2 の絶縁層は、 SiN 、 SiO 、 SiON 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 MgO の何れかでなる、請求項 1 又は 2 に記載のナノデバイス。

【請求項 6】

前記第 1 の絶縁層上に前記一方の電極と前記他方の電極との配置方向に対して交差する方向に設けられ、かつ前記第 2 の絶縁層によって被覆された一又は複数のサイドゲート電極と、

前記第 2 の絶縁層上に設けられたトップゲート電極と、

を備える、請求項 1 又は 2 に記載のナノデバイス。

【請求項 7】

前記金属ナノ粒子が、前記一方の電極と前記他方の電極とのギャップ間において断面視で中央又は上寄りに配置され、前記第 2 の絶縁層中に固定されている、請求項 1 に記載のナノデバイス。

【請求項 8】

前記金属ナノ粒子の保護基としてアルカンチオールと前記単分子膜を構成する単分子の欠損部との化学結合により、前記金属ナノ粒子が、前記一方の電極及び前記他方の電極と絶縁されて該一方の電極と他方の電極との間に配置されている、請求項 1 に記載のナノデバイス。

【請求項 9】

請求項 1 乃至 8 の何れかに記載のナノデバイスと電子デバイスとが半導体基板上に形成されてなる、集積回路。

【請求項 10】

電子デバイスが形成された半導体基板上に設けられた第 1 の絶縁層と、

上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子と、

上記金属ナノ粒子と上記一方の電極、上記金属ナノ粒子と上記他方の電極との間に介在する単分子膜と、

上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子及び上記単分子膜を埋設する第 2 の絶縁層と、

を備え、

上記電子デバイスの複数の電極のうちの一つが、前記第 1 の絶縁層に設けたビアを介して上記第 1 の電極に接続されている、集積回路。

【請求項 11】

電子デバイスが形成された半導体基板上に設けられた第 1 の絶縁層と、

上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された機能分子と、

上記第1の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記機能分子を埋設する第2の絶縁層と、

を備え、

上記機能分子が、上記一方の電極及び上記他方の電極に固定するためのアンカー部を含み、

上記電子デバイスの複数の電極のうちの一つが、前記第1の絶縁層に設けたビアを介して上記第1の電極に接続されている、集積回路。

【請求項12】

ナノギャップを有する一方の電極及び他方の電極を設けた絶縁層付き基板に金属ナノ粒子又は機能分子を配置し、

上記絶縁層付き基板を冷却しながら上記一方の電極、上記他方の電極及び上記絶縁層付き基板の上にパッシベーション膜を形成することで上記金属ナノ粒子又は上記機能分子を埋設する、ナノデバイスの製造方法。

【請求項13】

前記パッシベーション膜は、触媒CVD法、プラズマCVD法、光CVD法、パルスレーザー堆積法、原子層エピタキシー法、熱CVD法の何れかを用いて形成する、請求項12に記載のナノデバイスの製造方法。

【手続補正書】

【提出日】平成26年5月2日(2014.5.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の絶縁層と、

上記第1の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子と、

上記第1の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子を埋設する第2の絶縁層と、

上記第1の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第2の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第2の絶縁層上に設けられたトップゲート電極と、

を備える、ナノデバイス。

【請求項2】

第1の絶縁層と、

上記第1の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された機能分子と、

上記第1の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記機能分子を埋設する第2の絶縁層と、

上記第1の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第2の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第2の絶縁層上に設けられたトップゲート電極と、

を備える、ナノデバイス。

【請求項3】

前記金属ナノ粒子と前記一方の電極との間、前記金属ナノ粒子と前記他方の電極との間には、前記第2の絶縁層の一部として単分子膜が介在する、請求項1に記載のナノデバイス。

【請求項4】

前記機能分子が、前記一方の電極及び前記他方の電極に固定するためのアンカー部を含む、請求項2に記載のナノデバイス。

【請求項5】

前記第2の絶縁層は、 SiN 、 SiO 、 SiON 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 MgO の何れかである、請求項1又は2に記載のナノデバイス。

【請求項6】

前記金属ナノ粒子が、前記一方の電極と前記他方の電極とのギャップ間において断面視で中央又は上寄りに配置され、前記第2の絶縁層中に固定されている、請求項1に記載のナノデバイス。

【請求項7】

前記金属ナノ粒子の保護基としてアルカンチオールと前記単分子膜を構成する単分子の欠損部との化学結合により前記金属ナノ粒子が前記一方の電極及び前記他方の電極と絶縁されて、前記金属ナノ粒子が前記一方の電極と前記他方の電極との間に配置されている、請求項3に記載のナノデバイス。

【請求項8】

請求項1乃至7の何れかに記載のナノデバイスと電子デバイスとが半導体基板上に形成されてなる、集積回路。

【請求項9】

電子デバイスが形成された半導体基板上に設けられた第1の絶縁層と、
上記第1の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、
上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子と、
上記第1の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子を埋設する第2の絶縁層と、
上記第1の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第2の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第2の絶縁層上に設けられたトップゲート電極と、
を備え、
上記電子デバイスの複数の電極のうち一つが、前記第1の絶縁層に設けたビアを介して上記一方の電極、上記他方の電極の何れかに接続されている、集積回路。

【請求項10】

電子デバイスが形成された半導体基板上に設けられた第1の絶縁層と、
上記第1の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、
上記一方の電極と上記他方の電極との間に配置された機能分子と、
上記第1の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記機能分子を埋設する第2の絶縁層と、
上記第1の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第2の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第2の絶縁層上に設けられたトップゲート電極と、
を備え、
上記電子デバイスの複数の電極のうち一つが、前記第1の絶縁層に設けたビアを介して上記一方の電極、上記他方の電極の何れかに接続されている、集積回路。

【請求項11】

ナノギャップを有する一方の電極及び他方の電極を設けた絶縁層付き基板に金属ナノ粒子又は機能分子を配置し、

上記絶縁層付き基板を冷却しながら上記一方の電極、上記他方の電極及び上記絶縁層付き基板の上にパッシベーション膜を形成することで上記金属ナノ粒子又は上記機能分子を埋設する、ナノデバイスの製造方法。

【請求項 1 2】

前記パッシベーション膜は、触媒 CVD 法、プラズマ CVD 法、光 CVD 法、パルスレーザー堆積法、原子層エピタキシー法、熱 CVD 法の何れかを用いて形成する、請求項 1 に記載のナノデバイスの製造方法。

【手続補正書】

【提出日】平成26年10月6日(2014.10.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の絶縁層と、

上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子と、

上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子を埋設する第 2 の絶縁層と、

上記第 1 の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第 2 の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第 2 の絶縁層上に設けられたトップゲート電極と、

を備え、

上記金属ナノ粒子と上記一方の電極との間、上記金属ナノ粒子と上記他方の電極との間には、上記第 2 の絶縁層の一部として単分子膜が介在する、ナノデバイス。

【請求項 2】

第 1 の絶縁層と、

上記第 1 の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された機能分子と、

上記第 1 の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記機能分子を埋設する第 2 の絶縁層と、

上記第 1 の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第 2 の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第 2 の絶縁層上に設けられたトップゲート電極と、

を備え、

上記機能分子が、上記一方の電極及び上記他方の電極に固定するためのアンカー部を含む、ナノデバイス。

【請求項 3】

前記第 2 の絶縁層は、 SiN 、 SiO 、 SiON 、 Si_3N_4 、 SiO_2 、 Al_2O_3 、 MgO の何れかである、請求項 1 又は 2 に記載のナノデバイス。

【請求項 4】

前記金属ナノ粒子が、前記一方の電極と前記他方の電極とのギャップ間において断面視

で前記一方の電極及び前記他方の電極の厚みの中央又は前記一方の電極及び前記他方の電極の厚みの中央より上寄りに配置され、前記第2の絶縁層中に固定されている、請求項1に記載のナノデバイス。

【請求項5】

前記金属ナノ粒子の保護基としてアルカンチオールと前記単分子膜を構成する単分子の欠損部との化学結合により前記金属ナノ粒子が前記一方の電極及び前記他方の電極と絶縁されて、前記金属ナノ粒子が前記一方の電極と前記他方の電極との間に配置されている、請求項1に記載のナノデバイス。

【請求項6】

前記金属ナノ粒子は、前記一方の電極、前記他方の電極の少なくとも一方にアルカンジチオールにより吸着されている、請求項1に記載のナノデバイス。

【請求項7】

請求項1乃至6の何れかに記載のナノデバイスと電子デバイスとが半導体基板上に形成されてなる、集積回路。

【請求項8】

電子デバイスが形成された半導体基板上に設けられた第1の絶縁層と、
上記第1の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された金属ナノ粒子と、
上記第1の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記金属ナノ粒子を埋設する第2の絶縁層と、

上記第1の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第2の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第2の絶縁層上に設けられたトップゲート電極と、
を備え、

上記金属ナノ粒子と上記一方の電極との間、上記金属ナノ粒子と上記他方の電極との間には、上記第2の絶縁層の一部として単分子膜が介在し、

上記電子デバイスの複数の電極のうち一つが、前記第1の絶縁層に設けたビアを介して上記一方の電極、上記他方の電極の何れかに接続されている、集積回路。

【請求項9】

電子デバイスが形成された半導体基板上に設けられた第1の絶縁層と、
上記第1の絶縁層上にナノギャップを有するように設けられた一方の電極と他方の電極と、

上記一方の電極と上記他方の電極との間に配置された機能分子と、
上記第1の絶縁層、上記一方の電極及び上記他方の電極の上に設けられ、上記機能分子を埋設する第2の絶縁層と、

上記第1の絶縁層上に上記一方の電極と上記他方の電極との配置方向に対して交差する方向に設けられ、かつ上記第2の絶縁層によって被覆された一又は複数のサイドゲート電極と、

上記第2の絶縁層上に設けられたトップゲート電極と、
を備え、

上記機能分子が、上記一方の電極及び上記他方の電極に固定するためのアンカー部を含み、

上記電子デバイスの複数の電極のうち一つが、上記第1の絶縁層に設けたビアを介して上記一方の電極、上記他方の電極の何れかに接続されている、集積回路。

【請求項10】

ナノギャップを有する一方の電極及び他方の電極を設けた絶縁層付き基板に金属ナノ粒子又は機能分子を配置し、

上記絶縁層付き基板を冷却しながら上記一方の電極、上記他方の電極及び上記絶縁層付き

基板の上にパッシベーション膜を形成することで上記金属ナノ粒子又は上記機能分子を埋設する、ナノデバイスの製造方法。

【請求項 11】

前記パッシベーション膜は、触媒 CVD 法、プラズマ CVD 法、光 CVD 法、パルスレーザー堆積法、原子層エピタキシー法、熱 CVD 法の何れかを用いて形成する、請求項 10 に記載のナノデバイスの製造方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055261

A. CLASSIFICATION OF SUBJECT MATTER H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/06(2006.01)i, H01L29/66(2006.01)i, H01L51/05 (2006.01)i, H01L51/30(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/786, H01L21/336, H01L21/8234, H01L27/088, H01L29/06, H01L29/66, H01L51/05, H01L51/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI, JSTPlus (JDreamII)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2007/091364 A1 (Matsushita Electric Industrial Co., Ltd.), 16 August 2007 (16.08.2007), paragraphs [0036] to [0066], [0121] to [0130]; fig. 2, 12, 13 & US 2008/0108227 A1 & WO 2007/091364 A1	1, 3-7, 9, 11 2, 8 10
Y A	JP 2004-172270 A (Sony Corp.), 17 June 2004 (17.06.2004), paragraph [0022] (Family: none)	2 10
Y A	JP 2003-338621 A (Fujitsu Ltd.), 28 November 2003 (28.11.2003), paragraph [0008] & US 2003/0214054 A1	2 10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 March, 2013 (26.03.13)		Date of mailing of the international search report 02 April, 2013 (02.04.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055261

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2011/037003 A1 (Tohoku University), 31 March 2011 (31.03.2011), paragraph [0031] (Family: none)	8 10
A	JP 2004-247343 A (Seiko Epson Corp.), 02 September 2004 (02.09.2004), entire text; all drawings (Family: none)	1-11
A	JP 2009-545187 A (Chungbuk National University Industry-Academic Cooperation Foundation), 17 December 2009 (17.12.2009), entire text; all drawings & US 2010/0163843 A1 & WO 2009/035268 A2 & KR 10-2009-0028360 A & KR 10-2010-0025169 A & CN 101542700 A	1-11

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 5 5 2 6 1	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/06(2006.01)i, H01L29/66(2006.01)i, H01L51/05(2006.01)i, H01L51/30(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/786, H01L21/336, H01L21/8234, H01L27/088, H01L29/06, H01L29/66, H01L51/05, H01L51/30			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) WPI, JSTPlus(JDreamII)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y A	WO 2007/091364 A1 (松下電器産業株式会社) 2007.08.16, 段落【0036】～【0066】、段落【0121】～【0130】、図2、図12、図13 & US 2008/0108227 A1 & WO 2007/091364 A1	1, 3-7, 9, 11 2, 8 10	
Y A	JP 2004-172270 A (ソニー株式会社) 2004.06.17, 段落【0022】 (ファミリーなし)	2 10	
Y A	JP 2003-338621 A (富士通株式会社) 2003.11.28, 段落【0008】 & US 2003/0214054 A1	2 10	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 26.03.2013		国際調査報告の発送日 02.04.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鈴木 聡一郎	50 3864
		電話番号 03-3581-1101 内線 3559	

国際調査報告

国際出願番号 PCT/J P 2 0 1 3 / 0 5 5 2 6 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2011/037003 A1 (国立大学法人東北大学) 2011.03.31, 段落【0 0 3 1】 (ファミリーなし)	8 10
A	JP 2004-247343 A (セイコーエプソン株式会社) 2004.09.02, 全文、 全図 (ファミリーなし)	1-11
A	JP 2009-545187 A (チュンブク ナショナル ユニヴァーシティ イ ンダストリー-アカデミック コーポレーション ファウンダーシ ョン) 2009.12.17, 全文、全図 & US 2010/0163843 A1 & WO 2009/035268 A2 & KR 10-2009-0028360 A & KR 10-2010-0025169 A & CN 101542700 A	1-11

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/66 S

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

特許法第30条第2項適用申請有り 刊行物 2012年8月27日 Availability of Silicon Nitride Passivation to Chemically Assembled Single Electron Transistors

(72)発明者 前橋 兼三
大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内

(72)発明者 東 康男
神奈川県横浜市緑区長津田町4259-R3-5 国立大学法人東京工業大学内

(72)発明者 大野 恭秀
大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内

(72)発明者 前田 幸祐
神奈川県横浜市緑区長津田町4259-R3-5 国立大学法人東京工業大学内

(72)発明者 ギョーム ヒューベル フレデリック ハケンベルジェ
神奈川県横浜市緑区長津田町4259-R3-5 国立大学法人東京工業大学内

Fターム(参考) 5F110 AA04 BB13 CC05 CC10 DD05 DD13 DD14 EE02 EE03 EE04
EE14 EE30 EE42 GG01 GG28 GG39 GG42 HK02 HK03 HK04
HK21 HK32 HK42 NN02 NN22 NN23 NN24 NN33 NN35 NN71

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。