

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5581464号
(P5581464)

(45) 発行日 平成26年8月27日(2014.8.27)

(24) 登録日 平成26年7月18日(2014.7.18)

(51) Int.Cl. F I
 HO 1 L 21/316 (2006.01) HO 1 L 21/316 S
 HO 1 L 29/78 (2006.01) HO 1 L 21/316 M
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 G

請求項の数 20 (全 17 頁)

(21) 出願番号	特願2014-501328 (P2014-501328)	(73) 特許権者	503360115
(86) (22) 出願日	平成25年4月18日 (2013.4.18)		独立行政法人科学技術振興機構
(86) 国際出願番号	PCT/JP2013/061542		埼玉県川口市本町四丁目1番8号
(87) 国際公開番号	W02014/030389	(74) 代理人	100087480
(87) 国際公開日	平成26年2月27日 (2014.2.27)		弁理士 片山 修平
審査請求日	平成26年1月24日 (2014.1.24)	(72) 発明者	鳥海 明
(31) 優先権主張番号	特願2012-185277 (P2012-185277)		東京都文京区本郷7丁目3番1号 国立大 学法人東京大学内
(32) 優先日	平成24年8月24日 (2012.8.24)	(72) 発明者	李 忠賢
(33) 優先権主張国	日本国(JP)		東京都文京区本郷7丁目3番1号 国立大 学法人東京大学内
早期審査対象出願		審査官	萩原 周治

最終頁に続く

(54) 【発明の名称】 ゲルマニウム層上に酸化ゲルマニウムを含む膜を備える半導体構造およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲルマニウム層と、

前記ゲルマニウム層上に形成された酸化ゲルマニウムを含む膜と、前記酸化ゲルマニウムを含む膜上に形成され、酸化シリコンより比誘電率の大きな高誘電体酸化膜と、を含む絶縁膜と、

を具備し、

前記絶縁膜のEOTが2nm以下であり、かつ前記絶縁膜上に金属膜としてAuを形成した際の前記金属膜の前記ゲルマニウム層に対する電圧をフラットバンド電圧から蓄積領域側に1V印加したときのリーク電流密度が $10^{-5} \times EOT + 4 \text{ A/cm}^2$ 以下であり

10

、
前記ゲルマニウム層はp型であり、前記ゲルマニウム層内の面電子密度を $N_s \text{ (cm}^{-2}\text{)}$ 、前記ゲルマニウム層のスプリットCV法を用いて求めた電子移動度を $\mu_{eff} \text{ (cm}^2/\text{V}\cdot\text{s)}$ としたとき、

N_s が $5 \times 10^{12} \text{ cm}^{-2}$ 以上において、 $\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.19$ であることを特徴とする半導体構造。

【請求項2】

前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム膜および希土類元素酸化膜の少なくとも一つの膜を含むことを特徴とする請求項1記載の半導体構造。

20

【請求項 3】

前記絶縁膜上に金属膜として Au を形成した際の前記ゲルマニウム層と前記金属膜との周波数が 50 kHz 以上における容量値は、前記金属膜の前記ゲルマニウム層に対する電圧がフラットバンド電圧から反転領域に変化するときに一様に減少する、または一定であることを特徴とする請求項 1 または 2 記載の半導体構造。

【請求項 4】

前記高誘電体酸化膜上にゲート電極を具備することを特徴とする請求項 1 から 3 のいずれか一項記載の半導体構造。

【請求項 5】

N_s が $1 \times 10^{13} \text{ cm}^{-2}$ 以上において、 $\log_{10} \mu_{\text{eff}} > -0.59 \times \log_{10} N_s + 10.19$ であることを特徴とする請求項 1 から 4 のいずれか一項記載の半導体構造。 10

【請求項 6】

ゲルマニウム層と、
前記ゲルマニウム層上に形成され、エチルアルコールと水が 100 : 5 の混合液におけるエッチング速度が 0.19 nm / 分以下であり、かつ EOT が 2 nm 以下の酸化ゲルマニウム膜と、
を具備することを特徴とする半導体構造。

【請求項 7】

前記酸化ゲルマニウム膜上に金属膜として Au を形成した際の前記ゲルマニウム層と前記金属膜との周波数が 50 kHz 以上における容量値は、前記金属膜の前記ゲルマニウム層に対する電圧がフラットバンド電圧から反転領域に変化するときに一様に減少する、または一定であることを特徴とする請求項 6 記載の半導体構造。 20

【請求項 8】

前記酸化ゲルマニウム膜上に酸化シリコンより比誘電率の大きな高誘電体酸化膜を介さず形成されたゲート電極を具備することを特徴とする請求項 6 または 7 記載の半導体構造。

【請求項 9】

ゲルマニウム層上に、酸化シリコンより比誘電率の大きな高誘電体酸化膜を形成する工程と、 30

酸素雰囲気、室温での前記酸素の分圧が 1 気圧より大きくなるような分圧、かつ前記ゲルマニウム層の温度が 450 以上かつ 550 より低い条件において、前記高誘電体酸化膜を介して前記ゲルマニウム層を酸化させることにより、前記ゲルマニウム層と前記高誘電体酸化膜との間に酸化ゲルマニウムを含む膜を形成する工程と、
を含むことを特徴とする半導体構造の製造方法。

【請求項 10】

前記条件は、室温での前記酸素の分圧が 10 気圧以上となるような分圧、かつゲルマニウム層の温度が 520 以下の条件であり、

前記高誘電体酸化膜と前記酸化ゲルマニウムを含む膜との EOT は 2 nm 以下であることを特徴とする請求項 9 記載の半導体構造の製造方法。 40

【請求項 11】

前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム膜および希土類元素酸化膜の少なくとも 1 つの膜を含むことを特徴とする請求項 9 または 10 記載の半導体構造の製造方法。

【請求項 12】

前記高誘電体酸化膜上にゲート電極を形成する工程を含むことを特徴とする請求項 9 から 11 のいずれか一項記載の半導体構造の製造方法。

【請求項 13】

前記高誘電体酸化膜上にゲート電極を形成する工程を含み、
前記条件は、室温での前記酸素の分圧が 10 気圧以上となるような分圧、かつゲルマニ 50

ウム層の温度が520 以下の条件であり、

前記高誘電体酸化膜は酸化イットリウムであり、

前記高誘電体酸化膜と前記酸化ゲルマニウムを含む膜とのEOTは2nm以下であることを特徴とする請求項9記載の半導体構造の製造方法。

【請求項14】

酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧、かつゲルマニウム層の温度が450 以上かつ550 より低い条件において、前記ゲルマニウム層の上面を酸化することにより、前記ゲルマニウム層上に酸化ゲルマニウム膜を形成する工程を含むことを特徴とする半導体構造の製造方法。

【請求項15】

前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520 以下の条件であり、

前記酸化ゲルマニウム膜のEOTは2nm以下であることを特徴とする請求項14記載の半導体構造の製造方法。

【請求項16】

前記酸化ゲルマニウム膜上に酸化シリコンより比誘電率の大きな高誘電体酸化膜を介さずゲート電極を形成する工程を含むことを特徴とする請求項14または15記載の半導体構造の製造方法。

【請求項17】

ゲルマニウム層上に、酸化シリコンより比誘電率の大きな高誘電体酸化膜を形成する工程と、

酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧の条件において、前記高誘電体酸化膜を介して前記ゲルマニウム層を酸化させることにより、前記ゲルマニウム層と前記高誘電体酸化膜との間に酸化ゲルマニウムを含む膜を形成する工程と、

前記ゲルマニウム層を酸化させる温度は、前記分圧が大きくなるにしたがい前記ゲルマニウム層の酸化速度が遅くなるような温度であることを特徴とする半導体構造の製造方法。

【請求項18】

酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧の条件において、ゲルマニウム層の上面を酸化することにより、前記ゲルマニウム層上に酸化ゲルマニウム膜を形成する工程を含み、

前記ゲルマニウム層を酸化させる温度は、前記分圧が大きくなるにしたがい前記ゲルマニウム層の酸化速度が遅くなるような温度であることを特徴とする半導体構造の製造方法。

【請求項19】

前記酸化ゲルマニウム膜の膜厚は1.2nm以下であることを特徴とする請求項6から8のいずれか一項記載の半導体構造。

【請求項20】

前記酸化ゲルマニウム膜の密度は3.73g/cm³より大きいことを特徴とする請求項6から8および19のいずれか一項記載の半導体構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体構造およびその製造方法に関し、ゲルマニウム層上に酸化ゲルマニウムを含む膜を備える半導体構造およびその製造方法に関する。

【背景技術】

【0002】

ゲルマニウム(Ge)は、シリコン(Si)に比べ優れた電子物性を有する半導体である。しかしながら、酸化ゲルマニウム(例えばGeO₂)が不安定であるため、例えばM

10

20

30

40

50

OSFET (Metal Oxide Semiconductor Field Effect Transistor) を形成する半導体材料としてほとんど用いられていない。

【0003】

非特許文献1および2においては、ゲルマニウム基板上に酸化ゲルマニウム膜を形成する際に、高圧の酸素ガスを用いることにより、ゲルマニウム基板と酸化ゲルマニウム膜との界面状態を改善することが記載されている。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 58, NO. 5, MAY 2011 pp. 1295-1301 10

【非特許文献2】IEDM11-646-649 2011

【発明の概要】

【発明が解決しようとする課題】

【0005】

ゲート長の微細化が進むと、ゲート絶縁膜のEOT (等価酸化膜厚: Equivalent Oxide Thickness) を薄くすることが求められる。非特許文献1および2の方法では、ゲルマニウム基板と酸化ゲルマニウム膜との界面状態は良好なものの、酸化ゲルマニウム膜の成膜速度が速いため、薄い酸化ゲルマニウム膜を形成することが難しい。

【0006】

本発明は、上記課題に鑑みされたものであり、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、ゲルマニウム層と、前記ゲルマニウム層上に形成された酸化ゲルマニウムを含む膜と、前記酸化ゲルマニウムを含む膜上に形成され、酸化シリコンより比誘電率の大きな高誘電体酸化膜と、を含む絶縁膜と、を具備し、前記絶縁膜のEOTが2nm以下であり、かつ前記絶縁膜上に金属膜としてAuを形成した際の前記金属膜のゲルマニウム層に対する電圧をフラットバンド電圧から蓄積領域側に1V印加したときのリーク電流密度が $10^{-5} \times E_{OT} + 4 \text{ A/cm}^2$ 以下であり、前記ゲルマニウム層はp型であり、前記ゲルマニウム層内の面電子密度を $N_s \text{ (cm}^{-2}\text{)}$ 、前記ゲルマニウム層のスプリットC/V法を用い求めた電子移動度を $\mu_{eff} \text{ (cm}^2/\text{V}\cdot\text{s)}$ としたとき、 N_s が $5 \times 10^{12} \text{ cm}^{-2}$ 以上において、 $\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.19$ であることを特徴とする半導体構造である。本発明によれば、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することができる。

【0008】

上記構成において、前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム膜および希土類元素酸化膜の少なくとも1つの膜を含む構成とすることができる。

【0009】

上記構成において、前記絶縁膜上に金属膜としてAuを形成した際の前記ゲルマニウム層と前記金属膜との周波数が50kHz以上における容量値は、前記金属膜の前記ゲルマニウム層に対する電圧がフラットバンド電圧から反転領域に変化するとき一様に減少する、または一定である構成とすることができる。

【0010】

上記構成において、前記高誘電体酸化膜上にゲート電極を具備する構成とすることができる。

【0011】

20

30

40

50

上記構成において、 N_s が $1 \times 10^{13} \text{ cm}^{-2}$ 以上において、 $\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.19$ である構成とすることができる。

【0012】

本発明は、ゲルマニウム層と、前記ゲルマニウム層上に形成され、エチルアルコールと水が100：5の混合液におけるエッチング速度が0.19 nm/分以下であり、かつEOTが2 nm以下の酸化ゲルマニウム膜と、を具備することを特徴とする半導体構造である。本発明によれば、ゲルマニウム層と酸化ゲルマニウム膜との界面状態が良好であり、かつ薄い酸化ゲルマニウム膜を成膜することができる。

【0013】

上記構成において、前記酸化ゲルマニウム膜上に金属膜としてAuを形成した際の前記ゲルマニウム層と前記金属層との周波数が50 kHz以上における容量値は、前記金属膜の前記ゲルマニウム層に対する電圧がフラットバンド電圧から反転領域に変化するときに一様に減少する、または一定である構成とすることができる。

10

【0014】

上記構成において、前記酸化ゲルマニウム膜上に酸化シリコンより比誘電率の大きな高誘電体酸化膜を介さず形成されたゲート電極を具備する構成とすることができる。

【0015】

本発明は、ゲルマニウム層上に、酸化シリコンより比誘電率の大きな高誘電体酸化膜を形成する工程と、酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧、かつ前記ゲルマニウム層の温度が550より低い条件において、前記高誘電体酸化膜を介して前記ゲルマニウム層を酸化させることにより、前記ゲルマニウム層と前記高誘電率酸化膜との間に酸化ゲルマニウムを含む膜を形成する工程と、を含むことを特徴とする半導体構造の製造方法である。本発明によれば、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することができる。

20

【0016】

上記構成において、前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520以下の条件であり、前記高誘電体酸化膜と前記酸化ゲルマニウムを含む膜とのEOTは2 nm以下である構成とすることができる。

【0017】

上記構成において、前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム膜および希土類元素酸化膜の少なくとも1つの膜を含む構成とすることができる。

30

【0018】

上記構成において、前記高誘電体酸化膜にゲート電極を形成する工程を含む構成とすることができる。

【0019】

上記構成において、前記高誘電体酸化膜上にゲート電極を形成する工程を含み、前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520以下の条件であり、前記高誘電体酸化膜は酸化イットリウムであり、前記高誘電体酸化膜と前記酸化ゲルマニウムを含む膜とのEOTは2 nm以下である構成とすることができる。

40

【0020】

本発明は、酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧、かつゲルマニウム層の温度が550より低い条件において、前記ゲルマニウム層の上面を酸化することにより、前記ゲルマニウム層上に酸化ゲルマニウム膜を形成する工程を含むことを特徴とする半導体構造の製造方法である。本発明によれば、ゲルマニウム層と酸化ゲルマニウム膜との界面状態が良好であり、かつ薄い酸化ゲルマニウム膜を成膜することができる。

【0021】

50

上記構成において、前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520以下であり、前記酸化ゲルマニウム膜のEOTは2nm以下である構成とすることができる。

【0022】

上記構成において、前記酸化ゲルマニウム膜上に酸化シリコンより比誘電率の大きな高誘電体酸化膜を介さずゲート電極を形成する工程を含む構成とすることができる。

【発明の効果】

【0023】

本発明によれば、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することができる。

10

【図面の簡単な説明】

【0024】

【図1】図1(a)から図1(c)は、半導体構造の作製方法を示す断面図である。

【図2】図2(a)は、熱処理時間に対する酸化ゲルマニウムの膜厚を示す図、図2(b)は、酸素圧力に対する酸化ゲルマニウムの膜厚を示す図である。

【図3】図3(a)および図3(b)は、エッチング時間に対する酸化ゲルマニウムの膜厚を示す図である。

【図4】図4(a)および図4(b)は、それぞれ酸素分圧が室温で1気圧と70気圧のサンプルの結合エネルギーに対する信号強度を示す図である。

【図5】図5は、酸素圧力に対する酸化ゲルマニウム膜の密度を示す図である。

20

【図6】図6は、EOTに対するリーク電流を示す図である。

【図7】図7は、電圧Vに対する容量Cを示す図である。

【図8】図8(a)および図8(b)は、実施例1に係る半導体構造の製造方法を示す断面図である。

【図9】図9(a)から図9(d)は、実施例2に係る半導体構造の製造方法を示す断面図である。

【図10】図10は、電圧Vに対する容量Cを示す図である。

【図11】図11(a)は、酸化時間に対するCETを示す図である。図11(b)は、EOTに対するリーク電流密度Jを示す図である。

【図12】図12(a)は、EOTに対する界面準位密度Ditを示す図、図12(b)は、エネルギーに対する界面準位密度Ditを示す図である。

30

【図13】図13(a)は、実施例1の半導体構造を用いたトランジスタの断面、図13(b)は、実施例2の半導体構造を用いた断面図である。

【図14】図14(a)および図14(b)は、面電子密度Nsに対する移動度μeffを示す図である。

【発明を実施するための形態】

【0025】

まず、発明者が行なった実験について説明する。図1(a)から図1(c)は、半導体構造の作製方法を示す断面図である。図1(a)に示すように、ゲルマニウム基板10を準備する。ゲルマニウム基板10は(100)面を主面とし、ドーパントがGa(ガリウム)であり、ドーパント濃度が約 $7 \times 10^{16} \text{ cm}^{-3}$ のp型である。図1(b)に示すように、ゲルマニウム基板10上を酸素雰囲気中において熱酸化させることにより、酸化ゲルマニウム膜12を形成する。図1(c)に示すように、ゲルマニウム基板10の裏面に金属膜16としてアルミニウム(Al)膜を、酸化ゲルマニウム膜12の表面に金属膜14として金(Au)膜を形成する。金属膜14としてAu以外を用いた場合に金属膜14に印加される電圧は、金属膜14の仕事関数を用い金属膜14としてAuを用いた場合の電圧に補正することが可能である。

40

【0026】

図1(b)において、ゲルマニウム基板10の温度(基板温度)と、酸素ガスの圧力(酸素圧力)を変え、酸化ゲルマニウム膜12を形成した。図2(a)は、熱処理時間(酸

50

化時間)に対する酸化ゲルマニウム膜の膜厚を示す図、図2(b)は、酸素圧力に対する酸化ゲルマニウム膜の膜厚を示す図である。図2(a)においては、基板温度は500、図2(b)においては、酸化時間は30分である。図2(a)および図2(b)のドットが測定点、直線が測定点の近似線を示している。なお、酸素圧力は、室温(約25)での圧力である。すなわち、室温において上記酸素圧力でサンプルを密閉後、温度を上げ熱処理を行なっている。このため、熱処理時のガスの圧力は、上記ガス圧力より大きい。以下の実験においても同様である。

【0027】

図2(a)を参照し、酸化時間とともに酸化ゲルマニウム膜12の膜厚が大きくなる。図2(a)の傾きが酸化速度に相当する。これは、酸素が酸化ゲルマニウム膜12を拡散し、ゲルマニウム基板10の上面を酸化させるためである。酸素圧力が0.1気圧に比べ酸素圧力が1気圧のとき酸化速度は速くなる。酸素圧力が1気圧より高くなると酸素圧力が高くなるにしたがい、酸化速度が遅くなる。

10

【0028】

図2(b)を参照し、基板温度が550においては、酸素圧力が高くなるにしたがい酸化ゲルマニウム膜12の膜厚は大きくなる。これは、酸素圧力が高くなると酸化速度が速くなることに対応する。一方、基板温度が520以下においては、酸素圧力が1気圧または10気圧より高くなると、酸素圧力が高くなるにしたがい酸化ゲルマニウム膜12の膜厚が小さくなる。

【0029】

20

酸化ゲルマニウム膜12を拡散した酸素がゲルマニウム基板10の上面を酸化させるという解釈では、酸素圧力が高くなるにしたがい、酸化速度が速くなるはずである。酸素圧力が高くなるにしたがい、酸化速度が遅くなる現象は、上記解釈では説明できない。

【0030】

そこで、上記現象を解明すべく、まず、酸化ゲルマニウム膜12のエッチング速度を測定した。図1(b)のサンプルを作製した。作製条件は以下である。

酸素圧力：70気圧、基板温度：500

酸素圧力：70気圧、基板温度：550

酸素圧力：1気圧、基板温度：500

サンプルをエチルアルコール(C_2H_5OH):水(H_2O)が100:5の混合液に浸漬し、酸化ゲルマニウムの膜厚のエッチング速度を測定した。図3(a)および図3(b)は、エッチング時間に対する酸化ゲルマニウムの膜厚を示す図である。ドットが測定点、直線が測定点の近似線を示す。図3(a)および図3(b)の傾きの絶対値がエッチング速度に対応する。図3(a)に示すように、基板温度が500であり、酸素圧力が1気圧のサンプルにおいては、エッチング速度は約0.56nm/分である。基板温度が500であり、酸素圧力が70気圧のサンプルにおいては、エッチング速度はエッチング時間が5分までは約0.37nm/分である。5分以降は約0.19nm/分である。図3(b)に示すように、基板温度が550であり、酸素圧力が70気圧のサンプルにおいては、エッチング速度は約0.62nm/分である。

30

【0031】

40

基板温度が500であり、酸素圧力が1気圧および70気圧のサンプルをエッチングするとXPS(X-ray Photoelectron Spectroscopy)測定を行なった。図4(a)および図4(b)は、それぞれ酸素分圧が1気圧と70気圧のサンプルの結合エネルギーに対する信号強度を示す図である。Ge3dの結合エネルギーを測定した。図4(a)および図4(b)において、約30eVのピークはGe間の結合に相当し、約33.5eVのピークはGeとOとの結合に相当する。

【0032】

図4(a)のように、酸素圧力が1気圧のサンプルにおいて、酸化ゲルマニウム膜12を0分から7分までエッチングすると、GeとOとの結合に対応するピークが小さくなる。これは、エッチングにより酸化ゲルマニウム膜12が薄くなることを示している。しか

50

しながら、ピークエネルギーのシフトは観測されない。図4(b)のように、酸素圧力が70気圧のサンプルにおいて、酸化ゲルマニウム膜12を0分から8分までエッチングすると、図4(a)と同様にGeとOとの結合に対応するピークが小さくなる。しかし、ピークエネルギーのシフトは観測されない。これにより、酸素分圧が1気圧と70気圧のサンプルに、GeとOとの結合エネルギーの差はないと考えられる。

【0033】

次に、基板温度が500℃かつ膜厚が5nmのサンプルと基板温度が550℃かつ膜厚が10nmのサンプルとで酸素圧力を変えたサンプルを作製した。作製したサンプルの酸化ゲルマニウム膜12の密度をGI-XR(Grazing Incidence X-ray Reflectivity)法を用い測定した。図5は、酸素圧力に対する酸化ゲルマニウム膜の密度を示す図である。ドットが測定点、測定点を直線でつないでいる。上下のバーは測定誤差を示している。図5に示すように、基板温度が500℃および550℃いずれのサンプルにおいても酸素分圧が高くなると酸化ゲルマニウム膜12の密度が高くなる。酸素分圧が0.1気圧では、基板温度が500℃および550℃のサンプルにおける密度の差は小さい。酸素分圧が10気圧以上では、基板温度が500℃および550℃のサンプルにおける密度の差が大きくなる。GeO₂ガラスの密度は、一般的に3.65g/cm₃である。よって、基板温度が500℃のサンプルでは一般的な酸化ゲルマニウムより密度が大きくなっている。図3(a)および図3(b)において、基板温度が500℃であり、酸素圧力が70気圧のサンプルのエッチング速度が遅い理由は酸化ゲルマニウムの密度が高くなったためと考えられる。

【0034】

図2(b)において、基板温度が520℃以下かつ酸素圧力が1気圧以上において、酸化ゲルマニウム膜12の酸化速度が遅くなるのは、酸化ゲルマニウム膜12の密度が大きいためと考えられる。密度が大きい酸化ゲルマニウム膜12は緻密なため、酸化ゲルマニウム膜12中の酸素の拡散速度が遅くなるためではないかと考えられる。

【0035】

次に、図1(c)のサンプルを作製した。作製条件は以下である。

酸素圧力：70気圧、基板温度：500℃

酸素圧力：70気圧、基板温度：550℃

酸素圧力：1気圧、基板温度：500℃

【0036】

図6は、EOTに対するリーク電流を示す図である。測定温度は室温である。図6において、EOTは、酸化ゲルマニウム膜のEOTを示している。EOTは、C-V測定の飽和容量値から換算できる。リーク電流密度Jは、金属膜16に対する金属膜14の電圧が、フラットバンドの電圧-1Vとなる電圧における金属膜16と14間のリーク電流密度である。ドットは測定点、直線は近似線を示している。点線は、シリコン基板上に形成された酸化シリコン膜のEOTに対するリーク電流密度を示している。

【0037】

図6を参照し、酸素圧力が1気圧および基板温度が500℃のサンプルでは、酸化速度が速いため、EOTが2.8nm以下の酸化ゲルマニウム膜12は形成することは難しい。また、同一EOTのリーク電流は酸化シリコン膜より大きい。酸素圧力が70気圧および基板温度が550℃のサンプルにおいても、酸化速度が速いため、EOTが2.2nm以下の酸化ゲルマニウム膜12は形成できない。同一EOTのリーク電流は酸化シリコン膜より小さいものの、EOTが小さくなると、リーク電流が増大する。

【0038】

一方、酸素圧力が70気圧および基板温度が500℃のサンプルでは、酸化速度が遅いため、EOTが1.2nm程度の酸化ゲルマニウム膜12を形成できる。また、リーク電流密度Jを 10^{-2} A/cm^2 とすることができる。これは、同じEOTの酸化シリコン膜に比べ三桁程度小さい値である。

【0039】

酸素圧力が70気圧および基板温度が500で作製したサンプルを用いてC-V特性を測定したところEOTは1.2nmであった。C-V特性は金属膜16に対し金属膜14に電圧Vを印加することにより測定した。図7は、電圧Vに対する容量Cを示す図である。測定温度は室温である。C-V特性を測定した周波数は、1kHzから1MHzである。図7を参照し、電圧Vを負の領域(蓄積領域)から容量Cが減少してフラットバンド電圧までの間でヒステリシスがほとんど観測されず、また周波数依存性もほとんど観測されない。このことは酸化ゲルマニウム膜12中の欠陥がきわめて少ないことを意味し、またゲルマニウム基板10と酸化ゲルマニウム膜12とのゲルマニウムの価電子帯側の界面準位密度がきわめて小さいことを意味する。

【0040】

さらに、電圧をフラットバンド電圧から正の領域(反転領域)に増加させたとき、周波数が高い領域(1MHz、100kHz、50kHz)では電圧Vに対して容量はほとんど変化せずに周波数依存性もない。すなわち、電圧Vがフラットバンド電圧から反転領域に変化するときにゲルマニウム基板10と金属膜14との周波数が50kHz以上における容量値は一様に減少する、または一定になる。例えば、酸化ゲルマニウム膜12を1気圧において成膜すると、周波数が50kHz以上における容量値は、図7の周波数が10kHz以下の場合と同様にフラットバンド電圧から反転領域にかけて増大する。この結果から、高圧において酸化ゲルマニウム膜12を成膜した場合、ゲルマニウム基板10と酸化ゲルマニウム膜12との界面においてゲルマニウムの伝導帯側の界面準位密度が少なく、界面状態が良好であることがわかる。

【0041】

図6および図7のように、酸素圧力が70気圧および基板温度が500で作製したサンプルはEOTを小さくでき、かつ界面状態を良好にすることができる。

【0042】

以下に、上記実験結果に基づく本発明の実施例について説明する。

【実施例1】

【0043】

図8(a)および図8(b)は、実施例1に係る半導体構造の製造方法を示す断面図である。図8(a)のように、ゲルマニウム層30を準備する。ゲルマニウム層30は、単結晶ゲルマニウム基板でもよいし、基板(例えばシリコン基板)上に形成されたゲルマニウム膜でもよい。また、ゲルマニウム層30は、高純度ゲルマニウムでもよいが、不純物が含まれていてもよい。例えばn型またはp型ゲルマニウムでもよい。さらに、ゲルマニウム層30には、上記実験の効果が得られる程度にシリコンが含まれていてもよい。シリコンの組成比は、全体の10原子%程度以下であればよい。ゲルマニウム層30の主面は、例えば(111)面とすることができるが、(110)面または(100)面等他の結晶面でもよい。

【0044】

図8(b)のように、ゲルマニウム層30上に酸化ゲルマニウム膜32を形成する。なお、酸化ゲルマニウム膜32は化学量論的な組成であるGeO₂でもよいが、化学量論的な組成でなくともよい。図2(b)において、酸素圧力を1気圧より高くすることで酸化ゲルマニウム膜32の成膜速度が1気圧の場合より遅くできる。このため、このような酸化温度および酸素圧力を用いて酸化ゲルマニウム膜12を形成することにより、EOTを小さくでき、かつ界面状態を良好にすることができる。よって、酸化ゲルマニウム膜32は、図2(b)に示すように、酸素雰囲気、室温での酸素の分圧が1気圧より大きな分圧、かつゲルマニウム層30の温度が550より低い条件において、ゲルマニウム層30の上面を酸化する。これにより、図6に示すように、酸化速度を小さくし、EOTが薄い酸化ゲルマニウム膜32を制御性よく形成できる。また、図7に示すように、ゲルマニウム層30と酸化ゲルマニウム膜32との界面状態を良好にできる。なお、実験には100%酸素ガスを用いたが、酸素ガスと不活性ガス(例えば窒素ガス、ヘリウム、ネオン、アルゴン、クリプトン、キセノンまたはラドン等の第18族元素のガス、またはこれらの混

10

20

30

40

50

合ガス)との混合ガスでもよい。酸素分圧は、10気圧以上が好ましく、30気圧以上がより好ましい。温度は、520以下が好ましく、500以下がより好ましい。また、ゲルマニウム層30と酸化ゲルマニウム膜32との界面を良好とするためには、酸化温度は、450以上が好ましく、470以上がより好ましい。

【0045】

このように成膜した酸化ゲルマニウム膜32は、図5のように密度が 3.6 g/cm^3 以上、かつ図6のようにEOTが2nm以下とすることができる。密度は、 3.65 g/cm^3 以上が好ましく、 3.7 g/cm^3 以上がより好ましく、 3.8 g/cm^3 以上が一層好ましい。EOTは、1.5nm以下が好ましく、1.2nm以下がより好ましく、1.0nm以下がさらに好ましい。

10

【実施例2】

【0046】

図9(a)から図9(d)は、実施例2に係る半導体構造の製造方法を示す断面図である。図9(a)に示すように、実施例1と同様のゲルマニウム層30を準備する。図9(b)に示すように、ゲルマニウム層30上に、高誘電体酸化膜34を形成する。高誘電体酸化膜34は、酸化シリコンより比誘電率が大きい膜であり、例えば酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜および希土類元素酸化膜(例えば酸化イットリウム膜または酸化スカンジウム膜)の少なくとも1つの膜を含む膜である。例えば、上記膜のうちいずれかが1つの膜でもよいし、上記膜が複数積層された膜でもよい。希土類元素は、スカンジウム(Sc)、イットリウム(Y)、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、プロメチウム(Pm)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)およびルテチウム(Lu)である。高誘電体酸化膜34は、化学量論的な組成でもよいが、化学量論的な組成でなくともよい。高誘電体酸化膜34は、例えばスパッタリング法を用い形成する。

20

【0047】

図9(c)に示すように、高圧酸素雰囲気中において、高誘電体酸化膜34を熱処理する。酸素が高誘電体酸化膜34中を拡散し、ゲルマニウム層30の上面を酸化させる。これにより、ゲルマニウム層30と高誘電体酸化膜34との間に酸化ゲルマニウム膜32が形成される。酸化ゲルマニウム膜32と高誘電体酸化膜34とにより絶縁膜33が形成される。なお、酸化ゲルマニウム膜32は化学量論的な組成である GeO_2 でもよいが、化学量論的な組成でなくともよい。また、酸化ゲルマニウム膜32には、高誘電体酸化膜34の原子が拡散していてもよい。例えば、酸化ゲルマニウム膜32は、酸化ゲルマニウムと金属酸化物(高誘電体酸化膜34に含まれる金属の酸化物)との混合膜でもよい。このように、酸化ゲルマニウム膜32は、酸化ゲルマニウムを含む膜であればよい。酸化ゲルマニウム膜32は、実施例1と同様に酸素雰囲気、室温での酸素の分圧が1気圧より大きな分圧、かつゲルマニウム層30の酸化温度が550より低い条件において、ゲルマニウム層30の上面を酸化する。酸素分圧は、10気圧以上が好ましく、30気圧以上がより好ましい。温度は、520以下が好ましく、500以下がより好ましい。酸化温度は、450以上が好ましく、470以上がより好ましい。

30

40

【0048】

高誘電体酸化膜34は比誘電率が高いため、EOTを薄くできる。しかしながら、ゲルマニウム層30と高誘電体酸化膜34との界面には界面準位が形成され界面状態が良好ではない。そこで、図9(c)のように、高誘電体酸化膜34を介してゲルマニウム層30の上面を酸化することにより、酸化ゲルマニウム膜32を形成する。高誘電体酸化膜34は、酸化ゲルマニウム膜32に比べ酸素が拡散しやすい。よって、実施例1と同様の条件により酸化ゲルマニウム膜32が形成できる。これにより、実施例1と同様に、酸化ゲルマニウム膜32の膜厚を薄くでき、かつ、ゲルマニウム層30と絶縁膜33との界面状態を良好にできる。

50

【 0 0 4 9 】

実施例 2 として、ゲルマニウム層 3 0 として p 型ゲルマニウム基板を用い、高誘電体酸化膜 3 4 として酸化イットリウム膜を用い、半導体構造を作成した。図 9 (d) に示すように、高誘電体酸化膜 3 4 上に金属膜 3 6 (金膜) を形成した。高誘電体酸化膜 3 4 の膜厚は 1 . 5 n m 、酸化ゲルマニウム膜 3 2 の形成条件は、酸素圧力が 7 0 気圧、基板温度が 5 0 0 、酸化時間が 1 分である。

【 0 0 5 0 】

図 1 0 は、電圧 V に対する容量 C を示す図である。測定温度は室温である。C - V 特性を測定した周波数は、1 k H z から 1 M H z である。図 1 0 を参照し、電圧 V が大きくなり容量 C が減少する領域 (フラットバンドから反転層が形成される領域) において、ヒステリシスがほとんど観測されない。さらに電圧をフラットバンド電圧から反転領域に増加させたとき、周波数が高い領域 (1 M H z 、 1 0 0 k H z 、 5 0 k H z) では電圧 V に対して容量値はほとんど変化せずに周波数依存性もない。すなわち、電圧 V がフラットバンド電圧から反転領域に変化するときにゲルマニウム基板 1 0 と金属膜 1 4 との周波数が 5 0 k H z 以上における容量値は一様に減少する、または一定である。これにより、ゲルマニウム層 3 0 と絶縁膜 3 3 との界面に界面準位が少なく、界面状態が良好であることがわかる。

【 0 0 5 1 】

酸化ゲルマニウム膜 3 2 を形成する条件を変え、酸化時間に対する C E T (Capacitance Equivalent Thickness) を測定した。図 1 1 (a) は、酸化時間に対する C E T を示す図である。ドットは測定点、直線はドットをつなぐ線を示している。図 1 1 (a) を参照し、図 2 (a) と同様に、酸素圧力を大きくし、基板温度を低くすることにより、C E T の酸化時間依存性が小さくなり、C E T の制御が容易となる。例えば、基板温度が 5 3 0 以下、かつ酸素圧力が 1 0 気圧以下において、C E T の酸化時間依存性を小さくすることができる。

【 0 0 5 2 】

図 1 1 (b) は、E O T に対するリーク電流密度 J を示す図である。図 1 1 (b) において、ドットは、実施例 2 の結果を示し、破線は、ゲルマニウム (G e) 上の酸化ジルコニウム (Z r O ₂) 、酸化ゲルマニウム (G e O ₂) 上の酸化アルミニウム (A l ₂ O ₃) 、ストロンチウムゲルマニウム (S r G e _x) 上の酸化ランタンアルミニウム (L a A l O ₃) および多結晶シリコン (P o l y S i) をゲート電極とするシリコン (S i) 上の酸化シリコン (S i O ₂) において報告された結果を示す。図 1 1 (b) に示すように、実施例 2 は、酸化シリコン膜に比べリーク電流が小さい。他の例に比べてリーク電流が少ない方である。E O T が 1 n m においてもリーク電流密度 J を約 $1 \times 10^{-3} \text{ A / cm}^2$ とすることができる。実施例 2 のリーク電流密度は、 $10^{-5} \times \text{E O T} + 2 \text{ A / cm}^2$ 程度である。

【 0 0 5 3 】

次に、ゲルマニウム層 3 0 として p 型ゲルマニウム基板を用い、高誘電体酸化膜 3 4 として酸化イットリウム膜を用い、半導体構造を作製した。高誘電体酸化膜 3 4 の膜厚は 1 . 5 n m 、酸化ゲルマニウム膜 3 2 の形成条件は、酸素圧力が 7 0 気圧、基板温度が 5 0 0 である。酸化時間を変化させることにより、様々な E O T のサンプルを作製した。比較例として、高誘電体酸化膜 3 4 を設けず p 型ゲルマニウム基板上に E O T が 1 0 n m の酸化ゲルマニウム膜を有するサンプルを作製した。

【 0 0 5 4 】

図 1 2 (a) は、E O T に対する界面準位密度 D_{it} を示す図、図 1 2 (b) は、エネルギーに対する界面準位密度 D_{it} を示す図である。E O T および界面準位密度は、2 0 0 K および 1 0 0 K におけるインピーダンス測定から、いわゆるコンダクタンス法を用いて求めた。図 1 2 (a) において、ドットはミッドギャップ (エネルギーバンドの中心エネルギー) から - 0 . 2 e V における界面準位密度を示している。実線は近似直線である。図 1 2 (a) に示すように、E O T が 2 n m 以下であっても界面準位密度は 2×10^1

10

20

30

40

50

$1 \text{ eV}^{-1} \text{ cm}^{-2}$ 以下である。図 12 (b) において、丸ドットは EOT が 1 nm の実施例 2、四角ドットは EOT が 10 nm の比較例を示す。E_v は価電子帯の頂点のエネルギー、E_c は伝導帯の底のエネルギーを示す。一般に、EOT が薄くなると界面準位密度が大きくなる。比較例は、EOT を厚くすることにより界面準位密度を非常に小さくしたサンプルである。図 12 (b) に示すように、実施例 2 においては、EOT が 1 nm であっても EOT が 10 nm の比較例と遜色ない界面準位密度とすることができる。

【0055】

実施例 2 によれば、図 11 (b) に示すように、絶縁膜 33 の EOT が 2 nm 以下であり、かつ絶縁膜 33 上に金属膜を形成した際の金属膜 36 のゲルマニウム層 30 に対する電圧 V がフラットバンド電圧 - 1 V のときのリーク電流密度を $10^{-5} \times \text{EOT} + 4 \text{ A/cm}^2$ 以下とすることができる。また、EOT は、1.5 nm 以下が好ましく、1.2 nm 以下がより好ましく、1.0 nm 以下がより好ましい。リーク電流密度は、 $10^{-5} \times \text{EOT} + 3 \text{ A/cm}^2$ 以下、約 $1 \times 10^{-2} \text{ A/cm}^2$ 以下、約 $1 \times 10^{-3} \text{ A/cm}^2$ 以下、約 $1 \times 10^{-4} \text{ A/cm}^2$ 以下がより好ましい。高誘電体酸化膜 34 を形成した後、図 9 (c) の工程による酸化ゲルマニウム膜 32 の形成を行わない場合、EOT が 2 nm 以下ではリーク電流は非常に大きくなってしまふ。この場合、EOT が 2 nm 以下において、多結晶シリコンをゲート電極とするシリコン基板上の酸化シリコンよりリーク電流を小さくすることはできない。

【0056】

なお、p 型ゲルマニウム層を用いた場合、金属膜のゲルマニウム層に対する電圧がフラットバンド電圧から - 1 V のときのリーク電流密度と比較したが、n 型ゲルマニウム層の場合、金属膜のゲルマニウム層に対する電圧がフラットバンド電圧から 1 V のときのリーク電流密度と比較する。すなわち、比較するリーク電流密度は金属膜のゲルマニウム層に対する電圧がフラットバンド電圧から蓄積領域側に 1 V 印加した電圧である。

【0057】

図 13 (a) は、実施例 1 の半導体構造を用いたトランジスタの断面図、図 13 (b) は、実施例 2 の半導体構造を用いた断面図である。図 13 (a) に示すように、ゲルマニウム層 30 上に酸化ゲルマニウム膜 32 を介しゲート電極 38 を形成する。ゲート電極 38 の両側のゲルマニウム層 30 内にソースまたはドレイン領域 40 を形成する。ゲルマニウム層 30 を p 型、ソースまたはドレイン領域 40 を n 型とする。ゲルマニウム層 30 を n 型、ソースまたはドレイン領域 40 を p 型としてもよい。

【0058】

図 13 (b) に示すように、酸化ゲルマニウム膜 32 とゲート電極 38 との間に高誘電体酸化膜 34 が形成されている。その他の構成は、図 13 (a) と同じであり説明を省略する。図 13 (a) および図 13 (b) のトランジスタのように、酸化ゲルマニウム膜 32 または絶縁膜 33 をゲート絶縁膜として用いることにより、ゲート絶縁膜の EOT が薄く、かつゲート絶縁膜と半導体層との界面状態のよい MOSFET を実現できる。

【0059】

実施例 2 の半導体構造を用い FET を作製した。ゲルマニウム層 30 として p 型ゲルマニウム基板を用い、高誘電体酸化膜 34 として酸化イットリウム膜を用いた。高誘電体酸化膜 34 の膜厚は 1.5 nm、酸化ゲルマニウム膜 32 の形成条件は、酸素圧力が 70 気圧、基板温度が 500 °C である。酸化時間を変化させることにより、様々な EOT のサンプルを作製した。比較例の FET として、高誘電体酸化膜 34 を設けず p 型ゲルマニウム基板上に EOT が 10 nm の酸化ゲルマニウム膜を有するサンプルを作製した。ゲート長を 100 μm、ゲート幅を 25 μm とし、スプリット CV 法を用い、室温におけるキャリア数と移動度 μ_{eff} を求めた。スプリット CV 法は、CV 測定の積分からキャリア数を導出し、キャリア数と I-V 測定から移動度を求める方法である。

【0060】

図 14 (a) および図 14 (b) は、面電子密度 N_s に対する移動度 μ_{eff} を示す図である。ゲート電極にゲート電圧を印加することにより、面電子密度 N_s を変化させ、移

10

20

30

40

50

動度 μ_{eff} を測定した。図 14 (a) は、EOT が 1 . 1 8 nm、1 . 0 3 nm および 0 . 9 4 nm の実施例 2 のサンプルと、比較例の測定結果を示す。ゲルマニウム基板の主面は (1 1 1) 面である。図 1 4 (a) に示すように、面電子密度が $3 \times 10^{12} \text{ cm}^{-2}$ 以上において、実施例 2 は、比較例より移動度が大きくなる。実線は、比較例の面電子密度が $3 \times 10^{12} \text{ cm}^{-2}$ 以上かつ $5 \times 10^{12} \text{ cm}^{-2}$ 以下の範囲のデータを外挿した直線である。

【 0 0 6 1 】

図 1 4 (b) は、ゲルマニウム基板の主面が (1 1 1) 面および (1 0 0) 面のサンプルの測定結果を示す。測定したサンプルの EOT は 0 . 9 4 nm である。破線は、シリコン MOSFET における一般的な移動度を示す。実線は、比較例の面電子密度が $3 \times 10^{12} \text{ cm}^{-2}$ 以上かつ $5 \times 10^{12} \text{ cm}^{-2}$ 以下の範囲のデータを外挿した直線である。図 1 4 (b) に示すように、ゲルマニウムを用いた MOSFET においては、面電子密度が小さい範囲 ($3 \times 10^{12} \text{ cm}^{-2}$ 以下) の移動度はシリコン MOSFET に比べ大きい。しかし、面電子密度の大きな範囲 ($5 \times 10^{12} \text{ cm}^{-2}$ 以上) において、移動度がシリコン MOSFET と同程度となってしまう。実施例においては、面電子密度が $5 \times 10^{12} \text{ cm}^{-2}$ 以上において移動度をシリコン MOSFET より大きくできる。

【 0 0 6 2 】

以上のように、実施例 2 の半導体構造を用いた FET において、面電子密度 N_s が $5 \times 10^{12} \text{ cm}^{-2}$ 以上の範囲で移動度 μ_{eff} を以下の不等式の範囲とすることができる。

$$\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.19$$

この範囲の移動度 μ_{eff} は、ゲルマニウム層を用いた MOSFET ではこれまで実現できていなかった。実施例 2 に係る半導体構造を用いはじめて実現することができた。

【 0 0 6 3 】

移動度 μ_{eff} は、面電子密度 N_s が $5 \times 10^{12} \text{ cm}^{-2}$ 以上の範囲で

$$\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.3$$

が好ましく、

$$\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.5$$

がより好ましい。

【 0 0 6 4 】

MOSFET と以外の半導体装置に実施例 1 および 2 の半導体構造を適用することもできる。

【 0 0 6 5 】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【 符号の説明 】

【 0 0 6 6 】

- | | | |
|-------------|--------------|--|
| 1 0 | ゲルマニウム基板 | |
| 1 2、3 2 | 酸化ゲルマニウム膜 | |
| 1 4、1 6、3 6 | 金属膜 | |
| 3 0 | ゲルマニウム層 | |
| 3 4 | 高誘電体酸化膜 | |
| 3 8 | ゲート電極 | |
| 4 0 | ソースまたはドレイン領域 | |

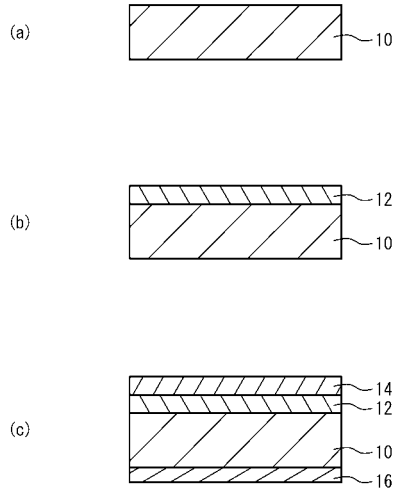
10

20

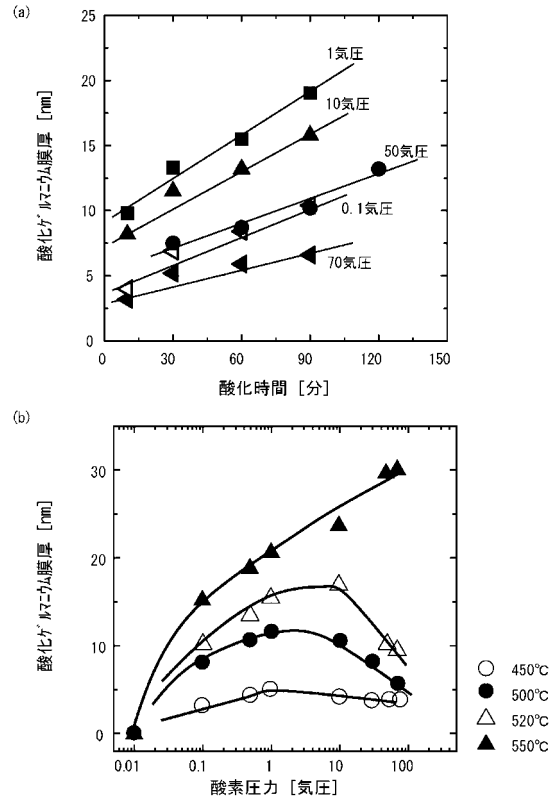
30

40

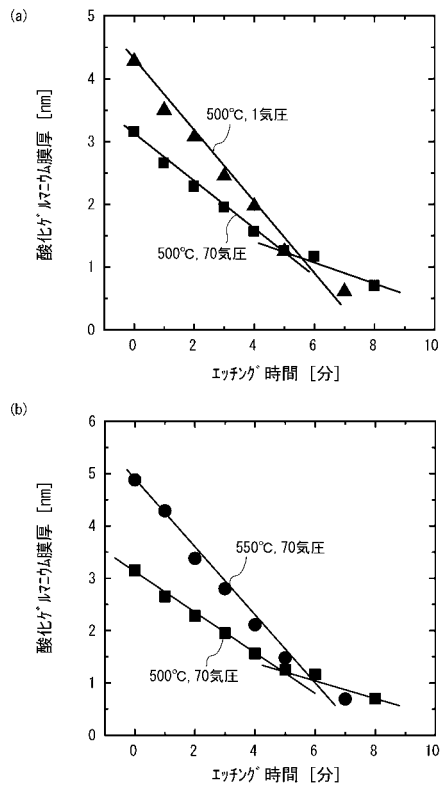
【図1】



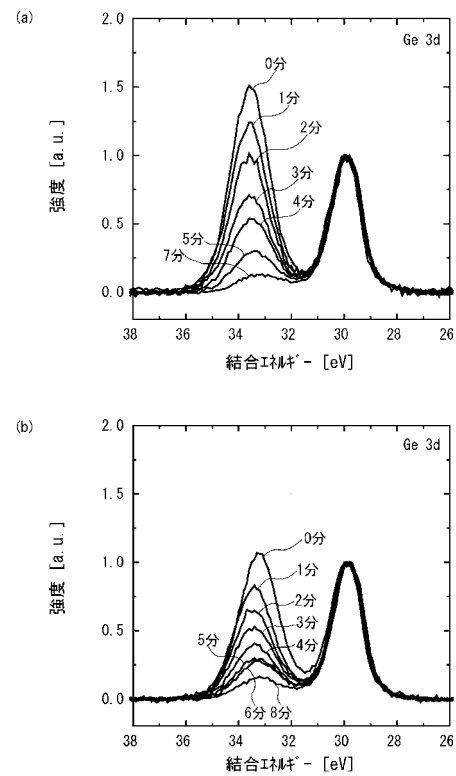
【図2】



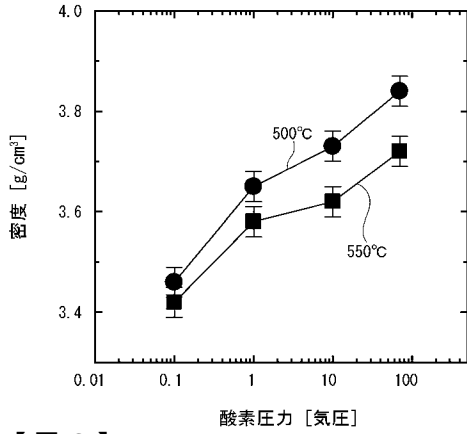
【図3】



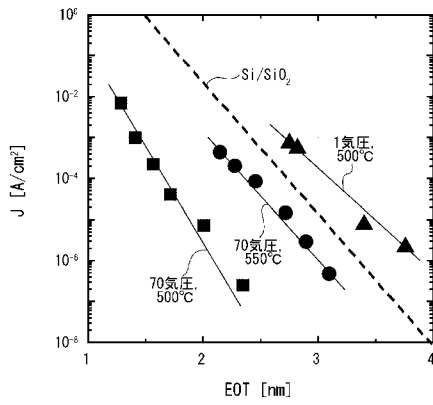
【図4】



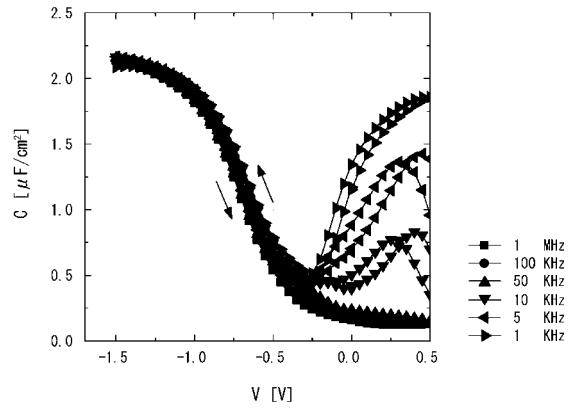
【 図 5 】



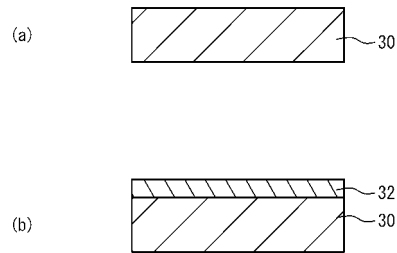
【 図 6 】



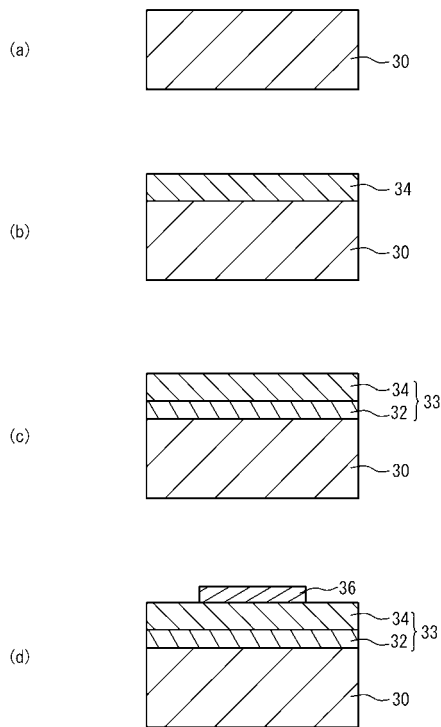
【 図 7 】



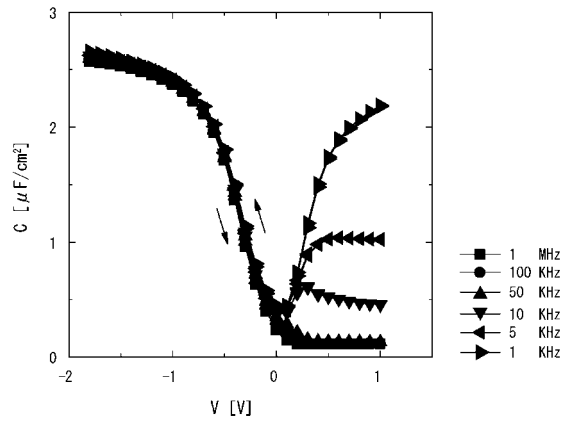
【 図 8 】



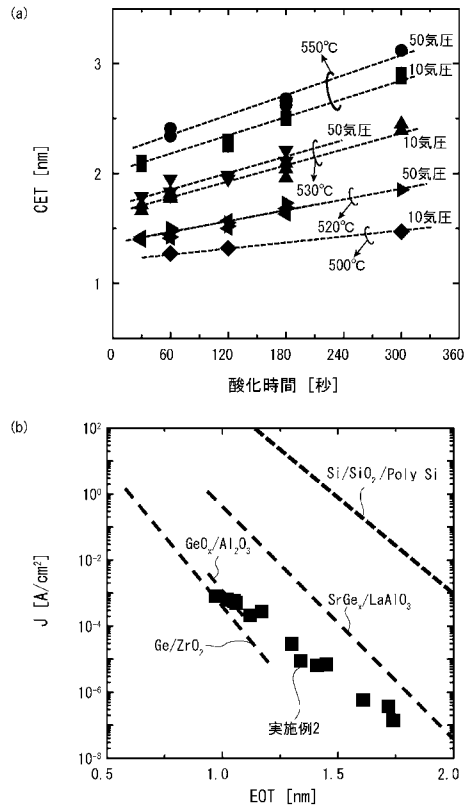
【 図 9 】



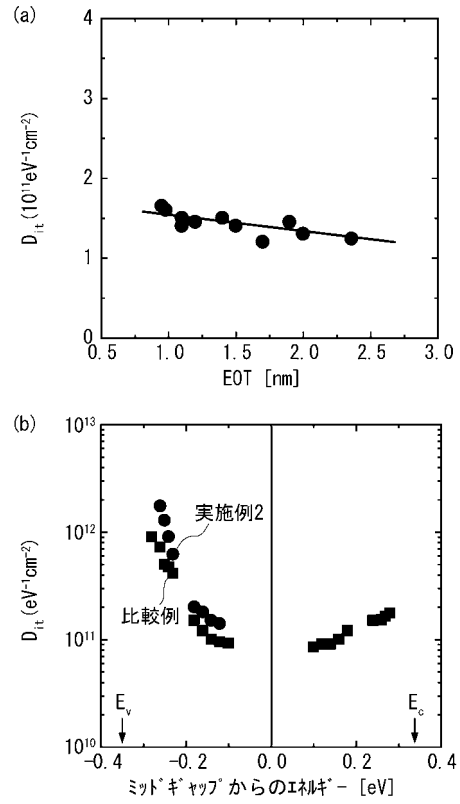
【 図 10 】



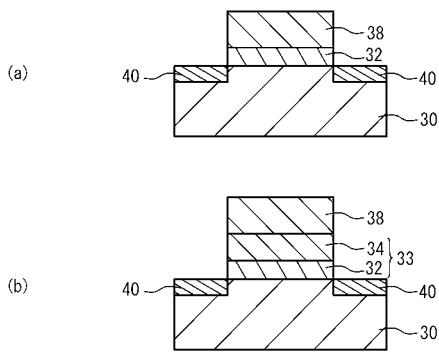
【図 1 1】



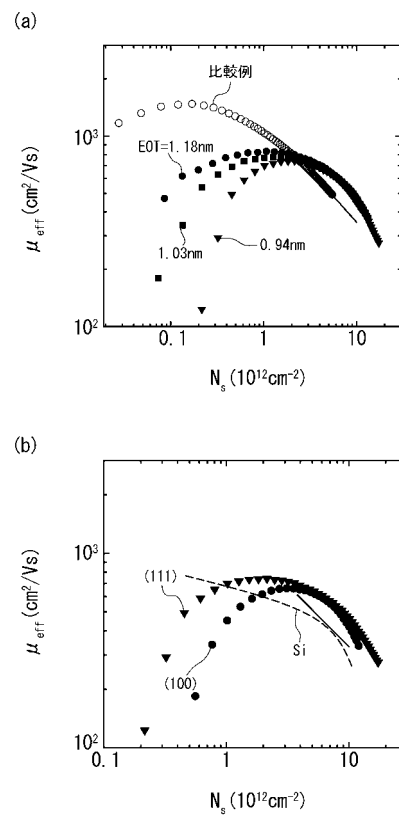
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

- (56)参考文献 Zhang, R. et al. , "1-nm-thick EOT high mobility Ge n- and p-MOSFETs with ultrathin GeO₂/Ge MOS interfaces fabricated by plasma post oxidation" , Technical Digest - International Electron Devices Meeting, IEDM , 2011年12月 , pp. 28.3.1-28.3.4
- Nishimura, T. , et al. , "High-electron-mobility Ge n-channel metal-oxide-semiconductor field-effect transistors with high-pr , Applied Physics Express , 2011年 6月 2日 , Vol. 4, No. 6 , pp. 064201-1~064201-3
- Jagadeesh Chandra, S. V. , et al. , "Effective metal work function of Pt gate electrode in Ge metal oxide semiconductor device" , Journal of the Electrochemical Society , 2010年 4月 6日 , Vol. 157, No. 5 , pp. H546-H550
- Lee, C. H. , et al. , "Ge/GeO₂ interface control with high-pressure oxidation for improving electrical characteristics" , Applied Physics Express [online] , 2009年 7月 10日 , Vol. 2, No. 7 , pp. 071404-1~071404-3
- Zhang, R. et al. , "High mobility Ge pMOSFETs with 0.7 nm ultrathin EOT using HfO₂/Al₂O₃/GeO₂/Ge gate stacks fabric , Digest of Technical Papers - Symposium on VLSI Technology , 2012年 6月 , pp. 161-162
- Yusuke Oniki, et al. , "Water-Related Hole Traps at Thermally Grown GeO₂.Ge Interface" , Japanese Journal of Applied Physics , 2012年 4月 20日 , Vol. 51, No. 4S , pp. 04DA01-1~04DA01-4

(58)調査した分野(Int.Cl. , DB名)

H01L 21/312 - 21/32
H01L 21/336
H01L 29/78