

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-22240

(P2017-22240A)

(43) 公開日 平成29年1月26日(2017.1.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 T	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	
HO 1 L 51/05 (2006.01)	HO 1 L 29/78 6 1 8 A	
HO 1 L 51/30 (2006.01)	HO 1 L 29/28 1 0 0 A	
	HO 1 L 29/28 2 5 0 E	

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願2015-138068 (P2015-138068)
 (22) 出願日 平成27年7月9日 (2015.7.9)

(71) 出願人 504160781
 国立大学法人金沢大学
 石川県金沢市角間町ヌ7番地
 (74) 代理人 100114074
 弁理士 大谷 嘉一
 (72) 発明者 川江 健
 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
 (72) 発明者 徳田 規夫
 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
 (72) 発明者 古市 浩幹
 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内

最終頁に続く

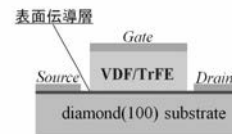
(54) 【発明の名称】 水素終端ダイヤモンドを用いた電界効果トランジスタ

(57) 【要約】 (修正有)

【課題】 高い表面キャリア密度を有する水素終端表面からなるダイヤモンドを用いた電界効果トランジスタを提供をする。

【解決手段】 水素終端ダイヤモンドの表面伝導層からなるチャンネルに、強誘電体からなるゲート絶縁膜を組み合わせる。また、強誘電体は、水素終端ダイヤモンド表面に300 以下の低温で薄膜形成され、フッ化ビニリデンと三フッ化エチレンとの共重合体薄膜である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

水素終端ダイヤモンドの表面伝導層からなるチャンネルに、強誘電体からなるゲートを組み合わせたことを特徴とする電界効果トランジスタ。

【請求項 2】

前記強誘電体は前記水素終端ダイヤモンド表面に 300 以下の低温で薄膜形成されたものであることを特徴とする請求項 1 記載の電界効果トランジスタ。

【請求項 3】

前記水素終端ダイヤモンドの表面伝導層上にソース及びドレイン電極を形成し、前記ソース電極とドレイン電極との間であって前記水素終端ダイヤモンドの表面伝導層上に強誘電体の薄膜を積層し、前記強誘電体の薄膜にゲート電極を形成したことを特徴とする請求項 1 又は 2 記載の電界効果トランジスタ。

10

【請求項 4】

前記強誘電体はフッ化ビニリデンと三フッ化エチレンとの共重合体薄膜であることを特徴とする請求項 1 ~ 3 のいずれかに記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表面が水素終端となっているダイヤモンドの表面伝導層をチャンネルとした電界効果トランジスタに関する。

20

【背景技術】

【0002】

本出願人は、先に二硫化モリブデンをチャンネルとし、ゲートに有機強誘電体を用いた電界効果トランジスタを提案している（非特許文献 1）。

これに対して本発明は、水素終端ダイヤモンドの表面伝導層をチャンネルとした電界効果トランジスタである。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】「強誘電性ポリマー VDF / TrFE を用いた MoS₂ - FET 構造の作製」, 平成 26 年度応用物理学会 北陸支部 学術講演会 講演予稿集, P 20 .

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、高い表面キャリア密度を有する水素終端表面からなるダイヤモンドを用いた電界効果トランジスタの提供を目的とする。

【課題を解決するための手段】

【0005】

本発明に係る電界効果トランジスタは、水素終端ダイヤモンドの表面伝導層からなるチャンネルに、強誘電体からなるゲートを組み合わせたことを特徴とする。

40

【0006】

表面が水素終端からなるダイヤモンドの表面には、低抵抗の p 型表面伝導層を有する。この表面伝導層は、高い表面キャリア密度 ($> 10^{13} \text{ cm}^{-2}$) , 低い表面準位密度 ($> 10^{11} \text{ cm}^{-2}$) を有するとともに、その層の厚みは約 10 nm 以下と電流制御に有利な浅いキャリア分布となっている点に特徴がある。

このような表面が水素終端表面になっているダイヤモンドは、マイクロプラズマ CVD 法等を用いてエピタキシャル成長させることで得られる。

また、ダイヤモンド表面を水素中でアニール処理することでも得られる。

【0007】

50

ここで、強誘電体は前記水素終端ダイヤモンド表面に300以下の低温で薄膜形成されたものであることが好ましい。

ダイヤモンドの水素終端表面は300を越えると、一部が酸素終端表面に変化する恐れがあるからである。

【0008】

本発明に係る電界効果トランジスタの具体的な形態例としては、水素終端ダイヤモンドの表面伝導層上にソース及びドレイン電極を形成し、前記ソース電極とドレイン電極との間であって前記水素終端ダイヤモンドの表面伝導層上に強誘電体の薄膜を積層し、前記強誘電体の薄膜にゲート電極を形成した例が挙げられる。

【0009】

本発明において強誘電体は、ダイヤモンドの水素終端表面にこの水素終端構造を破壊することなく積層できるものであれば特に限定はないが、約100～150の低温で積層できる点でフッ素系の有機薄膜が好ましく、例えばフッ化ビニリデン(VDF)と、三フッ化エチレン(TrFE)との共重合体薄膜が例として挙げられる。

また、本発明において強誘電体とは、外部に電場がなくても電気双極子が整列しており、且つ、双極子の方向が電場によって変化できる物質をいう。

【発明の効果】

【0010】

本発明に係る電界効果トランジスタは、水素終端ダイヤモンドの表面伝導層をチャネルとし、ゲートに強誘電体を用いたことにより、この強誘電体の強い分極により効率的にキャリアを誘起することができ、自発分極によるノーマリーオフ動作の実現が期待される。

【図面の簡単な説明】

【0011】

【図1】本発明に係る電界効果トランジスタ(FET)の構造例を模式的に示す。

【図2】評価に用いたFETの表面写真を示す。

【図3】強誘電体薄膜(VDF/TrFE)のAFM像を示す。

【図4】評価品の $I_{DS} - V_{DS}$ (DCバイアス)特性を示す。

【図5】評価品のP-V特性を示す。

【図6】直流バイアスによる電気特性測定回路を模式的に示す。

【図7】直流バイアスにおける $I_{DS} - V_{DS}$ 特性を示す。

【図8】直流バイアスにおける $I_{DS} - V_G$ 特性を示す。

【図9】残留分極(自発分極)による電気特性測定回路を模式的に示す。

【図10】自発分極における $I_{DS} - V'_{DS}$ 特性を示す。

【図11】自発分極における $I_{DS} - V'_G$ 特性を示す。

【発明を実施するための形態】

【0012】

本発明に係る電界効果トランジスタ(FET)の構造例を図1に模式的に示す。

水素終端表面構造からなる表面伝導層有するダイヤモンド基板を用いて、この表面伝導層の上にソース(Source)電極とドレイン(Drain)電極とを形成してある。

ソース電極とドレイン電極との間であって、この表面伝導層の上にゲートとなるように強誘電体、例えばVDF/TrFEの薄膜を形成し、この薄膜の上にゲート(Gate)電極を形成してある。

【0013】

このような構造のFETを試作し評価したので、以下説明する。

マイクロ波プラズマCVD法を用いて、人工ダイヤモンドをエピタキシャル成長させて製作したダイヤモンド基板の表面を必要に応じて洗浄し、次にこの表面にフォトリソグラフィ法により、白金又は金等からなるソース電極とドレイン電極を形成した。

次に必要に応じてマスク処理し、ゲート絶縁膜として75/25mol%のVDF/TrFEコポリマーをスピンコート法により塗布し、その後110～120にて乾燥させた。

10

20

30

40

50

形成されたVDF/TrFEの薄膜の膜厚は、約130nmであった。

次にフォトリソグラフィ法により、VDF/TrFE薄膜の上に白金又は金等からなるゲート電極を形成した。

そのパターン表面写真を図2に示す。

また、VDF/TrFE薄膜のAFM(原子間力顕微鏡)像を図3に示す。

これにより、VDF/TrFE薄膜にホール等の欠陥が無いことを確認した。

このようにして得られた評価品の直流バイアスによる $I_{DS} - V_{DS}$ 特性を示すグラフを図4に示した。

観測された $I_{DS} - V_{DS}$ 特性の近似直線の傾きからシート抵抗値を求めた。

このことから、チャンネルとして水素終端表面伝導層が形成されているのを確認できた。

10

次に測定周波数1HzにおけるP-V特性を図5のグラフに示す。

これにより、強誘電性ヒステリシスを確認することができた。

【0014】

次に図6に示すような測定回路を用いて、ゲートに直流バイアス V_{GS} を印加したまま、 I_{DS} を測定した結果を図7及び図8に示す。

図7は、 $I_{DS} - V_{DS}$ 特性であり、電流On/Off比は 10^7 倍以上を示した。

図8は、 $I_{DS} - V_G$ 特性であり、ゲートが強誘電体として機能しているのが分かる。

【0015】

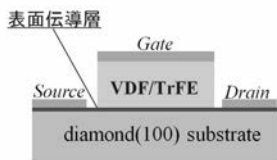
次に、図9に示すような測定回路を用いて、ゲートに所定のパルス電圧を5sec間印可し、VDF/TrFEの薄膜を分極させた後にゲート端子を開放してから I_{DS} を測定した。

20

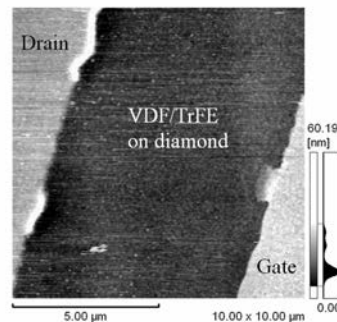
その残留分極(自発分極)による $I_{DS} - V'_{DS}$ 特性の測定結果を図10に、 $I_{DS} - V'_G$ 特性を図11に示す。

このことから、本発明に係るFETは自発分極によりゲート電圧ゼロ状態でチャンネル電流に変調を与えることが可能であり、ノーマリーオフ動作の実現も可能と思われる。

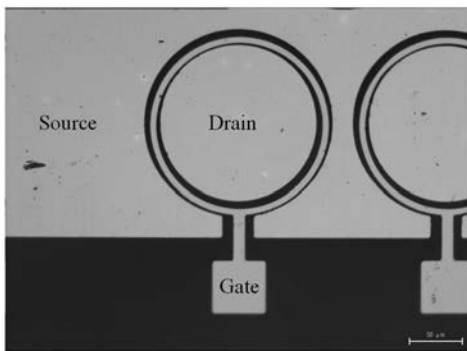
【図1】



【図3】

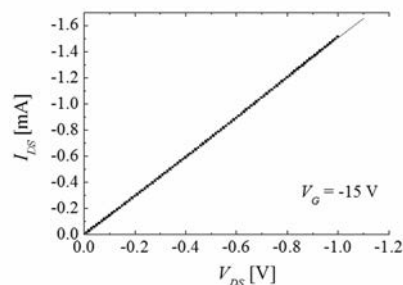


【図2】



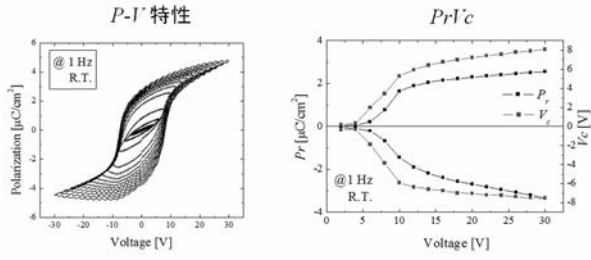
【図4】

$I_{DS} - V_{DS}$ 特性 (DCバイアス)

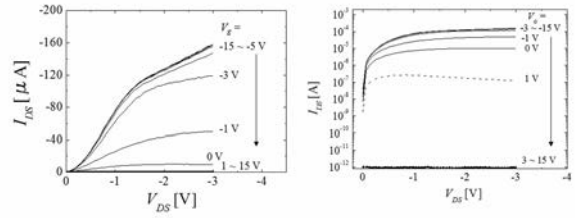


➡ (低温プロセスにより)ほぼ理想的なH終端状態を維持できた

【 図 5 】

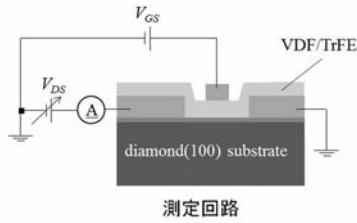


【 図 7 】

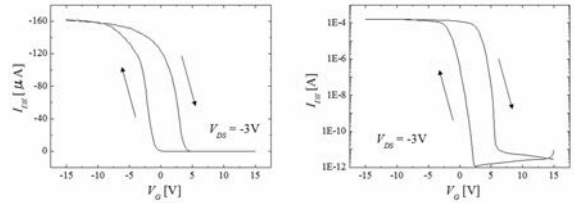


電流On/Off比 > 10⁷倍

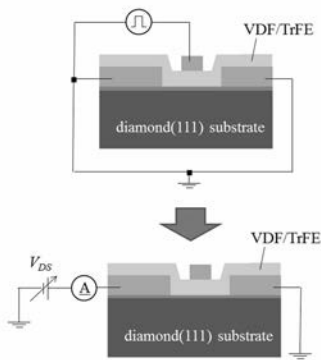
【 図 6 】



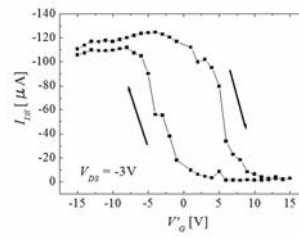
【 図 8 】



【 図 9 】

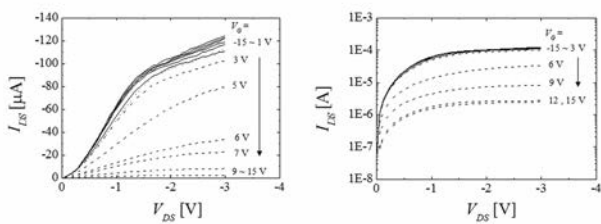


【 図 1 1 】



【 図 1 0 】

$I_{DS} - V_{DS}$ 特性 (自発分極)



On/Off比 40倍

➔ 自発分極により、ゲート電圧ゼロ状態でチャンネル電流の変調に成功

フロントページの続き

特許法第30条第2項適用申請有り 1. ウェブサイトの掲載日:平成27年5月7日 2. ウェブサイトのアドレス: <http://em-nano2015.eng.niigata-u.ac.jp/index.html> <http://em-nano2015.eng.niigata-u.ac.jp/PosterProgram.pdf> 3. 開催日:平成27年6月16~19日 4. 開催名:EM-NANO 2015 The 5th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies 5. 開催場所:TOKI MESSE Niigata Convention Center Niigata, Japan

(72)発明者 柄谷 涼太
石川県金沢市角間町又7番地 国立大学法人金沢大学内

(72)発明者 中嶋 宇史
東京都葛飾区新宿6-3-1 学校法人東京理科大学内

Fターム(参考) 5F110 AA08 CC01 FF01 FF27 GG01 GG17 GG45 GG58 HK02 HM04
HM12