

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-213531

(P2016-213531A)

(43) 公開日 平成28年12月15日(2016.12.15)

(51) Int.Cl.	F I	テーマコード(参考)
<b>H03M 1/36 (2006.01)</b>	H03M 1/36	5J022
<b>H03M 1/14 (2006.01)</b>	H03M 1/14	B

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 (22) 出願日	特願2015-92377 (P2015-92377) 平成27年4月28日 (2015.4.28)	(71) 出願人 504160781 国立大学法人金沢大学 石川県金沢市角間町ヌ7番地
特許法第30条第2項適用申請有り (発行所) 一般社団法人 電子情報通信学会、(刊行物名) 電子情報通信学会2015年総合大会講演論文集 C-12-34頁、(発行日) 平成27年2月24日、において発表 「電子情報通信学会2015年総合大会」において、平成27年3月13日に発表 掲載ウェブサイトのアドレス (https://www.gakkai-web.net/gakkai/ieice/icd/ab/1_10.html) の「LSIとシステムのワークショップ2015」において、平成27年4月16日に発表	(74) 代理人 100109210 弁理士 新居 広守	(72) 発明者 北川 章夫 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
	(72) 発明者 今村 竜 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内	(72) 発明者 藪見 啓輔 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
	Fターム(参考) 5J022 AA06 AA16 CA01 CB01 CB06 CD04 CF01	

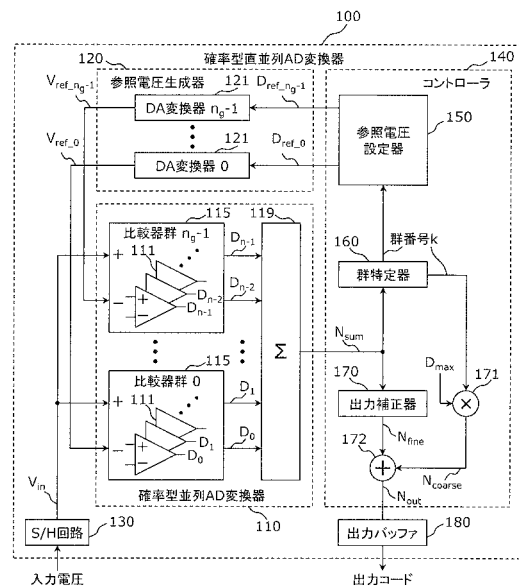
(54) 【発明の名称】 AD変換器およびAD変換方法

(57) 【要約】

【課題】広い変換範囲を有しかつ自動化設計技術の適用性が高いAD変換器を提供する。

【解決手段】入力電圧を出力コードに変換するAD変換器であって、複数の比較器群115に分けられ、前記入力電圧と比較器群115ごとの参照電圧とを比較する比較器111と、同一の比較結果を示す比較器111の個数を出力する加算器119と、比較器群115ごとの前記参照電圧を生成する参照電圧生成器120と、コントローラ140と、を備え、コントローラ140の制御下で、比較器群115ごとに異なる参照電圧を生成し、前記入力電圧と比較器群115ごとに異なる前記参照電圧とを比較したときの加算器119の出力に応じて新たな参照電圧を決定し、全ての比較器群115で同一の前記新たな参照電圧を生成し、前記入力電圧と前記新たな参照電圧とを比較したときの加算器119の出力に応じて前記出力コードを生成する。

【選択図】図4



## 【特許請求の範囲】

## 【請求項 1】

入力電圧を出力コードに変換する A D 変換器であって、  
 複数の比較器群に分けられ、前記入力電圧と前記比較器群ごとの参照電圧とを比較する  
 複数の比較器と、  
 前記複数の比較器の中で同一の比較結果を示す比較器の個数を出力する加算器と、  
 前記比較器群ごとの前記参照電圧を生成する参照電圧生成器と、  
 コントローラと、を備え、  
 前記コントローラは、  
 前記参照電圧生成器を用いて前記比較器群ごとに異なる参照電圧を生成し、  
 前記複数の比較器で前記入力電圧と前記比較器群ごとに異なる前記参照電圧とを比較し  
 たときに前記加算器が出力する第 1 出力値に応じて、新たな参照電圧を決定し、  
 前記参照電圧生成器を再び用いて全ての前記比較器群で前記新たな参照電圧を生成し、  
 前記複数の比較器で前記入力電圧と前記新たな前記参照電圧とを比較したときに前記加  
 算器が出力する第 2 出力値に応じて、前記出力コードを生成する、  
 A D 変換器。

10

## 【請求項 2】

前記コントローラは、前記入力電圧に想定される変換範囲を前記比較器のオフセットの  
 標準偏差の 2 倍の大きさごとに区切った各電圧区間の中央の電圧を、前記比較器群ごとに  
 異なる参照電圧として生成する、  
 請求項 1 に記載の A D 変換器。

20

## 【請求項 3】

前記複数の比較器の各々は、  
 第 1 インバータと、  
 第 2 インバータと、  
 入力端と出力端とが前記第 1 インバータの出力端に接続された第 3 インバータと、  
 入力端と出力端とが前記第 2 インバータの出力端に接続された第 4 インバータと、  
 入力端が前記第 2 インバータの出力端に接続されかつ出力端が前記第 1 インバータの出  
 力端に接続された第 5 インバータと、  
 入力端が前記第 1 インバータの出力端に接続されかつ出力端が前記第 2 インバータの出  
 力端に接続された第 6 インバータと、  
 入力端が前記第 1 インバータの出力端に接続された第 7 インバータと、  
 入力端が前記第 2 インバータの出力端に接続された第 8 インバータと、で構成される、  
 請求項 1 に記載の A D 変換器。

30

## 【請求項 4】

複数の比較器群に分けられ、入力電圧と前記比較器群ごとの参照電圧とを比較する複数  
 の比較器と、前記複数の比較器の中で同一の比較結果を示す比較器の個数を出力する加算  
 器と、前記比較器群ごとの前記参照電圧を生成する参照電圧生成器と、を用いて、前記入  
 力電圧を出力コードに変換する A D 変換方法であって、  
 前記参照電圧生成器を用いて前記比較器群ごとに異なる参照電圧を生成し、  
 前記複数の比較器で前記入力電圧と前記比較器群ごとに異なる前記参照電圧とを比較し  
 たときに前記加算器が出力する第 1 出力値に応じて、新たな参照電圧を決定し、  
 前記参照電圧生成器を再び用いて全ての前記比較器群で前記新たな参照電圧を生成し、  
 前記複数の比較器で前記入力電圧と前記新たな前記参照電圧とを比較したときに前記加  
 算器が出力する第 2 出力値に応じて、前記出力コードを生成する、  
 A D 変換方法。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、A D ( A n a l o g t o D i g i t a l ) 変換器および A D 変換方法に

50

関し、特に、確率的直並列型 A D 変換に関する。

【背景技術】

【0002】

従来、確率的並列型 A D 変換器が提案されている。確率的並列型 A D 変換器は、複数の比較器と加算器とからなる。前記複数の比較器の各々は、同じ入力電圧と同じ参照電圧とを比較し、前記加算器は、前記参照電圧よりも前記入力電圧が高い（または低い）と判定した比較器の個数を出力する。

【0003】

比較器は、本来的に、デバイス特性のばらつきによる固有のオフセットを有している。そのため、前記入力電圧が前記参照電圧の近傍にあるとき、前記複数の比較器の中には、入力電圧が参照電圧よりも高いと判定する比較器と、入力電圧が参照電圧よりも低いと判定する比較器とが混在する。入力電圧が参照電圧よりも高い（または低い）と判定する比較器の個数と前記の前記参照電圧からの差分値とは、前記比較器のオフセットの統計的な分布に従って対応付けられる。

10

【0004】

確率的並列型 A D 変換器は、このような考え方に基づいて、前記加算器から出力される前記比較器の個数を、前記入力電圧を表す出力コードとして出力する。

【0005】

通常の（確率的でない）並列型 A D 変換器では、比較器を実質的にアナログ回路として用いるため、比較器のオフセットのばらつきに埋もれてしまうほど微小な入力電圧の差異を弁別することはできない。また、通常の並列型 A D 変換器では、半導体装置の製造プロセスの微細化が進むにつれて、デバイス特性のばらつきの低減が困難になり、所望の精度を有する比較器を設計するために熟練した設計ノウハウが必要になる。

20

【0006】

これに対し、確率的並列型 A D 変換器では、比較器のオフセットのばらつきを利用して入力電圧を出力コードに変換することにより、通常の並列型 A D 変換器の機能をデジタル回路としての比較器と統計処理とで実装している。そのため、確率的並列型 A D 変換器では、より小さい入力電圧の差異を弁別できる高い分解能が得られる。また、論理合成や自動配置配線などの自動化設計技術の適用性があり、高度に微細化されたプロセスでの製造が容易である。

30

【0007】

確率的並列型 A D 変換器の応用例が、例えば、特許文献 1 および特許文献 2 に開示されている。

【0008】

特許文献 1 に開示される確率的 A D 変換器は、第 1 変換ステージと、第 2 変換ステージとを備える。前記第 1 変換ステージは、逐次比較型またはパイプライン型の A D 変換器と減算器とで構成され、入力電圧を大まかな出力コード（つまり上位ビット）に変換するとともに、変換誤差を表す残差電圧を生成する。前記第 2 ステージは、確率的並列型 A D 変換器で構成され、前記残差電圧を詳細な出力コード（つまり下位ビット）に変換する。前記入力電圧を表す出力コードは、前記上位ビットと下位ビットとを組み合わせることにより得られる。

40

【0009】

前記確率的 A D 変換器によれば、逐次比較型またはパイプライン型の A D 変換器だけでは得られない高い分解能を、確率的並列型 A D 変換器を用いて得ることができる。

【0010】

特許文献 2 に開示される A D 変換器は、確率的並列型 A D 変換器をループ内の量子化器として用いて構成される。

【0011】

前記 A D 変換器によれば、従来の（確率的でない）A D 変換器をループ内の量子化器として用いた場合には得られない高い分解能を、確率的並列型 A D 変換器を用いて得る

50

ことができる。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2013-21687号公報

【特許文献1】特開2014-220647号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

ところで、確率的並列型AD変換器が単体で変換可能な入力電圧の範囲（以下、変換範囲とも言う）は、その動作原理から、比較的狭い。より広い変換範囲を得るために、例えば、特許文献1や特許文献2に開示される構成を採用することは有効である。

10

【0014】

しかしながら、特許文献1のAD変換器には、2個の変換ステージに異なる型のAD変換器を設けるため、単純に回路規模が大きくなる不利がある。また、特許文献2のAD変換器では、AD変換器に必須のローパスフィルタが論理合成できないことから、自動化設計技術の適用性が低いという不利がある。

【0015】

そこで、本開示は、確率的並列型AD変換器を用いて構成され、広い変換範囲を有し、かつ自動化設計技術の適用性が高いAD変換器を提供することを目的とする。

20

【課題を解決するための手段】

【0016】

上記目的を達成するために、開示される一態様に係るAD変換器は、入力電圧を出力コードに変換するAD変換器であって、複数の比較器群に分けられ、前記入力電圧と前記比較器群ごとの参照電圧とを比較する複数の比較器と、前記複数の比較器の中で同一の比較結果を示す比較器の個数を出力する加算器と、前記比較器群ごとの前記参照電圧を生成する参照電圧生成器と、コントローラと、を備え、前記コントローラは、前記参照電圧生成器を用いて前記比較器群ごとに異なる参照電圧を生成し、前記複数の比較器で前記入力電圧と前記比較器群ごとに異なる前記参照電圧とを比較したときに前記加算器が出力する第1出力値に応じて、新たな参照電圧を決定し、前記参照電圧生成器を再び用いて全ての前記比較器群で前記新たな参照電圧を生成し、前記複数の比較器で前記入力電圧と前記新たな前記参照電圧とを比較したときに前記加算器が出力する第2出力値に応じて、前記出力コードを生成する。

30

【0017】

この構成によれば、まず、比較器群ごとに異なる参照電圧を用いて粗変換が行われ、その後、すべての比較器群に同じ参照電圧を用いて密変換が行われる。粗変換では、比較器群ごとに異なる参照電圧を用いて広い変換範囲の中から前記入力電圧が大まかに特定され、密変換では前記確率的並列型AD変換器の本来の分解能で前記入力電圧が前記出力コードに変換される。その結果、一般的な確率的並列型AD変換器の変換範囲より広い変換範囲に含まれる入力電圧が、前記確率的並列型AD変換器の本来の分解能で出力コードに変換される。

40

【0018】

ここで、前記確率的並列型AD変換器が、前記粗変換および前記密変換のいずれにも用いられるので、回路規模の増大が抑えられる。また、例えば、前記参照電圧生成器を型DA変換器で構成する場合に必要なローパスフィルタとサンプルホールド回路とを除けば、他のすべての構成要素が論理合成可能であり、自動化設計技術の適用性が高い。

【0019】

また、前記コントローラは、前記入力電圧に想定される変換範囲を前記比較器のオフセットの標準偏差の2倍の大きさごとに区切った各電圧区間の中央の電圧を、前記比較器群ごとに異なる参照電圧として生成してもよい。

50

## 【0020】

この構成によれば、比較器群ごとの参照電圧を前記比較器のオフセットの標準偏差の2倍ずつずらすことにより、比較器の全体として、前記変換範囲の全域にわたってほぼ一定に分布する確率密度が形成される。その結果、粗変換における変換範囲の全域で良好な線形性を有する累積分布が得られる。

## 【0021】

また、前記複数の比較器の各々は、第1インバータと、第2インバータと、入力端と出力端とが前記第1インバータの出力端に接続された第3インバータと、入力端と出力端とが前記第2インバータの出力端に接続された第4インバータと、入力端が前記第2インバータの出力端に接続されかつ出力端が前記第1インバータの出力端に接続された第5インバータと、入力端が前記第1インバータの出力端に接続されかつ出力端が前記第2インバータの出力端に接続された第6インバータと、入力端が前記第1インバータの出力端に接続された第7インバータと、入力端が前記第2インバータの出力端に接続された第8インバータと、で構成されてもよい。

10

## 【0022】

この構成によれば、前記比較器を8個のインバータで構成できる。この回路規模は、一般的な比較器の回路規模と比べて小さい。そのため、前記比較器を用いることで、半導体装置における比較器の実装密度を向上し実装面積を縮小することができる。また、前記比較器は、インバータのみで構成されるので、自動化設計技術の適用性が高い。

## 【0023】

また、開示される一態様に係るAD変換方法は、複数の比較器群に分けられ、入力電圧と前記比較器群ごとの参照電圧とを比較する複数の比較器と、前記複数の比較器の中で同一の比較結果を示す比較器の個数を出力する加算器と、前記比較器群ごとの前記参照電圧を生成する参照電圧生成器と、を用いて、前記入力電圧を出力コードに変換するAD変換方法であって、前記参照電圧生成器を用いて前記比較器群ごとに異なる参照電圧を生成し、前記複数の比較器で前記入力電圧と前記比較器群ごとに異なる前記参照電圧とを比較したときに前記加算器が出力する第1出力値に応じて、新たな参照電圧を決定し、前記参照電圧生成器を再び用いて全ての前記比較器群で前記新たな参照電圧を生成し、前記複数の比較器で前記入力電圧と前記新たな前記参照電圧とを比較したときに前記加算器が出力する第2出力値に応じて、前記出力コードを生成する。

20

30

## 【0024】

この構成によれば、前述のAD変換器を用いて、まず、比較器群ごとに異なる参照電圧を用いて粗変換が行われ、その後、すべての比較器群に同じ参照電圧を用いて密変換が行われる。粗変換では、比較器群ごとに異なる参照電圧を用いて広い変換範囲の中から前記入力電圧が大まかに特定され、密変換では前記確率的並列型AD変換器の本来の分解能で前記入力電圧が前記出力コードに変換される。その結果、一般的な確率的並列型AD変換器の変換範囲より広い変換範囲に含まれる入力電圧が、前記確率的並列型AD変換器の本来の分解能で出力コードに変換される。

## 【0025】

なお、これらの全般的または具体的な態様は、システム、方法、集積回路、またはコンピュータプログラムまたはコンピュータ読み取り可能なCD-ROMなどの記録媒体で実現されてもよく、システム、方法、集積回路、およびコンピュータプログラムおよび記録媒体の任意な組み合わせで実現されてもよい。

40

## 【発明の効果】

## 【0026】

開示される確率的直並列型AD変換器によれば、確率的並列型AD変換器を用いて構成され、広い変換範囲を有し、かつ自動化設計技術の適用性が高いAD変換器が得られる。

## 【図面の簡単な説明】

## 【0027】

【図1】一般的な確率的並列型AD変換器の構成の一例を示すブロック図である。

50

【図 2】一般的な比較器のオフセットの確率密度の一例を示すグラフである。

【図 3】一般的な比較器のオフセットの累積分布の一例を示すグラフである。

【図 4】実施の形態に係る確率的直並列型 A D 変換器の構成の一例を示すブロック図である。

【図 5】実施の形態に係る比較器の構成の一例を示す回路図である。

【図 6】実施の形態に係る確率的直並列型 A D 変換器の動作の一例を示すフローチャートである。

【図 7】実施の形態に係る確率的直並列型 A D 変換器の粗変換に關与する部分を示すブロック図である。

【図 8】実施の形態に係る確率的直並列型 A D 変換器において比較器が応答する入力電圧の確率密度の一例を示すグラフである。

10

【図 9】実施の形態に係る確率的直並列型 A D 変換器において比較器が応答する入力電圧の累積分布の一例を示すグラフである。

【図 10】実施の形態に係る確率的直並列型 A D 変換器において群判定器の動作の一例を説明するための概念図である。

【図 11】実施の形態に係る確率的直並列型 A D 変換器の密変換に關与する部分を示すブロック図である。

【図 12】実施の形態に係る確率的直並列型 A D 変換器において比較器が応答する入力電圧の累積分布の一例を示すグラフである。

【図 13】実施の形態に係る確率的直並列型 A D 変換器における詳細コードの一例を示すグラフである。

20

【図 14】実施の形態に係る確率的直並列型 A D 変換器の入出力特性の一例を示すグラフである。

【図 15】実施の形態に係る確率的直並列型 A D 変換器の微分非直線性誤差および積分非直線性誤差の一例を示すグラフである。

【発明を実施するための形態】

【0028】

( 確率的並列型 A D 変換器 )

本開示の実施の形態に係る確率的直並列型 A D 変換器を説明する準備として、まず、確率的並列型 A D 変換器に関する基本的な事項を説明する。

30

【0029】

図 1 は、基本的な確率的並列型 A D 変換器の構成の一例を示すブロック図である。図 1 に示されるように、確率的並列型 A D 変換器 10 は、複数の比較器 11 と加算器 19 とを備える。

【0030】

複数の比較器 11 は、各々が独立して、入力電圧  $V_{in}$  と参照電圧  $V_{ref}$  との比較結果を出力する。加算器 119 は、入力電圧  $V_{in} > 参照電圧 V_{ref}$  なる比較結果を出力した比較器の個数  $N_{sum}$  を出力する。以下では、簡明のため、比較器が入力電圧  $V_{in} > 参照電圧 V_{ref}$  なる比較結果を出力することを入力電圧に「応答する」といい、加算器 119 の出力値  $N_{sum}$  を「応答比較器数」ということがある。

40

【0031】

各々の比較器 11 は、本来的に、デバイス特性のばらつきによる固有のオフセットを有しているので、1 個の比較器 11 は、実際には、入力電圧  $V_{in}$  と ( 参照電圧  $V_{ref} + 固有のオフセット$  ) との比較結果を出力する。そのため、入力電圧  $V_{in}$  が参照電圧  $V_{ref}$  の近傍にあるとき、入力電圧  $V_{in} > ( 参照電圧 V_{ref} + 固有のオフセット )$  なる比較結果を出力する比較器 11 と、入力電圧  $V_{in}$  ( 参照電圧  $V_{ref} + 固有のオフセット$  ) なる比較結果を出力する比較器 11 とが混在する。

【0032】

図 2 は、比較器 11 のオフセットの確率密度の一例を示すグラフである。独立した複数の比較器のオフセットは、ガウス分布 ( 正規分布 ) に従うことが分かっている。図 2 のグ

50

ラフは、比較器 11 のオフセットの分布を、標準偏差  $\sigma$ 、平均 0 なるガウス関数で表している。オフセットの標準偏差  $\sigma$  は、製造プロセスによって異なるが、一例として数十 mV 程度である。

【0033】

図 3 は、比較器 11 のオフセットの累積分布の一例を示すグラフである。図 3 のグラフは、図 2 の確率密度の累積分布を示している。図 3 のグラフにおいて、横軸を入力電圧  $V_{in}$  の参照電圧  $V_{ref}$  からの差分と考えると、縦軸は入力電圧  $V_{in} > 参照電圧 V_{ref}$  なる比較結果を出力する比較器の割合（つまり、比較器 11 の総数に対する応答比較器数  $N_{sum}$  の割合）に対応する。そのため、応答比較器数  $N_{sum}$  は、比較器 11 のオフセットの累積分布に基づいて、入力電圧  $V_{in}$  の参照電圧  $V_{ref}$  からの差分を表す。

10

【0034】

このような考え方にに基づき、確率的並列型 AD 変換器 10 は、入力電圧  $V_{in}$  を表す出力コードとして、応答比較器数  $N_{sum}$  を出力する。

【0035】

以上が、確率的並列型 AD 変換器の基本的な構成と動作原理である。

【0036】

なお、加算器 19 は、応答比較器数  $N_{sum}$  として、入力電圧  $V_{in}$  参照電圧  $V_{ref}$  なる比較結果を出力した比較器 11 の個数を出力してもよい。その場合でも、入力電圧  $V_{in}$  と参照電圧  $V_{ref}$  とを入れ替えるか、または加算器 19 の出力値を比較器 11 の総数から減じることで、入力電圧  $V_{in} > 参照電圧 V_{ref}$  なる比較結果を出力した比較器 11 の個数と等しい個数を得ることができる。すなわち、加算器 19 は、複数の比較器 11 の中で同一の比較結果を示す比較器 11 の個数を出力すればよい。

20

【0037】

発明が解決しようとする課題の欄で述べたように、確率的並列型 AD 変換器の単体での変換範囲は比較的狭く、例えば、比較器のオフセットの標準偏差の 2 倍程度である。また、より広い変換範囲を得るために従来技術を用いた場合の問題点も前述のとおりである。

【0038】

そこで、本発明者らは、確率的並列型 AD 変換器を用いて構成され、広い変換範囲を有し、かつ自動化設計技術の適用性が高い AD 変換器を鋭意検討した結果、以下に開示される確率的直並列型 AD 変換器に到達した。

30

【0039】

以下、実施の形態に係る確率的直並列型 AD 変換器について、図面を参照しながら具体的に説明する。

【0040】

なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0041】

（実施の形態）

実施の形態に係る確率的直並列型 AD 変換器は、確率的並列型 AD 変換器を用いて構成される。前記確率的直並列型 AD 変換器は、広い変換範囲が得られる粗変換および前記確率的並列型 AD 変換器の本来の分解能が得られる密変換の 2 段階の変換を行うことにより、入力電圧を出力コードに変換する。

40

【0042】

図 4 は、実施の形態に係る確率的直並列型 AD 変換器の機能的な構成の一例を示すブロック図である。図 4 に示されるように、確率的直並列型 AD 変換器 100 は、確率的並列型 AD 変換器 110、参照電圧生成器 120、サンプルホールド回路 130、コントローラ 140、および出力バッファ 180 を備える。確率的並列型 AD 変換器 110 は、 $n$  個

50

の比較器 111 と加算器 119 とを有する。コントローラ 140 は、参照電圧設定器 150、群特定器 160、出力補正器 170、乗算器 171、および加算器 172 を有する。

【0043】

確率的並列型 AD 変換器 110 は、基本的な構成および動作において、図 1 で説明した確率的並列型 AD 変換器 10 と同一である。

【0044】

$n$  個の比較器 111 の各々は、第 1 (非反転) 入力端子と第 2 (反転) 入力端子とを有し、第 1 入力端子に印加される第 1 電圧と第 2 入力端子に印加される第 2 電圧とを比較する。比較器 111 は、前記第 1 電圧が前記第 2 電圧よりも高いときに“H”レベルの比較結果信号を出力し、前記第 1 電圧が前記第 2 電圧以下のときに“L”レベルの比較結果信号を出力する。比較器 111 は、一例として、インバータを用いて構成されてもよい。インバータを用いた比較器 111 の構成について、後ほど詳しく説明する。

10

【0045】

加算器 119 は、“H”レベルの比較結果信号を出力した比較器 111 の個数を、応答比較器数  $N_{sum}$  として出力する。加算器 119 は、一例として、ツリー状に接続された複数のハーフアダーまたはフルアダーで構成されてもよい。

【0046】

$n$  個の比較器 111 は、 $n_g$  個の比較器群 115 に分けられている。比較器群 115 は、粗変換での変換範囲を  $n_g$  個に分割してなる電圧区間に対応する。

【0047】

参照電圧生成器 120 は、比較器群 115 に対応する複数の DA (Digital to Analog) 変換器 121 を有する。DA 変換器 121 の各々は、参照電圧設定器 150 からの指示に従って、粗変換の際には互いに異なった参照電圧を生成し、密変換の際には同一の参照電圧を生成する。

20

【0048】

参照電圧生成器 120 は、DA 変換器 121 で生成した参照電圧を、対応する比較器群 115 に属する比較器 111 の前記第 2 入力端子に印加する。DA 変換器 121 は、一例として、抵抗ストリング型、抵抗ラダー型、または 型などの DA 変換器で構成されてもよい。

【0049】

サンプルホールド回路 130 は、外部回路から入力電圧を受信し、受信した入力電圧を AD 変換が完了するまで保持する。サンプルホールド回路 130 は、保持している入力電圧  $V_{in}$  を、すべての比較器 111 の前記第 1 入力端子に印加する。サンプルホールド回路 130 は、一例として、キャパシタおよびボルテージフォロワを用いて構成されてもよい。なお、サンプルホールド回路 130 は、アプリケーションに依存するため、確率的直並列型 AD 変換器 100 には含めず、別途に設けてもよい。

30

【0050】

コントローラ 140 において、群特定器 160 は、粗変換の際の応答比較器数  $N_{sum}$  から入力電圧  $V_{in}$  が含まれる電圧区間を特定し、特定した電圧区間に対応する比較器群 115 を表す群番号  $k$  を出力する。

40

【0051】

出力補正器 170 は、密変換の際の応答比較器数  $N_{sum}$  に対して線形性の向上と値域の調整とを含む補正を行うことにより、詳細コード  $N_{fine}$  を生成する。

【0052】

乗算器 171 は、群特定器 160 から出力された群番号  $k$  に詳細コード  $N_{fine}$  の値域  $D_{max}$  を乗じることにより、入力電圧  $V_{in}$  が含まれる電圧区間に対応する概略コード  $N_{coarse}$  を生成する。

【0053】

加算器 172 は、出力補正器 170 から出力された詳細コード  $N_{fine}$  と、乗算器 171 から出力された概略コード  $N_{coarse}$  とを加算することにより、出力コード  $N_o$

50



$u_t$  を生成する。

【0054】

コントローラ140は、一例として、専用のハードウェア回路で構成されてもよい。また、汎用のプロセッサとメモリとで構成され、前記プロセッサが前記メモリにあらかじめ記録されているプログラムを実行することで達成されるソフトウェア機能として実装されてもよい。

【0055】

出力バッファ180は、出力コード  $N_{out}$  を外部回路に送信する。

【0056】

次に、インバータを用いた比較器111の詳細な構成について説明する。

10

【0057】

図5は、比較器111の構成の一例を示す回路図である。図5に示されるように、比較器111は、8個のインバータ  $INV1 \sim INV8$  で構成される。図5には、比較器111の動作原理を説明するための負荷抵抗が破線で示されている。

【0058】

インバータ  $INV1$ 、 $INV2$  は、入力バッファとして機能し、インバータ  $INV7$ 、 $INV8$  は、出力バッファとして機能する。インバータ  $INV3 \sim INV6$  は、電流比較器112を構成する。電流比較器112は、入力端子  $P1$ 、 $P2$  にそれぞれ印加される入力電流  $i_{in}$  と参照電流  $i_{ref}$  との差分に応じて、出力端子  $Q1$ 、 $Q2$  にそれぞれ出力電圧  $V_{o+}$ 、 $V_{o-}$  を出力する。

20

【0059】

図5を参照して、電流比較器112の動作を説明する。

【0060】

インバータ  $INV3 \sim INV6$  のコンダクタンスを  $g_m$  とすると、式1および式2の関係が成り立つ。

【0061】

【数1】

$$\begin{cases} i_{in} = g_m v_{o+} + g_m v_{o-} + \frac{v_{o+}}{r_o/2} & \text{(式1)} \\ i_{ref} = g_m v_{o+} + g_m v_{o-} + \frac{v_{o-}}{r_o/2} & \text{(式2)} \end{cases}$$

30

【0062】

式1および式2を整理して、式3及び式4を得る。

【0063】

【数2】

$$\begin{cases} i_{in} = \left( g_m + \frac{1}{r_o/2} \right) v_{o+} + g_m v_{o-} & \text{(式3)} \\ i_{ref} = g_m v_{o+} + \left( g_m + \frac{1}{r_o/2} \right) v_{o-} & \text{(式4)} \end{cases}$$

40

【0064】

式3および式4から、出力電圧  $v_{o-}$ 、 $v_{o+}$  をそれぞれ消去して式5および式6を得

50

る。

【0065】

【数3】

$$\left\{ \begin{array}{l} v_{o+} = \frac{r_o}{4} \cdot \frac{1}{1 + \frac{1}{g_m r_o/2}} \left( \left( 1 + \frac{1}{g_m r_o/2} \right) i_{in} - i_{ref} \right) \end{array} \right. \quad (式5)$$

$$\left\{ \begin{array}{l} v_{o-} = \frac{r_o}{4} \cdot \frac{1}{1 + \frac{1}{g_m r_o/2}} \left( i_{in} - \left( 1 + \frac{1}{g_m r_o/2} \right) i_{ref} \right) \end{array} \right. \quad (式6) \quad 10$$

【0066】

式5および式6から、電流比較器112は、入力電流  $i_{in}$  と参照電流  $i_{ref}$  との差分を差動増幅する電流入力型の比較器として機能することが分かる。

【0067】

比較器111の全体では、図5に示されるように、入力端子IN1、IN2に印加された入力電圧をインバータINV1、INV2で電流に変換し、前記電流をインバータINV3～INV6で構成される電流比較器112で比較し、比較結果をインバータINV7、INV8を介して出力端子OUT1、OUT2に出力する。ここで、入力端子IN1、IN2が、比較器11の第1入力端子、第2入力端子にそれぞれ対応し、出力端子OUT1が比較器11の出力端子に対応する。 20

【0068】

このように、比較器111は、インバータINV1～INV8の8個のインバータのみで構成される。より詳細には、インバータINV3の入力端と出力端とがインバータINV1の出力端に接続される。インバータINV4の入力端と出力端とがインバータINV2の出力端に接続される。インバータINV5の入力端がインバータINV2の出力端に接続されかつインバータINV5の出力端がインバータINV1の出力端に接続される。インバータINV6の入力端がインバータINV1の出力端に接続されかつインバータINV6の出力端がインバータINV2の出力端に接続される。インバータINV7の入力端がインバータINV1の出力端に接続される。インバータINV8の入力端がインバータINV2の出力端に接続される。 30

【0069】

8個のインバータは、例えば、SRAM(Static Random Access Memory)の2ビット分の記憶領域に相当する回路規模であり、一般的な比較器の回路規模と比べて小さい。そのため、前述の構成による比較器111を用いることで、半導体装置における比較器111の実装密度を向上し実装面積を縮小することができる。また、比較器111は、インバータのみで構成されるので、自動化設計技術の適用性が高い。 40

【0070】

以上が、確率的直並列型AD変換器100の構成の一態様である。確率的直並列型AD変換器100では、確率的並列型AD変換器110が、前記粗変換および前記密変換のいずれにも用いられるので、回路規模の増大が抑えられる。また、例えば、参照電圧生成器120を型DA変換器で構成する場合に必要なローパスフィルタとサンプルホールド回路130とを除けば、他のすべての構成要素が論理合成可能であり、自動化設計技術の適用性が高い。

【0071】

次に、上述のように構成された確率的直並列型 A D 変換器 1 0 0 の動作について説明する。以下では、説明のための一例として、粗変換での変換範囲  $V_{pp}$  を 1.0 V とし、比較器 1 1 1 のオフセットの標準偏差を 50 mV とする。また、変換範囲  $V_{pp}$  を 2 ごとの 10 個の電圧区間に区切り、比較器群 1 1 5 の個数  $n_g$  を、前記電圧区間の個数と等しい 10 とする。また、比較器 1 1 1 の個数  $n$  を、密変換で要求される分解能に応じて 1000 とする。これにより、1 個の比較器群 1 1 5 には 100 個の比較器 1 1 1 が属する。なお、これらの具体値は、確率的直並列型 A D 変換器 1 0 0 の変換範囲、分解能、製造プロセスといった各種の仕様に依りて適宜決定される設計値であり、確率的直並列型 A D 変換器 1 0 0 を限定しない。

【0072】

図 6 は、確率的直並列型 A D 変換器 1 0 0 の動作の一例を示すフローチャートである。

【0073】

図 6 に示されるように、確率的直並列型 A D 変換器 1 0 0 は、広い変換範囲が得られる粗変換 (S 1 0 0) と確率的並列型 A D 変換器 1 1 0 の本来の分解能が得られる密変換 (S 2 0 0) とを行うことにより、入力電圧を出力コードに変換する。

【0074】

まず、粗変換 (S 2 0 0) の詳細について説明する。

【0075】

図 7 は、図 4 の確率的直並列型 A D 変換器 1 0 0 のうち、粗変換に關与する部分を示したブロック図である。

【0076】

サンプルホールド回路 1 3 0 は、入力電圧を A D 変換が完了するまで保持し、保持している入力電圧  $V_{in}$  をすべての比較器 1 1 1 の第 1 入力端子に供給する (S 1 0 1)。

【0077】

参照電圧設定器 1 5 0 は、互いに異なる電圧値を表す電圧データ  $D_{ref\_0} \sim D_{ref\_ng-1}$  を D A 変換器 1 2 1 に供給する。電圧データ  $D_{ref\_0} \sim D_{ref\_ng-1}$  は、例えば、変換範囲  $V_{pp}$  を 2 ごとに区切った各電圧区間の中央値を表す。D A 変換器 1 2 1 は、電圧データ  $D_{ref\_0} \sim D_{ref\_ng-1}$  に従って、比較器群ごとに異なる参照電圧  $V_{ref\_0} \sim V_{ref\_ng-1}$  を生成する。D A 変換器 1 2 1 は、生成した参照電圧  $V_{ref\_0} \sim V_{ref\_ng-1}$  の各々を、対応する比較器群 1 1 5 に属する比較器 1 1 1 の第 2 入力端子に供給する (S 1 0 2)。

【0078】

確率的並列型 A D 変換器 1 1 0 は、入力電圧  $V_{in}$  と参照電圧  $V_{ref\_0} \sim V_{ref\_ng-1}$  との比較に基づいて入力電圧  $V_{in}$  を応答比較器数  $N_{sum\_coarse}$  に変換する (S 1 0 3)。

【0079】

図 8 は、粗変換において、比較器 1 1 1 が応答する入力電圧  $V_{in}$  の分布の一例を示すグラフである。

【0080】

図 8 に示される粗変換の具体例では、10 個の比較器群 1 1 5 に、2 ( $= 0.1 V$ ) ずつずれた参照電圧  $V_{ref\_i} = (2i + 1)$ 、( $i = 0, \dots, 9$ ) を与えることで、比較器群 1 1 5 ごとの 100 個の比較器 1 1 1 に関する群別確率密度 (点線) が形成される。そして、これらの群別確率密度の加算により、確率的並列型 A D 変換器 1 1 0 全体での 1000 個の比較器 1 1 1 に関する全体確率密度 (実線) が形成される。

【0081】

図 9 は、図 8 の全体確率密度の累積分布の一例を示すグラフである。図 9 では、縦軸を、確率値の代わりに、比較器 1 1 1 の個数  $n$  が 1000 である場合の応答比較器数  $N_{sum\_coarse}$  で表している。粗変換において、確率的並列型 A D 変換器 1 1 0 は、入力電圧  $V_{in}$  に対し、図 9 の累積分布によって入力電圧  $V_{in}$  に対応付けられる応答比較器数  $N_{sum\_coarse}$  を出力する。

10

20

30

40

50

## 【0082】

図8に見られるように、比較器群115ごとの参照電圧 $V_{ref\_i}$  ( $i = 0, \dots, 9$ )を2ずつずらすことにより、変換範囲の全域にわたってほぼ一定に分布する全体確率密度が形成される。その結果、図9に見られるように、変換範囲の全域で良好な線形性を有する累積分布が得られる。

## 【0083】

このように、粗変換において比較器群115に2ずつずれた参照電圧 $V_{ref\_i} = (2i + 1)$ 、( $i = 0, \dots, n_g - 1$ )を与えることは、粗変換の変換範囲を拡大し、かつ良好な線形性を有する応答比較器数 $N_{sum\_coarse}$ を得るために役立つ。

10

## 【0084】

群特定器160は、応答比較器数 $N_{sum\_coarse}$ から入力電圧 $V_{in}$ が含まれる電圧区間を特定し(S104)、特定した電圧区間に対応する比較器群115を表す群番号 $k$ を出力する(S105)。

## 【0085】

図10は、群特定器160の動作を説明するための概念図である。図10では、図9の累積分布とともに、電圧区間0 ( $0 < V_{in} < 2$ )、電圧区間 $k$  ( $2k < V_{in} < 2(k + 1)$ )、および電圧区間 $n_g$  ( $2(n_g - 1) < V_{in} < 2n_g$ )の3つの電圧区間を代表的に示している。参照電圧 $V_{ref\_0}$ 、 $V_{ref\_k}$ 、 $V_{ref\_n_g - 1}$ は、電圧区間0、電圧区間 $k$ 、電圧区間 $n_g$ のそれぞれの中央値である。

20

## 【0086】

群特定器160は、例えば、図10の累積分布に従って電圧区間 $i$  ( $i = 0, \dots, n_g - 1$ )の下限電圧に対応付けられる応答比較器数を、電圧区間 $i$ のしきい値 $th_i$ として、あらかじめ保持している。群特定器160は、応答比較器数 $N_{sum\_coarse}$ の値を $N_0$ として、 $th_i < N_0 < th_{i+1}$ を満たす電圧区間を特定し、特定した電圧区間の番号を群番号 $k$ として参照電圧設定器150に通知する。

## 【0087】

群番号 $k$ は、入力電圧 $V_{in}$ が含まれる幅2の電圧区間を表している。そこで、密変換では、群番号 $k$ で表される電圧区間の中から、確率的並列型AD変換器の本来の分解能で、入力電圧 $V_{in}$ を出力コード $N_{out}$ に変換する。

30

## 【0088】

続いて、密変換(S200)の詳細について説明する。

## 【0089】

図11は、図4の確率的直並列型AD変換器100のうち、密変換に關与する部分を示したブロック図である。

## 【0090】

参照電圧設定器150は、群特定器160から通知された群番号 $k$ に従って、全てのDA変換器121に電圧データ $D_{ref\_k}$ を供給する。電圧データ $D_{ref\_k}$ は、粗変換において群番号 $k$ に対応するDA変換器121に供給した電圧データ $D_{ref\_k}$ である。これにより、全てのDA変換器121は、同一の参照電圧 $V_{ref\_k}$ を生成する(S201)。

40

## 【0091】

確率的並列型AD変換器110は、入力電圧 $V_{in}$ と参照電圧 $V_{ref\_k}$ との比較に基づいて入力電圧 $V_{in}$ を応答比較器数 $N_{sum\_fine}$ に変換する(S202)。

## 【0092】

図12は、密変換において、比較器111が応答する入力電圧 $V_{in}$ の累積分布の一例を示すグラフである。図12では、縦軸を、確率値の代わりに、比較器111の個数 $n$ が1000である場合の応答比較器数 $N_{sum\_fine}$ で表している。密変換において、確率的並列型AD変換器110は、入力電圧 $V_{in}$ に対し、図12の累積分布によって入力電圧 $V_{in}$ に対応付けられる応答比較器数 $N_{sum\_fine}$ を出力する。

50

## 【0093】

図12に見られるように、応答比較器数  $N_{sum\_fine}$  にはガウス分布の累積分布に特有の非線形性があり、また、値域の下限に正のオフセットを有している。そこで、出力補正器170は、応答比較器数  $N_{sum\_fine}$  に対して逆ガウス変換と値のシフトを含む補正を行うことにより、詳細コード  $N_{fine}$  を生成する(S203)。

## 【0094】

出力補正器170は、例えば、同一の入力電圧  $V_{in}$  における応答比較器数  $N_{sum\_fine}$  と詳細コード  $N_{fine}$  との対応を示す補正情報(図示せず)をあらかじめ保持し、応答比較器数  $N_{sum\_fine}$  を前記補正情報で対応付けられる詳細コード  $N_{fine}$  に補正してもよい。前記補正情報は、例えば、ルックアップテーブルや補正関数などの周知の態様で表され得る。

10

## 【0095】

図13は、出力補正器170によって生成される詳細コード  $N_{fine}$  の一例を示すグラフである。図12および図13に示される具体例では、詳細コード  $N_{fine}$  を得るために応答比較器数  $N_{sum\_fine}$  に加算される補正量は  $-158 \pm 21$  の範囲の整数であり、詳細コード  $N_{fine}$  の値域  $D_{max}$  は683である。

## 【0096】

図13に示される詳細コード  $N_{fine}$  では、図12の応答比較器数  $N_{sum\_fine}$  と比べて線形性が向上し、また値域が0から  $D_{max}$  までの範囲に調整される。

## 【0097】

乗算器171は、群特定器160から出力された群番号  $k$  に詳細コード  $N_{fine}$  の値域  $D_{max}$  を乗じることにより、入力電圧  $V_{in}$  が含まれる電圧区間の下限値に対応する概略コード  $N_{coarse}$  を生成する(S204)。

20

## 【0098】

加算器172は、出力補正器170から出力された詳細コード  $N_{fine}$  と、乗算器171から出力された概略コード  $N_{coarse}$  とを加算することにより、出力コード  $N_{out}$  を生成する(S205)。これにより、粗変換の変換範囲  $V_{pp}$  に含まれる入力電圧  $V_{in}$  を密変換の分解能で表す出力コード  $N_{out}$  が得られる。

## 【0099】

出力バッファ180は、出力コード  $N_{out}$  を外部回路に送信する(S206)。

30

## 【0100】

以上が、確率的直並列型AD変換器100の動作の一態様である。

## 【0101】

次に、確率的直並列型AD変換器100をMATLAB(登録商標)で記述し、シミュレーションを行った結果について述べる。

## 【0102】

シミュレーションでは、上記の動作説明で用いた具体例と同じく、粗変換での変換範囲  $V_{pp}$  を1.0V、比較器111のオフセットの標準偏差を50mV、比較器群115の個数  $n_g$  を10、比較器111の個数  $n$  を1000とした。

## 【0103】

図14は、シミュレーションにより得られた、確率的直並列型AD変換器100の入出力特性の一例を示すグラフである。図14から、変換範囲  $V_{pp}$  ( $=1.0V$ ) の入力電圧  $V_{in}$  に対し、ほぼ線形な出力コード  $N_{out}$  が得られることが分かる。

40

## 【0104】

図15は、シミュレーションにより得られた、微分非直線性誤差DNLおよび積分非直線性誤差INLの一例を示すグラフである。図15のDNL、INLから算出されるSN比は71.25dBであり、有効ビット数は11.58ビットである。

## 【0105】

図15では、DNL、INLともに、 $\pm 1LSB$  の範囲から逸脱する部分があり、その原因として出力補正器170での補正誤差が考えられる。そのため、出力補正器170に

50

において、応答比較器数  $N_{sum\_fine}$  を小数精度で補正することにより、DNL、INLを改善し、SN比および有効ビット数をさらに高めることができると考えられる。

【0106】

(変形例)

以上、本発明の1つまたは複数の態様に係る確率的直並列型AD変換器について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施した形態が、本発明の一つまたは複数の態様の範囲内に含まれてもよい。

【0107】

例えば、上記の実施の形態では、密変換の前に粗変換を1回だけ行っているが、粗変換の回数は1回には限られない。また、粗変換で用いられる比較器群115ごとの参照電圧  $V_{ref\_i}$  ( $i = 0, \dots, n_g$ ) の間隔は、比較器111のオフセットの標準偏差の2倍には限られない。例えば、粗変換を複数回行う場合に、最初の粗変換では、さらに大きな間隔で設定された参照電圧  $V_{ref\_i}$  を用いて粗変換を行い、後続の粗変換では、順次間隔を狭めた参照電圧  $V_{ref\_k}$  を用いてもよい。これにより、比較器111の個数  $n$  や比較器群115の個数  $n_g$  を増やさずに、粗変換の変換範囲  $V_{pp}$  をさらに広げることができる。

【0108】

また、上記の実施の形態では、密変換での参照電圧として、粗変換で特定された電圧区間に対応する比較器群115での参照電圧  $V_{ref\_k}$  を用いたが、密変換において、粗変換で用いた参照電圧  $V_{ref\_i}$  のいずれかと等しい参照電圧を用いることは必須ではない。

【0109】

図10に見られるように、粗変換において、入力電圧  $V_{in}$  が電圧区間の概ねどのあたりにあるかが特定される場合、例えば、粗変換で特定される入力電圧  $V_{in}$  を、密変換の参照電圧として用いてもよい。この場合、DA変換器121で生成できる電圧の種類を増やす必要から参照電圧生成器120の設計が複雑化する反面、累積分布における線形性が高い領域を確実に密変換に用いることができるため、出力補正器170における逆ガウス変換を省略できるなどのトレードオフが期待される。

【0110】

また、粗変換で動作させる比較器の個数と密変換で動作させる比較器の個数とは同じであってもよく、異なってもよい。比較器は、粗変換と密変換とのそれぞれで必要な分解能が得られる個数動作させればよい。不要な比較器を停止することで、省電力性を向上できる。

【産業上の利用可能性】

【0111】

本発明の確率的直並列型AD変換器は、半導体集積回路装置に広く利用できる。

【符号の説明】

【0112】

- 10、110 確率的並列型AD変換器
- 11、111 比較器
- 19、119 加算器
- 100 確率的直並列型AD変換器
- 112 電流比較器
- 115 比較器群
- 120 参照電圧生成器
- 121 DA変換器
- 130 サンプルホールド回路
- 140 コントローラ
- 150 参照電圧設定器

10

20

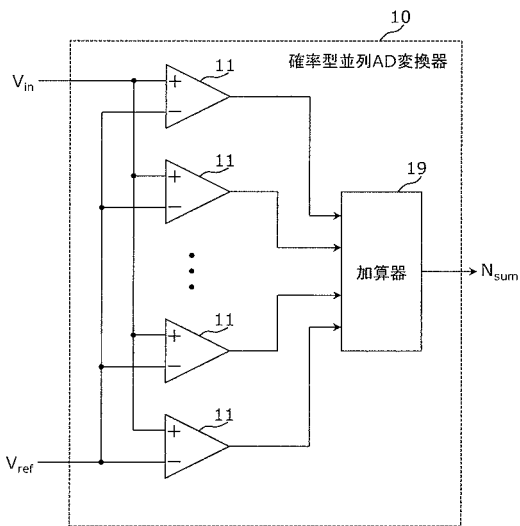
30

40

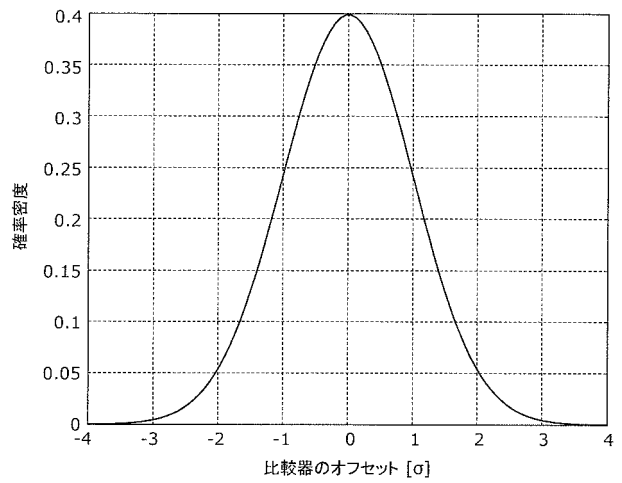
50

- 1 6 0 群 特 定 器
- 1 7 0 出 力 補 正 器
- 1 7 1 乗 算 器
- 1 7 2 加 算 器
- 1 8 0 出 力 バ ッ フ ァ

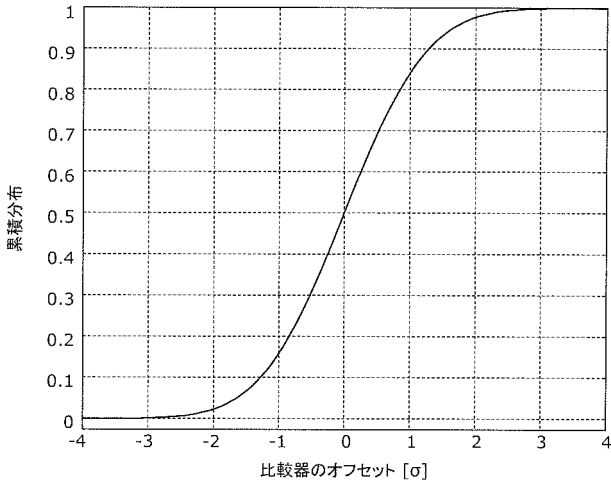
【 図 1 】



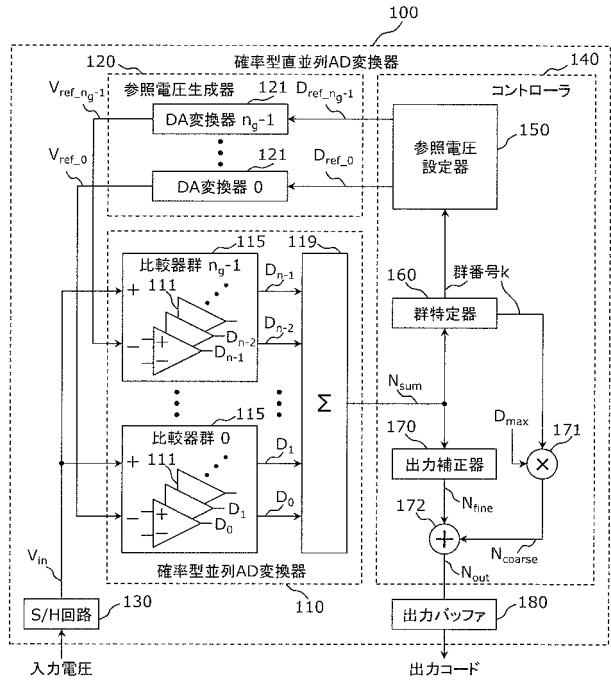
【 図 2 】



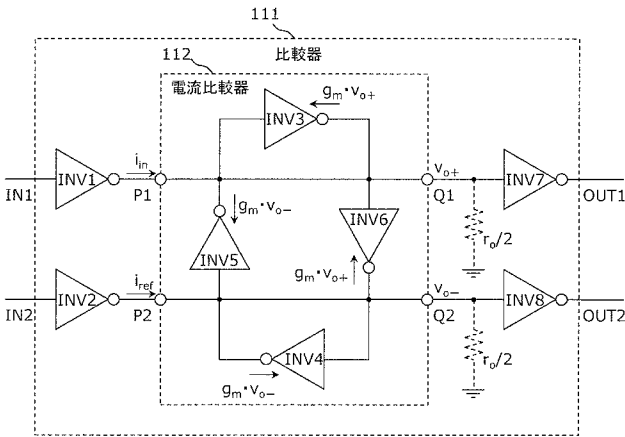
【図3】



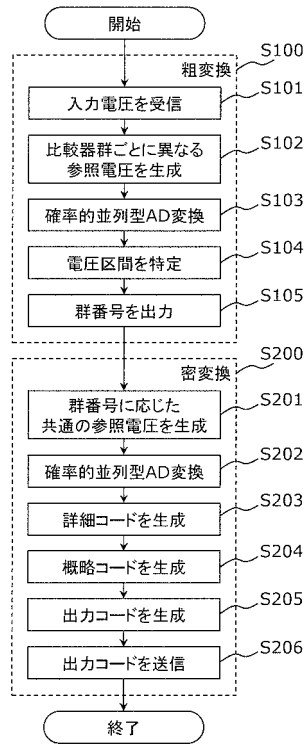
【図4】



【図5】

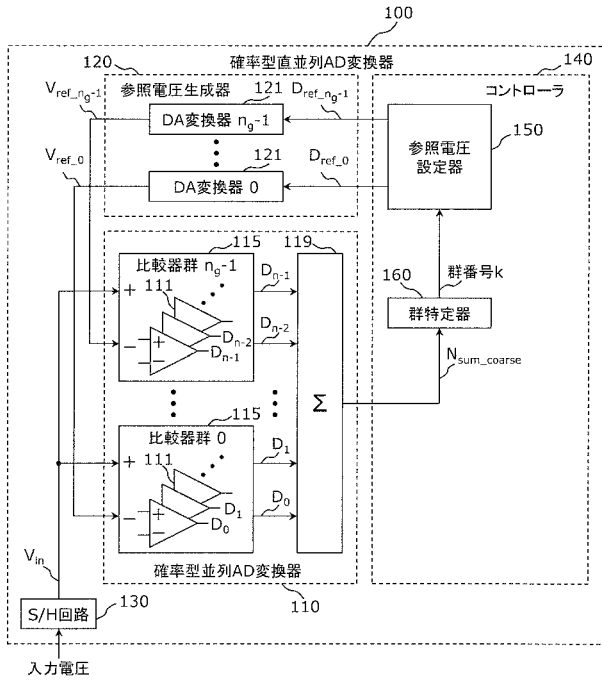


【図6】

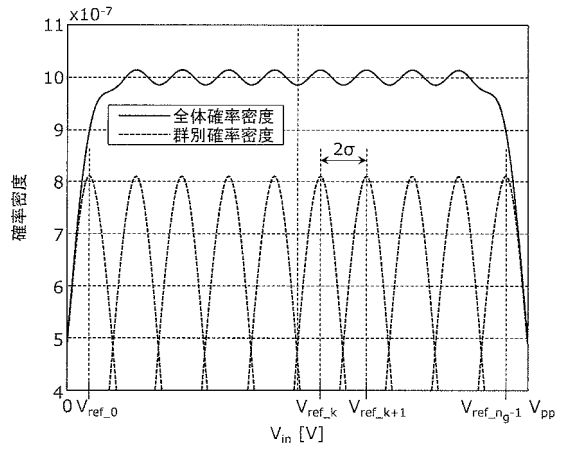




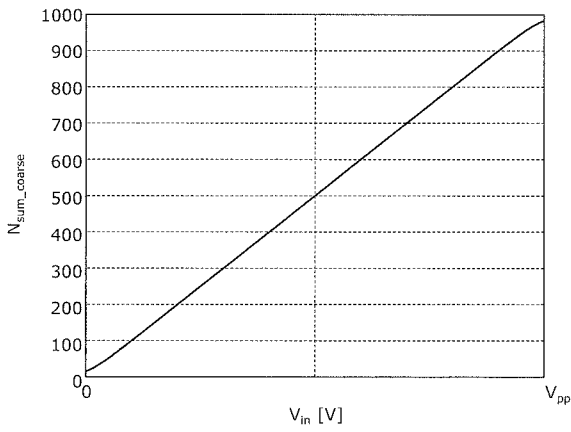
【図7】



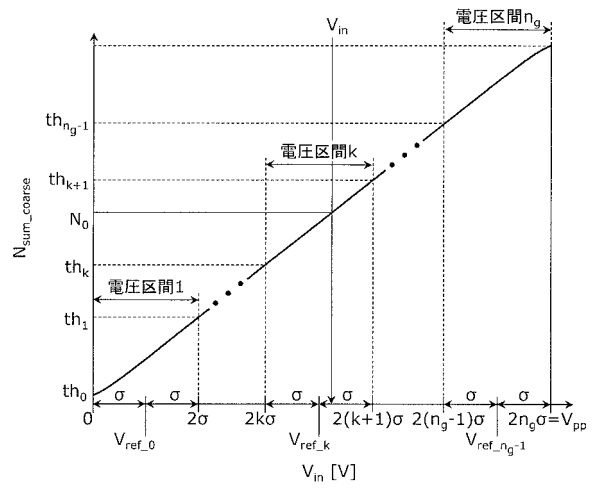
【図8】



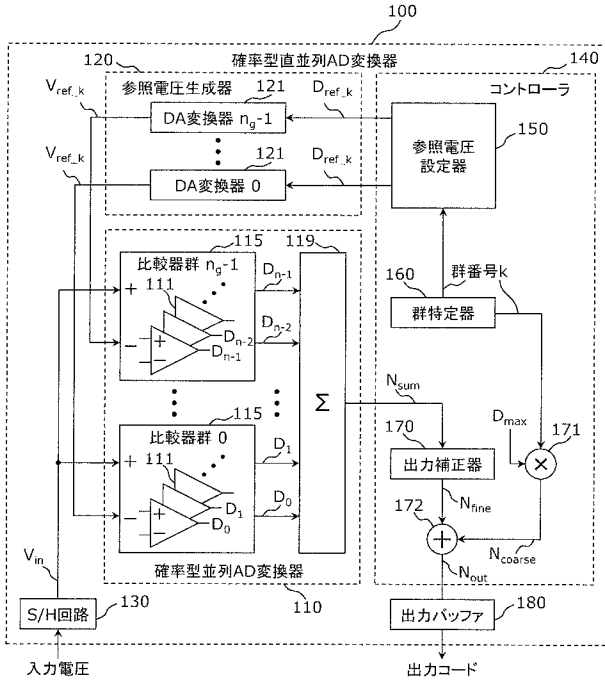
【図9】



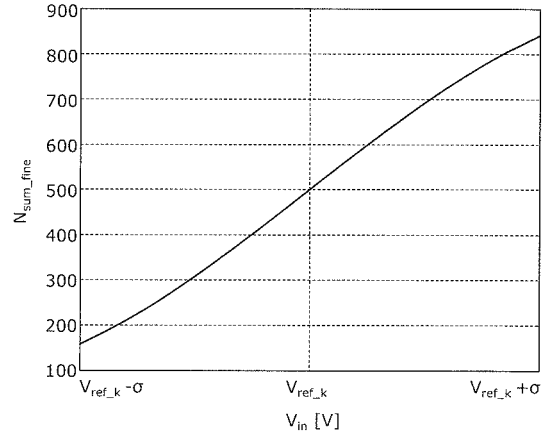
【図10】



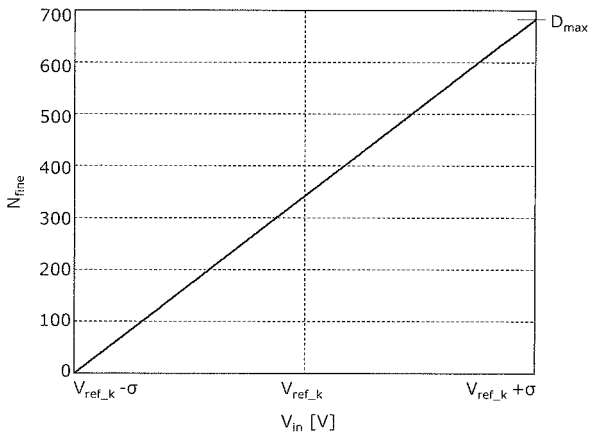
【図 1 1】



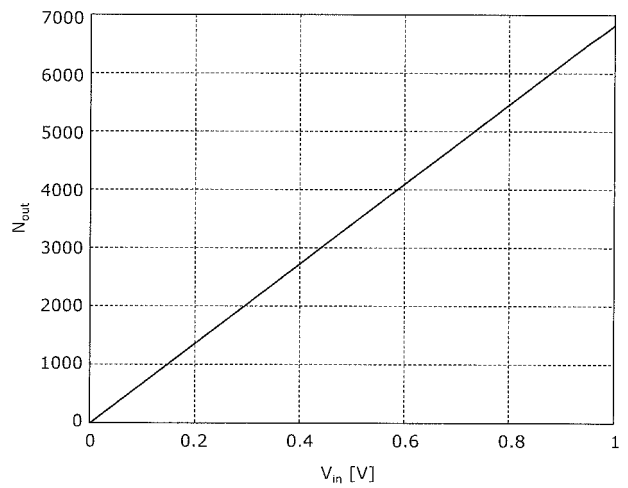
【図 1 2】



【図 1 3】



【図 1 4】



【 図 15 】

