

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6341477号
(P6341477)

(45) 発行日 平成30年6月13日(2018.6.13)

(24) 登録日 平成30年5月25日(2018.5.25)

(51) Int.Cl. F I
 HO 1 L 29/43 (2006.01) HO 1 L 29/46
 HO 1 L 21/28 (2006.01) HO 1 L 21/28 3 O 1 B

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2013-257402 (P2013-257402)	(73) 特許権者	301021533 国立研究開発法人産業技術総合研究所 東京都千代田区霞が関1-3-1
(22) 出願日	平成25年12月12日(2013.12.12)	(73) 特許権者	504160781 国立大学法人金沢大学 石川県金沢市角間町ヌ7番地
(65) 公開番号	特開2015-115502 (P2015-115502A)	(74) 代理人	100125298 弁理士 塩田 伸
(43) 公開日	平成27年6月22日(2015.6.22)	(72) 発明者	松本 翼 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
審査請求日	平成28年9月23日(2016.9.23)	(72) 発明者	加藤 宙光 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

最終頁に続く

(54) 【発明の名称】 ダイヤモンド半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

ドーピングされるn型不純物の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であり、ホッピング伝導性を有するn型ダイヤモンド半導体層の表層を加熱し、前記表層中のダイヤモンド構造を構造相転移させて得られる、膜厚が一樣なグラファイト層が形成された前記n型ダイヤモンド半導体層と前記グラファイト層との積層体と、

前記グラファイト層上に配される金属電極と、を有することを特徴とするダイヤモンド半導体装置。

【請求項2】

グラファイト層の厚みが、厚くとも12nmである請求項1に記載のダイヤモンド半導体装置。

【請求項3】

ショットキー障壁の高さが、2.3eV以下である請求項1から2のいずれかに記載のダイヤモンド半導体装置。

【請求項4】

金属電極が、チタン、ニッケル、プラチナ、アルミニウム、金及びこれらの合金のいずれかで形成される層の単層体又は積層体である請求項1から3のいずれかに記載のダイヤモンド半導体装置。

【請求項5】

ドーピングされるn型不純物の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$

10

20

であり、ホッピング伝導性を有するn型ダイヤモンド半導体層の表層を加熱し、前記表層中のダイヤモンド構造を構造相転移させて、膜厚が一様なグラファイト層が形成された前記n型ダイヤモンド半導体層と前記グラファイト層との積層体を形成する積層体形成工程と、

前記積層体上に金属電極を形成する金属電極形成工程と、を含むことを特徴とするダイヤモンド半導体装置の製造方法。

【請求項6】

積層体形成工程が、n型ダイヤモンド半導体層の表層を低くとも1,200の加熱温度で加熱して、グラファイト層を形成する工程である請求項5に記載のダイヤモンド半導体装置の製造方法。

10

【請求項7】

積層体形成工程が、n型ダイヤモンド半導体層の表層を長くとも10分の加熱時間で加熱して、グラファイト層を形成する工程である請求項5から6のいずれかに記載のダイヤモンド半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、金属電極 - n型ダイヤモンド半導体層間の接触抵抗を低減させたダイヤモンド半導体装置及びその製造方法に関する。

【0002】

ダイヤモンド半導体は、高い絶縁破壊電界や高い熱伝導率等の優れた物性を有することから、低損失かつ高耐圧のパワー半導体用材料として期待されている。また、水素終端ダイヤモンド半導体は、電子が真空中に飛び出しやすい負性親和力(NEA: Negative Electron Affinity)を示し、N-V(窒素と空孔の複合欠陥)中心は、室温で単一光子を放出し、室温で高密度の自由励起子を生じるなど、ユニークな性質も多く確認されている。

20

【0003】

現在、これらの優れた物性、ユニークな性質を利用して、高耐圧のパワー半導体、電子放出源を用いた真空パワースイッチ、量子コンピュータ用のシングルフォトン源、深紫外線LEDなど、様々なバイポーラデバイスが開発されている。これらバイポーラデバイスのキーテクノロジーとなっているのは、ホッピング伝導と呼ばれる特性である。

30

前記ホッピング伝導では、ダイヤモンド膜に対して、不純物を高濃度に添加することにより得られ、正孔や電子の移動の仕方が、密な不純物準位を介した特有のものになる。

【0004】

前記ダイヤモンド半導体としては、n型ダイヤモンド半導体と金属電極間の接触抵抗が高いことが課題とされる。Si、SiC、GaN等の従来の半導体材料であれば、 10^{19} cm^{-3} を超える高濃度での不純物ドーピングを行えば、容易に低抵抗を示すオーミック特性が得られるが、前記n型ダイヤモンド半導体では、高濃度で不純物ドーピングを行った場合でも、大きなショットキー障壁が残っており、前記オーミック特性が得られていない。

40

【0005】

前記n型ダイヤモンド半導体のオーミック特性に関する実験例としては、前記n型ダイヤモンド半導体の層に対して、Gaイオンを注入して電気的に活性な欠陥を形成しつつ、その表面をグラファイト化する例(非特許文献1参照)、前記金属電極の直下にリンを高濃度でドーピングする例(非特許文献2参照)が報告されている。

これらの実験例によれば、オーミック特性が得られるものの、前記接触抵抗が 10^6 以上と非常に高く低抵抗を示すオーミック特性は、現段階で実現されていない。この要因として挙げられるのが、前記n型ダイヤモンド半導体と前記金属電極との界面における高いショットキー障壁の存在である。この高いショットキー障壁は、前記n型ダイヤモンド半導体と前記金属電極との界面に多く存在する界面準位により、フェルミ準位が伝導帯下

50

端より 4.3 eV 低い位置にピニングされることにより形成されると考えられる（非特許文献 3 参照）。

なお、ダイヤモンド半導体のオーミック特性に関する実験例としては、p 型ダイヤモンド半導体層の表層をグラファイト化させたダイヤモンド - 金属接合体の実験例が報告されている（特許文献 1 参照）が、その手法を高濃度に不純物がドーピングされたホッピング伝導性の前記 n 型ダイヤモンド半導体層に適用しても、前記接触抵抗を十分に低抵抗化させることができない問題がある。

【0006】

ここで、前記接触抵抗としては、理論上、下記式(1)により表すことができる。

【数 1】

$$\rho_c \propto \frac{\phi_B}{\sqrt{N_D}} \quad (1)$$

ただし、前記式(1)中、 ρ_c は、接触抵抗を示し、 ϕ_B は、ショットキー障壁の高さを示し、 N_D は、ドナー濃度を示す。

【0007】

前記接触抵抗を低くするためには、前記不純物ドーピングの高濃度化させて、ショットキー障壁の幅を狭くする（前記式(1)中の N_D を高くする）か、前記界面の特性に変更を与え、ショットキー障壁の高さを低くする（前記式(1)中の ϕ_B を低くする）必要があるが、前記不純物ドーピングの高濃度化には、リン濃度が 10^{20} cm^{-3} を超える領域から飽和傾向にある。リンの共有結合半径は 1.1 であるのに対して、ダイヤモンドの炭素のそれは 0.77 である。この大きさの違い、立体障壁からドーピングの飽和傾向が表れると考えられる。そのため、ショットキー障壁の高さを低くする新たな工夫が必要とされている状況である。

したがって、依然として前記 n 型ダイヤモンド半導体層 - 前記金属電極間の前記接触抵抗が低抵抗化されたダイヤモンド半導体装置及びその製造方法としては、満足できるものが存在していないというのが現状である。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開平 5 - 891 号公報

【非特許文献】

【0009】

【非特許文献 1】T. Teraji, S. Koizumi and H. Kanda: Appl. Phys. Lett. 76 (2000) No. 10.

【非特許文献 2】T. Teraji, M. Katagiri, S. Koizumi, T. Ito and H. Kanda: Jpn. J. Appl. Phys. 42 (2003) L882.

【非特許文献 3】M. Suzuki, S. Koizumi, M. Katagiri, T. Ono, N. Sakuma, H. Yoshida, T. Sakai, and S. Uchikoga, phys. stat. sol. (a) 203, 3128 (2006).

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明は、従来における前記諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明は、n 型ダイヤモンド半導体層 - 金属電極間の接触抵抗が低抵抗化されたダイヤモンド半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

前記課題を解決するための手段としては、以下の通りである。即ち、

10

20

30

40

50

< 1 > ドーパされる n 型不純物の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であり、ホッピング伝導性を有する n 型ダイヤモンド半導体層の表層を加熱し、前記表層中のダイヤモンド構造を構造相転移させて得られる、膜厚が一様なグラファイト層が形成された前記 n 型ダイヤモンド半導体層と前記グラファイト層との積層体と、前記グラファイト層上に配される金属電極と、を有することを特徴とするダイヤモンド半導体装置。

< 2 > グラファイト層の厚みが、厚くとも 12 nm である前記 < 1 > に記載のダイヤモンド半導体装置。

< 3 > ショットキー障壁の高さが、2.3 eV 以下である前記 < 1 > から < 2 > のいずれかに記載のダイヤモンド半導体装置。

< 4 > 金属電極が、チタン、ニッケル、プラチナ、アルミニウム、金及びこれらの合金のいずれかで形成される層の単層体又は積層体である前記 < 1 > から < 3 > のいずれかに記載のダイヤモンド半導体装置。

< 5 > ドーパされる n 型不純物の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であり、ホッピング伝導性を有する n 型ダイヤモンド半導体層の表層を加熱し、前記表層中のダイヤモンド構造を構造相転移させて、膜厚が一様なグラファイト層が形成された前記 n 型ダイヤモンド半導体層と前記グラファイト層との積層体を形成する積層体形成工程と、前記積層体上に金属電極を形成する金属電極形成工程と、を含むことを特徴とするダイヤモンド半導体装置の製造方法。

< 6 > 積層体形成工程が、n 型ダイヤモンド半導体層の表層を低くとも 1,200 の加熱温度で加熱して、グラファイト層を形成する工程である前記 < 5 > に記載のダイヤモンド半導体装置の製造方法。

< 7 > 積層体形成工程が、n 型ダイヤモンド半導体層の表層を長くとも 10 分の加熱時間で加熱して、グラファイト層を形成する工程である前記 < 5 > から < 6 > のいずれかに記載のダイヤモンド半導体装置の製造方法。

【発明の効果】

【0012】

本発明によれば、従来技術における前記諸問題を解決することができ、n 型ダイヤモンド半導体層 - 金属電極間の接触抵抗が低抵抗化されたダイヤモンド半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【0013】

【図 1】 n 型ダイヤモンド半導体層上における各電極部の配置を示す上面図である。

【図 2】 TLM 法による接触抵抗の測定方法を説明する説明図である。

【図 3】 TLM 法による実施例 3 及び比較例 7 に係る各ダイヤモンド半導体装置の特性を示す。

【図 4】 実施例 3 に係るダイヤモンド半導体装置におけるグラファイト層を撮像した TEM 写真を示す図である。

【図 5】 実施例 3 及び比較例 7 に係る各ダイヤモンド半導体装置における I - V 特性を示す図である。

【発明を実施するための形態】

【0014】

(ダイヤモンド半導体装置)

本発明のダイヤモンド半導体装置は、少なくとも、n 型ダイヤモンド半導体層とグラファイト層との積層体と、金属電極とを有し、目的に応じて他の半導体構造部とを有する。

【0015】

< 積層体 >

前記積層体は、前記 n 型ダイヤモンド半導体層上に前記グラファイト層が積層された積層体として構成される。

【0016】

10

20

30

40

50

- n型ダイヤモンド半導体層 -

前記n型ダイヤモンド半導体層は、ホッピング伝導性を有するn型ダイヤモンド半導体層として構成される。

前記n型ダイヤモンド半導体層としては、特に制限はなく、公知のn型ダイヤモンド半導体層を用いることができる。

前記n型ダイヤモンド半導体層を作製する場合、その作製方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、公知のCVD (Chemical Vapor Deposition) 法が挙げられる。

一例としては、ダイヤモンド源、n型不純物源となる原料ガスを用いたマイクロ波プラズマ化学気相堆積方法により、ダイヤモンド基板上に前記n型ダイヤモンド半導体層を成長させて形成する方法が挙げられる。

なお、前記ダイヤモンド源としては、水素ガス、メタンガス等が挙げられ、また、前記n型不純物源としては、ホスフィンガス等が挙げられる。

前記ホッピング伝導性は、正孔、電子の移動がバンド伝導と異なり、密な不純物準位を介して行われることを示し、前記n型ダイヤモンド半導体層にドーブされるリン等のn型不純物の濃度が、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上の場合に支配的に現れる特性である。

したがって、前記n型ダイヤモンド半導体層にドーブされる前記n型不純物の濃度としては、前述の濃度であれば特に制限はなく、接触抵抗を低抵抗化させる観点から、 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度が好ましい。

【0017】

- グラファイト層 -

前記グラファイト層は、前記n型ダイヤモンド半導体層の表層を加熱し、前記表層中のダイヤモンド構造を構造相転移させて得られ、膜厚が一様な層として構成される。

このような構造相転移に基づいて形成されることで、前記接触抵抗の低抵抗化が可能とされる。一方、前記n型ダイヤモンド半導体層のダイヤモンド構造に基づかないグラファイト層を前記n型ダイヤモンド半導体層上に堆積させても前記接触抵抗の低抵抗化が実現できない。また、前記n型ダイヤモンド半導体層の層に対して、イオン注入して電氣的に活性な欠陥を形成する場合も、前記欠陥に基づく凹凸により、膜厚が一様な前記グラファイト層が得られず、前記接触抵抗の低抵抗化が実現できない。

【0018】

前記n型ダイヤモンド半導体層の表層を加熱する加熱温度としては、低くとも1,200が好ましい。前記加熱温度が1,200未満であると、膜厚が一様な前記グラファイト層が得られにくい。前記加熱温度の上限としては、2,000程度である。

また、前記n型ダイヤモンド半導体層の表層を加熱する加熱時間としては、長くとも10分程度が好ましい。前記加熱時間が10分を超えると、膜厚が一様な前記グラファイト層が得られにくく、また、形成される前記グラファイト層の厚みが過剰に厚くなり、前記接触抵抗の低抵抗化の妨げとなることがある。前記加熱時間の下限としては、1分程度である。なお、前記加熱としては、真空雰囲気又は窒素やアルゴン等の不活性ガス雰囲気中で行う。

前記グラファイト層の厚みとしては、厚くとも12nm程度が好ましい。前記厚みが12nmを超えると、前記接触抵抗の増大を招くことがある。

なお、前記グラファイト層は、それ自体で、ないしは、以下に説明する前記金属電極とともに電極を構成する。

【0019】

< 金属電極 >

前記金属電極は、前記グラファイト層上に配される。

前記金属電極の構造としては、特に制限はなく、目的に応じて適宜選択することができるが、前記接触抵抗の低抵抗化の観点から、チタン、ニッケル、プラチナ、アルミニウム、金及びこれらの合金のいずれかで形成される層の単層体又は積層体であることが好ましい。

10

20

30

40

50

また、前記金属電極の形成方法としては、特に制限はなく、目的に応じて適宜選択することができ、公知の真空蒸着法、CVD法、ALD (Atomic Vapor Deposition) 法等により形成することができる。

【0020】

前記ダイヤモンド半導体装置のショットキー障壁の高さとしては、 2.3 eV 以下であることが好ましい。このようなショットキー障壁であると、前記接触抵抗が低抵抗化されたオーミック特性が得られやすい。

なお、本明細書において、オーミック特性とは、前記ダイヤモンド半導体装置のI-V特性が略線形状の特性を示すことを指す。

【0021】

このような前記積層体と前記金属電極とを有する前記ダイヤモンド半導体装置では、前記n型ダイヤモンド半導体層の前記ホッピング伝導とバンド伝導を組み合わせたキャリア伝導に基づいてショットキー障壁の幅を狭くすることができ、同時に、前記形成方法で形成される前記グラファイト層を介した前記n型ダイヤモンド半導体層と前記金属電極とのコンタクトにより、ショットキー障壁の高さを低くすることができ、その結果、前記接触抵抗が低抵抗化されたオーミック特性が得られることとなる。

【0022】

<他の半導体構造部>

前記他の半導体構造部としては、特に制限はなく、作製する半導体装置の種類に応じて、公知の半導体装置の半導体構造から適宜選択し、適用することができる。

【0023】

(ダイヤモンド半導体装置の製造方法)

本発明のダイヤモンド半導体装置の製造方法は、少なくとも、積層体形成工程と、金属電極形成工程とを含み、目的に応じて他の工程を含む。

【0024】

<積層体形成工程>

前記積層体形成工程は、ホッピング伝導性を有するn型ダイヤモンド半導体層の表層を加熱し、前記表層中のダイヤモンド構造を構造相転移させて、膜厚が一般的なグラファイト層が形成された前記n型ダイヤモンド半導体層と前記グラファイト層との積層体を形成する工程である。

なお、前記n型ダイヤモンド半導体層としては、前記ダイヤモンド半導体装置で説明した事項を適用することができる。

【0025】

また、前記積層体形成工程としては、前記n型ダイヤモンド半導体層の表層を低くとも $1,200$ の加熱温度で加熱して、前記グラファイト層を形成する工程であることが好ましい。前記加熱温度が $1,200$ 未満であると、膜厚が一般的な前記グラファイト層が得られにくい。前記加熱温度の上限としては、 $2,000$ 程度である。

また、前記積層体形成工程としては、前記n型ダイヤモンド半導体層の表層を長くとも10分程度の加熱時間で加熱して、グラファイト層を形成する工程であることが好ましい。前記加熱時間が10分を超えると、膜厚が一般的な前記グラファイト層が得られにくく、また、形成される前記グラファイト層の厚みが過剰に厚くなり、前記接触抵抗の低抵抗化の妨げとなることがある。前記加熱時間の下限としては、1分程度である。なお、前記積層体形成工程としては、真空雰囲気を実施する。

【0026】

<金属電極形成工程>

前記金属電極形成工程は、前記積層体上に金属電極を形成する工程である。

前記金属電極形成工程としては、前記ダイヤモンド半導体装置において説明した事項を適用して実施することができる。

【0027】

<他の工程>

10

20

30

40

50

前記他の工程としては、特に制限はなく、製造する半導体装置の種類に応じて、公知の半導体装置の製造工程から適宜選択し、適用することができる。

【実施例】

【0028】

(実施例1)

まず、ダイヤモンド基板上に、マイクロ波を用いたプラズマ化学気相堆積装置(Astex社製(現コーンズテクノロジー社製)、AX5200S)により、ホッピング伝導性を有するn型ダイヤモンド半導体層を成長させて形成した。より具体的には、ダイヤモンド源としての水素(H_2)及びメタン(CH_4)、n型不純物源としてのホスフィン(PH_3)の各原料ガスを、 $CH_4/H_2 = 0.05\%$ 、 $PH_3/CH_4 = 50\%$ となる流量比で反応容器内に導入し、75 Torr(約 $10^4 Pa$)の圧力下で、750 Wのマイクロ波出力により前記各原料ガスをプラズマ化させて行った。前記n型ダイヤモンド半導体層の成長時間は、6時間とし、形成された前記n型ダイヤモンド半導体層の厚みは、 $1.5 \mu m$ であった。また、前記n型ダイヤモンド半導体層中にドーブされたリン濃度は、 $1 \times 10^{20} cm^{-3}$ であった。

10

【0029】

次いで、高速熱処理装置(アルバック理工株式会社製)の反応容器内に前記n型ダイヤモンド半導体層が形成された前記ダイヤモンド基板を配し、真空中にて、 $1,200$ で10分間加熱し、前記n型ダイヤモンド半導体層の表層中のダイヤモンド構造を構造相転移させ、膜厚が一樣なグラファイト層を形成し、前記n型ダイヤモンド半導体層と前記グラファイト層との積層体を形成した。加熱雰囲気は、真空中に限らず、不活性ガス雰囲気中、例えば、窒素雰囲気中やアルゴン雰囲気中でも構わない。

20

【0030】

次いで、真空蒸着装置(エイコー・エンジニアリング社製)を用いて、前記グラファイト層上に、チタン、白金、金の各電極層がこの順で積層された積層金属電極を形成した。なお、チタン電極層の厚みは $30 nm$ 、白金電極層の厚みは $30 nm$ 、金電極層の厚みは $100 nm$ とした。

最後に、プラズマアッシャー装置(ヤマト科学社製、PR500)を用いた酸素プラズマエッチングにより、余分な前記グラファイト層を除去し、前記ダイヤモンド基板上に、前記n型ダイヤモンド半導体層、前記グラファイト層、前記積層金属電極をこの順で配した構造の実施例1に係るダイヤモンド半導体装置を製造した。

30

なお、前記グラファイト層及び前記積層金属電極で構成される電極部を、前記n型ダイヤモンド半導体層上に複数形成することとし、各電極部の配置は、TLM法(Transfer Length Method; 伝送長法)による、前記n型ダイヤモンド半導体層-前記電極部間の接触抵抗の測定のため、図1に示す配置とした。なお、図1は、n型ダイヤモンド半導体層上における各電極部の配置を示す上面図であり、図中のWは、前記各電極部の長手方向の幅を示し、前記電極部の短手方向に隣接して配される前記各電極部の間隔をdとする。

【0031】

(実施例2)

実施例1において、前記グラファイト層を形成する温度を $1,200$ から $1,300$ に変えたこと以外は、実施例1と同様にして、実施例2に係るダイヤモンド半導体装置を製造した。なお、前記n型ダイヤモンド半導体層中のリン濃度は、基板のオフ角に依存し、実施例1と同様のドーブ条件においても、 $1 \sim 3 \times 10^{20} cm^{-3}$ の範囲で変動する。ここでは、リン濃度が $2 \times 10^{20} cm^{-3}$ である前記n型ダイヤモンド半導体層に対して前記グラファイト層を形成することとした。

40

【0032】

(実施例3)

実施例1において、前記グラファイト層を形成する温度を $1,200$ から $1,400$ に変えたこと以外は、実施例1と同様にして、実施例3に係るダイヤモンド半導体装置

50

を製造した。

【0033】

(実施例4)

実施例2において、前記グラファイト層を形成する温度を1,300 から1,450 に変えたこと以外は、実施例2と同様にして、実施例4に係るダイヤモンド半導体装置を製造した。

【0034】

(比較例1)

実施例1において、前記グラファイト層を形成する温度を1,200 から1,100 に変えたこと以外は、実施例1と同様にして、比較例1に係るダイヤモンド半導体装置を製造した。

10

【0035】

(比較例2)

実施例1において、前記グラファイト層を形成する温度を1,200 から1,000 に変えたこと以外は、実施例1と同様にして、比較例2に係るダイヤモンド半導体装置を製造した。

【0036】

(比較例3)

実施例1において、前記グラファイト層を形成する温度を1,200 から900 に変えたこと以外は、実施例1と同様にして、比較例3に係るダイヤモンド半導体装置を製造した。

20

【0037】

(比較例4)

実施例1において、前記グラファイト層を形成する温度を1,200 から800 に変えたこと以外は、実施例1と同様にして、比較例4に係るダイヤモンド半導体装置を製造した。

【0038】

(比較例5)

実施例2において、前記n型ダイヤモンド半導体層の形成条件を $\text{PH}_3 / \text{CH}_4 = 50\%$ から $\text{PH}_3 / \text{CH}_4 = 1\%$ に変えることで、前記リン濃度を $2 \times 10^{20} \text{ cm}^{-3}$ から $3 \times 10^{19} \text{ cm}^{-3}$ に変えたこと以外は、実施例2と同様にして、比較例5に係るダイヤモンド半導体装置を製造した。

30

【0039】

(比較例6)

実施例2において、前記n型ダイヤモンド半導体層の形成条件を $\text{PH}_3 / \text{CH}_4 = 50\%$ から $\text{PH}_3 / \text{CH}_4 = 500 \text{ ppm}$ に変えることで、前記リン濃度を $2 \times 10^{20} \text{ cm}^{-3}$ から $2 \times 10^{18} \text{ cm}^{-3}$ に変えたこと以外は、実施例2と同様にして、比較例6に係るダイヤモンド半導体装置を製造した。

【0040】

(比較例7)

実施例2において、前記グラファイト層を形成せず、前記n型ダイヤモンド半導体層上に直接、前記チタン/白金/金の積層電極層を形成した後、高速熱処理装置(アルバック理工株式会社製)を用いて、Ar雰囲気下、420 で30分間のフォーミングアニールを行い、前記n型ダイヤモンド半導体層と前記チタン電極層との界面に、これらの層を化学反応させた炭化チタン(TiC)層を形成したこと以外は、実施例2と同様にして、比較例7に係るダイヤモンド半導体装置を製造した。

40

【0041】

(比較例8)

実施例2において、前記グラファイト層を形成せず、前記n型ダイヤモンド半導体層上に直接、真空蒸着装置(エイコー・エンジニアリング社製)を用いて、ニッケル電極層を

50

厚み 30 nm で形成し、その後、前記ニッケル電極層上に前記積層金属電極を形成したこと以外は、実施例 2 と同様にして、比較例 8 に係るダイヤモンド半導体装置を製造した。

【0042】

(比較例 9)

実施例 2 において、前記グラファイト層を形成せず、前記 n 型ダイヤモンド半導体層上に直接、真空蒸着装置 (エイコー・エンジニアリング社製) を用いて、白金電極層を厚み 30 nm で形成し、その後、前記白金電極層上に前記積層金属電極を形成したこと以外は、実施例 2 と同様にして、比較例 9 に係るダイヤモンド半導体装置を製造した。

【0043】

(比較例 10)

実施例 2 において、前記グラファイト層を形成せず、前記 n 型ダイヤモンド半導体層上に直接、真空蒸着装置 (エイコー・エンジニアリング社製) を用いて、アルミニウム電極層を厚み 30 nm で形成し、その後、前記アルミニウム電極層上に前記積層金属電極を形成したこと以外は、実施例 2 と同様にして、比較例 10 に係るダイヤモンド半導体装置を製造した。

【0044】

(比較例 11)

実施例 2 において、前記グラファイト層を形成せず、前記 n 型ダイヤモンド半導体層上に直接、真空蒸着装置 (エイコー・エンジニアリング社製) を用いて、金電極層を厚み 30 nm で形成し、その後、前記金電極層上に前記積層金属電極を形成したこと以外は、実施例 2 と同様にして、比較例 11 に係るダイヤモンド半導体装置を製造した。

【0045】

(比較例 12)

実施例 2 において、前記 n 型ダイヤモンド半導体層の前記電極部が形成される領域に対して、イオン注入装置 (アルバック社製) を用いて Ar イオンを注入し、その後、前記 n 型ダイヤモンド半導体層の表層を真空中にて 1,000 で 30 分間加熱し、前記グラファイト層を形成したこと以外は、実施例 2 と同様にして、比較例 12 に係るダイヤモンド半導体装置を製造した。なお、このイオン注入は、非特許文献 1 に沿うものであり、形成される前記グラファイト層には、前記イオン注入により欠陥が生じ、膜厚が一様でない。

【0046】

実施例 1 ~ 4 及び比較例 1 ~ 12 に係る各ダイヤモンド半導体装置に対し、前記 TLM 法 (図 2 参照) による、前記 n 型ダイヤモンド半導体層 - 前記電極部間の前記接触抵抗の測定を行った。なお、図 2 は、TLM 法による接触抵抗の測定方法を説明する説明図である。

前記測定は、2つの前記電極部間の I-V 測定から得られる抵抗値と、2つの前記電極部間の間隔 d とを関数とし、得られる特性の傾きから前記 n 型ダイヤモンド半導体層の抵抗と、前記特性の切片から前記接触抵抗とを見積もることで行った。

図 3 に、TLM 法による実施例 3 及び比較例 7 に係る各ダイヤモンド半導体装置の特性を示す。該図 3 に示すように、実施例 3 に係るダイヤモンド半導体装置の前記接触抵抗は、比較例 7 に係るダイヤモンド半導体装置の前記接触抵抗に対して、1/10 以下の低い値を示している。

【0047】

実施例 3 ダイヤモンド半導体装置における、前記グラファイト層を撮像した TEM 写真を図 4 に示す。なお、図 4 は、実施例 3 に係るダイヤモンド半導体装置における、前記グラファイト層を撮像した TEM 写真を示す図である。

図 4 に示すように、実施例 3 に係るダイヤモンド半導体装置における、前記グラファイト層は、厚み 10 nm 程度の一様な層として形成されている。

なお、実施例 1 ~ 4 に係る各ダイヤモンド半導体装置に対しては、Raman 測定からグラファイトに起因するピークと、ダイヤモンドに起因するピークとを確認し、実施例 3 と同様に、前記 n 型ダイヤモンド半導体層の極表面領域で、膜厚が一様な前記グラファイト

10

20

30

40

50

ト層の形成を確認した。

【0048】

前記接触抵抗 () から算出される、実施例 1 ~ 4 及び比較例 1 ~ 12 に係る各ダイヤモンド半導体装置の固有接触抵抗 (cm^2) を製造条件とともに下記表 1 に示す。

なお、前記固有接触抵抗 (cm^2) は、並設される前記電極部間に 0 V 付近の微小電圧を印加したときの値であり、また、下記表 1 の界面 (状態) に関する表記は、次の通りである。

A : 前記 n 型ダイヤモンド半導体層上に膜厚が一様な前記グラファイト層が形成されている。

B : 前記 n 型ダイヤモンド半導体層上に前記グラファイト層が形成されていない、ないしは、膜厚が一様でない前記グラファイト層が形成されている。

C : 前記 n 型ダイヤモンド半導体層上に前記炭化チタン層 (TiC 層) が形成されている。

D : 前記 n 型ダイヤモンド半導体層上に前記グラファイト層が形成されておらず、金属電極層が形成されている。

E : A r イオン注入の際に生じた前記 n 型ダイヤモンド半導体層表層の凹凸ダメージにより、欠陥を含む前記グラファイト層が形成されている。

【0049】

次に、実施例 1 ~ 4 及び比較例 1 ~ 12 に係る各ダイヤモンド半導体装置のショットキー障壁の高さを次の方法により確認した。

リン濃度が低い試料 (比較例 5、比較例 6) に関しては容量 - 電圧特性より見積もった。リン濃度が高い試料 (実施例 1 - 4、比較例 1 - 4、比較例 7 - 12) に関しては、両電極界面にショットキー障壁が形成されるダブルショットキー構造を想定し、トンネル現象に関する下記式 (2) ~ (4) を用いて、電流 - 電圧特性結果とのフィッティングから見積もった。

即ち、金属 / n⁺ 型ダイヤモンド半導体界面にショットキー障壁が残っているため、熱電子放出 (TE : Thermal Emission) だけではなく、熱電界放出 (TFE : Thermal Field Emission) や電界放出 (FE : Field Emission) のトンネル成分についても考慮してショットキー障壁の高さを確認した。一般的に、前記 FE と前記 TFE で与えられる電流密度 J は、下記式 (2) で表される。

【数 2】

$$J = \int P(E_e, m^*) N(E_e) dE_e \quad (2)$$

ここで、 E_e は、電子のエネルギーであり、 m^* は、半導体における電子の有効質量である。また、式 (2) 中のトンネル確率 $P(E_e, m^*)$ と供給関数 $N(E_e)$ は、それぞれ、下記式 (3)、(4) で表される。

【数 3】

$$P = \left\{ 1 + \exp \left[-\frac{2i}{\hbar} \int (2m^* [E_e - E_P(x)])^{\frac{1}{2}} dx \right] \right\}^{-1} \quad (3)$$

10

20

30

40

【数4】

$$N(E_e) = \frac{A^*T}{k} \left\{ \frac{1}{1 + \exp\left(\frac{E_e - V}{kT}\right)} - \frac{1}{1 + \exp\left(\frac{E_e}{kT}\right)} \right\} \quad (4)$$

ここで、 h^{-1} （エイチバー）は、プランク定数を2で割ったものであり、 $E_p(x)$ は、界面から半導体側へ距離xの場所におけるポテンシャルエネルギーであり、 A^* は、リチャードソン定数であり、 V は、界面に印加される電圧である。

以上により確認された、実施例1～4及び比較例1～12に係る各ダイヤモンド半導体装置のショットキー障壁の高さ（最大値）を、下記表1に示す。

【0050】

【表1】

	リン濃度 (cm^{-3})	加熱温度 ($^{\circ}\text{C}$)	加熱時間 (分)	界面 (状態)	接触抵抗 (Ωcm^2)	ショットキー障壁の高さ (eV)
実施例1	1×10^{20}	1,200	10	A	1.1	2.3
実施例2	2×10^{20}	1,300	10	A	0.9	2.0
実施例3	1×10^{20}	1,400	10	A	1.0	2.1
実施例4	2×10^{20}	1,450	10	A	0.9	2.0
比較例1	1×10^{20}	1,100	10	B	10～100	2.7
比較例2	1×10^{20}	1,000	10	B	10～100	2.7
比較例3	1×10^{20}	900	10	B	10～100	2.7
比較例4	1×10^{20}	800	10	B	10～100	2.7
比較例5	3×10^{19}	1,300	10	A	$10^2 \sim 10^4$	3.5
比較例6	2×10^{18}	1,300	10	A	$10^5 \sim 10^6$	4.6
比較例7	2×10^{20}	420	10	C (TiC)	10～100	2.7
比較例8	2×10^{20}	-	-	D (Ni)	10～100	2.7
比較例9	2×10^{20}	-	-	D (Pt)	10～100	2.7
比較例10	2×10^{20}	-	-	D (Al)	10～100	2.7
比較例11	2×10^{20}	-	-	D (Au)	10～100	2.7
比較例12	2×10^{20}	1,000	30	E	10～100	2.7

【0051】

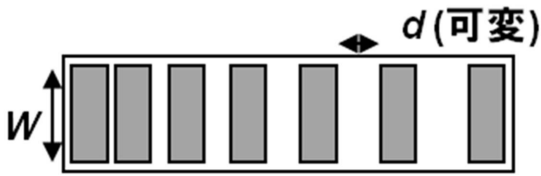
最後に、実施例3及び比較例7に係る各ダイヤモンド半導体装置におけるI-V特性について説明する。

前記I-V特性は、図1の前記電極部の配置において、隣接する前記電極部間の間隔dが $1.8 \mu\text{m}$ である2つの前記電極部間に電圧を印加して測定を行った。また、この測定は、室温下で行った。

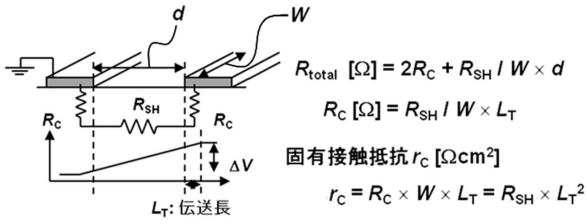
測定結果を図5に示す。なお、図5は、実施例3及び比較例7に係る各ダイヤモンド半導体装置におけるI-V特性を示す図である。

該図5に示すように、比較例7に係るダイヤモンド半導体装置では、前記I-V特性が非線形となるのに対し、実施例3に係るダイヤモンド半導体装置では、前記I-V特性がほぼ線形とされ、優れたオーミック特性が得られている。

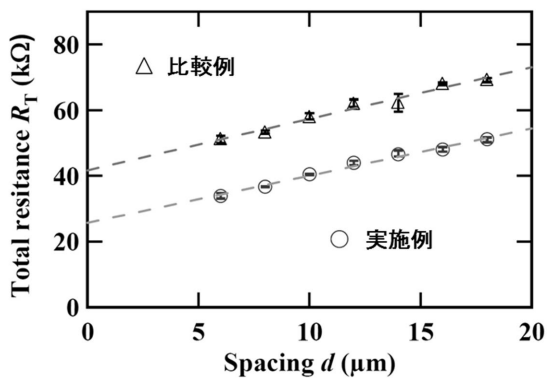
【 図 1 】



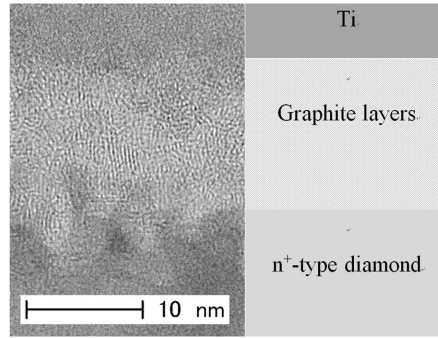
【 図 2 】



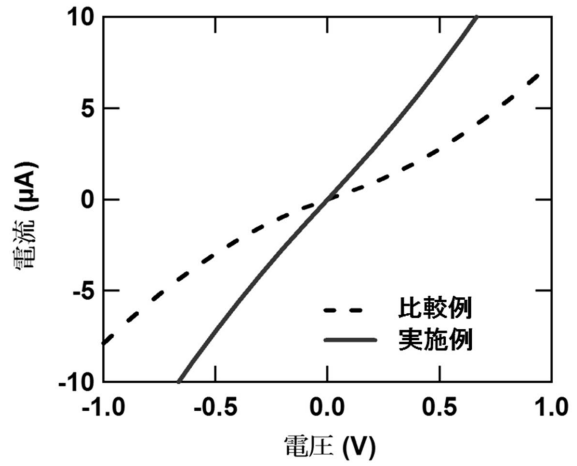
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 牧野 俊晴
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 竹内 大輔
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 小倉 政彦
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 山崎 聡
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 徳田 規夫
石川県金沢市角間町又7番地 国立大学法人金沢大学内

審査官 佐藤 靖史

- (56)参考文献 特開平03-058481(JP,A)
特開2010-028052(JP,A)
特開2010-120819(JP,A)
特開平05-000891(JP,A)
特開平06-222027(JP,A)
大谷亮太、山本卓、小泉聡、高濃度リンドーブn型ダイヤモンド薄膜の評価、第62回応用物理学会春季学術講演会 講演予稿集、日本、応用物理学会、2015年 3月11日、05,056,11p-C1-4

- (58)調査した分野(Int.Cl., DB名)
H01L 29/43
H01L 21/28