

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/143453

発行日 平成24年11月22日 (2012.11.22)

(43) 国際公開日 平成22年12月16日 (2010.12.16)

(51) Int.Cl. **HO2M 7/12 (2006.01)** F I テーマコード (参考)
 HO2M 7/12 Q 5H006
 HO2M 7/12 W

審査請求 未請求 予備審査請求 未請求 (全 32 頁)

<p>出願番号 特願2011-518327 (P2011-518327)</p> <p>(21) 国際出願番号 PCT/JP2010/052886</p> <p>(22) 国際出願日 平成22年2月24日 (2010.2.24)</p> <p>(31) 優先権主張番号 特願2009-139195 (P2009-139195)</p> <p>(32) 優先日 平成21年6月10日 (2009.6.10)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 304028726 国立大学法人 大分大学 大分県大分市大字旦野原700番地</p> <p>(74) 代理人 100080089 弁理士 牛木 護</p> <p>(72) 発明者 西嶋 仁浩 大分県大分市大字旦野原700番地 国立 大学法人大分大学構内宿舎1-23</p> <p>Fターム(参考) 5H006 AA02 AA05 CA01 CB08 CC04 DA02 DB01 DC02 DC05 FA04</p>
--	--

最終頁に続く

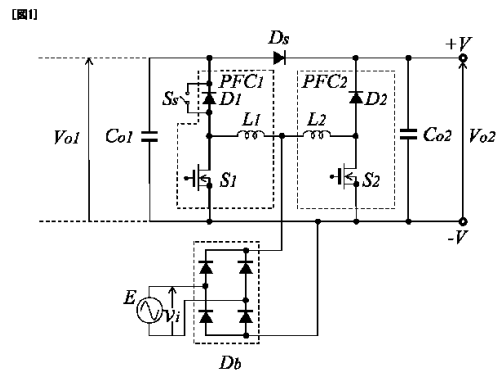
(54) 【発明の名称】 力率改善コンバータ

(57) 【要約】

【課題】 入力電源の停電や瞬停などが起きた際に、PFCコンバータ自体が出力電圧の低下を防ぐ機能を有することで、平滑コンデンサの小型化と、後段以降に接続される電源回路の簡略化、高効率化、低コスト化、小型軽量化などを実現できるようにする。

【解決手段】 商用電源Eの正常時において、並列接続された各コンバータ部PFC1、PFC2の動作によって、商用電源Eからの入力電流を入力電圧の波形や位相に近付けて力率を改善しつつ、負荷に安定化した出力電圧Vo1、Vo2を供給できる。その一方で、商用電源Eの電圧低下時には、平滑コンデンサCo1を入力電源として、コンバータ部PFC2を動作させることで、平滑コンデンサCo2から負荷に安定化した出力電圧Vo2を供給できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力電源からの交流電圧若しくは整流した電圧が入力され、並列に接続される第 1 のコンバータ部および第 2 のコンバータ部と、

前記第 1 のコンバータ部の出力端間に接続する第 1 のコンデンサと、

前記第 2 のコンバータ部の出力端間に接続する第 2 のコンデンサと、を備え、

前記入力電源の正常時には、前記第 1 および第 2 のコンバータ部を動作させ、前記入力電源からのエネルギーを前記第 1 および第 2 のコンデンサに送り出して、当該第 1 および第 2 のコンデンサから負荷に安定化した出力電圧を供給する一方で、

前記入力電源の電圧低下時には、前記第 2 のコンバータ部を動作させ、前記第 1 のコンデンサからのエネルギーを前記第 2 のコンデンサに送り出して、当該第 2 のコンデンサから前記負荷に安定化した出力電圧を供給する構成としたことを特徴とする力率改善コンバータ。

10

【請求項 2】

前記第 1 のコンバータ部は、その入力端間に第 1 のインダクタと第 1 のスイッチング素子との直列回路を接続し、前記第 1 のスイッチング素子と第 1 の整流素子との直列回路を、前記第 1 のコンデンサの両端間に接続して構成され、

前記第 2 のコンバータ部は、その入力端間に第 2 のインダクタと第 2 のスイッチング素子との直列回路を接続し、前記第 2 のスイッチング素子と第 2 の整流素子との直列回路を、前記第 2 のコンデンサの両端間に接続して構成されると共に、

20

前記第 1 の整流素子に第 1 の開閉体が並列に接続され、

前記入力電源の正常時には、前記第 1 の開閉体をオフにし、前記第 1 及び第 2 のスイッチング素子をスイッチング動作させる一方で、

前記入力電源の電圧低下時には、前記第 1 の開閉体をオンにし、前記第 2 のスイッチング素子をスイッチング動作させる構成としたことを特徴とする請求項 1 記載の力率改善コンバータ。

【請求項 3】

前記第 1 の開閉体が第 3 のスイッチング素子で構成され、

前記入力電源の正常時には、前記第 3 のスイッチング素子をオフにし、前記第 1 及び第 2 のスイッチング素子をスイッチング動作させる一方で、

30

前記入力電源の電圧低下時には、前記第 3 のスイッチング素子をオンにし、前記第 2 のスイッチング素子をスイッチング動作させると共に、前記第 1 および第 2 のインダクタに蓄えられたエネルギーが完全に放電するように、前記第 2 のスイッチング素子がオンする前に、前記第 1 のスイッチング素子を一時的にオンにし、且つ前記第 3 のスイッチング素子を一時的にオフにする構成としたことを特徴とする請求項 2 記載の力率改善コンバータ。

【請求項 4】

前記入力電源の電圧低下時には、前記第 1 のスイッチング素子がオンする前に、当該第 1 のスイッチング素子の両端間に蓄えられたエネルギーが完全に放電するように、前記第 1 及び第 3 のスイッチング素子を両方オフにする構成としたことを特徴とする請求項 3 記載の力率改善コンバータ。

40

【請求項 5】

前記第 1 のコンバータ部は、その入力端間に第 1 のインダクタと第 1 のスイッチング素子との直列回路を接続し、前記第 1 のスイッチング素子と第 3 のスイッチング素子との直列回路を、前記第 1 のコンデンサの両端間に接続して構成され、

前記第 2 のコンバータ部は、その入力端間に第 2 のインダクタと第 2 のスイッチング素子との直列回路を接続し、前記第 2 のスイッチング素子と第 4 のスイッチング素子との直列回路を、前記第 2 のコンデンサの両端間に接続して構成されると共に、

前記入力電源の正常時には、前記第 1 及び第 2 のスイッチング素子をスイッチング動作させる一方で、前記入力電源の電圧低下時には、前記第 2 及び第 3 のスイッチング素子を

50

オンにし、前記第 1 及び第 4 のスイッチング素子をオフにして、前記第 1 のコンデンサから前記第 1 及び第 2 のインダクタにエネルギーを蓄積する期間と、

前記第 3 のスイッチング素子をオンにし、前記第 1、第 2 及び第 4 のスイッチング素子をオフにして、前記第 4 のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、

前記第 3 及び第 4 のスイッチング素子をオンにし、前記第 1 及び第 2 のスイッチング素子をオフにして、前記第 1 及び第 2 のインダクタと前記第 1 のコンデンサに蓄えられているエネルギーを前記第 2 のコンデンサに放出させる期間と、

前記第 4 のスイッチング素子をオンにし、前記第 1、第 2 及び第 3 のスイッチング素子をオフにして、前記第 1 のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、

前記第 1 及び第 4 のスイッチング素子をオンにし、前記第 2 及び第 3 のスイッチング素子をオフにして、前記第 1 及び第 2 のインダクタに蓄えられているエネルギーを前記第 2 のコンデンサに放出させる期間と、

前記第 1 のスイッチング素子をオンにし、前記第 2、第 3 及び第 4 のスイッチング素子をオフにして、前記第 2 のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、

前記第 1 及び第 2 のスイッチング素子をオンにし、前記第 3 及び第 4 のスイッチング素子をオフにする期間と、

前記第 2 のスイッチング素子をオンにし、前記第 1、第 3 及び第 4 のスイッチング素子をオフにして、前記第 3 のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、を順に行なわせる構成としたことを特徴とする請求項 1 記載の力率改善コンバータ。

【請求項 6】

第 2 の開閉体を介して前記第 1 のコンバータ部の出力端間を前記第 2 のコンバータ部の出力端間に接続し、

前記入力電源の正常時には、前記第 2 の開閉体をオンにする一方で、

前記入力電源の電圧低下時には、前記第 2 の開閉体をオフにする構成としたことを特徴とする請求項 1 記載の力率改善コンバータ。

【請求項 7】

前記入力電源が正常の状態に復帰すると、前記第 1 および第 2 のコンバータ部を再び動作させ、前記第 1 のコンバータ部を通して前記第 1 のコンデンサを充電すると共に、前記第 2 のコンバータ部を通して前記第 2 のコンデンサから前記負荷に前記出力電圧を供給する構成としたことを特徴とする請求項 1 記載の力率改善コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、力率改善 (PFC) コンバータに関し、停電時や瞬停時においても出力電圧を安定化することのできる PFC コンバータに関する。

【背景技術】

【0002】

交流入力ラインの高調波抑制のために、例えば特許文献 1 に開示されるような力率改善 (PFC) コンバータが用いられている。この PFC コンバータは、入力電流の波形や位相を入力電圧波形と相似させ力率を改善する回路である。図 25 に代表的な昇圧型の PFC コンバータを示す。また、2 個の PFC コンバータ部 (PFC 1 と PFC 2) を並列接続したものを図 26 に示す。

【0003】

これらの各図において、Db は入力電源としての商用電源 E からの交流入力電圧 Vi を全波整流するダイオードブリッジ、PFC 1 は整流器としてのダイオードブリッジ Db の整流出力が印加される第 1 のコンバータ部であり、当該第 1 のコンバータ部 PFC 1 は、

10

20

30

40

50

ダイオードブリッジ D b の出力端間に接続する第 1 のインダクタ L 1 と第 1 のスイッチング素子 S 1 との直列回路と、これらのインダクタ L 1 及びスイッチング素子 S 1 の接続点に、一端であるアノードを接続するダイオードとしての第 1 の整流素子 D 1 とにより構成される。また、コンバータ部 P F C 1 の出力端間であって、整流素子 D 1 の他端（カソード）と、ダイオードブリッジ D b 及びスイッチング素子 S 1 の接続点との間には、平滑コンデンサ C o が接続され、この平滑コンデンサ C o の両端間に直流出力電圧 V o を生成する出力端子 + V , - V が接続される。

【 0 0 0 4 】

以上が図 2 5 及び図 2 6 に共通の回路構成であるが、図 2 6 ではさらに、第 1 のコンバータ部 P F C 1 と第 2 のコンバータ部 P F C 2 が、ダイオードブリッジ D b と平滑コンデンサ C o との間に並列に接続される。すなわちコンバータ部 P F C 2 は、ダイオードブリッジ D b の出力端間に接続する第 2 のインダクタ L 2 と第 2 のスイッチング素子 S 2 との直列回路と、これらのインダクタ L 2 及びスイッチング素子 S 2 の接続点に、一端であるアノードを接続するダイオードとしての第 2 の整流素子 D 2 とにより構成され、当該コンバータ部 P F C 2 の出力端間に平滑コンデンサ C o が接続される。

10

【 0 0 0 5 】

図 2 6 に示すように、並列接続するコンバータ部 P F C 1 , P F C 2 ... の数を増やすことで、P F C コンバータとしての電力容量を増やすことができる。また、コンバータ部 P F C 1 , P F C 2 間の位相をずらして、それぞれのスイッチング素子 S 1 , S 2 をスイッチング駆動させることで、入出力電流のリプルを低減することもできる。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 8 - 2 7 8 6 7 9 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

上述した P F C コンバータには、出力側に大容量の平滑コンデンサ C o が取り付けられており、この平滑コンデンサ C o にエネルギーを蓄積させておくことで、商用電源 E の停電や瞬停から出力側の電子機器を保護している。しかし、商用電源 E の停電や瞬停時に平滑コンデンサ C o からエネルギーを放電すると、これに伴って平滑コンデンサ C o の電圧、すなわち P F C コンバータの出力電圧 V o が低下する。したがって、瞬停時や停電時に十分な出力保持時間を得るためには、P F C コンバータの出力に大容量の平滑コンデンサを取り付け、さらに P F C コンバータの後段に電圧を安定化させるための電源回路を付加せざるを得なかった。

30

【 0 0 0 8 】

そこで本発明は上記問題点に鑑み、入力電源の停電や瞬停などが起きた際に、P F C コンバータ自体が出力電圧の低下を防ぐ機能を有することで、平滑コンデンサの小型化と、後段以降に接続される電源回路の簡略化、高効率化、低コスト化、小型軽量化などを実現し得る P F C コンバータを提供することを、その目的とする。

40

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の P F C コンバータは、上記目的を達成するためになされたものであり、その特徴は次に示すとおりである。

【 0 0 1 0 】

本発明では、入力電源からの交流電圧若しくは整流した電圧が入力され、並列に接続される第 1 のコンバータ部および第 2 のコンバータ部と、前記第 1 のコンバータ部の出力端間に接続する第 1 のコンデンサと、前記第 2 のコンバータ部の出力端間に接続する第 2 のコンデンサと、を備え、前記入力電源の正常時には、前記第 1 および第 2 のコンバータ部を動作させ、前記入力電源からのエネルギーを前記第 1 および第 2 のコンデンサに送り出

50

して、当該第1および第2のコンデンサから負荷に安定化した出力電圧を供給する一方で、前記入力電源の電圧低下時には、前記第2のコンバータ部を動作させ、前記第1のコンデンサからのエネルギーを前記第2のコンデンサに送り出して、当該第2のコンデンサから前記負荷に安定化した出力電圧を供給する構成を有している。

【0011】

そして、このような構成において、前記第1のコンバータ部は、その入力端間に第1のインダクタと第1のスイッチング素子との直列回路を接続し、前記第1のスイッチング素子と第1の整流素子との直列回路を、前記第1のコンデンサの両端間に接続して構成され、前記第2のコンバータ部は、その入力端間に第2のインダクタと第2のスイッチング素子との直列回路を接続し、前記第2のスイッチング素子と第2の整流素子との直列回路を、前記第2のコンデンサの両端間に接続して構成されると共に、前記第1の整流素子に第1の開閉体が並列に接続され、前記入力電源の正常時には、前記第1の開閉体をオフにし、前記第1及び第2のスイッチング素子をスイッチング動作させる一方で、前記入力電源の電圧低下時には、前記第1の開閉体をオンにし、前記第2のスイッチング素子をスイッチング動作させる構成を有している。

10

【0012】

こうした構成に加えて、前記第1の開閉体が第3のスイッチング素子で構成され、前記入力電源の正常時には、前記第3のスイッチング素子をオフにし、前記第1及び第2のスイッチング素子をスイッチング動作させる一方で、前記入力電源の電圧低下時には、前記第3のスイッチング素子をオンにし、前記第2のスイッチング素子をスイッチング動作させると共に、前記第1および第2のインダクタに蓄えられたエネルギーが完全に放電するように、前記第2のスイッチング素子がオンする前に、前記第1のスイッチング素子を一時的にオンにし、且つ前記第3のスイッチング素子を一時的にオフにする構成を有してもよい。

20

【0013】

さらに、前記入力電源の電圧低下時には、前記第1のスイッチング素子がオンする前に、当該第1のスイッチング素子の両端間に蓄えられたエネルギーが完全に放電するように、前記第1及び第3のスイッチング素子を両方オフにする構成を有してもよい。

【0014】

また、前記第1のコンバータ部は、その入力端間に第1のインダクタと第1のスイッチング素子との直列回路を接続し、前記第1のスイッチング素子と第3のスイッチング素子との直列回路を、前記第1のコンデンサの両端間に接続して構成され、前記第2のコンバータ部は、その入力端間に第2のインダクタと第2のスイッチング素子との直列回路を接続し、前記第2のスイッチング素子と第4のスイッチング素子との直列回路を、前記第2のコンデンサの両端間に接続して構成されると共に、前記入力電源の正常時には、前記第1及び第2のスイッチング素子をスイッチング動作させる一方で、前記入力電源の電圧低下時には、前記第2及び第3のスイッチング素子をオンにし、前記第1及び第4のスイッチング素子をオフにして、前記第1のコンデンサから前記第1及び第2のインダクタにエネルギーを蓄積する期間と、前記第3のスイッチング素子をオンにし、前記第1、第2及び第4のスイッチング素子をオフにして、前記第4のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、前記第3及び第4のスイッチング素子をオンにし、前記第1及び第2のスイッチング素子をオフにして、前記第1及び第2のインダクタと前記第1のコンデンサに蓄えられているエネルギーを前記第2のコンデンサに放出させる期間と、前記第4のスイッチング素子をオンにし、前記第1、第2及び第3のスイッチング素子をオフにして、前記第1のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、前記第1及び第4のスイッチング素子をオンにし、前記第2及び第3のスイッチング素子をオフにして、前記第1及び第2のインダクタに蓄えられているエネルギーを前記第2のコンデンサに放出させる期間と、前記第1のスイッチング素子をオンにし、前記第2、第3及び第4のスイッチング素子をオフにして、前記第2のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、前記第1及

30

40

50

び第2のスイッチング素子をオンにし、前記第3及び第4のスイッチング素子をオフにする期間と、前記第2のスイッチング素子をオンにし、前記第1、第3及び第4のスイッチング素子をオフにして、前記第3のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、を順に行なわせる構成としてもよい。

【0015】

また、第2の開閉体を介して前記第1のコンバータ部の出力端間を前記第2のコンバータ部の出力端間に接続し、前記入力電源の正常時には、前記第2の開閉体をオンにする一方で、前記入力電源の電圧低下時には、前記第2の開閉体をオフにする構成としてもよい。

【0016】

さらに、前記入力電源が正常の状態に復帰すると、前記第1および第2のコンバータ部を再び動作させ、前記第1のコンバータ部を通して前記第1のコンデンサを充電すると共に、前記第2のコンバータを通して前記第2のコンデンサから前記負荷に前記出力電圧を供給する構成としてもよい。

【発明の効果】

【0017】

本発明は上記の各手段により、次に示す効果を得ることが可能となる。

【0018】

上記構成では、入力電源の正常時において、並列接続された第1及び第2のコンバータ部の動作によって、入力電源からの入力電流を入力電圧の波形や位相に近付けて力率を改善しつつ、負荷に安定化した出力電圧を供給できる。その一方で、入力電源の電圧低下時には、第1のコンデンサを入力電源として、第2のコンバータ部を動作させることで、第2のコンデンサから負荷に安定化した出力電圧を供給できる。したがって、入力電源の停電や瞬停などが起きた際に、PFCコンバータ自体が出力電圧の低下を防ぐ機能を有することになり、平滑コンデンサの小型化と、電源回路の簡略化、高効率化、低コスト化、小型軽量化などを実現できる。

【0019】

また、入力電源の電圧低下時には、第1の開閉体をオンにして、第1のコンデンサから各インダクタに向けて電流が流れるようにし、第2のコンバータ部における第2のスイッチング素子をスイッチング動作させるだけで、第1及び第2のインダクタから第2のコンデンサにエネルギーを送り出して、安定化した出力電圧を負荷に供給することが可能になる。

【0020】

また、入力電源の電圧低下時に、第1及び第2のインダクタから第2のコンデンサに流れる電流を零まで減少させた状態で、第1のスイッチング素子や第2の整流素子をターンオフさせることができる。そのため、これらの第1のスイッチング素子や第2の整流素子のスイッチング損失やサージ電圧を抑制できる。

【0021】

また、入力電源の電圧低下時に、第1のスイッチング素子の端子間電圧を零まで減少させた状態で、当該第1のスイッチング素子をターンオンさせることができ、第1のスイッチング素子のスイッチング損失やサージ電圧を抑制できる。

【0022】

さらに、入力電源の電圧低下時に、第1～第4のスイッチング素子の何れかを単独でオンするように動作させることで、これらの第1～第4のスイッチング素子の端子間電圧を零まで減少させた状態で、当該第1～第4のスイッチング素子をターンオンさせることができ、第1～第4のスイッチング素子の全てに対してスイッチング損失やサージ電圧を抑制できる。

【0023】

加えて、入力電源の正常時には、第2の開閉体をオンにすることで、第1及び第2のコンバータ部を並列に接続した状態で、負荷に電力供給が行われる一方で、商用電源Eの電

10

20

30

40

50

圧低下時には、第 2 の開閉体をオフにすることで、第 2 のコンデンサから第 1 の平滑コンデンサにエネルギーが戻るのを防いで、負荷に無駄なく電力を供給することが可能になる。

【 0 0 2 4 】

しかも、入力電源が正常の状態に復帰した直後から、第 1 のコンデンサにエネルギーを蓄えながら、所望の出力電圧を負荷に供給することが可能になる。

【 図面の簡単な説明 】

【 0 0 2 5 】

【 図 1 】 本発明の第 1 実施例を示す P F C コンバータの回路図である。

【 図 2 】 同上、停電時や瞬停時における等価回路を示す説明図である。

10

【 図 3 】 同上、停電時や瞬停時における等価回路を示す説明図である。

【 図 4 】 本発明の第 2 実施例を示す P F C コンバータの回路図である。

【 図 5 】 同上、各部の波形図である。

【 図 6 】 同上、停電時や瞬停時において、 $t_0 \sim t_1$ の期間における等価回路を示す説明図である。

【 図 7 】 同上、停電時や瞬停時において、 $t_1 \sim t_2$ の期間における等価回路を示す説明図である。

【 図 8 】 同上、停電時や瞬停時において、 $t_2 \sim t_3$ の期間における等価回路を示す説明図である。

【 図 9 】 本発明の第 3 実施例における P F C コンバータの一動作状態を示す回路図である

20

【 図 1 0 】 本発明の第 4 実施例を示す P F C コンバータの回路図である。

【 図 1 1 】 同上、各部の波形図である。

【 図 1 2 】 同上、停電時や瞬停時において、 $t_0 \sim t_1$ の期間における等価回路を示す説明図である。

【 図 1 3 】 同上、停電時や瞬停時において、 $t_1 \sim t_2$ の期間における等価回路を示す説明図である。

【 図 1 4 】 同上、停電時や瞬停時において、 $t_2 \sim t_3$ の期間における等価回路を示す説明図である。

【 図 1 5 】 同上、停電時や瞬停時において、 $t_3 \sim t_4$ の期間における等価回路を示す説明図である。

30

【 図 1 6 】 同上、停電時や瞬停時において、 $t_4 \sim t_5$ の期間における等価回路を示す説明図である。

【 図 1 7 】 同上、停電時や瞬停時において、 $t_4 \sim t_5$ の期間における等価回路を示す説明図である。

【 図 1 8 】 同上、停電時や瞬停時において、 $t_5 \sim t_6$ の期間における等価回路を示す説明図である。

【 図 1 9 】 同上、停電時や瞬停時において、 $t_6 \sim t_7$ の期間における等価回路を示す説明図である。

【 図 2 0 】 同上、停電時や瞬停時において、 $t_7 \sim t_8$ の期間における等価回路を示す説明図である。

40

【 図 2 1 】 同上、停電時や瞬停時において、 $t_8 \sim t_1$ の期間における等価回路を示す説明図である。

【 図 2 2 】 従来例におけるブリッジダイオードレスの 2 相式 P F C コンバータを示す回路図である。

【 図 2 3 】 本発明の第 5 実施例を示す P F C コンバータの回路図である。

【 図 2 4 】 同上、停電時や瞬停時における動作状態を示す回路図である。

【 図 2 5 】 従来例における P F C コンバータの回路図である。

【 図 2 6 】 コンバータ部を並列接続した別の従来例を示す P F C コンバータの回路図である。

50

【発明を実施するための形態】

【0026】

以下、添付図面を参照しながら、本発明を実施するための最良の形態を詳細に説明する。なお、従来例と共通する部位には同一の符号を付し、重複する箇所の説明は極力省略する。

【実施例1】

【0027】

図1は、本発明におけるPFCコンバータの最良の一形態を示している。同図において、例えばMOS型FETからなる第1のスイッチング素子 S_1 、第1のインダクタ L_1 、および第1の整流素子 D_1 からなる第1のコンバータ部PFC1と、例えばMOS型FETからなる第2のスイッチング素子 S_2 、第2のインダクタ L_2 、および第2の整流素子 D_2 からなる第2のコンバータ部PFC2とを並列接続した2並列のPFCコンバータにおいて、ここでは第1のコンバータ部PFC1の出力端間に第1の平滑コンデンサ C_{o1} を接続し、第2のコンバータ部PFC2の出力端間に第2の平滑コンデンサ C_{o2} を接続し、第1の平滑コンデンサ C_{o1} の正側端子と第2の平滑コンデンサ C_{o2} の正側端子との間に整流素子 D_s を接続し、さらには第1の整流素子 D_1 と並列に第1の開閉体としてのスイッチ S_s を接続して構成され、通常時には2並列若しくは2相式のPFCコンバータとして、各コンバータ部PFC1、PFC2を動作させる一方で、商用電源Eの停電や瞬停時には、コンバータ部PFC1、PFC2を昇圧型コンバータとして動作させることにより、停電や瞬停時において、平滑コンデンサ C_{o2} の両端間に発生する出力電圧 V_{o2} の低下を防ぐ構成を有している。また、出力端子 $+V$ 、 $-V$ は第2の平滑コンデンサ C_{o2} の両端間に接続され、この出力端子 $+V$ 、 $-V$ に接続した電源回路から各種電子機器に、所望の電力を供給できるようになっている。これらの電源回路及び各種電子機器は、何れも図示しないが、PFCコンバータの負荷に相当する。

【0028】

なお別な例として、例えば出力端子 $+V$ 、 $-V$ からの出力電圧にほぼ一致した電圧で動作し、且つ絶縁が不要な電子機器であれば、その電子機器を負荷として、出力端子 $+V$ 、 $-V$ に直接接続してもよい。

【0029】

図1には示していないが、ここにはスイッチング素子 S_1 、 S_2 をスイッチングさせるための制御回路が設けられる。この制御回路は、第1の平滑コンデンサ C_{o1} の両端間に発生する第1の出力電圧 V_{o1} に比例した第1の検出電圧を監視して、この第1の検出電圧と第1の基準電圧との差異に応じたパルス幅を有する第1のパルス駆動信号を生成し、当該第1のパルス駆動信号を第1のスイッチング素子 S_1 の制御端子(ゲート)に供給する第1のPWM(パルス幅変調)制御部と、第2の平滑コンデンサ C_{o2} の両端間に発生する第2の出力電圧 V_{o2} に比例した第2の検出電圧を監視して、この第2の検出電圧と第2の基準電圧との差異に応じたパルス幅を有する第2のパルス駆動信号を生成し、当該第2のパルス駆動信号を第2のスイッチング素子 S_2 の制御端子(ゲート)に供給する第2のPWM制御部と、を各々備えている。

【0030】

第1のPWM制御部は、第1の出力電圧 V_{o1} と第1のコンバータ部PFC1に印加される入力電圧との乗算で得た波形や位相が、第1のコンバータ部PFC1に供給される入力電流の波形や位相と相似するように、前記第1のパルス駆動信号のパルス幅を決定して、第1のスイッチング素子 S_1 をスイッチング制御する。同様に、第2のPWM制御部は、第1の出力電圧 V_{o2} と第2のコンバータ部PFC2に印加される入力電圧との乗算で得た波形や位相が、第2のコンバータ部PFC2に供給される入力電流の波形や位相と相似するように、前記第2のパルス駆動信号のパルス幅を決定して、第2のスイッチング素子 S_2 をスイッチング制御する。このような各PWM制御部のスイッチング制御によって、商用電源Eから各コンバータ部PFC1、PFC2への入力電流の波形や位相を、略正弦波状の入力電圧 V_i に近づけて高調波歪を低減し、力率を改善するように構成している

。

【0031】

さらに本実施例の制御回路は、商用電源Eからの入力電圧 V_i を監視して、各スイッチング素子 S_1 、 S_2 や、スイッチ S_s の動作を制御する監視制御部を備えている。すなわち監視制御部は、PFCコンバータに入力電圧 V_i が正しく印加されているか否かを判断し、その判断結果に応じて各スイッチング素子 S_1 、 S_2 や、スイッチ S_s の動作を制御する機能を有している。

【0032】

次に、図1に示す本発明のPFCコンバータにおいて、その動作を図2及び図3に基づき説明する。

10

【0033】

商用電源Eが停電や瞬停などを起こしておらず、商用電源Eからの交流入力ライン間に所定の入力電圧 V_i が発生している時には、前記監視制御部がスイッチ S_s をオフにする。この際、PFCコンバータは、従来の図26に示したような2並列の昇圧型PFCコンバータ(コンバータ部PFC1、PFC2)と同様に動作し、第1および第2のPWM制御部が上述のように対応するスイッチング素子 S_1 、 S_2 をスイッチング制御することで、第1のインダクタ電流 L_1 や第2のインダクタ L_2 に流れる電流を、電流連続モードまたは電流不連続モード、若しくは境界モードで動作させ、入力電流の波形や位相を入力電圧波形と相似させることにより、力率を改善する。これらの具体的な動作については、当業者には自明であるので省略する。

20

【0034】

一方、前記交流入力ライン間の入力電圧 V_i が所定値よりも低下し、商用電源Eが停電や瞬停を起こしたと監視制御部が判断した場合は、当該監視制御部がスイッチ S_s をオン、スイッチング素子 S_1 をオフに固定し、スイッチング素子 S_2 を第2のPWM制御部による制御に従ってオン・オフ制御させる。これにより、本発明のPFCコンバータは、平滑コンデンサ C_{o1} の電圧 V_{o1} を入力電源とし、平滑コンデンサ C_{o2} の電圧 V_{o2} を出力電圧とした昇圧型コンバータとして機能する。

【0035】

まず、スイッチング素子 S_2 がオンの期間では、図2に示すように、スイッチング素子 S_2 と共にスイッチ S_s がオンしている関係で、平滑コンデンサ C_{o1} とインダクタ L_1 、 L_2 が連結した閉回路が形成され、矢印Fに示す電流の流れによって、平滑コンデンサ C_{o1} から各インダクタ L_1 、 L_2 にエネルギーが蓄積される。このとき、整流素子 D_2 はオフ状態となっており、平滑コンデンサ C_{o2} の両端間に発生する電圧が、出力電圧 V_{o2} として出力端子 $+V$ 、 $-V$ に発生する。

30

【0036】

やがて、スイッチング素子 S_2 がオフになると、今度図3に示すように、スイッチ素子 S_s と整流素子 D_2 とにより、平滑コンデンサ C_{o1} 、 C_{o2} とインダクタ L_1 、 L_2 が連結した閉回路が形成され、矢印Fに示す電流の流れによって、それまでインダクタ L_1 、 L_2 に蓄えられていたエネルギーが平滑コンデンサ C_{o2} へ放出される。そのため、平滑コンデンサ C_{o2} の両端間には、平滑コンデンサ C_{o1} の電圧 V_{o1} よりも高い出力電圧 V_{o2} が発生する。その後は、スイッチング素子 S_2 が再びオンする期間に戻り、上述した動作が繰り返される。

40

【0037】

ここで、スイッチング素子 S_2 のスイッチング周期 T に対するオン時間 T_{on} の割合を時比率 $D (= T_{on} / T)$ とすると、本発明におけるPFCコンバータとしての出力電圧 V_{o2} は、既存の昇圧型コンバータと同様に、 $V_{o2} = V_{o1} / (1 - D)$ として得られる。したがって、停電や瞬停によって、入力電源Eの電圧 V_{o1} 、すなわち平滑コンデンサ C_{o1} の電圧が下がったとしても、出力電圧 V_{o2} の監視結果に基づいて、スイッチング制御されるスイッチング素子 S_2 の時比率 D を可変制御することで、出力電圧 V_{o2} を一定値に保つことができる。この様に、停電時や瞬停時などにおいても、PFCコンバー

50

タの出力電圧 V_o2 が安定化されることにより、後段に接続される電源回路の設計は容易となる。

【0038】

また、商用電源 E が停電や瞬停などから正常の状態に復帰し、交流入力ライン間に所定の入力電圧 V_i が再び発生するようになると、前記監視制御部はスイッチ S_s をオフにし、コンバータ部 $PFC1$ のスイッチング素子 S_1 とコンバータ部 $PFC2$ のスイッチング素子 S_1 を再びスイッチング動作させる。この際、 PFC コンバータは、2並列の昇圧型 PFC コンバータ（コンバータ部 $PFC1$, $PFC2$ ）と同様に動作し、商用電源 E から各コンバータ部 $PFC1$, $PFC2$ への入力電流の波形や位相を略正弦波状の入力電圧 V_i に近づけて、入力電流の高調波歪を低減し、力率を改善する。

10

【0039】

但し、商用電源 E の復帰直後は、平滑コンデンサ C_o1 の出力電圧 V_o1 が停電や瞬停などにより低下しているので、出力電圧 V_o1 が所望の電圧に達するまで整流素子 D_s をオフにして、コンバータ部 $PFC1$ を通して平滑コンデンサ C_o1 を充電する。したがってこの充電期間は、コンバータ部 $PFC2$ を通して平滑コンデンサ C_o2 から負荷に出力電圧 V_o2 が供給され、商用電源 E の復帰直後から平滑コンデンサ C_o1 にエネルギーを蓄えながら、所望の出力電圧 V_o2 を負荷に供給できる。そして、出力電圧 V_o2 よりも出力電圧 V_o1 が高くなれば、整流素子 D_s はオン状態となり、平滑コンデンサ C_o1 から整流素子 D_s を通ってエネルギーが平滑コンデンサ C_o2 に移動し、平滑コンデンサ C_o2 の両端間に発生する出力電圧 V_o2 が負荷に供給される。

20

【0040】

以上のように、本実施例では、入力電源たる商用電源 E からの整流した電圧が例えばダイオードブリッジ D_b を介して入力され、並列に接続されるコンバータ部 $PFC1$, $PFC2$ と、コンバータ部 $PFC1$ の出力端間に接続する第1のコンデンサとしての平滑コンデンサ C_o1 と、コンバータ部 $PFC2$ の出力端間に接続する第2のコンデンサとしての平滑コンデンサ C_o2 とを備えており、商用電源 E の正常時には、前記第1および第2のコンバータ部 $PFC1$, $PFC2$ を共に動作させ、商用電源 E からのエネルギーをコンバータ部 $PFC1$, $PFC2$ から各平滑コンデンサ C_o1 , C_o2 に送り出して、これらの平滑コンデンサ C_o1 , C_o2 から負荷に安定化した出力電圧 V_o1 , V_o2 を供給する一方で、停電や瞬停などによる商用電源 E の電圧低下時には、コンバータ部 $PFC2$ だけをスイッチングし、平滑コンデンサ C_o1 からのエネルギーをコンバータ部 $PFC1$, $PFC2$ から平滑コンデンサ C_o2 に送り出して、この平滑コンデンサ C_o2 から負荷に安定化した出力電圧 V_o2 を供給する構成を有している。

30

【0041】

このようにすると、商用電源 E の正常時において、並列接続された各コンバータ部 $PFC1$, $PFC2$ の動作によって、商用電源 E からの入力電流を入力電圧の波形や位相に近づけて力率を改善しつつ、負荷に安定化した出力電圧 V_o1 , V_o2 を供給できる。その一方で、商用電源 E の電圧低下時には、平滑コンデンサ C_o1 を入力電源として、コンバータ部 $PFC2$ を動作させることで、平滑コンデンサ C_o2 から負荷に安定化した出力電圧 V_o2 を供給できる。したがって、商用電源 E の停電や瞬停などが起きた際に、 PFC コンバータ自体が出力電圧 V_o2 の低下を防ぐ機能を有することになり、 PFC コンバータに取付けられる平滑コンデンサの小型化と、電源回路の簡略化、高効率化、低コスト化、小型軽量化などを実現できる。

40

【0042】

以上のように、本実施例のコンバータ部 $PFC1$ は、その入力端間に第1のインダクタ $L1$ と第1のスイッチング素子 $S1$ との直列回路を接続し、このスイッチング素子 $S1$ と第1の整流素子 $D1$ との直列回路を、平滑コンデンサ C_o1 の両端間に接続して構成され、コンバータ部 $PFC2$ は、その入力端間に第2のインダクタ $L2$ と第2のスイッチング素子 $S2$ との直列回路を接続し、このスイッチング素子 $S2$ と第2の整流素子 $D2$ との直列回路を、平滑コンデンサ C_o2 の両端間に接続して構成されると共に、整流素子 $D1$ に

50

は第1の開閉体としてのスイッチ S_s が並列に接続されており、商用電源 E の正常時には、スイッチ S_s をオフにし、スイッチング素子 S_1 、 S_2 をスイッチング動作させる一方で、商用電源 E の電圧低下時には、スイッチ S_s をオンにし、スイッチング素子 S_2 をスイッチング動作させる構成を有している。

【0043】

こうすると、商用電源 E の電圧低下時に、スイッチ S_s をオンにして、平滑コンデンサ C_{o1} から各インダクタ L_1 、 L_2 に向けて電流が流れるようにし、コンバータ部 $PF C_2$ のスイッチング素子 S_2 をスイッチング動作させるだけで、各インダクタ L_1 、 L_2 からコンデンサ C_{o2} にエネルギーを送り出して、安定化した出力電圧 V_{o2} を負荷に供給することが可能になる。

10

【0044】

なお本実施例では、第1の開閉体としてスイッチ S_s を用いたが、後述する実施例のようなスイッチング素子を用いることも可能である。

【実施例2】

【0045】

図4は、本発明の第2実施例における $PF C$ コンバータを示しており、ここでは上記第1実施例における機構式のスイッチ S_s を、例えば FET のような高速でオン・オフする半導体のスイッチング素子に変えることもできる。その他の構成は、図示しない制御回路を含めて第1実施例と共通している。

20

【0046】

商用電源 E が停電や瞬停などを起こしておらず、交流入力ライン間に所定の入力電圧 V_i が発生している時には、監視制御部がスイッチング素子 S_s をオフにし、図1の回路と同様の $PF C$ コンバータとして、制御回路が各コンバータ部 $PF C_1$ 、 $PF C_2$ を動作させる。なお、ダイオードである整流素子 D_1 は、スイッチング素子 S_s に内蔵するボディダイオードを利用しても良い。出力電圧 V_{o1} よりも出力電圧 V_{o2} が高ければ、整流素子 D_s はオフ状態となり、その出力電圧 V_{o2} が出力端子 $+V$ 、 $-V$ に接続する電源回路と各種電子機器との負荷に供給される。一方、出力電圧 V_{o2} よりも出力電圧 V_{o1} が高ければ、整流素子 D_s はオン状態となり、平滑コンデンサ C_{o1} から整流素子 D_s を通してエネルギーが平滑コンデンサ C_{o2} に移動し、平滑コンデンサ C_{o2} の両端間に発生する出力電圧 V_{o2} が負荷に供給される。

30

【0047】

一方、停電時や瞬停時における各スイッチング素子 S_s 、 S_2 、 S_1 のゲート電圧 V_{s_s} 、 V_{s_2} 、 V_{s_1} の波形と、各インダクタ L_1 、 L_2 の電流 i_{L_1} 、 i_{L_2} の波形を、図5に示す。ここに記述される t_0 、 t_1 、 t_2 、 t_3 は、状態が変化する時間(タイミング)を表わす。また、図6~図8に各状態の等価回路を示す。

【0048】

先ず、 $t_0 \sim t_1$ の期間では、図6に示すように、スイッチング素子 S_s 、 S_2 がオンとなる一方で、スイッチング素子 S_1 はオフとなり、平滑コンデンサ C_{o1} とインダクタ L_1 、 L_2 が連結した閉回路が形成され、矢印 F に示す電流の流れによって、平滑コンデンサ C_{o1} から各インダクタ L_1 、 L_2 にエネルギーが蓄積される。このとき、整流素子 D_2 はオフ状態となっており、平滑コンデンサ C_{o2} の両端間に発生する電圧が、出力電圧 V_{o2} として出力端子 $+V$ 、 $-V$ に発生する。

40

【0049】

続いて、 $t_1 \sim t_2$ の期間では、図7に示すように、スイッチング素子 S_2 がオフになると、オン状態にあるスイッチング素子 S_s と整流素子 D_2 とにより、平滑コンデンサ C_{o1} 、 C_{o2} とインダクタ L_1 、 L_2 が連結した閉回路が形成され、矢印 F に示す電流の流れによって、それまでインダクタ L_1 、 L_2 に蓄えられていたエネルギーが平滑コンデンサ C_{o2} へ放出される。そのため、平滑コンデンサ C_{o2} の両端間には、平滑コンデンサ C_{o1} の電圧 V_{o1} よりも高い出力電圧 V_{o2} が発生する。

【0050】

50

続いて、 $t_2 \sim t_3 (= t_0)$ の期間では、図8に示すように、スイッチング素子 S_s がオフとなり、スイッチング素子 S_1 がオンとなる。すると、オン状態にあるスイッチング素子 S_1 と整流素子 D_2 とにより、平滑コンデンサ C_o2 とインダクタ L_1, L_2 が連結した閉回路が形成され、インダクタ L_1, L_2 に蓄えられているエネルギーがコンデンサ C_o2 に放出される。この期間に、インダクタ L_1, L_2 がエネルギーを完全に放出して、そのインダクタ電流 i_{L1}, i_{L2} を零まで減少させれば、時間 t_0 の瞬間に電流が流れない状態でスイッチング素子 S_1 や整流素子 D_2 をターンオフさせ、且つスイッチング素子 S_2 をターンオンさせる零電流スイッチングが可能となり、スイッチング素子 S_1, S_2 や整流素子 D_2 のスイッチング損失やサージ電圧を抑制できる。

【0051】

そして次には、最初の $t_0 \sim t_1$ の期間に戻り、上述した動作が繰り返される。

【0052】

ここでも、停電時や瞬停時には、上記一連の動作を行ないつつ、スイッチング素子 S_2 の時比率 D を制御することで、平滑コンデンサ C_o2 の両端間に発生する出力電圧 V_o2 を一定値に保つことができる。そのため、PFCコンバータの出力電圧 V_o2 が安定化され、後段に接続される電源回路の設計が容易となる。

【0053】

本実施例におけるPFCコンバータは、第1実施例のスイッチ S_s に代わって第3のスイッチング素子 S_s で第1の開閉体が構成され、商用電源 E の正常時には、スイッチング素子 S_s をオフにし、スイッチング素子 S_1, S_2 をスイッチング動作させる一方で、商用電源 E の電圧低下時には、スイッチング素子 S_s をオンにし、スイッチング素子 S_2 をスイッチング動作させて、平滑コンデンサ C_o1 からのエネルギーをコンバータ部PFC1, PFC2から平滑コンデンサ C_o2 に送り出して、この平滑コンデンサ C_o2 から負荷に安定化した出力電圧 V_o2 を供給すると共に、スイッチング素子 S_2 をオフすることによって、インダクタ L_1, L_2 に蓄えられたエネルギーが、平滑コンデンサ C_o2 に完全に放電するように、前記スイッチング素子 S_2 がオフしてから、このスイッチング素子 S_2 が次にオンするまでの間に、スイッチング素子 S_1 を一時的にオンにし、且つスイッチング素子 S_s を一時的にオフにする構成を有している。

【0054】

こうすると、インダクタ L_1, L_2 から平滑コンデンサ C_o2 に流れるインダクタ電流 i_{L1}, i_{L2} を零まで減少させた状態で、スイッチング素子 S_1 や整流素子 D_2 をターンオフさせることができ、これらのスイッチング素子 S_1 や整流素子 D_2 のスイッチング損失やサージ電圧を抑制できる。

【実施例3】

【0055】

図9は、本発明の第3実施例におけるPFCコンバータの一動作状態を示している。ここでは、図4に示す第2実施例の回路において、図7と図8の動作の間に、図9に示すような、スイッチング素子 S_s とスイッチング素子 S_1 が両方オフとなる期間(デッドタイム)を設けるように、上述した制御回路の監視制御部を構成する。それ以外の構成や動作は、第2実施例と共通しているが、第1のスイッチング素子 S_1 は、そのドレイン・ソース間にボディダイオード D_{11} を逆並列接続したFETであることが好ましい。勿論、FET以外のスイッチング素子 S_1 であれば、同様の整流素子を外付けで接続してもよい。なお、 C_{11} はスイッチング素子 S_1 のドレイン・ソース間に寄生する容量である。

【0056】

本実施例におけるPFCコンバータは、図9の期間において、スイッチング素子 S_1, S_2, S_s が何れもオフになっている関係で、スイッチング素子 S_1 のドレイン・ソース間容量 C_{11} に蓄えられているエネルギーが、整流素子 D_2 から平滑コンデンサ C_o2 に向けて流れるインダクタ電流 i_{L1}, i_{L2} によって放電される。また、容量 C_{11} が完全に放電して、スイッチング素子 S_1 のドレイン・ソース間電圧が零まで下がった後は、スイッチング素子 S_1 のボディダイオード D_{11} を通してインダクタ電流 i_{L1}, i_{L2}

10

20

30

40

50

2が流れ続ける。したがって、この間にスイッチング素子S1がオンするように、そのオンタイミングを設定すれば、当該スイッチング素子S1のドレイン・ソース間電圧が零の状態にターンオンさせる零電圧スイッチングが実現でき、スイッチング素子S1のスイッチング損失やサージが低減できる。

【0057】

以上のように本実施例は、上記第2実施例における構成に加えて、商用電源Eの電圧低下時において、スイッチング素子S1がオンする前に、このスイッチング素子S1の両端間に蓄えられたエネルギーが完全に放電するように、コンバータ部PFC1のスイッチング素子S1、S_sを何れもオフにする期間を設けた構成となっている。

【0058】

こうすると、スイッチング素子S1のドレイン・ソース間電圧を零まで減少させた状態で、当該スイッチング素子S1をターンオンさせることができ、スイッチング素子S1のスイッチング損失やサージ電圧を抑制できる。

【実施例4】

【0059】

図10は、本発明の第4実施例におけるPFCコンバータを示しており、ここでは前記整流素子D1、D2を、例えばFETのようなスイッチング素子S_{s1}、S_{s2}に変えることもできる。すなわちこれは、第2実施例の図4に示す整流素子D2を、スイッチング素子S_{s2}に変えたものである。

【0060】

商用電源Eが停電や瞬停を起こしていない時には、監視制御部がスイッチング素子S_{s1}、S_{s2}を何れもオフにし、スイッチング素子S_{s1}、S_{s2}のボディーダイオード(図示せず)を、整流素子D1、D2の代わりとして利用する。もしくは、スイッチング素子S_{s1}、S_{s2}を同期整流スイッチとして動作させてもよい。この場合、第1のコンバータ部PFC1は、スイッチング素子S1がオンの時にスイッチング素子S_{s1}をオフにして、インダクタL1にエネルギーを蓄え、スイッチング素子S1がオフの時にスイッチング素子S_{s1}をオンにして、それまでインダクタL1に蓄えられたエネルギーを平滑コンデンサC_{o1}に放出し、入力電圧V_iよりも高い出力電圧V_{o1}を平滑コンデンサC_{o1}の両端間に生成する。同様に、第2のコンバータ部PFC2は、スイッチング素子S2がオンの時にスイッチング素子S_{s2}をオフにして、インダクタL2にエネルギーを蓄え、スイッチング素子S2がオフの時にスイッチング素子S_{s2}をオンにして、それまでインダクタL2に蓄えられたエネルギーを平滑コンデンサC_{o2}に放出し、入力電圧V_iよりも高い出力電圧V_{o2}を平滑コンデンサC_{o2}の両端間に生成することができる。

【0061】

さらに別な例として、スイッチング素子S_{s1}、S_{s2}と並列に整流素子(図示せず)を別途取り付けても良い。これらの回路構成により、本実施例のPFCコンバータは、第1実施例に示す図1の回路と同様に動作する。

【0062】

一方、停電時や瞬停時における各スイッチング素子S_{s1}、S1、S_{s2}、S2のゲート電圧V_{gs1}、V_{gs1}、V_{gs2}、V_{gs2}の波形と、各インダクタL1、L2の電流i_{L1}、i_{L2}の波形を、図11に示す。ここに記述されるt₀、t₁、t₂、t₃、t₄、t₅、t₆、t₇、t₈は、状態が変化する時間(タイミング)を表わす。また、図12~図21に各状態における等価回路を示す。

【0063】

まず、t₀~t₁の期間では、図12に示すように、スイッチング素子S_{s1}、S2がオンとなる一方で、スイッチング素子S1、S_{s2}はオフとなり、平滑コンデンサC_{o1}とインダクタL1、L2が連結した閉回路が形成され、矢印Fに示す電流の流れによって、平滑コンデンサC_{o1}からこれらのインダクタL1、L2にエネルギーが蓄積される。

【0064】

続いて、t₁~t₂の期間では、図13に示すように、スイッチング素子S2がオフに

10

20

30

40

50

なる。これにより、スイッチング素子 S_{s2} のドレイン・ソース間容量 C_{22} に蓄えられているエネルギーが、平滑コンデンサ C_{o1} からインダクタ L_1, L_2 に向けて流れるインダクタ電流 i_{L1}, i_{L2} によって放電され、そのドレイン・ソース間電圧が零まで低下し、容量 C_{22} が完全に放電すると、今度はスイッチング素子 S_{s2} に内蔵するボディダイオード D_{22} を通してインダクタ電流 i_{L1}, i_{L2} が流れ続ける。したがって、この状態でスイッチング素子 S_{s2} をオンにし、図 14 に示す次の $t_2 \sim t_3$ の期間に移行させれば、スイッチング素子 S_{s2} の零電圧スイッチングが実現できる。なお、この $t_2 \sim t_3$ の期間では、平滑コンデンサ C_{o1}, C_{o2} とインダクタ L_1, L_2 を連結した閉回路が形成されているので、インダクタ L_1, L_2 と平滑コンデンサ C_{o1} に蓄えられているエネルギーがコンデンサ C_{o2} に放出され、平滑コンデンサ C_{o1} の電圧 V_{o1} よりも高い出力電圧 V_{o2} が、平滑コンデンサ C_{o2} の両端間に発生する。

10

【0065】

続いて、 $t_3 \sim t_4$ の期間では、図 15 に示すように、スイッチング素子 S_{s1} がオフとなり、スイッチング素子 S_{s1} のドレイン・ソース間容量 C_{11} に蓄えられているエネルギーが、インダクタ L_1, L_2 から平滑コンデンサ C_{o2} に向けて流れるインダクタ電流 i_{L1}, i_{L2} によって放電され、そのドレイン・ソース間電圧が零まで低下し、容量 C_{11} が完全に放電すると、今度はスイッチング素子 S_{s1} に内蔵するボディダイオード D_{11} を通してインダクタ電流 i_{L1}, i_{L2} が流れ続ける。したがって、この状態でスイッチング素子 S_{s1} をオンにし、図 16 に示す次の $t_4 \sim t_5$ の期間に移行させれば、スイッチング素子 S_{s1} の零電圧スイッチングが実現できる。また、この $t_4 \sim t_5$ の期間では、平滑コンデンサ C_{o2} とインダクタ L_1, L_2 が連結した閉回路で形成されているので、インダクタ L_1, L_2 に蓄えられているエネルギーが平滑コンデンサ C_{o2} に放出される。これにより、インダクタ電流 i_{L1}, i_{L2} は減少し、やがて図 17 に示すように、インダクタ電流 i_{L1}, i_{L2} は逆方向に流れ始める。したがって、次の図 18 に示す $t_5 \sim t_6$ の期間において、スイッチング素子 S_{s2} をオフにすれば、スイッチング素子 S_{s2} のドレイン・ソース間容量 C_{12} に蓄えられているエネルギーが、逆方向に流れるインダクタ電流 i_{L1}, i_{L2} によって放電され、そのドレイン・ソース間電圧が零まで低下し、容量 C_{12} が完全に放電すると、今度はスイッチング素子 S_{s2} に内蔵するボディダイオード D_{12} を通して、逆向きのインダクタ電流 i_{L1}, i_{L2} が流れ続ける。よって、スイッチング素子 S_{s2} のドレイン・ソース間電圧が零になった後に、図 19 に示すようにスイッチング素子 S_{s2} をオンにし、 $t_6 \sim t_7$ の期間に移行させれば、スイッチング素子 S_{s2} の零電圧スイッチングが実現できる。

20

30

【0066】

次の期間 $t_7 \sim t_8$ では、図 20 に示すように、スイッチング素子 S_{s1} がオフになり、スイッチング素子 S_{s1} のドレイン・ソース間容量 C_{21} に蓄えられているエネルギーが、逆方向に流れるインダクタ電流 i_{L1}, i_{L2} によって放電され、スイッチング素子 S_{s1} のドレイン・ソース間電圧が零まで下がる。そして、容量 C_{21} が完全に放電すると、今度はスイッチング素子 S_{s1} に内蔵するボディダイオード D_{21} を通して、逆向きのインダクタ電流 i_{L1}, i_{L2} が流れ続ける。よって、スイッチング素子 S_{s1} のドレイン・ソース間電圧が零になった後に、図 21 に示すようにスイッチング素子 S_{s1} をオンにし、 $t_8 (t_0) \sim t_1$ の期間に移行させれば、スイッチング素子 S_{s1} の零電圧スイッチングを実現できる。

40

【0067】

$t_8 \sim t_1$ の期間では、平滑コンデンサ C_{o1} とインダクタ L_1, L_2 が連結した閉回路で形成されているので、インダクタ L_1, L_2 に蓄えられているエネルギーが平滑コンデンサ C_{o1} に放出される。これにより、逆向きのインダクタ電流 i_{L1}, i_{L2} は減少し、やがて前記図 12 の状態に戻って、平滑コンデンサ C_{o1} からインダクタ L_1, L_2 に向けて正方向のインダクタ電流 i_{L1}, i_{L2} が流れ始める。以後、上述した動作が繰り返され、出力電圧 V_{o2} を一定値に保ちつつも、全てのスイッチング素子 $S_{s1}, S_{s1}, S_{s2}, S_{s2}$ の零電圧スイッチングが達成される。

50

【 0 0 6 8 】

このように、本実施例においても、停電時や瞬停時には、上記一連の動作を行ないつつ、各スイッチング素子 S_{s1} 、 S_1 、 S_{s2} 、 S_2 の時比率を制御することで、平滑コンデンサ C_{o2} の両端間に発生する出力電圧 V_{o2} を一定値に保つことができる。そのため、PFCコンバータの出力電圧 V_{o2} が安定化され、後段に接続される電源回路の設計が容易となる。

【 0 0 6 9 】

以上のように、本実施例における第1のコンバータ部PFC1は、その入力端間に第1のインダクタ L_1 と第1のスイッチング素子 S_1 との直列回路を接続し、スイッチング素子 S_1 と第3のスイッチング素子 S_{s1} との直列回路を、コンデンサ C_{o1} の両端間に接続して構成され、第2のコンバータ部PFC2は、その入力端間に第2のインダクタ L_2 と第2のスイッチング素子 S_2 との直列回路を接続し、スイッチング素子 S_2 と第4のスイッチング素子 S_{s2} との直列回路を、コンデンサ C_{o2} の両端間に接続して構成されると共に、商用電源 E の正常時には、スイッチング素子 S_1 、 S_2 をスイッチング動作させる一方で、商用電源 E の電圧低下時には、スイッチング素子 S_2 、 S_{s1} をオンにし、スイッチング素子 S_1 、 S_{s2} をオフにして、コンデンサ C_{o1} からインダクタ L_1 、 L_2 にエネルギーを蓄積する $t_0 \sim t_1$ の期間と、スイッチング素子 S_{s1} をオンにし、スイッチング素子 S_1 、 S_2 、 S_{s2} をオフにして、スイッチング素子 S_{s2} の両端間に蓄えられたエネルギーを完全に放出させる $t_1 \sim t_2$ の期間と、スイッチング素子 S_{s1} 、 S_{s2} をオンにし、スイッチング素子 S_1 、 S_2 をオフにして、インダクタ L_1 、 L_2 とコンデンサ C_{o1} に蓄えられているエネルギーをコンデンサ C_{o2} に放出させる $t_2 \sim t_3$ の期間と、スイッチング素子 S_{s2} をオンにし、スイッチング素子 S_1 、 S_2 、 S_{s1} をオフにして、スイッチング素子 S_1 の両端間に蓄えられたエネルギーを完全に放出させる $t_3 \sim t_4$ の期間と、スイッチング素子 S_1 、 S_{s2} をオンにし、スイッチング素子 S_2 、 S_{s1} をオフにして、インダクタ L_1 、 L_2 に蓄えられているエネルギーをコンデンサ C_{o2} に放出させる $t_4 \sim t_5$ の期間と、スイッチング素子 S_1 をオンにし、スイッチング素子 S_2 、 S_{s1} 、 S_{s2} をオフにして、スイッチング素子 S_2 の両端間に蓄えられたエネルギーを完全に放出させる $t_5 \sim t_6$ の期間と、スイッチング素子 S_1 、 S_2 をオンにし、スイッチング素子 S_{s1} 、 S_{s2} をオフにする $t_6 \sim t_7$ の期間と、スイッチング素子 S_2 をオンにし、スイッチング素子 S_1 、 S_{s1} 、 S_{s2} をオフにして、スイッチング素子 S_{s1} の両端間に蓄えられたエネルギーを完全に放出させる $t_7 \sim t_8$ (t_0) の期間と、を順に行なわせる構成を有している。

【 0 0 7 0 】

このようにすると、商用電源 E の電圧低下時に、スイッチング素子 S_1 、 S_2 、 S_{s1} 、 S_{s2} の何れかを単独でオンするように動作させることで、これらのスイッチング素子 S_1 、 S_2 、 S_{s1} 、 S_{s2} のドレイン・ソース間電圧を零まで減少させた状態で、当該スイッチング素子 S_1 、 S_2 、 S_{s1} 、 S_{s2} をターンオンさせることができ、全てのスイッチング素子 S_1 、 S_2 、 S_{s1} 、 S_{s2} のスイッチング損失やサージ電圧を抑制できる。

【 実施例 5 】

【 0 0 7 1 】

図22は、既存のブリッジダイオードレスの2相式PFCコンバータを示している。これに対し、図23は本発明の第5実施例で提案するPFCコンバータを示している。これは、既存の回路に対して単独の平滑コンデンサ C_o を2個の平滑コンデンサ C_{o1} 、 C_{o2} に分割し、第2の開閉体であるスイッチ S_s を追加することで、前記した図1、図4、図10の回路と同様の昇圧動作をさせることができる。なお、商用電源 E の正常時には、図23に示すようにスイッチ S_s をオンにし、商用電源 E の停電時や瞬停時には、図24に示すようにスイッチ S_s をオフにする。

【 0 0 7 2 】

より具体的に説明すると、図23において、商用電源 E の一端には、第1のインダクタ

10

20

30

40

50

L 1の一端と第2のインダクタL 2の一端が接続され、商用電源Eの他端には、第1の整流素子DHのアノードと第2の整流素子DLのカソードが接続される。つまり、第1実施例～第4実施例とは異なり、ここでは商用電源Eからの交流入力ラインがPFCコンバータに直接接続される。

【0073】

また、前記インダクタL 1の他端は、第1のローサイドスイッチング素子SL 1と第1のハイサイドスイッチング素子SH 1との直列回路の接続点に接続され、インダクタL 2の他端は、第2のローサイドスイッチング素子SL 2と第2のハイサイドスイッチング素子SH 2との直列回路の接続点に接続される。スイッチング素子SH 1, SL 1の直列回路は、第1の平滑コンデンサCo 1の両端間に接続されると共に、スイッチング素子SH 2, SL 2の直列回路は、第2の平滑コンデンサCo 2の両端間に接続される。この平滑コンデンサCo 2の両端間は、前記整流素子DH, DLの直列回路も接続されており、スイッチング素子SH 1, SL 1とインダクタL 1とにより、第1のコンバータ部PFC 1が構成され、スイッチング素子SH 2, SL 2とインダクタL 2とにより、第2のコンバータ部PFC 2が構成される。

10

【0074】

コンバータ部PFC 1は、スイッチング素子SH 1, SL 1のスイッチング動作により、平滑コンデンサCo 1の両端間に入力電圧Viよりも高い出力電圧Vo 1を生成するので、またコンバータ部PFC 2は、スイッチング素子SH 2, SL 2のスイッチング動作により、平滑コンデンサCo 2の両端間に入力電圧Viよりも高い出力電圧Vo 2を生成するものである。ここでは、平滑コンデンサCo 2の両端間に出力端子+V, -Vが接続され、この出力端子+V, -Vに接続した電源回路から各種電子機器に、所望の電力を供給できるようになっている。

20

【0075】

また、スイッチング素子SH 1, SL 1の直列回路と、スイッチング素子SH 2, SL 2の直列回路は、スイッチSsを介して接続される。各スイッチング素子SH 1, SL 1, SH 2, SL 2およびスイッチSsは、図示しない制御回路によりその動作が個々に制御されるが、特にスイッチSsは前述のように、商用電源Eの正常時にはオンする一方で、商用電源Eの停電時や瞬停時にはオフするように制御される。

30

【0076】

次に、上記構成についてその動作を説明する。商用電源Eが停電や瞬停などを起こしておらず、所定の入力電圧Viが発生している時には、図23に示すように、制御回路の監視制御部がスイッチSsをオンにする。ここで制御回路は、コンバータ部PFC 1の各スイッチング素子SH 1, SL 1を交互にスイッチング動作させると共に、コンバータ部PFC 2の各スイッチング素子SH 2, SL 2を交互にスイッチング動作させる。

【0077】

具体的には、商用電源Eの一端に正極性の入力電圧Viが発生している期間において、スイッチング素子SL 1をオンにする一方、スイッチング素子SH 1をオフにすると、スイッチング素子SL 1と整流素子DLが導通する関係で、商用電源EからのエネルギーがインダクタL 1に蓄積される。やがて、スイッチング素子SH 1, SL 1のオン・オフ状態が切替わり、スイッチング素子SL 1がオフし、スイッチング素子SH 1がオンすると、スイッチング素子SH 1と整流素子DLが導通する関係で、インダクタL 1に蓄えられていたエネルギーが平滑コンデンサCo 1, Co 2に放出され、平滑コンデンサCo 1の両端間に入力電圧Viよりも高い出力電圧Vo 1が発生すると共に、平滑コンデンサCo 2の両端間にも入力電圧Viよりも高い出力電圧Vo 2が発生する。その後は、再びスイッチング素子SL 1がオンする一方で、スイッチング素子SH 1がオフし、インダクタL 1によるエネルギーの蓄積及び放出が繰り返される。

40

【0078】

同様に、スイッチング素子SL 2をオンにする一方、スイッチング素子SH 2をオフにすると、商用電源EからのエネルギーがインダクタL 2に蓄積される。やがて、スイッチ

50

ング素子 S_{L2} がオフし、スイッチング素子 S_{H2} がオンすると、インダクタ L_2 に蓄えられていたエネルギーが平滑コンデンサ C_{o1} , C_{o2} に放出され、平滑コンデンサ C_{o1} の両端間に入力電圧 V_i よりも高い出力電圧 V_{o1} が発生すると共に、平滑コンデンサ C_{o2} の両端間に入力電圧 V_i よりも高い出力電圧 V_{o2} が発生する。その後は、再びスイッチング素子 S_{L2} がオンする一方で、スイッチング素子 S_{H2} がオフし、インダクタ L_2 によるエネルギーの蓄積及び放出が繰り返される。

【0079】

一方、商用電源 E の一端に負極性の入力電圧 V_i が発生している期間では、スイッチング素子 S_{H1} をオンにする一方、スイッチング素子 S_{L1} をオフにすると、スイッチング素子 S_{H1} と整流素子 D_H とスイッチ S_s が導通する関係で、商用電源 E からのエネルギーがインダクタ L_1 に蓄積される。やがて、スイッチング素子 S_{H1} がオフし、スイッチング素子 S_{L1} がオンすると、スイッチング素子 S_{L1} と整流素子 D_H が導通する関係で、インダクタ L_1 に蓄えられていたエネルギーが平滑コンデンサ C_{o1} , C_{o2} に放出され、平滑コンデンサ C_{o1} の両端間に入力電圧 V_i よりも高い出力電圧 V_{o1} が発生すると共に、平滑コンデンサ C_{o2} の両端間にも入力電圧 V_i よりも高い出力電圧 V_{o2} が発生する。その後は、再びスイッチング素子 S_{L1} がオンする一方で、スイッチング素子 S_{H1} がオフし、インダクタ L_1 によるエネルギーの蓄積及び放出が繰り返される。

【0080】

同様に、スイッチング素子 S_{H2} をオンにする一方、スイッチング素子 S_{L2} をオフにすると、商用電源 E からのエネルギーがインダクタ L_2 に蓄積される。やがて、スイッチング素子 S_{H2} がオフし、スイッチング素子 S_{L2} がオンすると、インダクタ L_2 に蓄えられていたエネルギーが平滑コンデンサ C_{o1} , C_{o2} に放出され、平滑コンデンサ C_{o1} の両端間に入力電圧 V_i よりも高い出力電圧 V_{o1} が発生すると共に、平滑コンデンサ C_{o2} の両端間に入力電圧 V_i よりも高い出力電圧 V_{o2} が発生する。その後は、再びスイッチング素子 S_{H2} がオンする一方で、スイッチング素子 S_{L2} がオフし、インダクタ L_2 によるエネルギーの蓄積及び放出が繰り返される。

【0081】

このようにして、スイッチング素子 S_{H1} , S_{L1} 及びスイッチング素子 S_{H2} , S_{L2} を交互にオン・オフ動作させることで、所望の出力電圧 V_{o1} および出力電圧 V_{o2} を、出力端子 $+V$, $-V$ に接続する電源回路から各種電子機器に供給できる。また上記一連の動作において、商用電源 E からの入力電圧 V_i と入力電流の波形と位相が相似するように、各スイッチング素子 S_{H1} , S_{L1} , S_{H2} , S_{L2} に供給するパルス駆動信号のパルス幅を決定することで、力率の改善を図ることができる。

【0082】

次に、商用電源 E が停電や瞬停などを起こした時の動作を、図 24 に基づき説明する。入力電圧 V_i が所定値よりも低下すると、交流電源 E 及び整流素子 D_H , D_L は、いわば PFC コンバータから切り離された状態となる。このとき、制御回路を構成する監視制御部はスイッチ S_s をオフにする。そして、スイッチング素子 S_{H1} , S_{L2} をオンにし、スイッチング素子 S_{H2} , S_{L1} をオフにして、平滑コンデンサ C_{o1} からのエネルギーをインダクタンス L_1 , L_2 に蓄積する動作と、スイッチング素子 S_{H1} , S_{H2} をオンにし、スイッチング素子 S_{L1} , S_{L2} をオフにして、平滑コンデンサ C_{o1} 及びインダクタンス L_1 , L_2 からのエネルギーを平滑コンデンサ C_{o2} に放出する動作を繰り返す行なう。

【0083】

上記一連の動作では、第 2 実施例で説明したような零電流スイッチングを実現する構成を採用してもよい。その場合、スイッチング素子 S_{H1} , S_{H2} をオンにし、スイッチング素子 S_{L1} , S_{L2} をオフにした後に、スイッチング素子 S_{H1} , S_{L2} をオフにし、スイッチング素子 S_{H2} , S_{L1} をオンにして、インダクタ電流 i_{L1} , i_{L2} が零になるまで、インダクタンス L_1 , L_2 に蓄えられたエネルギーを完全に放出させ、その後でスイッチング素子 S_{H1} , S_{L2} をオンにし、スイッチング素子 S_{L1} , S_{H2} をオフに

10

20

30

40

50

する。こうすることで、電流が流れない状態でスイッチング素子 S_{L1} 、 S_{H2} をターンオフさせ、且つスイッチング素子 S_{H1} 、 S_{L2} をターンオンさせる零電流スイッチングが達成され、これらのスイッチング素子 S_{H1} 、 S_{H2} 、 S_{L1} 、 S_{L2} のスイッチング損失やサージ電圧を抑制できる。

【0084】

また別な例として、第4実施例で説明したような零電圧スイッチングを実現する構成を採用してもよい。この場合、先ずスイッチング素子 S_{H1} 、 S_{L2} をオンにし、スイッチング素子 S_{H2} 、 S_{L1} をオフにして、平滑コンデンサ C_{o1} からのエネルギーをインダクタ $L1$ 、 $L2$ に蓄積する動作に続いて、例えばFETからなるスイッチング素子 S_{L2} をオフにして、スイッチング素子 S_{H2} のドレイン・ソース間容量に蓄えられているエネルギーを、平滑コンデンサ C_{o1} からインダクタ $L1$ 、 $L2$ に向けて流れるインダクタ電流 i_{L1} 、 i_{L2} によって完全に放電させる。その後、インダクタ電流 i_{L1} 、 i_{L2} がスイッチング素子 S_{H2} のボディダイオードを通して流れるタイミングで、スイッチング素子 S_{H2} をターンオンすれば、スイッチング素子 S_{S2} の零電圧スイッチングが実現できる。

10

【0085】

この期間は、スイッチング素子 S_{H1} 、 S_{H2} がオンし、スイッチング素子 S_{L1} 、 S_{L2} がオフしているので、インダクタ $L1$ 、 $L2$ と平滑コンデンサ C_{o1} に蓄えられているエネルギーがコンデンサ C_{o2} に放出される。そして、次の期間にスイッチング素子 S_{H1} をオフにして、例えばFETからなるスイッチング素子 S_{L1} のドレイン・ソース間容量に蓄えられているエネルギーを、インダクタ $L1$ 、 $L2$ から平滑コンデンサ C_{o2} に向けて流れるインダクタ電流 i_{L1} 、 i_{L2} によって完全に放電させる。その後、インダクタ電流 i_{L1} 、 i_{L2} がスイッチング素子 S_{L1} のボディダイオードを通して流れるタイミングで、スイッチング素子 S_{L1} をターンオンすれば、スイッチング素子 S_{L1} の零電圧スイッチングが実現できる。

20

【0086】

この期間は、スイッチング素子 S_{L1} 、 S_{H2} がオンし、スイッチング素子 S_{H1} 、 S_{L2} がオフしているので、インダクタ $L1$ 、 $L2$ に蓄えられているエネルギーが平滑コンデンサ C_{o2} に放出され、インダクタ電流 i_{L1} 、 i_{L2} は減少する。やがて、インダクタ電流 i_{L1} 、 i_{L2} はそれまでとは逆方向に流れ始めるが、そこでスイッチング素子 S_{H2} をオフにして、例えばFETからなるスイッチング素子 S_{L2} のドレイン・ソース間容量に蓄えられているエネルギーを、逆方向に流れるインダクタ電流 i_{L1} 、 i_{L2} によって完全に放電させる。その後、逆方向のインダクタ電流 i_{L1} 、 i_{L2} がスイッチング素子 S_{L2} のボディダイオードを通して流れるタイミングで、スイッチング素子 S_{L2} をターンオンすれば、スイッチング素子 S_{L2} の零電圧スイッチングが実現できる。

30

【0087】

前記スイッチング素子 S_{L2} をオンにした後、スイッチング素子 S_{L1} をオフにして、例えばFETからなるスイッチング素子 S_{H1} のドレイン・ソース間容量に蓄えられているエネルギーを、逆方向に流れるインダクタ電流 i_{L1} 、 i_{L2} によって完全に放電させる。その後、逆方向のインダクタ電流 i_{L1} 、 i_{L2} がスイッチング素子 S_{H1} のボディダイオードを通して流れるタイミングで、スイッチング素子 S_{H1} をターンオンすれば、スイッチング素子 S_{H1} の零電圧スイッチングが実現できる。

40

【0088】

スイッチング素子 S_{H1} がオンすると、インダクタ $L1$ 、 $L2$ に蓄えられているエネルギーが平滑コンデンサ C_{o1} に放出され、逆向きのインダクタ電流 i_{L1} 、 i_{L2} は減少する。やがて最初の状態に戻って、平滑コンデンサ C_{o1} からインダクタ $L1$ 、 $L2$ に向けて正方向のインダクタ電流 i_{L1} 、 i_{L2} が流れ始め、それ以後は上述した動作が繰り返される。これにより、出力電圧 V_{o2} を一定値に保ちつつも、全てのスイッチング素子 S_{H1} 、 S_{L1} 、 S_{H2} 、 S_{L2} の零電圧スイッチングが達成される。

【0089】

50

この実施例も上記実施例と同様に、停電時や瞬停時には、上記一連の動作を行ないつつ、各スイッチング素子 S_{H1} , S_{L1} , S_{H2} , S_{L2} の時比率を制御することで、平滑コンデンサ C_{o2} の両端間に発生する出力電圧 V_{o2} を一定値に保つことができる。そのため、PFCコンバータの出力電圧 V_{o2} が安定化され、後段に接続される電源回路の設計が容易となる。

【0090】

本実施例は、上記第1実施例～第4実施例におけるダイオードブリッジ D_b からの整流した電圧に代わって、商用電源 E からの交流電圧が並列接続したコンバータ部 PFC1 , PFC2 に入力される。したがって、本実施例のPFCコンバータは、第4実施例と同様の作用効果を奏するものである。なお、ここでの第1のローサイドスイッチング素子 S_{L1} は第1のスイッチング素子に相当し、第1のハイサイドスイッチング素子 S_{H1} は第3のスイッチング素子に相当し、第2のローサイドスイッチング素子 S_{L2} は第2のスイッチング素子に相当し、第2のハイサイドスイッチング素子 S_{H2} は第4のスイッチング素子に相当する。

10

【0091】

また、各コンバータ部 PFC1 , PFC2 は、他の第1～第3実施例で示したもので構成し、同様に動作させてもよい。

【0092】

本実施例ではさらに、スイッチ S_s を介してコンバータ部 PFC1 の出力端間をコンバータ部 PFC2 の出力端間に接続し、商用電源 E の正常時には、スイッチ S_s をオンにする一方で、商用電源 E の電圧低下時には、スイッチ S_s をオフにする構成を採用している。

20

【0093】

こうすると、商用電源 E の正常時には、スイッチ S_s をオンにすることで、各コンバータ部 PFC1 , PFC2 を並列に接続した状態で、負荷に電力供給が行なわれる一方で、商用電源 E の電圧低下時には、スイッチ S_s をオフにすることで、平滑コンデンサ C_{o2} から平滑コンデンサ C_{o1} にエネルギーが戻るのを防いで、負荷に無駄なく電力を供給することが可能になる。

【0094】

なお、このようなスイッチ S_s は、他の第1実施例～第4実施例に組み込んでもよい。また、開閉体としてスイッチ S_s の代わりに FET のようなスイッチング素子を用いることも可能である。

30

【0095】

以上、本発明のPFCコンバータについて、具体的な実施の形態を示して説明したが、本発明はこれに限定されるものではない。当業者であれば、本発明の要旨を逸脱しない範囲内において、上記実施形態におけるPFCコンバータや昇圧型コンバータの構成及び機能に様々な変更・改良を加えることが可能である。

【0096】

例えば、各実施例ではそれぞれ一個ずつのコンバータ部 PFC1 , PFC2 を並列接続したものを示したが、それに代わって、複数個の並列接続した第1のコンバータ部 PFC1 , 及び/又は複数個の並列接続した第2のコンバータ部 PFC2 で、PFCコンバータを構成してもよい、また、平滑コンデンサ C_{o1} , C_{o2} はその容量に応じて、複数個の並列接続したコンデンサで構成してもよい。さらに、各実施例ではコンバータ部 PFC1 , PFC2 に共通して、同じ出力電圧 V_{o1} , V_{o2} を一つの負荷に供給していたが、各々のコンバータ部 PFC1 , PFC2 で別々なレベルの出力電圧 V_{o1} , V_{o2} を生成し、それらの出力電圧 V_{o1} , V_{o2} を違う負荷にそれぞれ供給する構成としてもよい。

40

【0097】

さらに、上記実施例1で示した商用電源 E の復帰後の構成や動作を、必要に応じて他の実施例2～5に適用させてもよい。

【産業上の利用可能性】

50

【 0 0 9 8 】

本発明は、PFCコンバータを含んだ電源装置全般に多大な貢献を呈するものである。具体的には、ここに提案するPFCコンバータは、出力電圧を安定化させることができるので、大容量の平滑コンデンサを取り付けなくても、十分な出力保持時間が得られる。また、後段以降に接続される電源回路の入力電圧が安定化されるため、電源回路の部品耐圧を下げるのが可能となり、電源回路の高効率化、小型軽量化、低コスト化が実現できる。とりわけ、電源装置に高速負荷応答が求められない場合には、PFCコンバータの後段に接続される電源回路のレギュレーション機能を省くことができるので、電源回路の高効率化、小型軽量化、低コスト化に多大なる貢献を呈する。

【符号の説明】

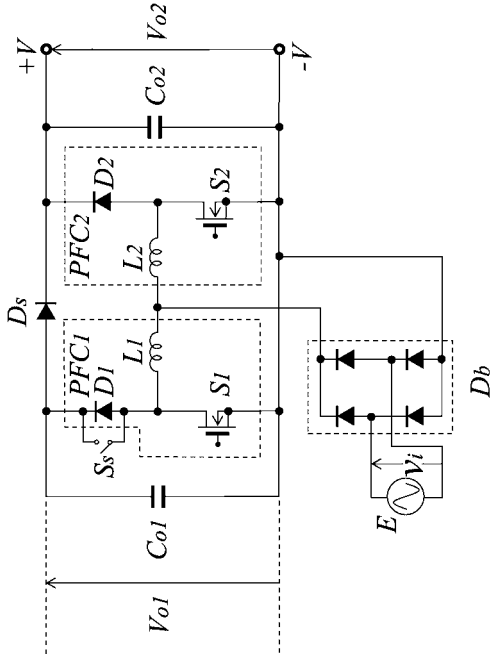
10

【 0 0 9 9 】

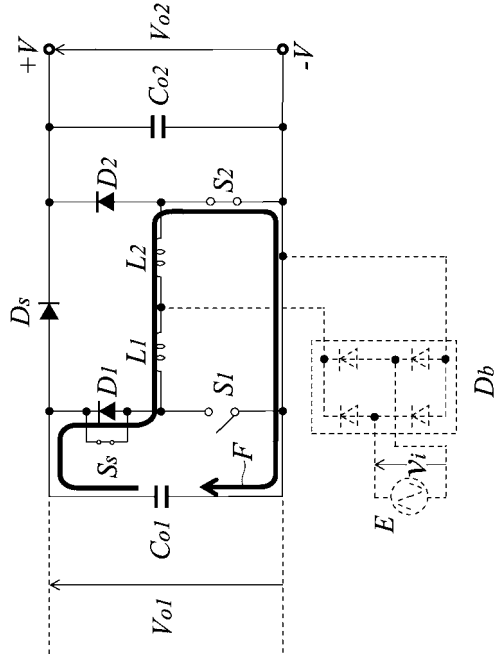
- E 商用電源（入力電源）
- PFC1 第1のコンバータ部
- PFC2 第2のコンバータ部
- Co1 平滑コンデンサ（第1のコンデンサ）
- Co2 平滑コンデンサ（第2のコンデンサ）
- L1 第1のインダクタ
- L2 第2のインダクタ
- Ss スイッチ，第3のスイッチング素子（開閉体）
- S1 第1のスイッチング素子
- S2 第2のスイッチング素子
- Ss1 第3のスイッチング素子
- Ss2 第4のスイッチング素子
- SL1 第1のローサイドスイッチング素子（第1のスイッチング素子）
- SL2 第2のローサイドスイッチング素子（第2のスイッチング素子）
- SH1 第1のハイサイドスイッチング素子（第3のスイッチング素子）
- SH2 第2のハイサイドスイッチング素子（第4のスイッチング素子）

20

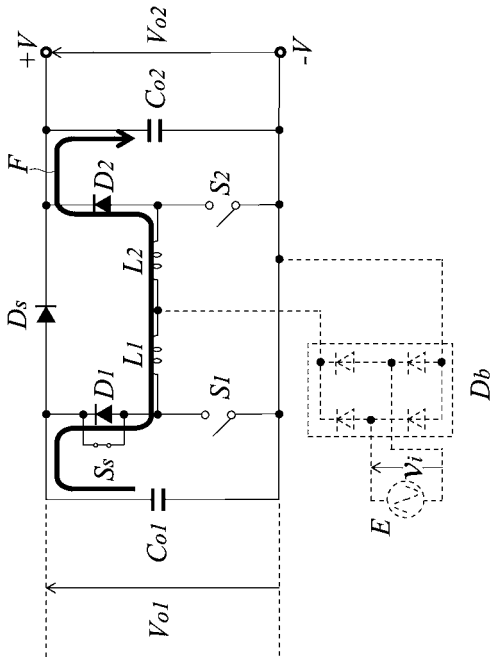
【 図 1 】



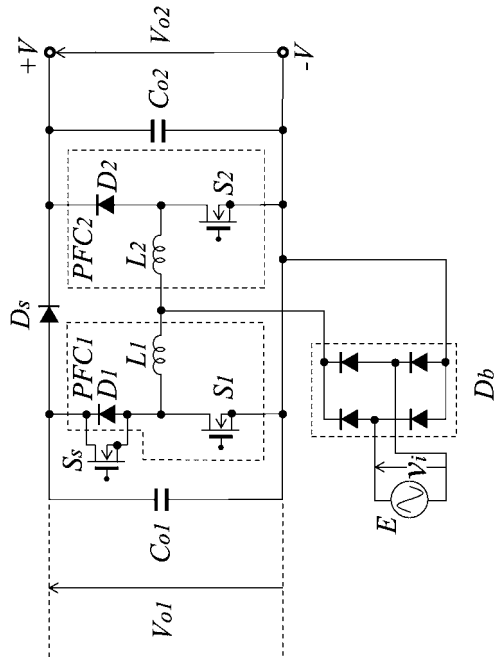
【 図 2 】



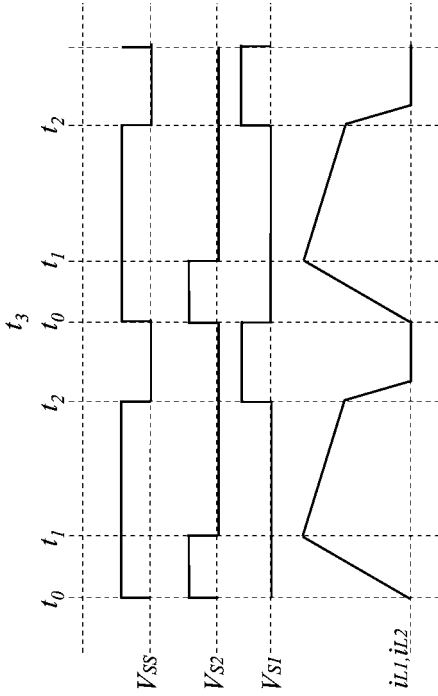
【 図 3 】



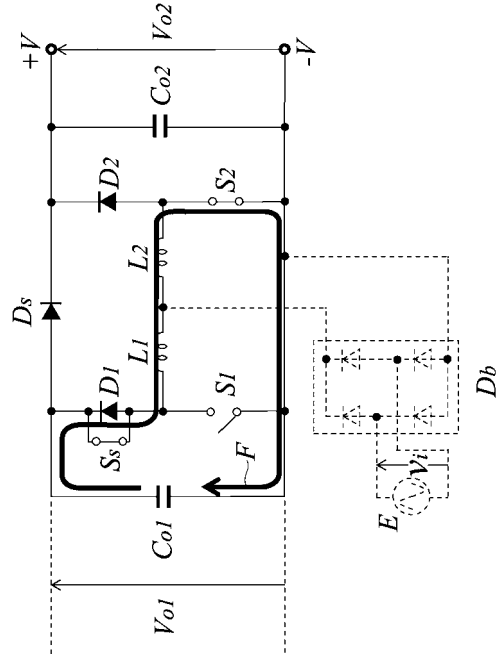
【 図 4 】



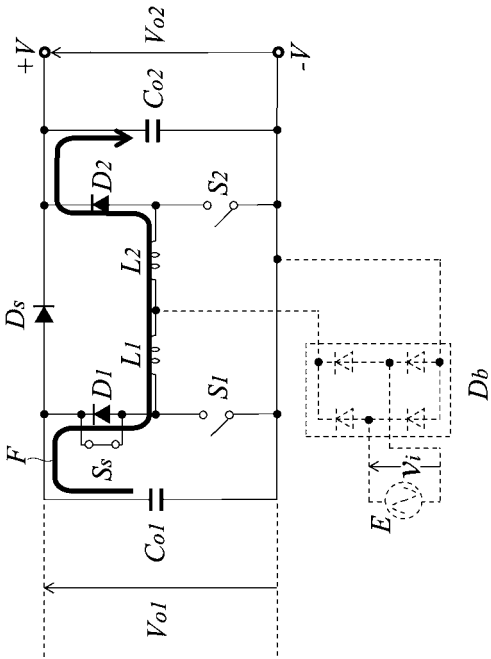
【 図 5 】



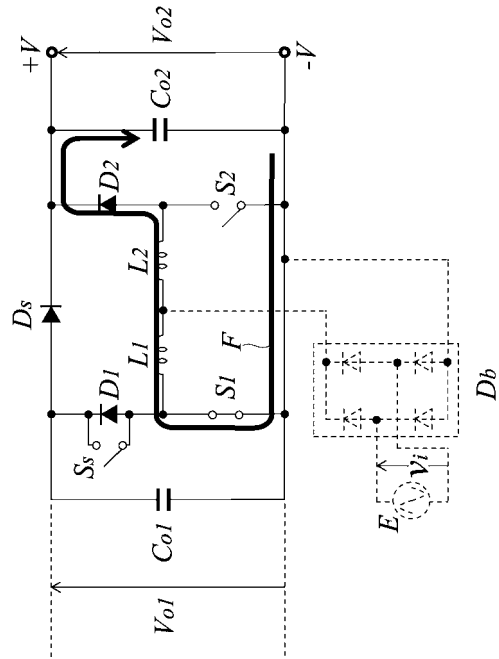
【 図 6 】



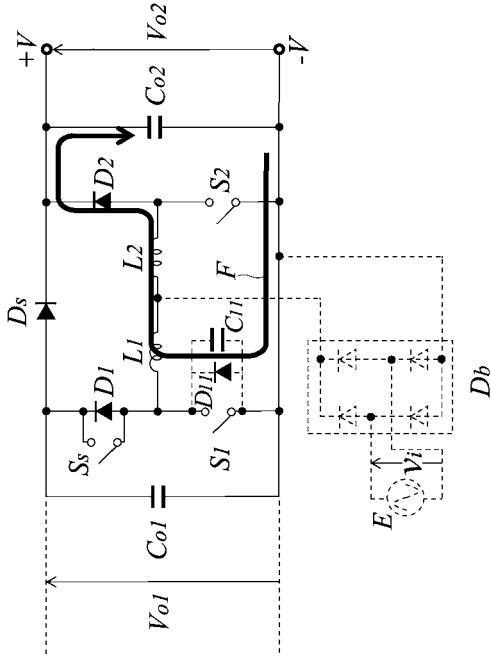
【 図 7 】



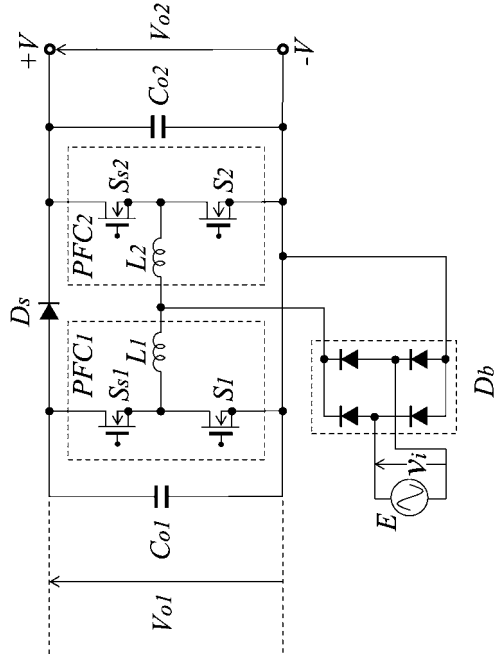
【 図 8 】



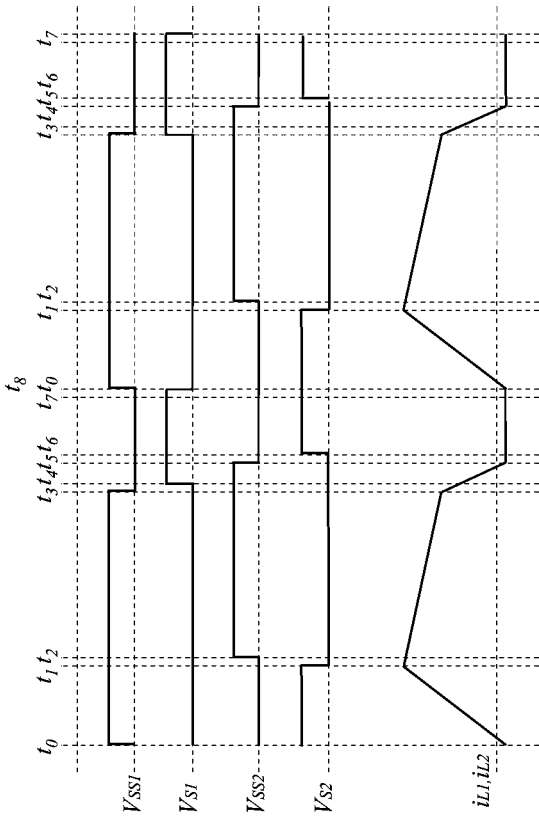
【 図 9 】



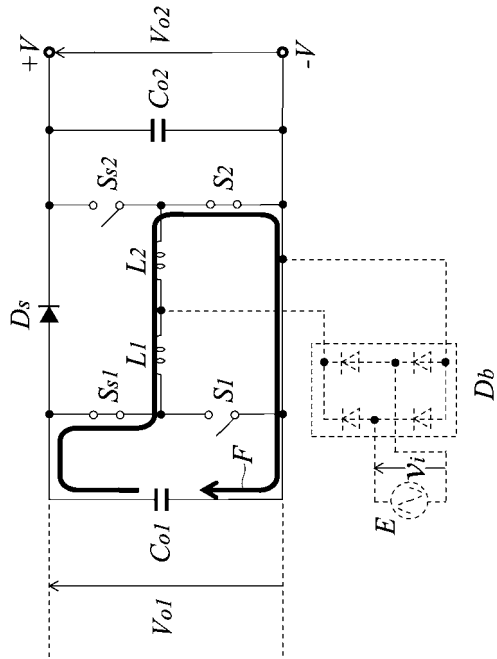
【 図 10 】



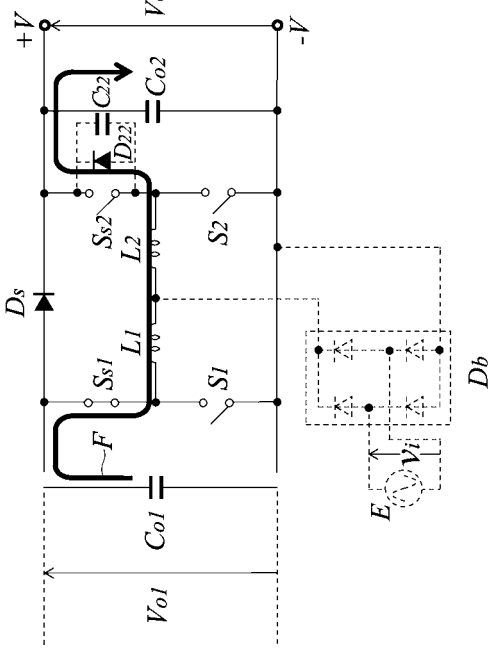
【 図 11 】



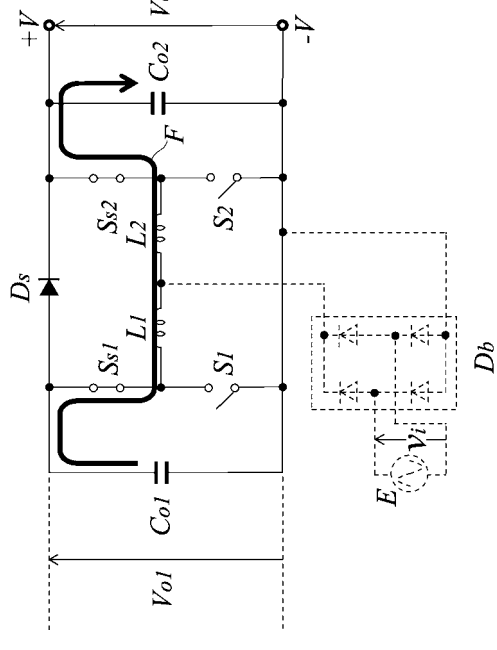
【 図 12 】



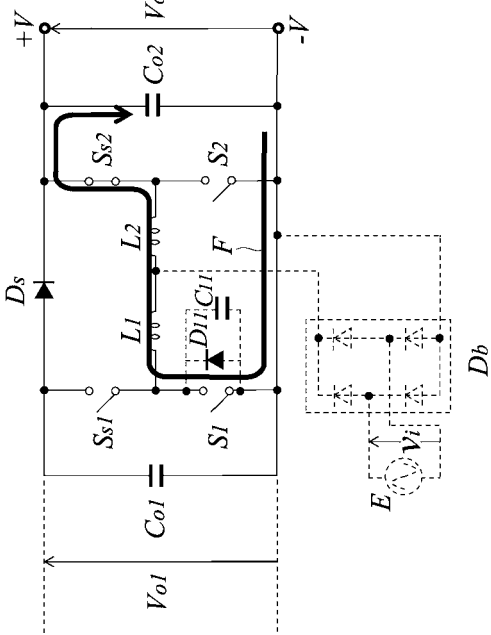
【 図 1 3 】



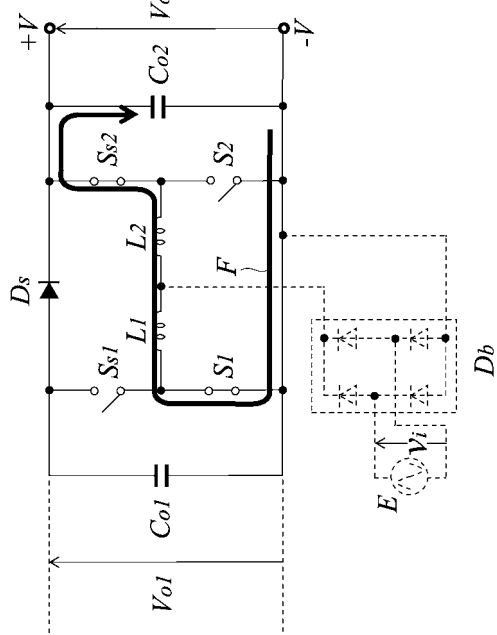
【 図 1 4 】



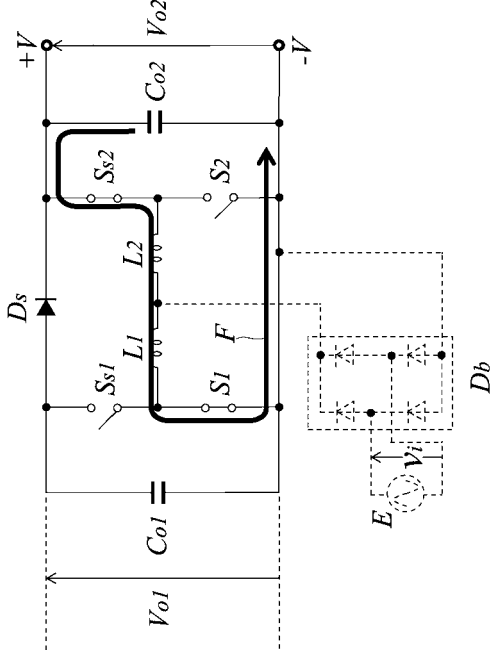
【 図 1 5 】



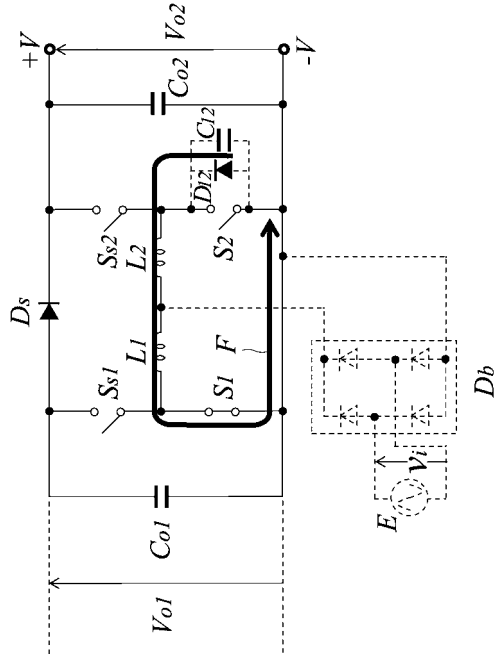
【 図 1 6 】



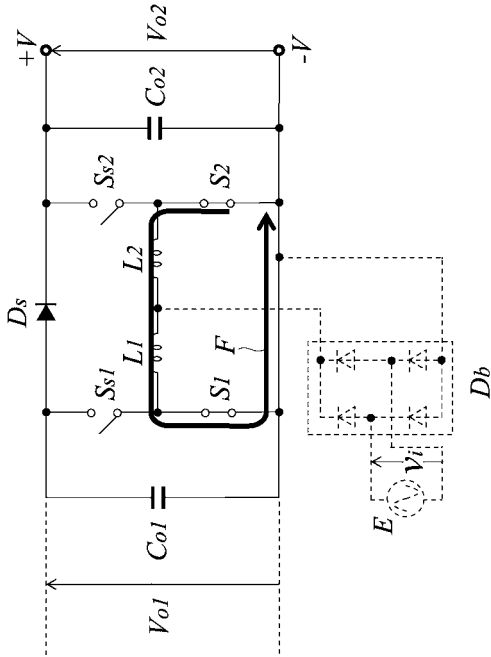
【 図 17 】



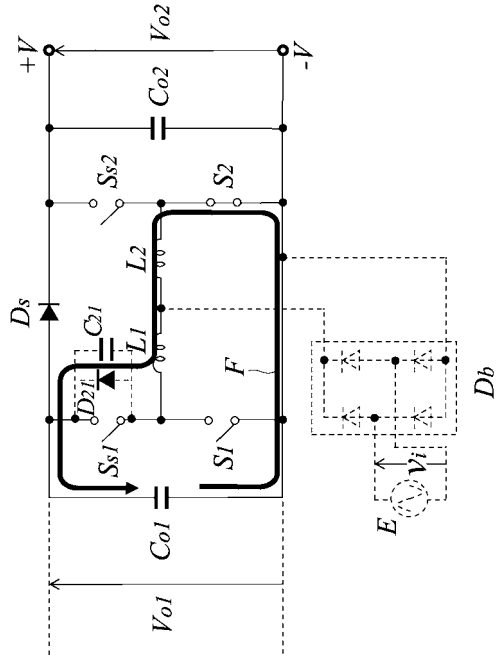
【 図 18 】



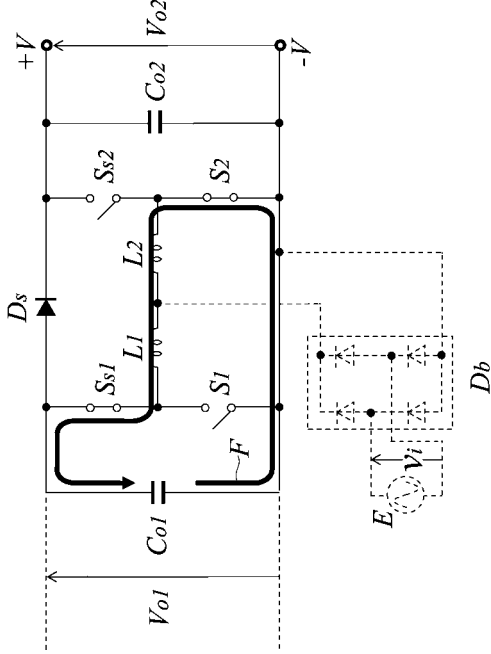
【 図 19 】



【 図 20 】

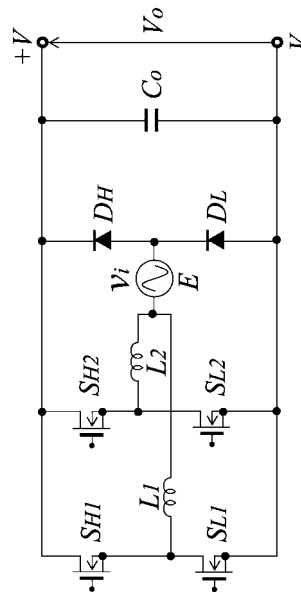


【 図 2 1 】

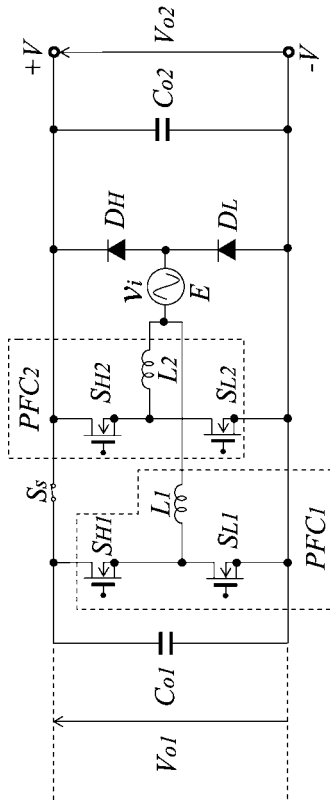


【 図 2 2 】

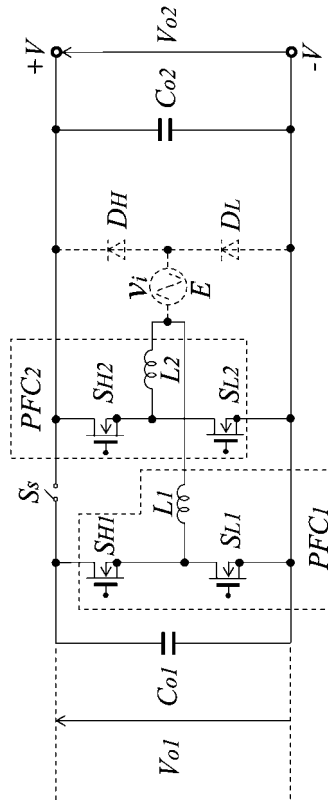
PRIOR ART



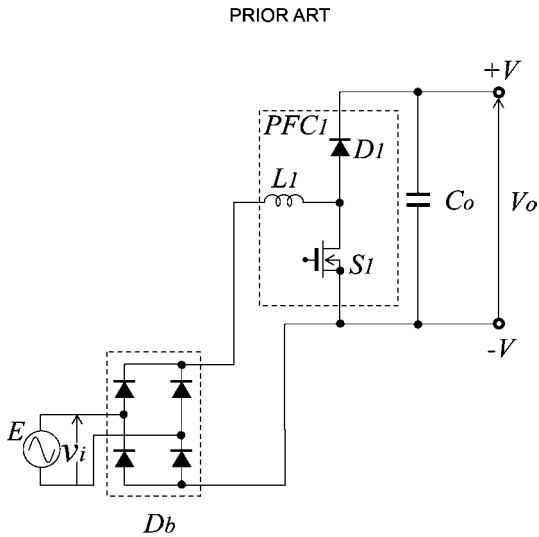
【 図 2 3 】



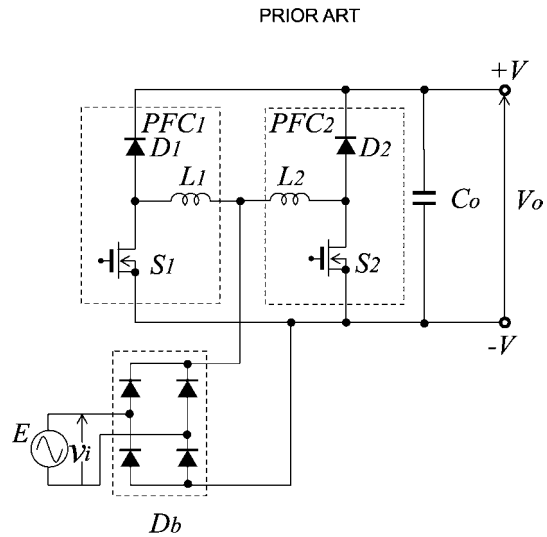
【 図 2 4 】



【図 2 5】



【図 2 6】



【手続補正書】

【提出日】平成22年10月4日(2010.10.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力電源からの交流電圧若しくは整流した電圧が入力され、並列に接続される第 1 のコンバータ部および第 2 のコンバータ部と、

前記第 1 のコンバータ部の出力端間に接続する第 1 のコンデンサと、

前記第 2 のコンバータ部の出力端間に接続する第 2 のコンデンサと、を備え、

前記入力電源の正常時には、前記第 1 および第 2 のコンバータ部を並列の力率改善コンバータとして動作させ、前記入力電源からのエネルギーを前記第 1 および第 2 のコンデンサに送り出して、当該第 1 および第 2 のコンデンサから負荷に安定化した出力電圧を供給する一方で、

前記入力電源の電圧低下時には、前記第 2 のコンバータ部を動作させ、前記第 1 のコンデンサからのエネルギーを前記第 2 のコンデンサに送り出して、当該第 2 のコンデンサから前記負荷に安定化した出力電圧を供給する構成としたことを特徴とする力率改善コンバータ。

【請求項 2】

前記第 1 のコンバータ部は、その入力端間に第 1 のインダクタと第 1 のスイッチング素子との直列回路を接続し、前記第 1 のスイッチング素子と第 1 の整流素子との直列回路を、前記第 1 のコンデンサの両端間に接続して構成され、

前記第2のコンバータ部は、その入力端間に第2のインダクタと第2のスイッチング素子との直列回路を接続し、前記第2のスイッチング素子と第2の整流素子との直列回路を、前記第2のコンデンサの両端間に接続して構成されると共に、

前記第1の整流素子に第1の開閉体が並列に接続され、

前記入力電源の正常時には、前記第1の開閉体をオフにし、前記第1及び第2のスイッチング素子をスイッチング動作させる一方で、

前記入力電源の電圧低下時には、前記第1の開閉体をオンにし、前記第2のスイッチング素子をスイッチング動作させる構成としたことを特徴とする請求項1記載の力率改善コンバータ。

【請求項3】

前記第1の開閉体が第3のスイッチング素子で構成され、

前記入力電源の正常時には、前記第3のスイッチング素子をオフにし、前記第1及び第2のスイッチング素子をスイッチング動作させる一方で、

前記入力電源の電圧低下時には、前記第3のスイッチング素子をオンにし、前記第2のスイッチング素子をスイッチング動作させると共に、前記第1および第2のインダクタに蓄えられたエネルギーが完全に放電するように、前記第2のスイッチング素子がオンする前に、前記第1のスイッチング素子を一時的にオンにし、且つ前記第3のスイッチング素子を一時的にオフにする構成としたことを特徴とする請求項2記載の力率改善コンバータ。

【請求項4】

前記入力電源の電圧低下時には、前記第1のスイッチング素子がオンする前に、当該第1のスイッチング素子の両端間に蓄えられたエネルギーが完全に放電するように、前記第1及び第3のスイッチング素子を両方オフにする構成としたことを特徴とする請求項3記載の力率改善コンバータ。

【請求項5】

前記第1のコンバータ部は、その入力端間に第1のインダクタと第1のスイッチング素子との直列回路を接続し、前記第1のスイッチング素子と第3のスイッチング素子との直列回路を、前記第1のコンデンサの両端間に接続して構成され、

前記第2のコンバータ部は、その入力端間に第2のインダクタと第2のスイッチング素子との直列回路を接続し、前記第2のスイッチング素子と第4のスイッチング素子との直列回路を、前記第2のコンデンサの両端間に接続して構成されると共に、

前記入力電源の正常時には、前記第1及び第2のスイッチング素子をスイッチング動作させる一方で、

前記入力電源の電圧低下時には、前記第2及び第3のスイッチング素子をオンにし、前記第1及び第4のスイッチング素子をオフにして、前記第1のコンデンサから前記第1及び第2のインダクタにエネルギーを蓄積する期間と、

前記第3のスイッチング素子をオンにし、前記第1、第2及び第4のスイッチング素子をオフにして、前記第4のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、

前記第3及び第4のスイッチング素子をオンにし、前記第1及び第2のスイッチング素子をオフにして、前記第1及び第2のインダクタと前記第1のコンデンサに蓄えられているエネルギーを前記第2のコンデンサに放出させる期間と、

前記第4のスイッチング素子をオンにし、前記第1、第2及び第3のスイッチング素子をオフにして、前記第1のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、

前記第1及び第4のスイッチング素子をオンにし、前記第2及び第3のスイッチング素子をオフにして、前記第1及び第2のインダクタに蓄えられているエネルギーを前記第2のコンデンサに放出させる期間と、

前記第1のスイッチング素子をオンにし、前記第2、第3及び第4のスイッチング素子をオフにして、前記第2のスイッチング素子の両端間に蓄えられたエネルギーを完全に放

出させる期間と、

前記第 1 及び第 2 のスイッチング素子をオンにし、前記第 3 及び第 4 のスイッチング素子をオフにする期間と、

前記第 2 のスイッチング素子をオンにし、前記第 1 , 第 3 及び第 4 のスイッチング素子をオフにして、前記第 3 のスイッチング素子の両端間に蓄えられたエネルギーを完全に放出させる期間と、を順に行なわせる構成としたことを特徴とする請求項 1 記載の力率改善コンバータ。

【請求項 6】

第 2 の開閉体を介して前記第 1 のコンバータ部の出力端間を前記第 2 のコンバータ部の出力端間に接続し、

前記入力電源の正常時には、前記第 2 の開閉体をオンにする一方で、

前記入力電源の電圧低下時には、前記第 2 の開閉体をオフにする構成としたことを特徴とする請求項 1 記載の力率改善コンバータ。

【請求項 7】

前記入力電源が正常の状態に復帰すると、前記第 1 および第 2 のコンバータ部を再び動作させ、前記第 1 のコンバータ部を通して前記第 1 のコンデンサを充電すると共に、前記第 2 のコンバータを通して前記第 2 のコンデンサから前記負荷に前記出力電圧を供給する構成としたことを特徴とする請求項 1 記載の力率改善コンバータ。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/052886

A. CLASSIFICATION OF SUBJECT MATTER H02M7/12(2006.01) i, H02M3/155(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M7/12, H02M3/155 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-195282 A (Renesas Technology Corp.), 02 August 2007 (02.08.2007), paragraphs [0018] to [0022]; fig. 1 (Family: none)	1, 2, 6, 7 3-5
Y A	JP 2009-27887 A (Sanken Electric Co., Ltd.), 05 February 2009 (05.02.2009), paragraphs [0040] to [0047]; fig. 4 & US 2009/0027931 A1 & CN 101355311 A	1, 2, 6, 7 3-5
Y A	JP 8-126303 A (Hitachi, Ltd.), 17 May 1996 (17.05.1996), paragraph [0007]; fig. 3 (Family: none)	2 3-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "™" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 May, 2010 (17.05.10)		Date of mailing of the international search report 25 May, 2010 (25.05.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 5 2 8 8 6									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M7/12(2006.01)i, H02M3/155(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M7/12, H02M3/155											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	J P 2 0 0 7 - 1 9 5 2 8 2 A (株式会社ルネサステクノロジ)、 2007.08.02、段落【0018】 - 【0022】、第1図 (ファミリーなし)	1, 2, 6, 7 3-5									
Y A	J P 2 0 0 9 - 2 7 8 8 7 A (サンケン電気株式会社)、2009.02.05、段落 【0040】 - 【0047】、第4図 & US2009/0027931A1 & CN101355311A	1, 2, 6, 7 3-5									
Y A	J P 8 - 1 2 6 3 0 3 A (株式会社日立製作所)、1996.05.17、段落【0007】、 第3図 (ファミリーなし)	2 3-5									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 17.05.2010		国際調査報告の発送日 25.05.2010									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 服部 俊樹	3V 3736								
		電話番号 03-3581-1101	内線 3357								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。