

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5875073号
(P5875073)

(45) 発行日 平成28年3月2日(2016.3.2)

(24) 登録日 平成28年1月29日(2016.1.29)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 P

請求項の数 7 (全 16 頁)

(21) 出願番号 特願2012-159236 (P2012-159236)
(22) 出願日 平成24年7月18日(2012.7.18)
(65) 公開番号 特開2013-169133 (P2013-169133A)
(43) 公開日 平成25年8月29日(2013.8.29)
審査請求日 平成27年4月9日(2015.4.9)
(31) 優先権主張番号 特願2012-9979 (P2012-9979)
(32) 優先日 平成24年1月20日(2012.1.20)
(33) 優先権主張国 日本国(JP)

特許法第30条第1項適用 (刊行物1) 社団法人電子情報通信学会が平成23年7月21日に発行した「信学技報vol.111 No.161電子情報通信学会技術研究報告 EE2011-6-EE2011-17電子通信エネルギー技術」において発表

(73) 特許権者 304028726
国立大学法人 大分大学
大分県大分市大字旦野原700番地
(74) 代理人 110000475
特許業務法人みのり特許事務所
(72) 発明者 佐藤 輝被
大分県大分市大字旦野原700番地 国立
大学法人大分大学内

審査官 鈴木 重幸

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置および該装置で使用されるパルス幅変調回路

(57) 【特許請求の範囲】

【請求項1】

コンバータ部を構成するスイッチング素子を駆動するためのLレベルとHレベルの2つの状態を持った方形波電圧を生成するパルス幅変調回路であって、

前記方形波電圧を積分してなる積分電圧が上昇して上方閾値電圧以上になると前記方形波電圧をLレベルに切り替え、前記積分電圧が下降して下方閾値電圧以下になると前記方形波電圧をHレベルに切り替える方形波電圧出力手段と、

互いに180°の位相差を有する第1クロック信号および第2クロック信号を前記方形波電圧出力手段に向けて出力するクロック手段と、
を備え、

前記方形波電圧出力手段は、(1)前記積分電圧が下降している最中に前記第1クロック信号が変化すると、前記積分電圧が前記下方閾値電圧に達していなくても前記方形波電圧をHレベルに切り替え、(2)前記積分電圧が上昇している最中に前記第2クロック信号が変化すると、前記積分電圧が前記上方閾値電圧に達していなくても前記方形波電圧をLレベルに切り替えることを特徴とするパルス幅変調回路。

【請求項2】

前記方形波電圧出力手段が、
予め設定された目標電圧および前記コンバータ部の出力電圧の誤差電圧を出力するエラーアンプ部と、

第1抵抗を介して正入力端子に前記誤差電圧が入力され、出力端子から出力される前記

方形波電圧を積分してなる積分電圧が負入力端子に入力され、かつ前記出力端子および前記正入力端子が第2抵抗を介して接続されたコンパレータを有するコンパレータ部と、を含むことを特徴とする請求項1に記載のパルス幅変調回路。

【請求項3】

前記クロック手段が、

アノードに前記第1クロック信号が印加され、かつ前記第1抵抗が介装されたラインにカソードが接続された第1ダイオードと、

カソードに前記第2クロック信号が印加され、かつ前記第1抵抗が介装されたラインにアノードが接続された第2ダイオードと、

を含むことを特徴とする請求項2に記載のパルス幅変調回路。

10

【請求項4】

前記クロック手段が、

アノードに前記第1クロック信号が印加され、かつ前記第2抵抗が介装されたラインにカソードが接続された第1ダイオードと、

カソードに前記第2クロック信号が印加され、かつ前記第2抵抗が介装されたラインにアノードが接続された第2ダイオードと、

を含むことを特徴とする請求項2に記載のパルス幅変調回路。

【請求項5】

前記方形波電圧出力手段が、

予め設定された目標電圧および前記コンバータ部の出力電圧の誤差電圧を出力するエラーアンプ部と、

前記方形波電圧を出力する論理回路部と、

前記論理回路部の入力に出力端子が接続され、第3抵抗を介して正入力端子に前記誤差電圧が入力され、前記方形波電圧を積分してなる積分電圧が負入力端子に入力され、かつ第4抵抗を介して前記正入力端子に前記方形波電圧が入力されるコンパレータを有するコンパレータ部と、

を含むことを特徴とする請求項1に記載のパルス幅変調回路。

20

【請求項6】

前記論理回路部が、2入力型の第1論理演算部および第2論理演算部を含み、

前記第1論理演算部に、前記コンパレータ部の出力と、前記第1クロック信号および前記第2クロック信号のうち的一方とが入力され、

前記第2論理演算部に、前記第1論理演算部の出力と、前記第1クロック信号および前記第2クロック信号のうち他方とが入力され、

前記第2論理演算部から前記方形波電圧が出力されることを特徴とする請求項5に記載のパルス幅変調回路。

30

【請求項7】

請求項1に記載のパルス幅変調回路から出力される方形波電圧によってコンバータ部を構成するスイッチング素子が駆動されることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、主にマルチフェーズ方式の電源装置で使用されるスイッチング電源装置、および該スイッチング電源装置においてコンバータ部を制御するために使用されるパルス幅変調回路に関する。

【背景技術】

【0002】

近年、互いに位相をずらして駆動される複数のスイッチング電源装置を並列接続してなるマルチフェーズ方式の電源装置が広く用いられるようになってきている。この方式の電源装置は、相の数、すなわち使用するスイッチングコンバータの数に比例した大電流を出力することができるという利点がある。

50

【 0 0 0 3 】

マルチフェーズ方式の電源装置に使用されるスイッチング電源装置としては、例えば、図 1 1 に示すスイッチング電源装置 1 0 0 が知られている（例えば、非特許文献 1 参照）。同図に示すように、スイッチング電源装置 1 0 0 は、直流電源 3 0 から出力される入力電圧 V_i を降圧型 DC - DC コンバータからなるコンバータ部 2 で降圧し、予め設定された目標電圧 V_r に等しい出力電圧 v_o を負荷 3 1 に出力するもので、上記コンバータ部 2 の他、コンバータ部 2 を構成するスイッチング素子を駆動するための方形波電圧 V_{PWM} を生成するパルス幅変調回路 1 0 1 を備えている。

【 0 0 0 4 】

パルス幅変調回路 1 0 1 は、出力電圧 v_o および目標電圧 V_r の誤差電圧 v_c を出力するエラーアンプ部 1 0 2 と、第 1 抵抗 1 5 を介して正入力端子に誤差電圧 v_c が入力され、出力端子から出力される方形波電圧 V_{PWM} を積分してなる積分電圧 v_n が負入力端子に入力され、かつ出力端子および正入力端子が第 2 抵抗 1 7 を介して接続されたコンパレータ 1 6 を有するコンパレータ部 1 0 3 と、クロック信号 V_{CL} をコンパレータ 1 6 の正入力端子に印加するクロック部 1 0 4 とを有している。

10

【 0 0 0 5 】

図 1 2 (A) および図 1 2 (B) に示すように、スイッチング電源装置 1 0 0 では、正入力端子の電圧 v_p が積分電圧 v_n よりも低いときにクロック信号 V_{CL} が変化することで正入力端子の電圧 v_p が強制的に H レベルに引き上げられる。つまり、このスイッチング電源装置 1 0 0 では、クロック信号 V_{CL} に同期して方形波電圧 V_{PWM} が変化する。

20

【 0 0 0 6 】

一般に、自励で動作するスイッチング電源装置は、負荷の変動に伴って動作周波数が変動するので、複数のスイッチング電源装置を並列接続してマルチフェーズ化したときに各相の同期をとるのが難しいという問題がある。この点、上記スイッチング電源装置 1 0 0 によれば、並列接続された各相のスイッチング電源装置 1 0 0 に同じクロック信号 V_{CL} を入力することで、上記の問題を解決することができる。

【 先行技術文献 】

【 非特許文献 】

【 0 0 0 7 】

【 非特許文献 1 】 K.Taniguchi, T.Sato, T.Nabeshima and K.Nishijima, " Constant Frequency Hysteretic PWM Controller for Buck Converter ", 電子情報通信学会技術研究報告, 2009年10月, Vol.109, No.216 ,EE2009, pp.7-11.

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、図 1 1 に示す従来のスイッチング電源装置 1 0 0 は、クロック信号 V_{CL} の周期 T における方形波電圧 V_{PWM} のデューティ比 D が 5 0 % を上回るとサブハーモニック発振が起こり、図 1 2 (C) に示すように、方形波電圧 V_{PWM} が不安定になるという問題があった。このため、従来のスイッチング電源装置 1 0 0 では、いかなる場合もデューティ比 D が 5 0 % を上回らないように回路定数を選定する必要があり、設計者に負担が生じていた。

40

【 0 0 0 9 】

本発明は上記事情に鑑みてなされたものであって、その課題とするところは、デューティ比 D が 5 0 % を上回る場合においても、クロック信号に同期して安定的に動作可能なスイッチング電源装置およびパルス幅変調回路を提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

上記課題を解決するために、本発明に係るパルス幅変調回路は、コンバータ部を構成するスイッチング素子を駆動するための L レベルと H レベルの 2 つの状態を持った方形波電圧を生成するパルス幅変調回路であって、方形波電圧を積分してなる積分電圧が上昇して

50

上方閾値電圧以上になると方形波電圧をLレベルに切り替え、積分電圧が下降して下方閾値電圧以下になると方形波電圧をHレベルに切り替える方形波電圧出力手段と、互いに180°の位相差を有する第1クロック信号および第2クロック信号を方形波電圧出力手段に向けて出力するクロック手段とを備え、方形波電圧出力手段は、(1)積分電圧が下降している最中に第1クロック信号が変化すると、積分電圧が下方閾値電圧に達していなくても方形波電圧をHレベルに切り替え、(2)積分電圧が上昇している最中に第2クロック信号が変化すると、積分電圧が上方閾値電圧に達していなくても方形波電圧をLレベルに切り替えることを特徴としている。

【0011】

上記方形波電圧出力手段の具体的な構成としては、例えば、予め設定された目標電圧およびコンバータ部の出力電圧の誤差電圧を出力するエラーアンプ部と、第1抵抗を介して正入力端子に誤差電圧が入力され、出力端子から出力される方形波電圧を積分してなる積分電圧が負入力端子に入力され、かつ出力端子および正入力端子が第2抵抗を介して接続されたコンパレータを有するコンパレータ部とを含む構成が考えられる。

10

【0012】

この場合は、上記クロック手段の構成を、アノードに第1クロック信号が印加され、かつ第1抵抗が介装されたラインにカソードが接続された第1ダイオードと、カソードに第2クロック信号が印加され、かつ第1抵抗が介装されたラインにアノードが接続された第2ダイオードとを含む構成、または、アノードに第1クロック信号が印加され、かつ第2抵抗が介装されたラインにカソードが接続された第1ダイオードと、カソードに第2クロック信号が印加され、かつ第2抵抗が介装されたラインにアノードが接続された第2ダイオードとを含む構成とすればよい。

20

【0013】

上記方形波電圧出力手段の別の具体的な構成としては、例えば、予め設定された目標電圧および前記コンバータ部の出力電圧の誤差電圧を出力するエラーアンプ部と、方形波電圧を出力する論理回路部と、論理回路部の入力に出力端子が接続され、第3抵抗を介して正入力端子に誤差電圧が入力され、方形波電圧を積分してなる積分電圧が負入力端子に入力され、かつ第4抵抗を介して正入力端子に方形波電圧が入力されるコンパレータを有するコンパレータ部とを含む構成も考えられる。

【0014】

この場合は、上記論理回路部の具体的な構成としては、例えば、2入力型の第1論理演算部および第2論理演算部を含み、第1論理演算部に、コンパレータ部の出力と、第1クロック信号および前記第2クロック信号のうち的一方とが入力され、第2論理演算部に、第1論理演算部の出力と、第1クロック信号および第2クロック信号のうち他方とが入力され、第2論理演算部から方形波電圧が出力されるような構成が考えられる。

30

【0015】

また、上記課題を解決するために、本発明に係るスイッチング電源装置は、上記パルス幅変調回路から出力される方形波電圧によってコンバータ部を構成するスイッチング素子が駆動されることを特徴としている。

【0016】

なお、本明細書における「クロック信号(第1クロック信号、第2クロック信号)の変化」には、Lレベル Hレベル Lレベルの順に連続的に変化する上向きのパルス状の変化と、Hレベル Lレベル Hレベルの順に連続的に変化する下向きのパルス状の変化とが含まれるものとする。Lレベル Hレベルの順に変化するだけのステップ状の変化、およびHレベル Lレベルの順に変化するだけのステップ状の変化は、本明細書における「クロック信号の変化」に含まれないので、注意されたい。

40

【0017】

また、本発明では、第1クロック信号および第2クロック信号が互いに180°の位相差を有するが、これは、第1クロック信号の周期T毎のパルス状変化と、第2クロック信号の周期T毎のパルス状変化とが、 $T/2$ だけずれていることを意味するものとする。

50

【発明の効果】

【0018】

本発明によれば、デューティ比Dが50%を上回る場合においても、クロック信号に同期して安定的に動作可能なスイッチング電源装置およびパルス幅変調回路を提供することができる。

【図面の簡単な説明】

【0019】

【図1】本発明の第1実施形態に係るスイッチング電源装置の回路図である。

【図2】第1実施形態に係るスイッチング電源装置の動作波形図であって、(A)は第1クロック信号および第2クロック信号、(B)はデューティ比が50%を下回る場合の方形波電圧等、(C)はデューティ比が50%を上回る場合の方形波電圧等の波形図である。

10

【図3】方形波電圧の測定波形図であって、(A)は第1実施形態に係るスイッチング電源装置において第2クロック信号を未使用とした場合、(B)は第1クロック信号を未使用とした場合、(C)は両方のクロック信号を使用した場合の波形図である。

【図4】第1実施形態に係るスイッチング電源装置に備えられたコンバータ部の具体的一例を示す回路図である。

【図5】第1実施形態に係るスイッチング電源装置のフリーラン時の動作周波数の具体的一例を示すグラフである。

【図6】第1実施形態に係るスイッチング電源装置の変形例を示す回路図である。

20

【図7】第1実施形態に係るスイッチング電源装置の変形例を示す回路図である。

【図8】本発明の第2実施形態に係るスイッチング電源装置の回路図である。

【図9】第2実施形態に係るスイッチング電源装置における論理回路部の変形例を示す回路図である。

【図10】マルチフェーズ方式の電源装置のブロック図であって、(A)は第1実施形態に係るスイッチング電源装置を並列接続した場合、(B)は第2実施形態に係るスイッチング電源装置を並列接続した場合のブロック図である。

【図11】従来のスイッチング電源装置の回路図である。

【図12】従来のスイッチング電源装置の動作波形図であって、(A)はクロック信号、(B)はデューティ比が50%を下回る場合の方形波電圧等、(C)はデューティ比が50%を上回る場合の方形波電圧等の波形図である。

30

【発明を実施するための形態】

【0020】

[第1実施形態]

まず、図1～図7を参照しつつ、本発明の第1実施形態に係るスイッチング電源装置およびパルス幅変調回路について説明する。なお、図1のカッコ内の符号は回路定数を示しており、例えば、抵抗18の抵抗値は R_1 [Ω]、コンデンサ19の容量は C_1 [F]である。

【0021】

図1に示すように、本発明の第1実施形態に係るスイッチング電源装置1Aは、直流電源30から出力される入力電圧 V_i を降圧型DC-DCコンバータからなるコンバータ部2で降圧し、予め設定された目標電圧 V_r に等しい出力電圧 v_o を負荷31に出力するので、上記コンバータ部2の他、コンバータ部2を構成するスイッチング素子を駆動するための方形波電圧 V_{PWM} を生成するパルス幅変調回路3Aを備えている。

40

【0022】

本発明では、コンバータ部2の回路構成は特に限定されず、後述する方形波電圧 V_{PWM} によって2以上のスイッチング素子(例えば、MOSFET)が駆動(ON/OFF制御)され、これにより入力電圧 V_i を出力電圧 v_o に変換可能な任意のスイッチングコンバータを使用することができる。

【0023】

50

本実施形態に係るパルス幅変調回路 3 A は、エラーアンプ部 4、コンパレータ部 5 A およびクロック部 6 A を有している。このうち、エラーアンプ部 4 およびコンパレータ部 5 A は、本発明の「方形波電圧出力手段」8 A に相当する。また、クロック部 6 A は、本発明の「クロック手段」9 A に相当する。

【0024】

エラーアンプ部 4 は、コンバータ部 2 の出力電圧 v_o と、基準電源 10 から出力される目標電圧 V_r との誤差電圧 v_c を出力するもので、主にオペアンプ 12 を有している。オペアンプ 12 は、基準電源 10 に接続された非反転入力端子 (+) と、抵抗 11 を介してコンバータ部 2 の出力に接続された反転入力端子 (-) と、誤差電圧 v_c を出力する出力端子とを有している。また、出力端子および反転入力端子は、コンデンサ 13 および抵抗 14 からなる直列回路を介して接続されている。

10

【0025】

コンパレータ部 5 A は、エラーアンプ部 4 から出力される誤差電圧 v_c と、クロック部 6 A から出力されるクロック信号とに基づいて方形波電圧 V_{PWM} を生成し、該方形波電圧 V_{PWM} をコンバータ部 2 のスイッチング素子に出力するもので、主にヒステリシス付きのコンパレータ 16 を有している。コンパレータ 16 は、第 1 抵抗 15 を介してオペアンプ 12 の出力端子に接続された正入力端子 (+) と、方形波電圧 V_{PWM} を出力する出力端子と、出力端子に接続された抵抗 18 およびコンデンサ 19 からなる積分回路の midpoint に接続された負入力端子 (-) とを備えている。また、出力端子および正入力端子は第 2 抵抗 17 を介して接続され、正入力端子と負入力端子との間にはコンデンサ 20 が接続されている。

20

【0026】

抵抗 18 およびコンデンサ 19 からなる積分回路は、方形波電圧 V_{PWM} を積分して三角波状の積分電圧 v_n を生成する。生成された積分電圧 v_n は、コンパレータ 16 の負入力端子に入力される。

【0027】

コンパレータ 16 は、負入力端子の電圧 (積分電圧 v_n) および正入力端子の電圧 v_p を比較し、電圧 v_p の方が高い場合は電圧値 V_{OH} を有する H レベルの方形波電圧 V_{PWM} を出力する。一方、電圧 v_p の方が低い場合、コンパレータ 16 は電圧値 V_{OL} を有する L レベルの方形波電圧 V_{PWM} を出力する。

30

【0028】

クロック部 6 A は、アノードに第 1 クロック信号 V_{CL1} が印加され、かつカソードがコンパレータ 16 の正入力端子に接続された第 1 ダイオード 23 と、カソードに第 2 クロック信号 V_{CL2} が印加され、かつアノードがコンパレータ 16 の正入力端子に接続された第 2 ダイオード 24 と、不図示のクロック信号生成器とを有している。図 2 (A) に示すように、第 1 クロック信号 V_{CL1} は周期 T 毎に H レベルとなり、第 2 クロック信号 V_{CL2} は周期 T 毎に L レベルとなる。言い換えると、第 1 クロック信号 V_{CL1} は周期 T 毎に上向きのパルス状に変化し、第 2 クロック信号 V_{CL2} は周期 T 毎に下向きのパルス状に変化する。また、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} は 180° の位相差を有している。第 1 クロック信号 V_{CL1} が H レベルとなる時間および第 2 クロック信号 V_{CL2} が L レベルとなる時間は任意に設定することができるが、周期 T よりも十分に短くしておくことが好ましい。

40

【0029】

第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} の H レベルは、コンパレータ 16 の上方閾値電圧 V_H よりも高い電圧に設定されている。また、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} の L レベルは、コンパレータ 16 の下方閾値電圧 V_L よりも低い電圧に設定されている。第 1 抵抗 15 の抵抗値を R_a 、第 2 抵抗 17 の抵抗値を R_b としたとき、上方閾値電圧 V_H および下方閾値電圧 V_L はそれぞれ次式により表される。

【数 1】

$$V_H = \frac{R_b}{R_a + R_b} v_c + \frac{R_a}{R_a + R_b} V_{OH}$$

$$V_L = \frac{R_b}{R_a + R_b} v_c + \frac{R_a}{R_a + R_b} V_{OL}$$

【0030】

本実施形態に係るスイッチング電源装置 1 A では、方形波電圧 V_{PWM} が L レベルになっているとき、すなわちコンパレータ 16 の正入力端子の電圧 v_p が L レベルになっているときに第 1 クロック信号 V_{CL1} が H レベルになると、電圧 v_p が強制的に H レベルに引き上げられ、これにより方形波電圧 V_{PWM} も H レベルに引き上げられる。一方、方形波電圧 V_{PWM} が H レベルになっているとき、すなわち電圧 v_p が H レベルになっているときに第 2 クロック信号 V_{CL2} が L レベルになると、電圧 v_p が強制的に L レベルに引き下げられ、これにより方形波電圧 V_{PWM} も L レベルに引き下げられる。

10

【0031】

図 2 は、スイッチング電源装置 1 A の動作波形図である。第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} の周期 T における方形波電圧 V_{PWM} のデューティ比 D が 50% を下回る場合、スイッチング電源装置 1 A は第 1 クロック信号 V_{CL1} に同期する（図 2 (B) 参照）。一方、デューティ比 D が 50% を上回る場合、スイッチング電源装置 1 A は第 2 クロック信号 V_{CL2} に同期する（図 2 (C) 参照）。

20

【0032】

すなわち、デューティ比 D が 50% を下回る場合、第 1 クロック信号 V_{CL1} が H レベルになると、電圧 v_p および方形波電圧 V_{PWM} が強制的に H レベルに引き上げられ、積分電圧 v_n は上昇に転ずる。その後、積分電圧 v_n が上方閾値電圧 V_H をわずかに上回り、電圧 v_p と積分電圧 v_n との大小関係が逆転すると、電圧 v_p および方形波電圧 V_{PWM} は L レベルになり、積分電圧 v_n は下降に転ずる。そして、第 1 クロック信号 V_{CL1} が次に H レベルになるタイミングで、電圧 v_p および方形波電圧 V_{PWM} が強制的に H レベルに引き上げられ、積分電圧 v_n は下方閾値電圧 V_L に到達する前に再び上昇に転ずる。

30

【0033】

なお、デューティ比 D が 50% を下回る場合、第 2 クロック信号 V_{CL2} が L レベルとなるタイミングでは何も起こらない。電圧 v_p および方形波電圧 V_{PWM} が既に L レベルになっているからである。

【0034】

一方、デューティ比 D が 50% を上回る場合、第 2 クロック信号 V_{CL2} が L レベルになると、電圧 v_p および方形波電圧 V_{PWM} が強制的に L レベルに引き下げられ、積分電圧 v_n は下降に転ずる。その後、積分電圧 v_n が下方閾値電圧 V_L をわずかに下回り、電圧 v_p と積分電圧 v_n との大小関係が逆転すると、電圧 v_p および方形波電圧 V_{PWM} は H レベルになり、積分電圧 v_n は上昇に転ずる。そして、第 2 クロック信号 V_{CL2} が次に L レベルになるタイミングで、電圧 v_p および方形波電圧 V_{PWM} が強制的に L レベルに引き下げられ、積分電圧 v_n は上方閾値電圧 V_H に到達する前に再び下降に転ずる。

40

【0035】

なお、デューティ比 D が 50% を上回る場合、第 1 クロック信号 V_{CL1} が H レベルとなるタイミングでは何も起こらない。電圧 v_p および方形波電圧 V_{PWM} が既に H レベルになっているからである。

【0036】

図 3 は、方形波電圧 V_{PWM} の測定波形図である。図 3 (A) に示すように、第 2 クロック信号 V_{CL2} を H レベルに固定した場合、すなわち第 2 クロック信号 V_{CL2} を未使用とした場合は、デューティ比 $D = 70%$ の条件下でサブハーモニック発振による方形波

50

電圧 V_{PWM} の乱れが観測された。また、第 1 クロック信号 V_{CL1} を L レベルに固定した場合、すなわち第 1 クロック信号 V_{CL1} を未使用とした場合は、図 3 (B) に示すように、デューティ比 $D = 30\%$ の条件下でサブハーモニック発振による方形波電圧 V_{PWM} の乱れが観測された。一方、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} を使用した場合は、図 3 (C) に示すように、デューティ比 $D = 30\%$ の条件下でもデューティ比 $D = 70\%$ の条件下でもサブハーモニック発振による方形波電圧 V_{PWM} の乱れは観測されなかった。

【 0 0 3 7 】

以上のように、本実施形態に係るスイッチング電源装置 1 A は、パルス幅変調回路 3 A を備えたことにより、デューティ比 D が 50% を上回る場合およびデューティ比 D が 50% を下回る場合のいずれの場合においても、サブハーモニック発振を起こすことなく、第 1 クロック信号 V_{CL1} または第 2 クロック信号 V_{CL2} に同期して安定的に動作することができる。

10

【 0 0 3 8 】

続いて、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} の周期 T の決定方法について説明する。周期 T を決定するためには、まず、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} を使用しないフリーランの状態における動作周波数を測定する必要がある。

【 0 0 3 9 】

コンバータ部 2 として、図 4 に示す一般的な降圧型 DC - DC コンバータを使用し、回路定数を以下のように設定した場合、目標電圧 V_r を $0.5 \sim 4.5$ [V] の範囲で変化させると、図 5 に示すように、動作周波数は目標電圧 $V_r = 2.5$ [V] でピーク値の 680 [kHz] となった。

20

[回路定数]

V_i : 5 [V]、 V_r : $0.5 \sim 4.5$ [V]
 R_1 : 12 [k]、 R_2 : 10 [k]、 R_3 : 1 [k]
 R_a : 1 [k]、 R_b : 100 [k]
 C_1 : 470 [p F]、 C_2 : 1000 [p F]、 C_3 : 2200 [p F]
 L : 0.47 [μ H]、 C_o : 500 [μ F]

30

【 0 0 4 0 】

本実施形態に係るスイッチング電源装置 1 A では、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} の周波数 F がピーク値よりも高くなるように周期 T を設定する必要がある。周波数 F がピーク値に等しい、または周波数 F がピーク値を下回ると、発振する可能性があるからである。ピーク値が 680 [kHz] の場合、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} の周期 T は、 $1 / 680 \text{ k} = 1.47 \mu\text{s}$ 未満に設定する必要がある。

【 0 0 4 1 】

後述するように、本発明には種々の実施形態および変形例が存在するが、いずれの場合においても、第 1 実施形態の場合と同様、フリーラン時の動作周波数に基づいて第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} の周期 T を決定すればよい。

40

【 0 0 4 2 】

[第 1 実施形態の変形例]

図 6 に、第 1 実施形態の変形例に係るスイッチング電源装置 1 B を示す。スイッチング電源装置 1 B は、コンパレータ部 5 B を備えたパルス幅変調回路 3 B を備えている点においてスイッチング電源装置 1 A と相違しているが、他の部分の構成はスイッチング電源装置 1 A と同一である。

【 0 0 4 3 】

同図に示すように、本変形例では、コンパレータ部 5 B が 2 分割された第 1 抵抗 1 5 を有し、その中点にクロック部 6 A の第 1 ダイオード 2 3 および第 2 ダイオード 2 4 が接続

50

されている。言い換えると、本変形例では、分割された一方の第1抵抗15を介して第1クロック信号 V_{CL1} および第2クロック信号 V_{CL2} がコンパレータ16の正入力端子に入力される。

【0044】

図7に、第1実施形態の別の変形例に係るスイッチング電源装置1Cを示す。スイッチング電源装置1Cは、コンパレータ部5Cを備えたパルス幅変調回路3Cを備えている点においてスイッチング電源装置1Aと相違しているが、他の部分の構成はスイッチング電源装置1Aと同一である。

【0045】

同図に示すように、本変形例では、コンパレータ部5Cが2分割された第2抵抗17を有し、その中点にクロック部6Aの第1ダイオード23および第2ダイオード24が接続されている。言い換えると、本変形例では、分割された一方の第2抵抗17を介して第1クロック信号 V_{CL1} および第2クロック信号 V_{CL2} がコンパレータ16の正入力端子に入力される。

【0046】

スイッチング電源装置1Aと同様、これら2つの変形例に係るスイッチング電源装置1Bおよび1Cでも、方形波電圧 V_{PWM} がLレベルになっているとき、すなわちコンパレータ16の正入力端子の電圧 v_p がLレベルになっているときに第1クロック信号 V_{CL1} がHレベルになると、電圧 v_p が強制的にHレベルに引き上げられ、これにより方形波電圧 V_{PWM} もHレベルに引き上げられる。一方、方形波電圧 V_{PWM} がHレベルになっているとき、すなわち電圧 v_p がHレベルになっているときに第2クロック信号 V_{CL2} がLレベルになると、電圧 v_p が強制的にLレベルに引き下げられ、これにより方形波電圧 V_{PWM} もLレベルに引き下げられる。

【0047】

つまり、変形例に係るスイッチング電源装置1Bおよび1Cは、スイッチング電源装置1Aと同様、デューティ比Dが50%を上回る場合およびデューティ比Dが50%を下回る場合のいずれの場合においても、サブハーモニック発振を起こすことなく、クロック信号に同期して安定的に動作することができる。

【0048】

第1実施形態に係るスイッチング電源装置1Aの変形例は、この他にも種々存在する。例えば、第1クロック信号 V_{CL1} および第2クロック信号 V_{CL2} を入力する位置は、第1抵抗15が介装されたライン21（エラーアンプ部4およびコンパレータ16の正入力端子を接続するライン）上、または第2抵抗17が介装されたライン22（コンパレータ16の出力端子および正入力端子を接続するライン）上の任意の位置に適宜変更することができる。

【0049】

[第2実施形態]

次に、図8および図9を参照しつつ、本発明の第2実施形態に係るスイッチング電源装置およびパルス幅変調回路について説明する。

【0050】

図8に示すように、本発明の第2実施形態に係るスイッチング電源装置1Dは、直流電源30から出力される入力電圧 V_i をコンバータ部2で降圧し、予め設定された目標電圧 V_r に等しい出力電圧 v_o を負荷31に出力するもので、上記コンバータ部2の他、コンバータ部2を構成するスイッチング素子を駆動するための方形波電圧 V_{PWM} を生成するパルス幅変調回路3Dを備えている。

【0051】

本実施形態に係るパルス幅変調回路3Dは、エラーアンプ部4、コンパレータ部5D、クロック部6Dに加え、さらに論理回路部7Dを有している。このうち、エラーアンプ部4、コンパレータ部5Dおよび論理回路部7Dは、本発明の「方形波電圧出力手段」8Dに相当する。また、クロック部6Dは、本発明の「クロック手段」9Dに相当する。

10

20

30

40

50

【 0 0 5 2 】

エラーアンプ部 4 は、第 1 実施形態に係るスイッチング電源装置 1 A に備えられたエラーアンプ部 4 と同一の構成を有している。

【 0 0 5 3 】

コンパレータ部 5 D は、エラーアンプ部 4 から出力される誤差電圧 v_c に基づいて方形波電圧 V_{PWM} を生成し、該方形波電圧 V_{PWM} を論理回路部 7 D に出力するもので、主にヒステリシス付きのコンパレータ 2 5 を有している。コンパレータ 2 5 は、第 1 抵抗 1 5 を介してエラーアンプ部 4 に接続された正入力端子 (+) と、方形波電圧 V_{PWM} を出力する出力端子と、論理回路部 7 D の出力に接続された抵抗 2 7 およびコンデンサ 1 9 からなる積分回路の midpoint に接続された負入力端子 (-) とを備えている。また、論理回路部 7 D (後述する第 2 論理演算部 2 9 D) の出力およびコンパレータ 2 5 の正入力端子は第 3 抵抗 2 6 を介して接続され、正入力端子と負入力端子との間にはコンデンサ 2 0 が接続されている。

10

【 0 0 5 4 】

抵抗 2 7 およびコンデンサ 1 9 からなる積分回路は、論理回路部 7 D から出力される方形波電圧 V_{PWM} を積分して三角波状の積分電圧 v_n を生成する。生成された積分電圧 v_n は、コンパレータ 2 5 の負入力端子に入力される。

【 0 0 5 5 】

コンパレータ 2 5 は、負入力端子の電圧 (積分電圧 v_n) および正入力端子の電圧 v_p を比較し、電圧 v_p の方が高い場合は電圧値 V_{OH} を有する H レベルの方形波電圧 V_{PWM} を出力する。一方、電圧 v_p の方が低い場合、コンパレータ 2 5 は電圧値 V_{OL} を有する L レベルの方形波電圧 V_{PWM} を出力する。

20

【 0 0 5 6 】

クロック部 6 D は、不図示のクロック信号生成器によって生成された第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} を出力する。第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} は周期 T 毎に H レベルとなる。また、第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} は 180° の位相差を有している。第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} が H レベルとなる時間は任意に設定することができるが、周期 T よりも十分に短くしておくことが好ましい。

【 0 0 5 7 】

論理回路部 7 D は、直列的に接続された第 1 論理演算部 2 8 D および第 2 論理演算部 2 9 D を有している。本実施形態では、第 1 論理演算部 2 8 D および第 2 論理演算部 2 9 D はいずれも 2 入力型の NOR 回路である。

30

【 0 0 5 8 】

第 1 論理演算部 2 8 D の一方の入力には、コンパレータ 2 5 の出力端子から出力される方形波電圧 V_{PWM} が入力される。第 1 論理演算部 2 8 D の他方の入力には、クロック部 6 D から出力される第 2 クロック信号 V_{CL2} が入力される。また、第 1 論理演算部 2 8 D の出力からは、方形波電圧 V_{PWM} および第 2 クロック信号 V_{CL2} の双方が L レベルとなっている場合に H レベルとなり、それ以外の場合は L レベルとなる信号が出力される。

40

【 0 0 5 9 】

第 2 論理演算部 2 9 D の一方の入力には、第 1 論理演算部 2 8 D から出力される信号が入力される。第 2 論理演算部 2 9 D の他方の入力には、クロック部 6 D から出力される第 1 クロック信号 V_{CL1} が入力される。また、第 2 論理演算部 2 9 D の出力からは、コンパレータ部 2 に向けて出力される方形波電圧 V_{PWM} が出力される。方形波電圧 V_{PWM} は、第 1 論理演算部 2 8 D から出力される信号および第 1 クロック信号 V_{CL1} の双方が L レベルとなっている場合に H レベルとなり、それ以外の場合は L レベルとなる。

【 0 0 6 0 】

本実施形態に係るスイッチング電源装置 1 D では、第 1 実施形態に係るスイッチング電源装置 1 A と同様、積分電圧 v_n が下降している最中に第 1 クロック信号 V_{CL1} が変化

50

する（本実施形態では、Hレベルとなる）と、積分電圧 V_n が下方閾値電圧に達していなくても方形波電圧 V_{PWM} がHレベルに切り替わり、積分電圧 V_n が上昇している最中に第2クロック信号 V_{CL2} が変化する（本実施形態では、Hレベルとなる）と、積分電圧 V_n が上方閾値電圧に達していなくても方形波電圧 V_{PWM} がLレベルに切り替わる。

【0061】

すなわち、本実施形態に係るスイッチング電源装置1Dは、パルス幅変調回路3Dを備えたことにより、デューティ比Dが50%を上回る場合およびデューティ比Dが50%を下回る場合のいずれの場合においても、サブハーモニック発振を起こすことなく、第1クロック信号 V_{CL1} または第2クロック信号 V_{CL2} に同期して安定的に動作することができる。

10

【0062】

[第2実施形態の変形例]

第2実施形態に係るスイッチング電源装置1D（パルス幅変調回路3D）は、論理回路部7Dの代わりに図9に示す論理回路部7E、7Fまたは7Gを備えていても良い。

【0063】

図9（A）は、第1論理演算部28Eおよび第2論理演算部29Eを2入力型のNAND回路とした場合である。この場合は、周期T毎にLレベルとなる第1クロック信号 V_{CL1} および第2クロック信号 V_{CL2} を使用することにより、第1クロック信号 V_{CL1} および第2クロック信号 V_{CL2} に同期した方形波電圧 V_{PWM} が得られる。

【0064】

20

図9（B）は、第1論理演算部28Fを2入力型のAND回路、第2論理演算部29Fを2入力型のOR回路とした場合である。この場合は、周期T毎にHレベルとなる第1クロック信号 V_{CL1} 、および周期T毎にLレベルとなる第2クロック信号 V_{CL2} を使用することにより、第1クロック信号 V_{CL1} および第2クロック信号 V_{CL2} に同期した方形波電圧 V_{PWM} が得られる。

【0065】

また、図9（C）は、第1論理演算部28Gを2入力型のOR回路、第2論理演算部29Gを2入力型のAND回路とした場合である。この場合は、周期T毎にLレベルとなる第1クロック信号 V_{CL1} 、および周期T毎にHレベルとなる第2クロック信号 V_{CL2} を使用することにより、第1クロック信号 V_{CL1} および第2クロック信号 V_{CL2} に同期した方形波電圧 V_{PWM} が得られる。

30

【0066】

[マルチフェーズ方式の電源装置]

続いて、図10を参照しつつ、マルチフェーズ方式の電源装置について説明する。なお、図10においては、クロック部6の図示を省略している。

【0067】

図10（A）は、第1実施形態に係る複数個のスイッチング電源装置からなるマルチフェーズ方式の電源装置である。この電源装置では、各コンバータ部2に直流電源30から出力される入力電圧 V_i が入力されるとともに、1つにまとめられた各コンバータ部2の出力から出力電圧 v_o が出力される。そして、エラーアンプ部4は、出力電圧 v_o に基づいて生成した誤差電圧 v_c を各コンパレータ部5に出力し、各コンパレータ部5はクロック信号に同期した方形波電圧 V_{PWM} を対応するコンバータ部2に出力する。

40

【0068】

図10（B）は、第2実施形態に係る複数個のスイッチング電源装置からなるマルチフェーズ方式の電源装置である。この電源装置では、各コンパレータ部5の後段に論理回路部7が接続されており、各論理回路部7がクロック信号に同期した方形波電圧 V_{PWM} を対応するコンバータ部2に出力する。

【0069】

以上、本発明に係るスイッチング電源装置およびパルス幅変調回路の実施形態および変形例について説明してきたが、本発明は上記の構成に限定されるものではない。

50

【 0 0 7 0 】

すなわち、本発明においては、パルス幅変調回路が、方形波電圧 V_{PWM} を積分してなる積分電圧 V_n が上昇して上方閾値電圧以上になると方形波電圧 V_{PWM} を L レベルに切り替え、積分電圧 V_n が下降して下方閾値電圧以下になると方形波電圧 V_{PWM} を H レベルに切り替える方形波電圧出力手段と、互いに 180° の位相差を有する第 1 クロック信号 V_{CL1} および第 2 クロック信号 V_{CL2} を方形波電圧出力手段に向けて出力するクロック手段とを備えており、かつ、方形波電圧出力手段が、(1) 積分電圧 V_n が下降している最中に第 1 クロック信号 V_{CL1} が変化すると、積分電圧 V_n が下方閾値電圧に達していなくても方形波電圧 V_{PWM} を H レベルに切り替え、(2) 積分電圧 V_n が上昇している最中に第 2 クロック信号 V_{CL2} が変化すると、積分電圧 V_n が上方閾値電圧に達していなくても方形波電圧 V_{PWM} を L レベルに切り替えるよう構成されていればよく、そのための具体的な回路構成は上記実施形態および変形例に限定されない。

10

【 符号の説明 】

【 0 0 7 1 】

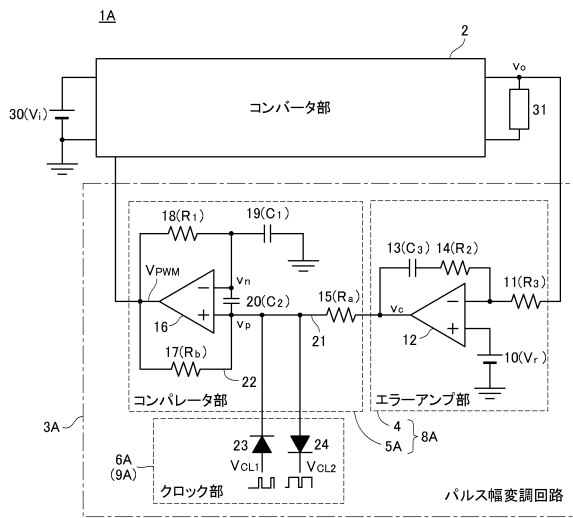
- 1 スイッチング電源装置
- 2 コンバータ部
- 3 パルス幅変調回路
- 4 エラーアンプ部
- 5 コンパレータ部
- 6 クロック部
- 7 論理回路部
- 8 方形波電圧出力手段
- 9 クロック手段
- 1 2 オペアンプ
- 1 5 第 1 抵抗
- 1 6 コンパレータ
- 1 7 第 2 抵抗
- 2 3 第 1 ダイオード
- 2 4 第 2 ダイオード
- 2 5 コンパレータ
- 2 6 第 3 抵抗
- 2 8 第 1 論理演算部
- 2 9 第 2 論理演算部
- 3 0 直流電源
- 3 1 負荷
- V_i 入力電圧
- v_o 出力電圧
- V_r 目標電圧
- v_c 誤差電圧
- v_p 正入力端子の電圧
- v_n 積分電圧
- V_{PWM} 方形波電圧
- V_{CL1} 第 1 クロック信号
- V_{CL2} 第 2 クロック信号

20

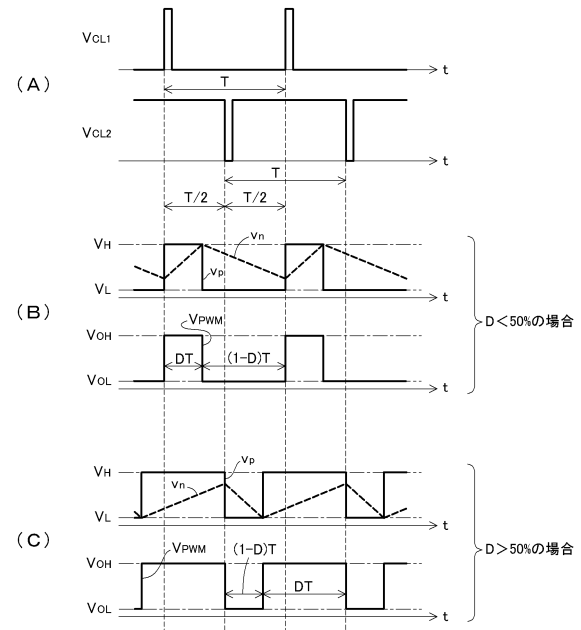
30

40

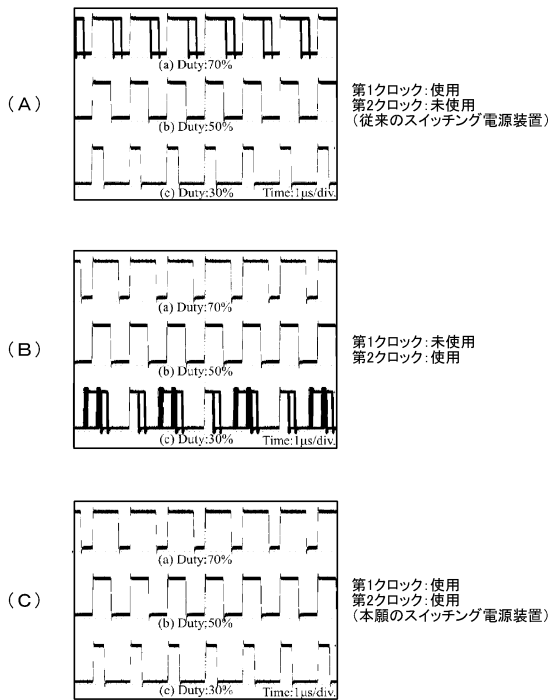
【図1】



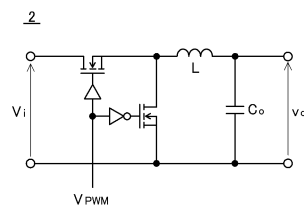
【図2】



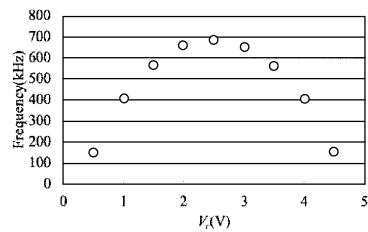
【図3】



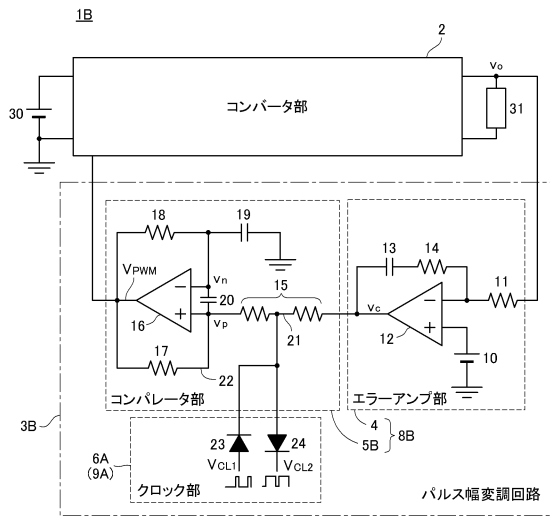
【図4】



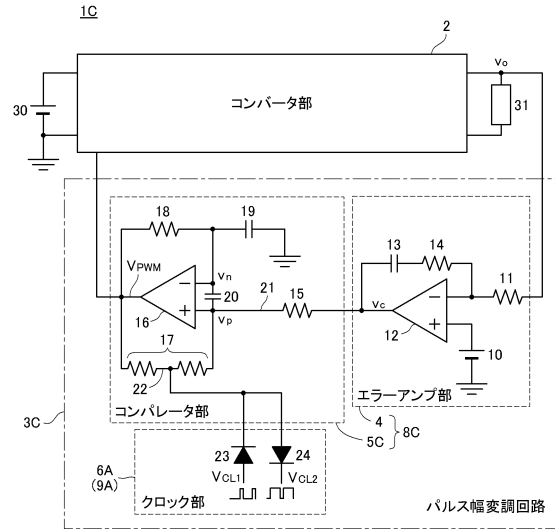
【図5】



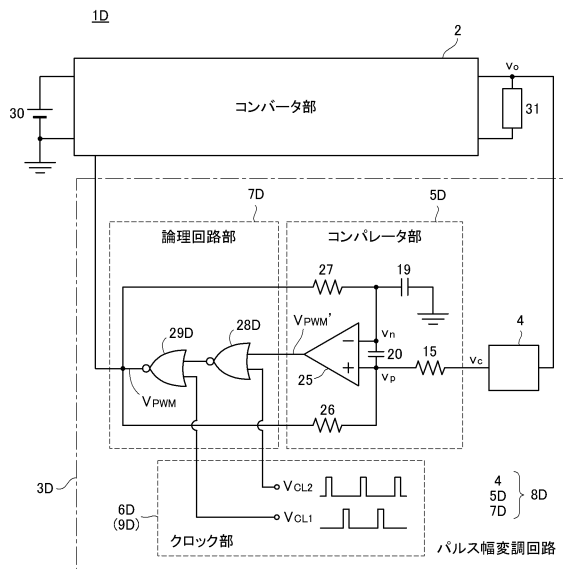
【図6】



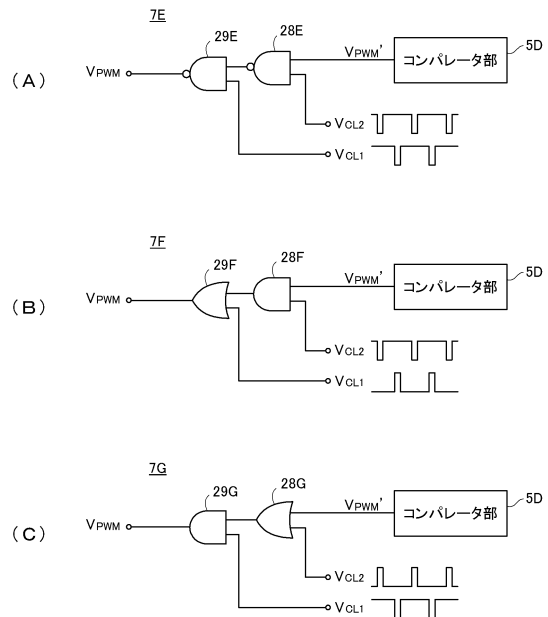
【図7】



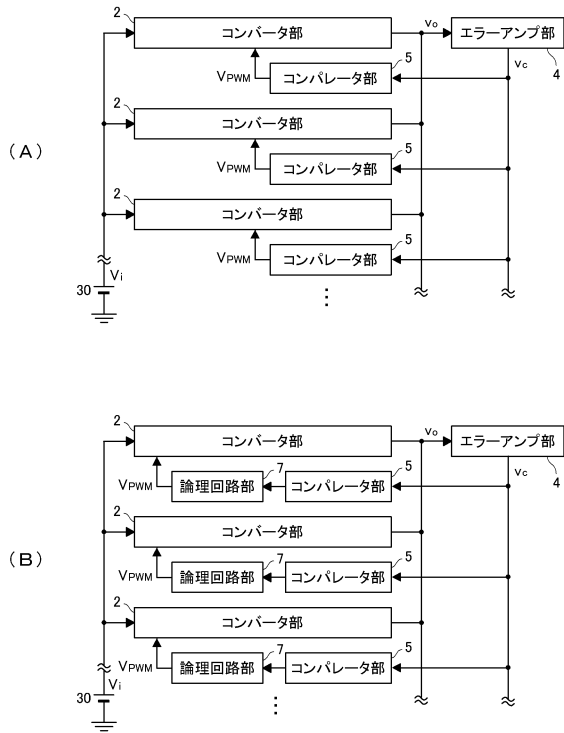
【図8】



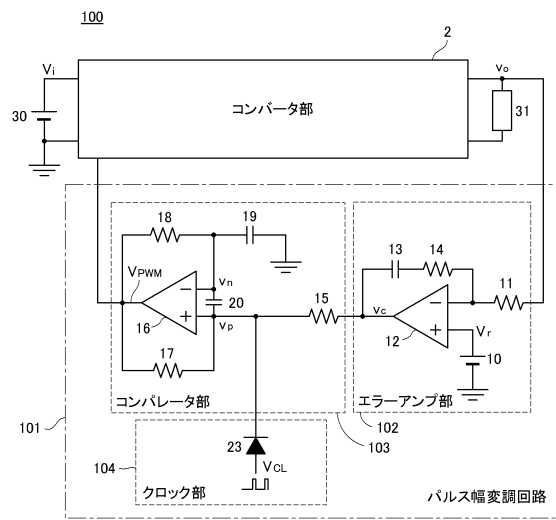
【図9】



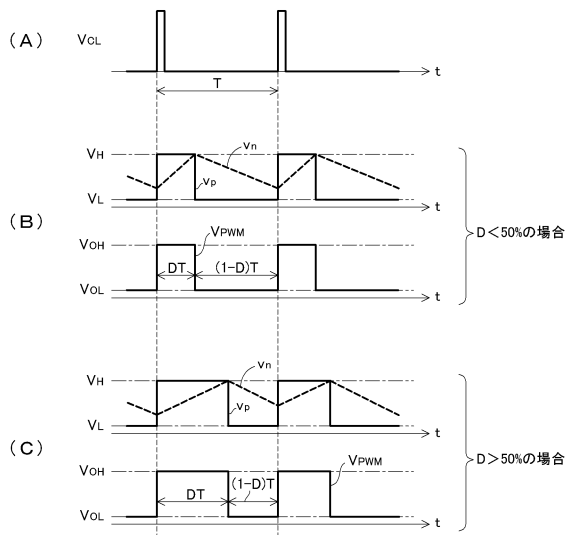
【図10】



【図11】



【図12】



フロントページの続き

特許法第30条第1項適用 (刊行物2) IEEE (the Institute of Electrical and Electronics Engineers) が平成23年12月5日に発行した「The 9th IEEE International Conference on Power Electronics and Drive Systems (IEEE PEDS 2011)」において発表

(56) 参考文献 特開2009-33883 (JP, A)
特開2003-33027 (JP, A)
特開2001-339953 (JP, A)
特開2010-68553 (JP, A)

(58) 調査した分野 (Int.Cl., DB名)
H02M 3/00 - 3/44