

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6513535号
(P6513535)

(45) 発行日 令和1年5月15日(2019.5.15)

(24) 登録日 平成31年4月19日(2019.4.19)

(51) Int.Cl. F I
H03L 7/24 (2006.01) H03L 7/24

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2015-178499 (P2015-178499)	(73) 特許権者	503420833
(22) 出願日	平成27年9月10日 (2015.9.10)		学校法人常翔学園
(65) 公開番号	特開2017-55295 (P2017-55295A)		大阪府大阪市旭区大宮五丁目16番1号
(43) 公開日	平成29年3月16日 (2017.3.16)	(74) 代理人	100115749
審査請求日	平成30年6月13日 (2018.6.13)		弁理士 谷川 英和
		(74) 代理人	100121223
			弁理士 森本 悟道
		(72) 発明者	吉村 勉
			大阪府大阪市旭区大宮五丁目16番1号
			大阪工業大学内
		審査官	鬼塚 由佳

最終頁に続く

(54) 【発明の名称】 自己注入位相同期回路

(57) 【特許請求の範囲】

【請求項1】

制御電圧に応じた発振周波数の発振出力信号を出力する電圧制御発振器と、
前記発振出力信号と基準信号との位相及び周波数を比較し、当該比較の結果を示す比較結果信号を出力する位相周波数比較器と、
前記比較結果信号に応じて前記制御電圧を生成して前記電圧制御発振器に出力する電圧発生器と、
前記発振出力信号を可変な遅延時間だけ遅延させた注入信号を出力する可変遅延器と、
前記可変遅延器の遅延時間を制御する遅延制御器と、を備え、
前記注入信号は、前記電圧制御発振器に注入され、
前記遅延制御器は、前記電圧制御発振器に注入される注入信号が、前記発振出力信号に対して $\frac{1}{2}$ より大きく、 $\frac{3}{2}$ より小さい位相だけ遅れるように遅延時間を制御する、
自己注入位相同期回路。

【請求項2】

前記注入信号を前記電圧制御発振器に注入するかどうかを切り替える切替器と、
前記注入信号が、前記発振出力信号が前記基準信号に同期するまでは注入されず、同期した後に注入されるように前記切替器を制御する注入制御器と、をさらに備えた、請求項1記載の自己注入位相同期回路。

【請求項3】

前記可変遅延器から出力された注入信号の強度及びパルス幅の少なくとも一方を変更した

注入信号を出力するパルス発生器をさらに備えた、請求項 1 または請求項 2 記載の自己注入位相同期回路。

【請求項 4】

前記発振出力信号を分周し、分周後の発振出力信号を前記位相周波数比較器及び前記可変遅延器に出力する分周器をさらに備え、

前記パルス発生器は、前記可変遅延器から出力された注入信号のパルス幅を少なくとも変更する、請求項 3 記載の自己注入位相同期回路。

【請求項 5】

前記パルス発生器は、前記可変遅延器から出力された注入信号の強度を少なくとも変更するものであり、

前記発振出力信号を用いてノイズ量を検出するノイズ検出器と、

前記ノイズ検出器によって検出されたノイズ量に応じた強度の注入信号が出力されるように前記パルス発生器を制御する強度制御器と、をさらに備え、

前記パルス発生器から出力される注入信号の強度は、検出されたノイズ量が多いほど小さくなり、検出されたノイズ量が少ないほど小さくなるように前記強度制御器によって制御される、請求項 3 または請求項 4 記載の自己注入位相同期回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期回路において負帰還となるように自己注入を行う自己注入位相同期回路に関する。

【背景技術】

【0002】

従来、発振器に発振周波数に極めて近い摂動を与えて、その印加信号に同期させるインジェクションロックが知られており、集積回路においては、1970年代のAdlerらの研究がある（非特許文献1参照）。

【0003】

近年、自己注入（self-injection）を用いた発振回路についても研究されており、位相同期回路（PLL：Phase Locked Loop）において、自己注入同期を行うことも行われている（非特許文献2参照）。その非特許文献2に記載されている自己注入同期においては、発振器からの発振信号を遅延ケーブルで遅延させ、帰還位相を移相器で調整した上で発振器に注入することが行われている。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】R. Adler, "A Study of Locking Phenomena in Oscillators," Proc. I EEE, vol.61, pp.1380-1385, Oct. 1973

【非特許文献2】堤恒次、都留正臣、谷口英司、「SiGe BiCMOSによる自己注入同期VCO内蔵PLL-IC」、2012年電子情報通信学会エレクトロニクスソサイエティ大会、C-2-2、p.28、2012年

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記非特許文献2に記載されている自己注入同期においては、移相器による位相の調整を手動で行う必要があった。そのため、位相同期回路ごとに移相器を調整したり、発振周波数が変更されるごとに移相器を調整したりする必要があり、その調整のための作業が煩雑であるという問題があった。また、その調整が不適切であった場合、例えば、正帰還による注入が行われることになった場合には、注入の効果が得られないという問題もあった。

【0006】

10

20

30

40

50

本発明は、上記課題を解決するためになされたものであり、適切な位相での自己注入を自動的に実現できる自己注入位相同期回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明による自己注入位相同期回路は、制御電圧に応じた発振周波数の発振出力信号を出力する電圧制御発振器と、発振出力信号と基準信号との位相及び周波数を比較し、比較の結果を示す比較結果信号を出力する位相周波数比較器と、比較結果信号に応じて制御電圧を生成して電圧制御発振器に出力する電圧発生器と、発振出力信号を可変な遅延時間だけ遅延させた注入信号を出力する可変遅延器と、可変遅延器の遅延時間を制御する遅延制御器と、を備え、注入信号は、電圧制御発振器に注入され、遅延制御器は、電圧制御発振器に注入される注入信号が負帰還となるように遅延時間を制御する、ものである。

10

このような構成により、注入信号を負帰還で電圧制御発振器に注入することを、遅延制御器によって自動的に実現することができ、作業等による位相の調整の作業が不要になる。また、そのような自己注入を行うことによって、発振出力信号の位相ノイズを低減することができる。なお、電圧制御発振器から出力された発振出力信号は、分周されことなく位相周波数比較器に投入されてもよく、または、分周されて位相周波数比較器に投入されてもよい。後者の場合には、基準信号の周波数に分周比を掛けた周波数の発振出力信号を出力することができるようになる。

【0008】

20

また、本発明による自己注入位相同期回路では、注入信号を電圧制御発振器に注入するかどうかを切り替える切替器と、注入信号が、発振出力信号が基準信号に同期するまでは注入されず、同期した後に注入されるように切替器を制御する注入制御器と、をさらに備えてもよい。

このような構成により、発振周波数が安定していない状況で自己注入を行うことによって発振出力信号が不安定になることを回避することができる。

【0009】

また、本発明による自己注入位相同期回路では、可変遅延器から出力された注入信号の強度及びパルス幅の少なくとも一方を変更した注入信号を出力するパルス発生器をさらに備えてもよい。

30

このような構成により、例えば、適切な自己注入を実現するために、注入信号の強度やパルス幅を変更することができるようになる。

【0010】

また、本発明による自己注入位相同期回路では、発振出力信号を分周し、分周後の発振出力信号を位相周波数比較器及び可変遅延器に出力する分周器をさらに備え、パルス発生器は、可変遅延器から出力された注入信号のパルス幅を少なくとも変更してもよい。

このような構成により、分周器によって分周された信号を用いて自己注入を行うことによって、例えば、回路の簡略化や省電力化を実現することができる。また、分周によってパルス幅が変化するが、そのパルス幅を、パルス発生器によって適切なものにすることができる。その結果、例えば、スプリアスノイズを低減させることができる。

40

【0011】

また、本発明による自己注入位相同期回路では、パルス発生器は、可変遅延器から出力された注入信号の強度を少なくとも変更するものであり、発振出力信号を用いてノイズ量を検出するノイズ検出器と、ノイズ検出器によって検出されたノイズ量に応じた強度の注入信号が出力されるようにパルス発生器を制御する強度制御器と、をさらに備え、パルス発生器から出力される注入信号の強度は、検出されたノイズ量が多いほど大きくなり、検出されたノイズ量が少ないほど小さくなるように強度制御器によって制御されてもよい。

このような構成により、ノイズ量が多い場合には、注入信号の強度を大きくすることによって、注入の影響を大きくすることができ、その結果、位相ノイズを低減させることができる。一方、注入信号の強度を大きくするとスプリアスノイズが発生するため、ノイズ

50

量が少ない場合には、注入信号の強度を小さくすることによって、注入の影響を小さくすることができる、スプリアスノイズを低減させることができる。

【発明の効果】

【0012】

本発明による自己注入位相同期回路によれば、適切な位相での自己注入を自動的に実現することができるようになる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施の形態による自己注入位相同期回路の構成を示すブロック図

【図2】同実施の形態における遅延制御器の構成を示すブロック図

10

【図3】同実施の形態における外部ノイズの影響を示すグラフ

【図4】同実施の形態における基準信号に対する発振出力信号の周波数特性を示すグラフ

【図5】同実施の形態による自己注入位相同期回路の他の構成を示すブロック図

【発明を実施するための形態】

【0014】

以下、本発明による自己注入位相同期回路について、実施の形態を用いて説明する。なお、以下の実施の形態において、同じ符号を付した構成要素は同一または相当するものであり、再度の説明を省略することがある。本実施の形態による自己注入位相同期回路は、位相同期回路において負帰還となるように自己注入（自己インジェクション）を行うものであり、その自己注入に用いる注入信号の位相を自動的に制御するものである。

20

【0015】

図1は、本実施の形態による自己注入位相同期回路1の構成を示すブロック図である。本実施の形態による自己注入位相同期回路1は、電圧制御発振器（VCO：Voltage Controlled Oscillator）11と、分周器12と、位相周波数比較器（PFD：Phase Frequency Detector）13と、電圧発生器14と、遅延制御器15と、可変遅延器16と、切替器17と、注入制御器18と、を備える。

【0016】

電圧制御発振器11は、電圧発生器14からの制御電圧に応じた発振周波数の発振出力信号を出力する。この電圧制御発振器11の種類は問わないが、例えば、LCタンク発振器であってもよく、LCクロスカップル型発振器であってもよく、その他の種類の電圧制御発振器であってもよい。また、電圧制御発振器11には、自己注入のための注入信号が注入される。その注入信号を電圧制御発振器11に注入する方法は問わない。その注入信号を電圧制御発振器11に注入する方法としては、例えば、注入信号の電流を直接、電圧制御発振器11に注入する方法（direct current injection）や、注入信号のパルス電圧を電圧制御発振器11に注入する方法（capacitive coupling injection）などがある。その注入方法の具体例については、例えば、次の文献を参照されたい。

30

文献：S. Morishita, S. Shimizu, T. Kihara, T. Yoshimura, "Subharmonically Injection-Locked PLL with Variable Pulse-Width Injections," ISCAS 2015, pp.557-560, May 2015

【0017】

40

分周器12は、電圧制御発振器11から出力された発振出力信号を所定の分周比nで分周し、分周後の発振出力信号を位相周波数比較器13と、注入制御器18とに出力する。この分周器12によって、発振出力信号の周波数が1/nにされる。なお、nは正の整数である。分周器12は、分周比nを変更可能なものであってもよく、または、そうでなくてもよい。

【0018】

位相周波数比較器13は、発振出力信号と、基準信号との位相及び周波数を比較し、その比較の結果を示す比較結果信号を出力する。基準信号は、自己注入位相同期回路において、発振出力信号を同期させる対象となる信号（参照信号）であり、例えば、水晶発振器等によって発振された安定した低位相ノイズの信号であることが好適である。なお、自己

50

注入位相同期回路 1 は分周器 1 2 を有するため、基準信号と比較される発振出力信号は、分周器 1 2 によって分周された発振出力信号となる。位相周波数比較器 1 3 の構成は特に限定されないが、例えば、発振出力信号と基準信号との立ち上がりエッジの差を示す比較結果信号を出力するものであってもよい。

【 0 0 1 9 】

電圧発生器 1 4 は、位相周波数比較器 1 3 から出力された比較結果信号に応じて制御電圧を生成して電圧制御発振器 1 1 に出力する。その電圧発生器 1 4 は、チャージポンプ (C P : Charge Pump) 1 9 と、ループフィルタ (L P F : Loop Filter) 2 0 とを備える。

【 0 0 2 0 】

チャージポンプ 1 9 は、位相周波数比較器 1 3 から出力された比較結果信号を電流または電圧に変換してループフィルタ 2 0 に出力する。すなわち、チャージポンプは、電流チャージ型であってもよく、電圧チャージ型であってもよい。このチャージポンプ 1 9 によって、位相周波数比較器 1 3 によって検出された両信号の比較結果が、電流パルスや電圧パルスに変換されることになる。

【 0 0 2 1 】

ループフィルタ 2 0 は、チャージポンプ 1 9 によって変換された電流または電圧に応じて制御電圧を生成して電圧制御発振器 1 1 に出力する。ループフィルタ 2 0 は、チャージポンプ 1 9 からの出力を平滑化して出力するローパスフィルタである。

【 0 0 2 2 】

なお、本実施の形態では、電圧発生器 1 4 が、チャージポンプ 1 9 及びループフィルタ 2 0 を有する場合について説明するが、そうでなくてもよい。電圧発生器 1 4 は、比較結果信号に応じた制御電圧を電圧制御発振器 1 1 に出力するものであればよく、その構成は問わない。すなわち、 P L L において、位相周波数比較器 1 3 と電圧制御発振器 1 1 との間に存在する構成が電圧発生器 1 4 であると考えてもよい。 P L L が集積回路上に構成される場合には、電圧発生器 1 4 は、通常、チャージポンプ 1 9 とループフィルタ 2 0 とを有することが多いが、 P L L がディスクリットに構成される場合には、チャージポンプ 1 9 とループフィルタ 2 0 とを有する以外の電圧発生器 1 4 として、 O P アンプを用いた積分器 (アクティブ・フィルタ) として動作し、比較結果信号に相当する電圧をサンプル・ホールドする回路などを用いることもできる。なお、ループフィルタをオペアンプなどを用いたアクティブフィルタとした場合、オペアンプを構成しているトランジスタの内部ノイズが P L L の出力クロックの位相ノイズの原因になることがある。また、 P L L が集積回路上に構成される場合には、オペアンプも回路内部にあるために P L L の動作に伴う電源ノイズの影響を受けやすいと考えられる。一方、チャージポンプ方式にした場合、ループフィルタは単純な抵抗と容量の組み合わせで構成できる。そのようにループフィルタを単純化することにより、フィルタ回路による上記ノイズの影響を受けにくいと考えられる。そのような観点から、 P L L を含む回路が集積回路上に構成される場合は、チャージポンプ方式が特に好ましい。

【 0 0 2 3 】

また、図 1 で示される P L L の位相周波数比較器 1 3 やチャージポンプ 1 9 等の構成は便宜上、そのように記載したものであって、任意の 2 以上の構成が一体に構成されていてもよい。例えば、位相周波数比較器 1 3 とチャージポンプ 1 9 とが一体に構成されていてもよく、チャージポンプ 1 9 とループフィルタ 2 0 とが一体に構成されていてもよい。

【 0 0 2 4 】

遅延制御器 1 5 は、可変遅延器 1 6 の遅延時間を制御する。すなわち、遅延制御器 1 5 は、電圧制御発振器 1 1 に注入される注入信号が負帰還となるように遅延時間を制御する。電圧制御発振器 1 1 に注入される注入信号が、発振出力信号に対して $\pi/2$ より大きく、 $3\pi/2$ より小さい位相だけ遅れると、負帰還の注入が行われることになる。したがって、遅延制御器 1 5 は、その範囲内となるように遅延時間を制御することが好適である。なお、後述するように、電圧制御発振器 1 1 に注入される注入信号が、発振出力信号に対して π だけ位相が遅れると、最適の負帰還での注入となる。したがって、遅延制御器 1 5

10

20

30

40

50

は、注入信号が発振出力信号に対してだけ位相が遅れるように可変遅延器 16 を制御するようにしてもよい。具体的な制御方法については、図 2 を用いて後述する。

【 0 0 2 5 】

可変遅延器 16 は、電圧制御発振器 11 から出力された発振出力信号を、可変な遅延時間だけ遅延させた注入信号を出力する。その遅延時間は、遅延制御器 15 によって制御される。また、可変遅延器 16 から出力された注入信号は、切替器 17 を介して電圧制御発振器 11 に注入される。可変遅延器 16 は、例えば、制御電圧に応じた遅延時間だけ発振出力信号を遅延させるものであってもよい。

【 0 0 2 6 】

なお、遅延制御器 15 及び可変遅延器 16 は、いわゆる D L L (Delay-Locked Loop) と同様に構成されてもよく、または、そうでなくてもよい。本実施の形態では、遅延制御器 15 及び可変遅延器 16 が、D L L と同様に構成される場合について主に説明する。

【 0 0 2 7 】

切替器 17 は、可変遅延器 16 からの注入信号を電圧制御発振器 11 に注入するかどうかを切り替える。その切り替えは、注入制御器 18 による制御によって行われる。図 1 で示されるように、切替器 17 が A N D 回路で構成されるとすると、注入制御器 18 からの注入イネーブル信号が「1」である場合には、可変遅延器 16 からの注入信号が電圧制御発振器 11 に注入されることになり、注入イネーブル信号が「0」の場合、すなわち注入イネーブル信号が出力されていない場合には、注入信号が電圧制御発振器 11 に注入されないことになる。なお、切替器 17 は、A N D 回路以外の開閉器等によって構成されてもよいことは言うまでもない。

【 0 0 2 8 】

注入制御器 18 は、発振出力信号が基準信号に同期するまでは注入信号が電圧制御発振器 11 に注入されず、発振出力信号が基準信号に同期した後は注入信号が電圧制御発振器 11 に注入されるように切替器 17 を制御する。注入制御器 18 によって、P L L が基準信号にロックした後に自己注入が行われるようにすることで、発振周波数がまだ安定していないときに注入が行われることを防止できる。その結果、発振周波数が不安定なときに注入が行われ、発振出力信号が不安定になることを回避することができる。なお、上述のように、切替器 17 が A N D 回路である場合には、注入制御器 18 は、発振出力信号が基準信号に同期するまでは注入イネーブル信号「0」を出力し、同期後は注入イネーブル信号「1」を出力してもよい。また、注入イネーブル信号「0」を出力するとは、注入イネーブル信号を出力しないことであると考えてもよい。また、注入制御器 18 が、発振出力信号が基準信号に同期したかどうかを判断する方法は問わない。例えば、注入制御器 18 は、発振出力信号と基準信号との比較結果に応じて両者が同期したことを検知してもよい。その比較結果は、位相周波数比較器 13 による比較結果を用いてもよく、または、注入制御器 18 において比較を行ってもよい。本実施の形態では、後者の場合について主に説明する。また、例えば、注入制御器 18 は、P L L が動作を開始してからあらかじめ決められた時間が経過した場合に、両者が同期したとしてもよい。具体的には、注入制御器 18 は、P L L の動作開始時からの基準信号のクロックカウント値があらかじめ決められた値になった際に、あらかじめ決められた時間が経過したとしてもよい。なお、回路の動作中に分周器 12 が分周比を変更可能である場合には、注入制御器 18 は、分周器 12 が分周比を変更した後においても、発振出力信号が基準信号に同期するまでは注入信号が電圧制御発振器 11 に注入されず、発振出力信号が基準信号に同期した後は注入信号が電圧制御発振器 11 に注入されるように切替器 17 を制御することが好適である。なお、注入制御器 18 が同期の検知に応じて制御している場合には、分周比が変更された際にも同期するまでは注入が行われなくなることになる。一方、動作の開始時からの経過時間に応じて制御を行っている場合には、注入制御器 18 は、例えば、分周比が変更された際に、注入信号が電圧制御発振器 11 に注入されないように切替器 17 を制御し、その変更時からあらかじめ決められた時間が経過した後に、両者が同期したとして、注入信号が電圧制御発振器 11 に注入されるように切替器 17 を制御してもよい。また、注入信号が電圧制御発

10

20

30

40

50

振器 11 に注入されないように制御するとは、自己注入とならないように制御することである。したがって、その制御は、通常、注入信号を電圧制御発振器 11 に入力しないようにすることであるが、自己注入とならない程度の注入信号、すなわち非常に小さい強度の注入信号を電圧制御発振器 11 に入力することを含むと考えてもよい。

【 0029 】

図 2 は、本実施の形態による遅延制御器 15 の構成を示すブロック図である。図 2 において、遅延制御器 15 は、NOT 回路 21 と、位相比較器 (PD: Phase Detector) 22 と、ループフィルタ (LPF) 23 とを備える。

【 0030 】

NOT 回路 21 は、電圧制御発振器 11 から出力された発振出力信号を反転させる。この反転によって、発振出力信号の位相が (180°) だけ移相されることになる。発振出力信号を反転させるのは、電圧制御発振器 11 に注入される注入信号と、電圧制御発振器 11 から出力される発振出力信号との位相を だけ異なるようにするためである。両信号の位相差を にすることによって、注入信号を負帰還で注入することができ、また後述するように、最適な注入とすることができるようになる。

【 0031 】

位相比較器 22 は、電圧制御発振器 11 から出力され、NOT 回路 21 によって反転された発振出力信号と、可変遅延器 16 から出力された注入信号との位相を比較し、その比較の結果を示す信号を出力する。なお、位相比較器 22 は、位相周波数比較器であってもよいが、ここでは両信号の位相の比較ができれば十分であるため、周波数の比較を行わないものであってもよい。また、位相比較器 22 は、例えば、ミキサなどの位相検波器であってもよい。

【 0032 】

ループフィルタ 23 は、位相比較器 22 から出力された信号に応じて、可変遅延器 16 を制御する信号を生成して可変遅延器 16 に出力する。なお、ループフィルタ 23 が出力する信号は、可変遅延器 16 の制御電圧であってもよい。

【 0033 】

なお、図 2 で示される遅延制御器 15 と可変遅延器 16 とのうち、NOT 回路 21 以外の構成によって、DLL が構成されることになる。また、その NOT 回路 21 が存在することによって、通常の DLL とは異なり、発振出力信号と注入信号との位相差が生じることになる。また、遅延制御器 15 において、PLL と同様に、位相比較器 22 とループフィルタ 23 との間に、チャージポンプを備えるようにしてもよい。また、図 2 では、発振出力信号を NOT 回路 21 で反転する構成について示しているが、注入信号を NOT 回路 21 で反転してもよい。その場合にも、注入信号の位相を、発振出力信号に対してだけずらすことができる。また、NOT 回路 21 を用いた場合には、注入信号と、発振出力信号との位相差が になる。したがって、それ以外の位相差にしたい場合には、NOT 回路 21 に代えて、または、NOT 回路 21 と共に、位相比較器 22 への入力の少なくとも一方を遅延させる遅延器や移相器等を用いるようにしてもよい。なお、注入信号と発振出力信号との位相差が 以外に制御される場合であっても、少なくとも注入信号が負帰還で注入される範囲の位相差に制御されるものとする。

【 0034 】

次に、自己注入位相同期回路 1 の動作について簡単に説明する。自己注入位相同期回路 1 における処理が開始されると、PLL において、電圧制御発振器 11 によって出力される発振出力信号が基準信号にロックするように制御される。なお、その開始時点では、注入制御器 18 から出力される注入イネーブル信号が「0」となっているため、切替器 17 の出力も「0」となり、電圧制御発振器 11 への注入は行われないことになる。

【 0035 】

その後、電圧制御発振器 11 が出力する発振出力信号が基準信号に同期すると、注入制御器 18 は、注入イネーブル信号を「0」から「1」に切り替える。その結果、可変遅延器 16 から出力された注入信号が電圧制御発振器 11 に注入されるようになる。その注入

10

20

30

40

50

信号は、前述のように、発振出力信号の位相を だけずらした信号を用いた D L L の結果であるため、発振出力信号と位相が だけ異なることになり、負帰還で電圧制御発振器 1 1 に注入されることになる。電圧制御発振器 1 1 では、電圧発生器 1 4 から出力される制御電圧と、可変遅延器 1 6 から出力される負帰還の注入信号とに応じて発振出力信号が出力されることになる。その結果、位相ノイズが低減されることになる。

【 0 0 3 6 】

ここで、ループフィルタ 2 0 と電圧制御発振器 1 1 との間に相当するノードに外部ノイズを印加したシミュレーション結果について説明する。図 3 は、そのシミュレーションにおける外部ノイズのオフセット角周波数（横軸）と、P L L のループフィルタ L P F への外部ノイズに対する発振出力信号における位相変動の程度（縦軸）との関係を示すグラフである。なお、図 3 のグラフにおける ϕ_n は、可変遅延器 1 6 によって遅延された位相（deg）である。なお、 ϕ_n が -63° よりも大きくなると発散した。図 3 の結果から、負帰還の場合には、無帰還の場合（ $\phi_n = -90^\circ$ ）よりも、出力誤差を抑えることができていることがわかる。一方、正帰還の場合には、無帰還の場合よりも誤差が大きくなっている。そのことから、遅延制御器 1 5 による、負帰還にするための位相制御（遅延時間の制御）が重要であることがわかる。また、発振出力信号と注入信号との位相差が である場合に、最適な負帰還となることがわかる。したがって、本実施の形態では、遅延制御器 1 5 において、位相比較器 2 2 に入力される信号のうち、一方を N O T 回路 2 1 で反転させている。

【 0 0 3 7 】

次に、基準信号に対する発振出力信号の周波数特性に関するシミュレーション結果についても説明する。図 4 は、そのシミュレーションにおいて、基準信号のオフセット角周波数（横軸）と、基準信号に対する発振出力信号の位相応答（縦軸）との関係を示すグラフである。図 4 のグラフにおける ϕ_n も、図 3 のグラフと同様のものである。図 4 のグラフにおいて、 $\phi_n = -90^\circ$ 、 -60° においては、入出力特性にピークが生じている。そのようなピークが存在するとノイズの原因になるため、通常、ループフィルタ 2 0 を構成しているコンデンサ等の部品の容量を大きくすることにより、すなわちループフィルタ 2 0 のサイズを大きくすることによって、ピークを下げることになる。一方、本実施の形態による自己注入位相同期回路 1 のように、負帰還で自己注入を行った場合には、そのようなピークゲインを抑えることができる。このシミュレーション結果では、特に基準信号と発振出力信号との位相差が 120° 以上であるときには、ピークが生じていない。そのため、ループフィルタ 2 0 の設計に自由度が生まれることになる。具体的には、ダンピングファクタが小さいループフィルタ 2 0 を使用したとしても、自己注入によって、ピークゲインを抑制することができるため、ループフィルタ 2 0 を構成している部品の容量を削減することができ、ループフィルタ 2 0 のサイズを小さくできるようになる。

【 0 0 3 8 】

なお、本実施の形態による自己注入位相同期回路 1 において、電圧制御発振器 1 1 に注入する注入信号の強度やパルス幅を変更するようにしてもよい。図 5 は、そのような自己注入位相同期回路 1 の構成の一例を示すブロック図である。図 5 において、自己注入位相同期回路 1 は、電圧制御発振器 1 1 と、分周器 1 2 と、位相周波数比較器 1 3 と、電圧発生器 1 4 と、遅延制御器 1 5 と、可変遅延器 1 6 と、切替器 1 7 と、注入制御器 1 8 と、分周器 3 1 と、パルス発生器 3 2 と、ノイズ検出器 3 3 と、強度制御器 3 4 とを備える。分周器 3 1、パルス発生器 3 2、ノイズ検出器 3 3、強度制御器 3 4 以外の構成及び動作については、上述の説明と同様であり、その詳細な説明を省略する。

【 0 0 3 9 】

分周器 3 1 は、電圧制御発振器 1 1 から出力された発振出力信号を所定の分周比 m で分周し、分周後の発振出力信号を分周器 1 2 と、可変遅延器 1 6 とに出力する。この場合には、分周器 3 1 と分周器 1 2 とによって分周されるため、発振出力信号の周波数は $1 / (n \times m)$ になって位相周波数比較器 1 3 に入力されることになる。なお、 m は正の整数である。その m は、大きな値でないことが好適である。例えば、分周器 3 1 によって分周さ

10

20

30

40

50

れた発振出力信号を遅延させた注入信号に応じた注入を行うと、分周器 3 1 が存在しなかった場合と比較して、電圧制御発振器 1 1 に注入されるパルスの頻度が $1/m$ となる。その頻度が少なくなりすぎると、注入信号に同期させることが困難になるからである。m は、8 以下であることが好適であり、4 以下であることがより好適である。この分周器 3 1 を備えることによって、発振出力信号とは独立して、自己注入の周波数を決めることができるようになる。なお、分周器 3 1 によって分周された発振出力信号に応じた注入信号が電圧制御発振器 1 1 に注入される場合には、その注入信号の注入が発振出力信号の周期ごとに行われるのではなく、飛び飛びに行われることになる。したがって、その場合には、注入信号のパルスを注入する方法 (capacitive coupling injection) によって電圧制御発振器 1 1 に対する注入が行われることが好適である。分周器 3 1 は、分周比 m を変更可能なものであってもよく、または、そうでなくてもよい。

10

【 0 0 4 0 】

パルス発生器 3 2 は、可変遅延器 1 6 から出力された注入信号の強度及びパルス幅の少なくとも一方を変更した注入信号を出力する。注入信号の強度とは、注入信号に含まれるパルスの振幅である。注入信号のパルス幅とは、注入信号に含まれるパルスの立ち上がり時点から立ち下がり時点までの時間的な長さである。なお、パルス発生器 3 2 に入力される注入信号と、パルス発生器 3 2 から出力される注入信号との位相は同じであることが好適である。位相が同じであるとは、注入信号に含まれるパルスの立ち上がりのタイミングが一致していることであってよい。本実施の形態では、パルス発生器 3 2 が、注入信号の強度及びパルス幅の両方を調整する場合について主に説明する。

20

【 0 0 4 1 】

パルス発生器 3 2 がパルス幅を変更する場合には、変更後のパルス幅は、発振出力信号の周期の半整数の長さとなることが好適である。そのようにすることで、スプリアスノイズを低減することができるからである。例えば、変更後のパルス幅は、発振出力信号の半周期の長さであってよい。分周器 3 1 が存在する場合には、その分周によって可変遅延器 1 6 から出力される注入信号のパルス幅が大きくなるため、パルス発生器 3 2 によって、そのパルス幅が小さくなるように調整してもよい。

【 0 0 4 2 】

ノイズ検出器 3 3 は、電圧制御発振器 1 1 から出力された発振出力信号を少なくとも用いてノイズ量を検出する。ノイズ検出器 3 3 は、図 5 で示されるように、基準信号をも用いてノイズ量を検出してもよい。そのノイズ量は、ノイズの程度を知ることができるものであり、例えば、発振出力信号のジッタ量であってよく、発振出力信号の周波数スペクトルにおいて、中心周波数から所定のオフセット周波数だけ離れた周波数における信号強度であってよく、ノイズの量を知ることができるその他の値であってよい。中心周波数とは、発振出力信号の理想的な周波数であり、中心周波数を f_0 とし、基準信号の周波数を f_1 とすると、 $f_0 = f_1 \times n \times m$ となる。なお、n, m は、上述の分周比である。したがって、オフセット周波数を f_m とすると、ノイズ量は、周波数スペクトルにおける $f_0 \pm f_m$ の値となる。なお、その 2 個の値のうち、いずれか一方のみをノイズ量として用いてもよく、または、両方を用いてもよい。後者の場合には、例えば、2 個の値の代表値をノイズ量としてもよく、2 個の値の合計値をノイズ量としてもよい。代表値は、例えば、平均値、最大値、最小値であってよい。ノイズ量がジッタ量である場合には、ノイズ検出器 3 3 は、ジッタを測定できる機器、例えば、オシロスコープ (ジッタモニタ) であってよい。ノイズ検出器 3 3 がオシロスコープである場合には、ノイズ検出器 3 3 に基準信号も入力されることが好適である。また、ノイズ量が周波数スペクトルにおける $f_0 \pm f_m$ の値である場合には、ノイズ検出器 3 3 は、周波数スペクトルを取得するスペクトラムアナライザと、そのスペクトラムアナライザによって取得された周波数スペクトルにおいて、 $f_0 \pm f_m$ のノイズ量を取得する構成とを有するものであってもよい。

30

40

【 0 0 4 3 】

強度制御器 3 4 は、ノイズ検出器 3 3 によって検出されたノイズ量に応じた強度の注入信号が出力されるようにパルス発生器 3 2 を制御する。その制御において、強度制御器 3

50

4は、検出されたノイズ量が多いほど、電圧制御発振器11に注入される注入信号の強度が大きくなり、検出されたノイズ量が少ないほど、電圧制御発振器11に注入される注入信号の強度が小さくなるように制御してもよい。強度制御器34は、検出されたノイズ量に対応する注入信号の強度を特定する際に、例えば、ノイズ量と注入信号の強度とを対応付けるテーブル等の情報を用いてもよく、ノイズ量を引数とする関数を用いてもよい。ノイズ量と注入信号の強度とを対応付ける情報において、ノイズ量が多くなるほど、注入信号の強度が大きくなるように両者が対応付けられているものとする。また、ノイズ量を引数とする関数は、ノイズ量に対する増加関数であり、その関数の値が注入信号の強度となるものであることが好適である。なお、増加関数は、単調非減少関数であると考えてもよい。このような制御を行うことにより、外部ノイズなどのノイズが多い場合に注入の影響を大きくすることができ、その結果、位相ノイズを低減させることができる。一方、注入信号の強度を大きくするとスプリアスノイズが大きくなるため、外部ノイズなどのノイズが少ない場合には、注入の影響を小さくすることによって、スプリアスノイズを低減させることができる。また、そのような注入信号の強度に関する制御は、外部ノイズ以外に起因する位相ノイズ、すなわちPLL自体の位相ノイズを低減するためにも有効であると考えられる。また、そのようにしてPLLを安定化させることに応じて、ループフィルタ20の容量を削減させることも可能になり得る。

【0044】

なお、発振出力信号をモニタしてPLLの応答を最適化する方法としては、PLLのループ帯域やノイズ源（例えば、出力ドライバなど）の動作タイミングを変更することなどが考えられる。しかしながら、PLLのループ帯域は、基準信号のジッタ抑圧効果や、分周比の設定などを考慮して決める必要があり、調整幅に限界がある。また、ノイズ源のタイミング変更については、ノイズ源が明らかになっている場合にはある程度、行うことができるが、多くの場合にはそのノイズ源の特定は困難であり、現実的には行うことが難しい。一方、強度制御器34によって注入信号の強度を制御することによって、PLLのループ帯域やノイズ源の動作タイミングを変更することなく、外部ノイズに対する応答を調整することができるようになるメリットがある。

【0045】

また、図5で示される自己注入位相同期回路1においては、可変遅延器16に入力される発振出力信号を分周しているため、遅延制御器15では、図2で示されるように、注入信号ではなく、発振出力信号を反転させて位相比較器22に入力することが好適である。また、図5で示される自己注入位相同期回路1において、パルス発生器32によってパルス幅を変更する場合には、遅延制御器15に入力される注入信号のデューティ比（HとLとの比）が50%にはならないため、位相比較器22は、ミキサ型ではないことが好適である。

【0046】

また、図5では、自己注入位相同期回路1が分周器31を備えている場合について説明したが、そうでなくてもよい。自己注入位相同期回路1は、分周器31を備えていなくてもよい。その場合には、パルス発生器32において、パルス幅の調整が行われなくてもよい。なお、分周器31が存在しない場合であっても、パルス発生器32は、パルス幅を調整してもよい。その場合には、例えば、操作者等が、パルス発生器32が発生するパルスのパルス幅を調整（設定）するようによい。

【0047】

また、図5では、自己注入位相同期回路1がノイズ検出器33及び強度制御器34を備えている場合について説明したが、そうでなくてもよい。自己注入位相同期回路1は、ノイズ検出器33及び強度制御器34を備えていなくてもよい。その場合には、パルス発生器32において、パルスの強度の調整が行われなくてもよい。なお、ノイズ検出器33及び強度制御器34が存在しない場合であっても、パルス発生器32は、パルスの強度を調整してもよい。その場合には、例えば、操作者等が、パルス発生器32が発生するパルスの強度を調整（設定）するようによい。例えば、 $\phi_n = -180^\circ$ の負帰還におい

10

20

30

40

50

て、図4の位相応答を得たときよりも強度の大きい注入信号を注入すれば、図4における $\theta_n = -180^\circ$ の特性曲線よりも、コーナーの箇所においてさらに下の方（応答が小さくなる方向）の特性曲線となり、ノイズの抑制効果がさらに大きくなる。したがって、求められるノイズの抑制の程度に応じた強度のパルスが生成されるように、パルス発生器32を調整してもよい。

【0048】

以上のように、本実施の形態による自己注入位相同期回路1によれば、位相同期回路において負帰還の自己注入を行うことによって、位相ノイズを低減させることができる。また、その負帰還の自己注入によって、外部ノイズに対するロバスト性も向上していることがわかる。さらに、周波数特性におけるピークゲインを抑制することもできるため、ループフィルタ20の容量を削減することも可能となる。また、自己注入VCOを有する同期回路において、注入信号の発振出力信号に対する遅延量、すなわち注入信号の位相を自動的に調整することができるため、作業者が位相を調整する必要がなく、作業者の負担が軽減されることになる。特に、PLLの分周比や基準信号の周波数が変更された場合でも、変更後の周波数に応じた遅延量となるように適切に自動的に調整されることになり、分周比や周波数が変更されるごとに手動で遅延量を調整する必要がないことになる。また、そのような遅延量の自動調整が行われることによって、位相ノイズなどの影響で発振出力信号の周期が微量だけ変化した場合であっても、それに応じて遅延量に変更されることになり、例えば、発振出力信号に対する移相量がある注入信号を注入することができる。その結果、位相ノイズの低減効果が高くなる。また、注入制御器18を備えたことによって、発振周波数が安定していない状況において自己注入が行われることによって発振出力信号が不安定になることを回避できる。また、可変遅延器16に輸入される発振出力信号を分周した場合には、回路の簡略化や省電力化を実現することができる。また、検出されたノイズ量に応じた強度の注入信号を注入することによって、ノイズ量が多い場合であっても、位相ノイズを低減させることができ、また、ノイズ量が少ない場合におけるスプリアスノイズを低減させることができる。

【0049】

なお、本実施の形態による自己注入位相同期回路1は、例えば、Integer-N及びFractional-Nクロック生成回路におけるループ帯域のノイズ低減手法として用いることが可能である。Integer-Nクロック生成回路では、PLLのループ帯域を基準信号の周波数の数十分の1から数分の1以下に抑える必要がある。なぜなら、これよりループ帯域を大きくすると、位相周波数比較器の出力変動がPLLの動作に影響を与え、クロック出力が不安定になるからである。具体的には、クロック出力が周期的に時間変動し、また、基準信号に起因するノイズがループ帯域付近に生じることになる。また、Fractional-Nクロック生成回路についても同様であり、さらにループ帯域に関して制限が大きくなる。一方、本実施の形態による自己注入位相同期回路1は、そのようなPLLのループ帯域付近のノイズに対する抑制効果を有しているため、PLLのループ帯域を小さくしなくても、出力クロックに変動が起こらないことが期待できる。また、本実施の形態による自己注入位相同期回路1は、一般的に、高周波ノイズ耐性が懸念されるLCタンク発振器を用いた同期回路や、同じ周波数でチップ内が動作するトランシーバ回路等において用いることも可能である。トランシーバ回路においては、具体的には、クロックリカバリ回路やローカル発振器用PLLとして用いることができ得る。

【0050】

また、本実施の形態では、自己注入位相同期回路1が切替器17及び注入制御器18を備えている場合について説明したが、そうでなくてもよい。自己注入位相同期回路1は、切替器17及び注入制御器18を備えていなくてもよい。その場合には、PLLがロックするまでの期間が長くなり得るが、ロック後は、上述の自己注入位相同期回路1と同様のものとなる。

【0051】

また、本実施の形態では、自己注入位相同期回路1が分周器12を備えている場合につ

10

20

30

40

50

いて説明したが、そうでなくてもよい。自己注入位相同期回路 1 は、分周器 1 2 を備えていなくてもよい。その場合には、図 1 において、電圧制御発振器 1 1 から出力された発振出力信号が位相周波数比較器 1 3 と注入制御器 1 8 とに入力されてもよく、図 5 において、分周器 3 1 から出力された分周後の発振出力信号が、位相周波数比較器 1 3 と可変遅延器 1 6 と注入制御器 1 8 とに入力されてもよい。

【 0 0 5 2 】

また、本実施の形態では、上述のように、図 2 で示される遅延制御器 1 5 において、発振出力信号及び注入信号の一方を NOT 回路 2 1 で反転させて位相比較器 2 2 に入力する場合について説明したが、そうでなくてもよい。上述のように、発振出力信号と、注入信号との位相は、 π だけ異なっていることが好適であるが、位相比較器 2 2 の前段の段階で両者の位相が $\pi/2$ だけ異なるように設定した場合には、それ以降の回路における遅延等に応じて電圧制御発振器 1 1 に注入される時点では、発振出力信号と、注入信号との位相が以上異なることもあり得る。そのような場合には、電圧制御発振器 1 1 への注入時点において、発振出力信号と注入信号との位相差が $\pi/4$ となるように、位相比較器 2 2 より後段の回路における遅延時間も考慮して、位相比較器 2 2 の前段における反転等の処理を行ってもよい。具体的には、位相比較器 2 2 の前段において、注入信号を時間 T_d だけ遅延させるようにしてもよい。注入信号側に NOT 回路 2 1 が存在する場合には、その遅延は、NOT 回路 2 1 の前段で行われてもよく、または後段で行われてもよい。また、その時間 T_d は、位相比較器 2 2 より後段の回路における遅延時間に相当する時間であることが好適である。本実施の形態では注入信号の遅延量を自動調整することができるため、このようにオフセット (T_d) を設定することによって、最適なタイミング調整を行うこともできるようになる。

【 0 0 5 3 】

また、本実施の形態による自己注入位相同期回路 1 において、各構成要素のうち、アナログでもデジタルでも実現できるものについては、そのどちらで実現されてもよいことは言うまでもない。

【 0 0 5 4 】

また、上記実施の形態において、各処理または各機能は、単一の装置または単一のシステムによって集中処理されることによって実現されてもよく、または、複数の装置または複数のシステムによって分散処理されることによって実現されてもよい。

【 0 0 5 5 】

また、上記実施の形態において、各構成要素間で行われる情報の受け渡しは、例えば、その情報の受け渡しを行う 2 個の構成要素が物理的に異なるものである場合には、一方の構成要素による情報の出力と、他方の構成要素による情報の受け付けとによって行われてもよく、または、その情報の受け渡しを行う 2 個の構成要素が物理的に同じものである場合には、一方の構成要素に対応する処理のフェーズから、他方の構成要素に対応する処理のフェーズに移ることによって行われてもよい。

【 0 0 5 6 】

また、上記実施の形態において、各構成要素が実行する処理に関する情報、例えば、各構成要素が受け付けたり、取得したり、選択したり、生成したり、送信したり、受信したりした情報や、各構成要素が処理で用いる閾値や数式、アドレス等の情報等は、上記説明で明記していなくても、図示しない記録媒体において、一時的に、または長期にわたって保持されていてもよい。また、その図示しない記録媒体への情報の蓄積を、各構成要素、または、図示しない蓄積部が行ってもよい。また、その図示しない記録媒体からの情報の読み出しを、各構成要素、または、図示しない読み出し部が行ってもよい。

【 0 0 5 7 】

また、上記実施の形態において、各構成要素等で用いられる情報、例えば、各構成要素が処理で用いる閾値やアドレス、各種の設定値等の情報がユーザによって変更されてもよい場合には、上記説明で明記していなくても、ユーザが適宜、それらの情報を変更できるようにしてもよく、または、そうでなくてもよい。それらの情報をユーザが変更可能な場

10

20

30

40

50

合には、その変更は、例えば、ユーザからの変更指示を受け付ける図示しない受付部と、その変更指示に応じて情報を変更する図示しない変更部とによって実現されてもよい。その図示しない受付部による変更指示の受け付けは、例えば、入力デバイスからの受け付けでもよく、通信回線を介して送信された情報の受信でもよく、所定の記録媒体から読み出された情報の受け付けでもよい。

【0058】

また、上記実施の形態において、各構成要素は専用のハードウェアにより構成されてもよく、または、ソフトウェアにより実現可能な構成要素については、プログラムを実行することによって実現されてもよい。例えば、ハードディスクや半導体メモリ等の記録媒体に記録されたソフトウェア・プログラムをCPU等のプログラム実行部が読み出して実行することによって、各構成要素が実現され得る。その実行時に、プログラム実行部は、記憶部や記録媒体にアクセスしながらプログラムを実行してもよい。このプログラムは、サーバなどからダウンロードされることによって実行されてもよく、所定の記録媒体（例えば、CD-ROMなどの光ディスクや磁気ディスク、半導体メモリなど）に記録されたプログラムが読み出されることによって実行されてもよい。また、このプログラムは、プログラムプロダクトを構成するプログラムとして用いられてもよい。また、このプログラムを実行するコンピュータは、単数であってもよく、複数であってもよい。すなわち、集中処理を行ってもよく、または分散処理を行ってもよい。

10

【0059】

また、本発明は、以上の実施の形態に限定されることなく、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

20

【産業上の利用可能性】

【0060】

以上より、本発明による自己注入位相同期回路によれば、位相ノイズを低減できるという効果が得られ、位相同期回路（PLL）として有用である。

【符号の説明】

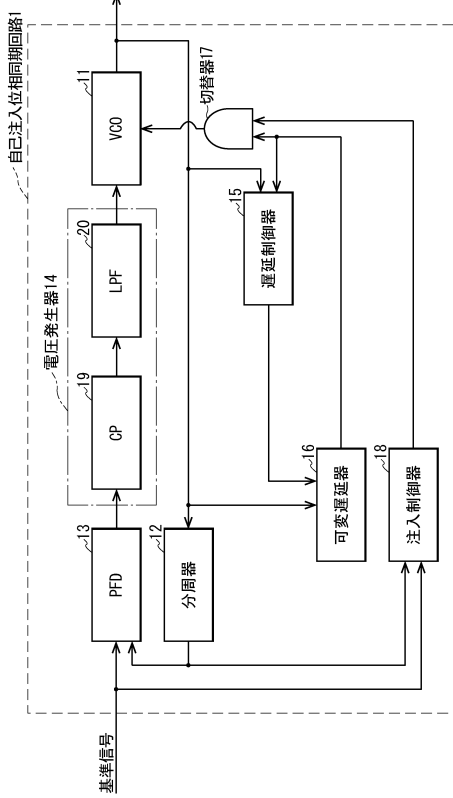
【0061】

- 1 自己注入位相同期回路
- 11 電圧制御発振器（VCO）
- 12、31 分周器
- 13 位相周波数比較器（PFD）
- 14 電圧発生器
- 15 遅延制御器
- 16 可変遅延器
- 17 切替器
- 18 注入制御器
- 19 チャージポンプ（CP）
- 20、23 ループフィルタ（LPF）
- 21 NOT回路
- 22 位相比較器（PD）
- 32 パルス発生器
- 33 ノイズ検出器
- 34 強度制御器

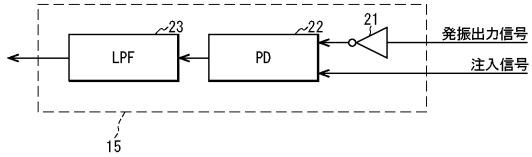
30

40

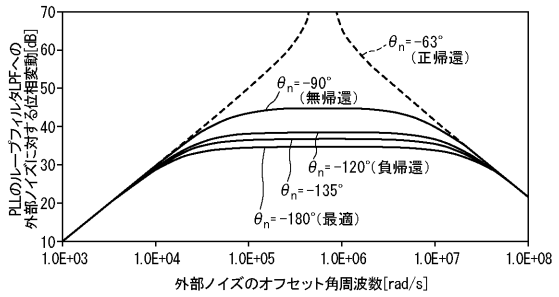
【 図 1 】



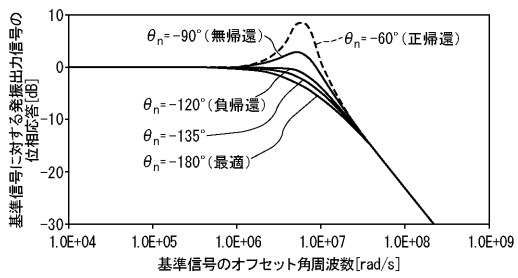
【 図 2 】



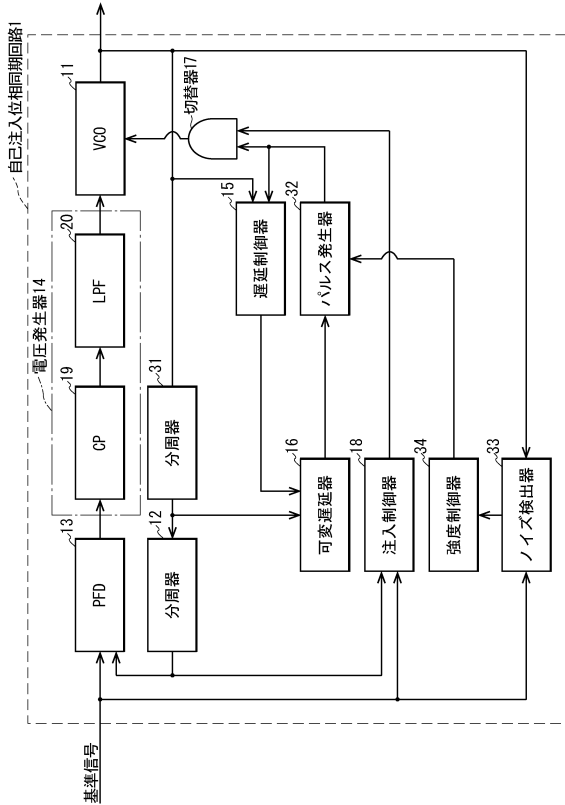
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(56)参考文献 特開平03-189966(JP,A)

特開2016-201685(JP,A)

特開2010-258516(JP,A)

Shwetabh Verma et al., A Unified Model for Injection-Locked Frequency Dividers, IEEE Journal of Solid-State Circuits, 米国, IEEE, 2003年 6月, Vol.38, No.6, pp1015-1027

Chih-Lu Wei et al., A Subharmonically Injection-Locked PLL With Calibrated Injection Pulsewidth, IEEE Transactions on Circuits and Systems II:Express Briefs, 米国, IEEE, 2015年 6月, Vol.62, No.6, pp.548-552

(58)調査した分野(Int.Cl., DB名)

H03L1/00-9/00

IEEE Explore