

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-149113

(P2015-149113A)

(43) 公開日 平成27年8月20日 (2015.8.20)

(51) Int.Cl. F I テーマコード (参考)  
**G 1 1 C 15/04 (2006.01)** G 1 1 C 15/04 6 3 1 F  
 G 1 1 C 15/04 6 0 1 W

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 特願2014-22398 (P2014-22398)  
 (22) 出願日 平成26年2月7日 (2014.2.7)

(71) 出願人 504136568  
 国立大学法人広島大学  
 広島県東広島市鏡山1丁目3番2号  
 (74) 代理人 110001427  
 特許業務法人前田特許事務所  
 (72) 発明者 マタウシュ ハンスユルゲン  
 広島県東広島市鏡山一丁目4番2号 国立  
 大学法人広島大学 ナノデバイス・バイオ  
 融合科学研究所内  
 (72) 発明者 赤澤 智信  
 広島県東広島市鏡山一丁目3番1号 国立  
 大学法人広島大学大学院 先端物質科学研究  
 科内

最終頁に続く

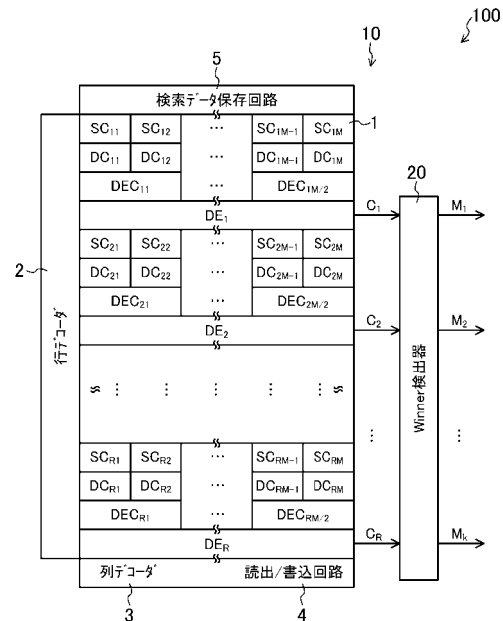
(54) 【発明の名称】 連想メモリ

(57) 【要約】

【課題】 連想メモリで取り扱い可能なデータ次元数を拡張する。

【解決手段】 連想メモリ100は、 $E \times M$ 次元の検索データをM次元ずつE回に分けて保存する検索データ保存回路5と、R個の $E \times M$ 次元の参照データをR個のM次元ずつE回に分けて保存する参照データ保存回路SCと、検索データ保存回路および参照データ保存回路に新たなデータが保存されるたびに検索データと参照データとの各次元の部分距離を計算する距離計算回路DCと、検索データ保存回路および参照データ保存回路に新たなデータが保存されるたびに各次元の部分距離を累積加算する次元数拡張回路DE Cと、検索データおよび参照データがそれぞれE回に分けて各データ保存回路に保存された後に、累積加算された部分距離を合計して $E \times M$ 次元の検索データと $E \times M$ 次元の参照データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すタイミング信号を出力する距離/クロック数変換回路DEとを備える。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

$E \times M$  次元（ただし、 $E$ 、 $M$ はいずれも 2 以上の整数である。）の検索データを  $M$  次元ずつ  $E$  回に分けて保存する検索データ保存回路と、

$R$  個（ただし、 $R$  は 2 以上の整数である。）の  $E \times M$  次元の参照データを  $R$  個の  $M$  次元ずつ  $E$  回に分けて保存する参照データ保存回路と、

前記検索データ保存回路および前記参照データ保存回路に新たなデータが保存されるたびに、前記検索データ保存回路に保存された検索データと前記参照データ保存回路に保存された個々の参照データとの各次元の部分距離を計算する距離計算回路と、

前記検索データ保存回路および前記参照データ保存回路に新たなデータが保存されるたびに、個々の参照データごとに、前記距離計算回路によって計算された各次元の部分距離を累積加算する次元数拡張回路と、

前記  $E \times M$  次元の検索データおよび前記  $R$  個の  $E \times M$  次元の参照データがそれぞれ  $E$  回に分けて前記検索データ保存回路および前記参照データ保存回路に保存された後に、個々の参照データごとに、前記次元数拡張回路によって累積加算された部分距離を合計して前記  $E \times M$  次元の検索データと個々の前記  $E \times M$  次元の参照データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すタイミング信号を出力する距離ノック数変換回路とを備えている

ことを特徴とする連想メモリ。

## 【請求項 2】

前記次元数拡張回路が、第 1 および第 2 のマルチプレクサと、全加算器と、第 1 および第 2 の D フリップフロップとを有するものであり、

前記第 1 のマルチプレクサは、前記距離計算回路によって計算された第 1 の次元の部分距離および前記第 1 の D フリップフロップの出力がそれぞれ第 1 および第 2 の入力として与えられ、第 1 の制御信号によって前記第 1 および第 2 の入力のいずれか一方を選択的に出力するものであり、

前記第 2 のマルチプレクサは、前記距離計算回路によって計算された第 2 の次元の部分距離および前記第 2 の D フリップフロップの出力がそれぞれ第 1 および第 2 の入力として与えられ、前記第 1 の制御信号によって前記第 1 および第 2 の入力のいずれか一方を選択的に出力するものであり、

前記全加算器は、前記第 1 のマルチプレクサの出力と前記第 2 のマルチプレクサの出力とを全加算するものであり、

前記第 1 の D フリップフロップは、前記全加算器の出力がデータ入力され、第 2 の制御信号によって入力データの保存が制御されるものであり、

前記第 2 の D フリップフロップは、前記全加算器の出力がデータ入力され、前記第 2 の制御信号の反転である第 3 の制御信号によって入力データの保存が制御されるものであることを特徴とする請求項 1 に記載の連想メモリ。

## 【請求項 3】

前記距離計算回路が、前記部分距離として、前記検索データ保存回路に保存された検索データと前記参照データ保存回路に保存された個々の参照データとの各次元の差分絶対値を計算する

ことを特徴とする請求項 1 または請求項 2 に記載の連想メモリ。

## 【請求項 4】

前記距離計算回路が、前記部分距離として、前記検索データ保存回路に保存された検索データと前記参照データ保存回路に保存された個々の参照データとの各次元の差分二乗値を計算する

ことを特徴とする請求項 1 または請求項 2 に記載の連想メモリ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、連想メモリに関し、特に、クロックカウント式の連想メモリの次元数を拡張する技術に関する。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングをLSI (Large Scale Integrated circuit) 上で実現することにより、将来、人工知能およびモバイル機器などの高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

10

【0004】

前者は、CAM (Content Addressable Memory) と呼ばれ、ネットワークルータのIPアドレステーブルのルーティングおよびプロセッサのキャッシュなどの実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (Associative Memory) と呼ぶ。

【0005】

連想メモリの例として、検索データと参照データとのマンハッタン距離またはユークリッド距離を用いて最類似検索処理を行うものが知られている (非特許文献1参照)。

20

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】S.Sasaki et al., "Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization," ESSCIRC'2012, 2012, pp.185-188

【発明の概要】

【発明が解決しようとする課題】

【0007】

本願発明者は、これまでに、検索に係るクロックカウント数を削減する機構 (有効ビット設定部) とユークリッド距離検索のための二乗計算回路 (距離演算回路) とを備えたクロックカウント式の連想メモリを発明し、特願2013-025465 (以下、先願と称する) において開示した。これにより、データ規模が増大しても高速な検索が可能なユークリッド/マンハッタン距離検索連想メモリをエラーフリー、高電力効率に実現した。

30

【0008】

しかし、ハードウェアに実装可能なデータサイズには制約がある。先願発明に係る連想メモリは、原理的にはデータサイズに制約がないが、データサイズの増加により動作周波数が低下してしまう。この点において、小さなハードウェアによって大きな次元までの1NN (1-Nearest Neighbor) 検索を実現することができれば効率が向上する。

【0009】

上記問題に鑑み、本発明は、アプリケーション上でより大きなデータサイズが要求される場合に次元数の拡張が可能な連想メモリを提供することを目的とする。

40

【課題を解決するための手段】

【0010】

本発明の一面面に従った連想メモリは、 $E \times M$ 次元 (ただし、 $E$ ,  $M$ はいずれも2以上の整数である。) の検索データを $M$ 次元ずつ $E$ 回に分けて保存する検索データ保存回路と、 $R$ 個 (ただし、 $R$ は2以上の整数である。) の $E \times M$ 次元の参照データを $R$ 個の $M$ 次元ずつ $E$ 回に分けて保存する参照データ保存回路と、前記検索データ保存回路および前記参照データ保存回路に新たなデータが保存されるたびに、前記検索データ保存回路に保存された検索データと前記参照データ保存回路に保存された個々の参照データとの各次元の部

50

分距離を計算する距離計算回路と、前記検索データ保存回路および前記参照データ保存回路に新たなデータが保存されるたびに、個々の参照データごとに、前記距離計算回路によって計算された各次元の部分距離を累積加算する次元数拡張回路と、前記  $E \times M$  次元の検索データおよび前記  $R$  個の  $E \times M$  次元の参照データがそれぞれ  $E$  回に分けて前記検索データ保存回路および前記参照データ保存回路に保存された後に、個々の参照データごとに、前記次元数拡張回路によって累積加算された部分距離を合計して前記  $E \times M$  次元の検索データと個々の前記  $E \times M$  次元の参照データとの距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すタイミング信号を出力する距離/クロック数変換回路とを備えているものである。

【0011】

これによると、 $E \times M$  次元の検索データおよび参照データが  $M$  次元ずつ  $E$  回に分けて検索データ保存回路および参照データ保存回路に保存され、検索データ保存回路および参照データ保存回路に新たなデータが保存されるたびに検索データと参照データの各次元の部分距離が計算され、さらに累積加算される。これにより、 $E \times M$  次元のデータの次元数が  $M$  次元に圧縮され、最大で  $M$  次元のデータしか扱えない連想メモリにおいて実質的に  $E \times M$  次元のデータの取り扱いが可能となる。

【0012】

上記の連想メモリにおいて、前記次元数拡張回路が、第1および第2のマルチプレクサと、全加算器と、第1および第2のDフリップフロップとを有するものであってもよく、前記第1のマルチプレクサは、前記距離計算回路によって計算された第1の次元の部分距離および前記第1のDフリップフロップの出力がそれぞれ第1および第2の入力として与えられ、第1の制御信号によって前記第1および第2の入力のいずれか一方を選択的に出力するものであってもよく、前記第2のマルチプレクサは、前記距離計算回路によって計算された第2の次元の部分距離および前記第2のDフリップフロップの出力がそれぞれ第1および第2の入力として与えられ、前記第1の制御信号によって前記第1および第2の入力のいずれか一方を選択的に出力するものであってもよく、前記全加算器は、前記第1のマルチプレクサの出力と前記第2のマルチプレクサの出力とを全加算するものであってもよく、前記第1のDフリップフロップは、前記全加算器の出力がデータ入力され、第2の制御信号によって入力データの保存が制御されるものであってもよく、前記第2のDフリップフロップは、前記全加算器の出力がデータ入力され、前記第2の制御信号の反転である第3の制御信号によって入力データの保存が制御されるものであってもよい。

【0013】

これによると、距離計算回路によって計算された各次元の部分距離を2次元分まとめて累積加算することができ、データ信号線を削減することができる。

【0014】

前記距離計算回路が、前記部分距離として、前記検索データ保存回路に保存された検索データと前記参照データ保存回路に保存された個々の参照データとの各次元の差分絶対値を計算してもよい。

【0015】

これによると、検索データと参照データとの間のマンハッタン距離を計算することができる。

【0016】

前記距離計算回路が、前記部分距離として、前記検索データ保存回路に保存された検索データと前記参照データ保存回路に保存された個々の参照データとの各次元の差分二乗値を計算してもよい。

【0017】

これによると、検索データと参照データとの間のユークリッド距離を計算することができる。

【発明の効果】

【0018】

10

20

30

40

50

本発明によると、連想メモリで取り扱い可能なデータ次元数を任意に拡張することができる。これにより、大きなデータサイズが要求されるアプリケーションにもクロックカウンタ式の連想メモリを適用できるようになる。

【図面の簡単な説明】

【0019】

【図1】本発明の一実施形態に係る連想メモリにおける次元数拡張を説明する模式図

【図2】本発明の一実施形態に係る連想メモリの概略構成図

【図3】一例に係るタイミング信号のタイミングチャート

【図4】一例に係る次元数拡張回路の構成図

【図5A】図4の次元数拡張回路の動作例を示す図

10

【図5B】図4の次元数拡張回路の動作例を示す図5Aに続く図

【図6】一例に係る制御回路の構成図

【図7】図6の制御回路の入出力信号のタイミングチャート

【図8】一例に係るDC制御回路の構成図

【図9】図8のDC制御回路の入出力信号のタイミングチャート

【図10】一例に係るDEC制御回路の構成図

【図11】図10のDEC制御回路の入出力信号のタイミングチャート

【発明を実施するための形態】

【0020】

以下、図面を参照しながら本発明を実施するための形態について説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。また、本発明は、下記の実施形態に限定されるものではない。

20

【0021】

次元数拡張の概要

本発明の一実施形態に係る連想メモリは、先願発明に係る連想メモリにおいて検索データおよび参照データの次元数を拡張可能にしたものである。すなわち、先願発明に係る連想メモリは最大で設計時に指定したM次元（Mは2以上の整数）のデータしか扱えなかったのに対して、本実施形態に係る連想メモリは、データの次元数をE×M次元（Eは2以上の整数）にまで拡張することができる。

【0022】

30

図1は、本発明の一実施形態に係る連想メモリにおける次元数拡張を説明する模式図である。データの次元数がE×M次元の場合において、検索データと参照データとの間のa=hかつj次元目の二乗計算結果（部分距離）を $d_{h, (h-1)M+j}$ とすると、検索データと参照データとの間の距離（例えば、ユークリッド距離） $D_E$ は次式（1）のように計算される。

【0023】

【数1】

$$D_E = \sum_{j=1}^M \sum_{a=1}^E d_{a,(a-1)M+j} \quad (1)$$

40

【0024】

ここで、式（1）において $a=1$ の計算を先に行う。すなわち、図1に示したように、E×M次元のデータをE行×M列の行列形式で表した場合において、先に列方向（図中の破線枠）の累積加算を行う。これにより、E×M次元のデータの次元数がM次元に圧縮され、最大でM次元のデータしか扱えない先願発明に係る連想メモリにおいて実質的にE×M次元のデータの取り扱いが可能となる。

【0025】

本実施形態に係る連想メモリは、先願発明に係る連想メモリに、E×M次元のデータの

50

次元数を上記のように圧縮してM次元のデータにする機能を追加したものである。以下、本実施形態に係る連想メモリの詳細について説明する。

【0026】

本実施形態に係る連想メモリの構成例

図2は、本発明の一実施形態に係る連想メモリの概略構成を示す。本実施形態に係る連想メモリ100は、メモリアレイ部10と、Winner検出器20とを備える。

【0027】

メモリアレイ部10は、メモリ部1、行デコーダ2、列デコーダ3、読出/書込回路4、および検索データ保存回路5を含む。

【0028】

メモリ部1は、参照データ保存回路(Storage Cell)  $SC_{11} \sim SC_{1M}$ ,  $SC_{21} \sim SC_{2M}$ , ...,  $SC_{R1} \sim SC_{RM}$ と、距離計算回路(Distance Calculator)  $DC_{11} \sim DC_{1M}$ ,  $DC_{21} \sim DC_{2M}$ , ...,  $DC_{R1} \sim DC_{RM}$ と、次元数拡張回路(Dimensional Extension Circuit)  $DEC_{11} \sim DEC_{1M/2}$ ,  $DEC_{21} \sim DEC_{2M/2}$ , ...,  $DEC_{R1} \sim DEC_{RM/2}$ と、距離/クロック数変換回路(Distance Evaluator)  $DE_1 \sim DE_R$ とを含む。なお、MおよびRは、いずれも2以上の整数である。

【0029】

行デコーダ2は、メモリ部1の行方向のアドレスを指定する。列デコーダ3は、メモリ部1の列方向のアドレスを指定する。読出/書込回路4は、参照データを行デコーダ2および列デコーダ3によって指定された参照データ保存回路  $SC_{11} \sim SC_{1M}$ ,  $SC_{21} \sim SC_{2M}$ , ...,  $SC_{R1} \sim SC_{RM}$  に書き込むとともに、検索データを検索データ保存回路5に書き込む。

【0030】

距離計算回路  $DC_{11} \sim DC_{1M}$  は、それぞれ、参照データ保存回路  $SC_{11} \sim SC_{1M}$  に対応して設けられる。また、距離計算回路  $DC_{21} \sim DC_{2M}$  は、それぞれ、参照データ保存回路  $SC_{21} \sim SC_{2M}$  に対応して設けられる。以下、同様にして、距離計算回路  $DC_{R1} \sim DC_{RM}$  は、それぞれ、参照データ保存回路  $SC_{R1} \sim SC_{RM}$  に対応して設けられる。

【0031】

次元数拡張回路  $DEC_{11} \sim DEC_{1M/2}$  は、それぞれ、距離計算回路  $DC_{11} \sim DC_{1M}$  の隣り合う2個に対応して1個設けられる。また、次元数拡張回路  $DEC_{21} \sim DEC_{2M/2}$  は、それぞれ、距離計算回路  $DC_{21} \sim DC_{2M}$  の隣り合う2個に対応して1個設けられる。以下、同様にして、次元数拡張回路  $DEC_{R1} \sim DEC_{RM/2}$  は、それぞれ、距離計算回路  $DC_{R1} \sim DC_{RM}$  の隣り合う2個に対応して1個設けられる。

【0032】

距離/クロック数変換回路  $DE_1$  は、次元数拡張回路  $DEC_{11} \sim DEC_{1M/2}$  に対応して設けられる。また、距離/クロック数変換回路  $DE_2$  は、次元数拡張回路  $DEC_{21} \sim DEC_{2M/2}$  に対応して設けられる。以下、同様にして、距離/クロック数変換回路  $DE_R$  は、次元数拡張回路  $DEC_{R1} \sim DEC_{RM/2}$  に対応して設けられる。

【0033】

参照データ保存回路  $SC_{11} \sim SC_{1M}$ ,  $SC_{21} \sim SC_{2M}$ , ...,  $SC_{R1} \sim SC_{RM}$  は、行デコーダ2、列デコーダ3、および読出/書込回路4によって書き込まれた参照データを保存する。この場合、参照データ保存回路  $SC_{11} \sim SC_{1M}$  は、 $N \times M$  ( $N$ は1以上の整数)ビットの参照データ1を保存する。また、参照データ保存回路  $SC_{21} \sim SC_{2M}$  は、 $N \times M$ ビットの参照データ2を保存する。以下、同様にして、参照データ保存回路  $SC_{R1} \sim SC_{RM}$  は、 $N \times M$ ビットの参照データRを保存する。すなわち、参照データ保存回路  $SC_{11} \sim SC_{1M}$ ,  $SC_{21} \sim SC_{2M}$ , ...,  $SC_{R1} \sim SC_{RM}$  は、R個のM次元の参照データ(各次元はNビットデータ)を保存する。

【0034】

検索データ保存回路5は、 $N \times M$ ビットの検索データを保存する。すなわち、検索デー

10

20

30

40

50

タ保存回路5は、M次元の検索データ（各次元はNビットデータ）を保存する。

【0035】

上記のように、検索データ保存回路5および参照データ保存回路 $SC_{11} \sim SC_{1M}$ 、 $SC_{21} \sim SC_{2M}$ 、 $\dots$ 、 $SC_{R1} \sim SC_{RM}$ が保存可能な検索データおよび参照データの次元数はM次元であるため、 $E \times M$ 次元の検索データおよび参照データをE回に分けてこれらデータ保存回路に保存する。具体的には、検索データ保存回路5は、 $E \times M$ 次元の検索データをM次元ずつE回に分けて保存する。一方、参照データ保存回路 $SC_{11} \sim SC_{1M}$ 、 $SC_{21} \sim SC_{2M}$ 、 $\dots$ 、 $SC_{R1} \sim SC_{RM}$ は、R個の $E \times M$ 次元の参照データをR個のM次元ずつE回に分けて保存する。

【0036】

なお、 $E \times M$ 次元の検索データおよびR個の $E \times M$ 次元の参照データは、図示しないメモリに保存されており、図示しない制御回路によってE回に分けて当該メモリからM次元ずつ読み出される。そして、当該メモリから読み出されたM次元の検索データおよびR個のM次元の参照データは、行デコーダ2、列デコーダ3、および読出/書込回路4によって検索データ保存回路5および参照データ保存回路 $SC_{11} \sim SC_{1M}$ 、 $SC_{21} \sim SC_{2M}$ 、 $\dots$ 、 $SC_{R1} \sim SC_{RM}$ にそれぞれ書き込まれる。

【0037】

距離計算回路 $DC_{11} \sim DC_{1M}$ は、それぞれ、検索データ保存回路5および参照データ保存回路 $SC_{11} \sim SC_{1M}$ に新たなデータが保存されるたびに、検索データ保存回路5に保存された $N \times M$ ビットの検索データと参照データ保存回路 $SC_{11} \sim SC_{1M}$ に保存された $N \times M$ ビットの参照データ1との各次元の部分距離を計算する。また、距離計算回路 $DC_{21} \sim DC_{2M}$ は、それぞれ、検索データ保存回路5および参照データ保存回路 $SC_{21} \sim SC_{2M}$ に新たなデータが保存されるたびに、検索データ保存回路5に保存された $N \times M$ ビットの検索データと参照データ保存回路 $SC_{21} \sim SC_{2M}$ に保存された $N \times M$ ビットの参照データ2との各次元の部分距離を計算する。以下、同様にして、距離計算回路 $DC_{R1} \sim DC_{RM}$ は、それぞれ、検索データ保存回路5および参照データ保存回路 $SC_{R1} \sim SC_{RM}$ に新たなデータが保存されるたびに、検索データ保存回路5に保存された $N \times M$ ビットの検索データと参照データ保存回路 $SC_{R1} \sim SC_{RM}$ に保存された $N \times M$ ビットの参照データRとの各次元の部分距離を計算する。これら距離計算回路 $DC_{11} \sim DC_{1M}$ 、 $DC_{21} \sim DC_{2M}$ 、 $\dots$ 、 $DC_{R1} \sim DC_{RM}$ による部分距離の計算は並列に行われる。

【0038】

なお、部分距離は、検索データと参照データとの各次元の差分絶対値および差分二乗値のいずれでもよい。検索データと参照データとの間の距離をマンハッタン距離で評価する場合、差分距離として差分絶対値を用いるとよい。検索データと参照データとの間の距離をユークリッド距離で評価する場合、差分距離として差分二乗値を用いるとよい。距離計算回路の具体的な回路構成については先願の明細書および図面に詳しく説明されている。以下では、便宜上、部分距離として差分二乗値を用いるものとして説明する。

【0039】

次元数拡張回路 $DEC_{11} \sim DEC_{1M/2}$ は、それぞれ、検索データ保存回路5および参照データ保存回路 $SC_{11} \sim SC_{1M}$ に新たなデータが保存されるたびに、距離計算回路 $DC_{11} \sim DC_{1M}$ によって計算された各次元の部分距離を2次元分まとめて累積加算する。また、次元数拡張回路 $DEC_{21} \sim DEC_{2M/2}$ は、それぞれ、検索データ保存回路5および参照データ保存回路 $SC_{21} \sim SC_{2M}$ に新たなデータが保存されるたびに、距離計算回路 $DC_{21} \sim DC_{2M}$ によって計算された各次元の部分距離を2次元分まとめて累積加算する。以下、同様にして、次元数拡張回路 $DEC_{R1} \sim DEC_{RM/2}$ は、それぞれ、検索データ保存回路5および参照データ保存回路 $SC_{R1} \sim SC_{RM}$ に新たなデータが保存されるたびに、距離計算回路 $DC_{R1} \sim DC_{RM}$ によって計算された各次元の部分距離を2次元分まとめて累積加算する。これら次元数拡張回路 $DEC_{11} \sim DEC_{1M/2}$ 、 $DEC_{21} \sim DEC_{2M/2}$ 、 $\dots$ 、 $DEC_{R1} \sim DEC_{RM/2}$ による部分

10

20

30

40

50

距離の累積加算は並列に行われる。

【0040】

距離計算回路  $DC_{11} \sim DC_{1M}$ ,  $DC_{21} \sim DC_{2M}$ , ...,  $DC_{R1} \sim DC_{RM}$  に 1 対 1 に対応するように次元数拡張回路を配置してもよいが、 $E$  が 2 の冪乗で表される場合、 $\log_2 E$  だけ余分にビット数が必要となる。 $E = 64$  の場合、ハードウェア上に用意された次元の 64 倍の次元まで処理できるが、1 次元当たり 6 ビット余分に用意しておく必要がある。そこで、データ信号線を削減するために、本実施形態のように、各次元数拡張回路において 2 次元分の部分距離の累積加算を行うようにするとよい。

【0041】

距離計算回路  $DC_{11} \sim DC_{1M}$ ,  $DC_{21} \sim DC_{2M}$ , ...,  $DC_{R1} \sim DC_{RM}$  からは、それぞれ、 $2N$  ビットの部分距離（差分二乗値）が出力される。したがって、2 個の距離計算回路から出力される 2 次元分の部分距離は  $4N$  ビットとなる。このとき、各距離計算回路から出力される各次元の部分距離を逐次的に  $a = 1$  から  $a = E$  まで累積加算する場合、各次元数拡張回路の出力ビット幅は 2 次元当たり  $4N + 2 \log_2 E$  ビット必要となる。これに対して、本実施形態のように、2 個の距離計算回路から出力される 2 次元分の部分距離をまとめて累積加算を行うことで、各次元数拡張回路の出力ビット幅は  $(2N + 1) + \log_2 E$  ビットに削減することができる。例えば、 $E = 2^{2N-1}$  倍の次元拡張を行う場合、次元数拡張回路  $DEC_{11} \sim DEC_{1M/2}$ ,  $DEC_{21} \sim DEC_{2M/2}$ , ...,  $DEC_{R1} \sim DEC_{RM/2}$  の出力ビット幅は  $4N$  ビットとなり、2 個の距離計算回路から出力される 2 次元分の部分距離である  $4N$  ビットと等しくすることができる。また、例えば、 $N = 8$  ビット、すなわち、 $E = 32768$  倍の次元数拡張を行う場合、次元数拡張回路  $DEC_{11} \sim DEC_{1M/2}$ ,  $DEC_{21} \sim DEC_{2M/2}$ , ...,  $DEC_{R1} \sim DEC_{RM/2}$  の出力ビット幅は  $4N = 32$  ビットとなる。ここで、 $M = 16$  次元とすると、本実施形態に係る連想メモリ 100 は、約 50 万次元まで拡張したデータを取り扱うことができる。

【0042】

距離/クロック数変換回路  $DE_1$  は、 $E \times M$  次元の検索データおよび  $R$  個の  $E \times M$  次元の参照データがそれぞれ  $E$  回に分けて検索データ保存回路 5 および参照データ保存回路  $SC_{11} \sim SC_{1M}$  に保存された後に、次元数拡張回路  $DEC_{11} \sim DEC_{1M/2}$  によって累積加算された部分距離を合計して  $E \times M$  次元の検索データと  $E \times M$  次元の参照データ 1 との距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すタイミング信号  $C_1$  を出力する。また、距離/クロック数変換回路  $DE_2$  は、 $E \times M$  次元の検索データおよび  $R$  個の  $E \times M$  次元の参照データがそれぞれ  $E$  回に分けて検索データ保存回路 5 および参照データ保存回路  $SC_{21} \sim SC_{2M}$  に保存された後に、次元数拡張回路  $DEC_{21} \sim DEC_{2M/2}$  によって累積加算された部分距離を合計して  $E \times M$  次元の検索データと  $E \times M$  次元の参照データ 2 との距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すタイミング信号  $C_2$  を出力する。以下、同様にして、距離/クロック数変換回路  $DE_R$  は、 $E \times M$  次元の検索データおよび  $R$  個の  $E \times M$  次元の参照データがそれぞれ  $E$  回に分けて検索データ保存回路 5 および参照データ保存回路  $SC_{R1} \sim SC_{RM}$  に保存された後に、次元数拡張回路  $DEC_{R1} \sim DEC_{RM/2}$  によって累積加算された部分距離を合計して  $E \times M$  次元の検索データと  $E \times M$  次元の参照データ  $R$  との距離を計算し、当該距離に応じたクロック数をカウントしたタイミングを示すタイミング信号  $C_R$  を出力する。これら距離/クロック数変換回路  $DE_1 \sim DE_R$  による、距離に応じたクロック数のカウントは並列に行われる。

【0043】

Winner 検出器 20 は、距離/クロック数変換回路  $DE_1 \sim DE_R$  からそれぞれタイミング信号  $C_1 \sim C_R$  を受ける。図 3 は、一例に係るタイミング信号のタイミングチャートである。そして、Winner 検出器 20 は、その受けたタイミング信号  $C_1 \sim C_R$  のうち、一致タイミングが早い順に  $k$  ( $k$  は  $1 \leq k \leq R$  を満たす整数) 個のタイミング信号を検出し、その検出した  $k$  個のタイミング信号を検索データと参照データとの類似度を

10

20

30

40

50



示すマッチ信号  $M_1 \sim M_k$  として出力する。

【 0 0 4 4 】

次元数拡張回路の構成例

上述したように 2 個の距離計算回路から出力される 2 次元分の部分距離をまとめて累積加算を行う場合、式 ( 1 ) は次式 ( 2 ) のように変形される。

【 0 0 4 5 】

【 数 2 】

$$D_E = \sum_{j=1}^{M/2} \sum_{a=1}^E (d_{a,(a-1)M+(2j-1)} + d_{a,(a-1)M+2j}) \quad (2)$$

10

【 0 0 4 6 】

次元数拡張回路  $DEC_{11} \sim DEC_{1M/2}$ ,  $DEC_{21} \sim DEC_{2M/2}$ , ...,  $DEC_{R1} \sim DEC_{RM/2}$  は、それぞれ、式 ( 2 ) における  $a = 1 \sim E$  の計算を行う。

【 0 0 4 7 】

図 4 は、次元数拡張回路の構成例を示す。次元数拡張回路は、二つのマルチプレクサ (  $MUX$  )  $11a$ ,  $11b$  と、全加算器 (  $Full\ Adder$  )  $12$  と、二つの D フリップフロップ (  $DFF$  )  $13a$ ,  $13b$  とを含む。

【 0 0 4 8 】

$MUX\ 11a$  は、距離計算回路  $DC_{i(2j-1)}$  (  $i$  は  $1 \sim R$  を満たす整数、 $j$  は  $1 \sim M/2$  を満たす整数 ) によって計算された部分距離  $d_{i(2j-1)}$  が入力  $in0$  として、 $DFF\ 13a$  の出力が入力  $in1$  としてそれぞれ与えられ、制御信号  $SDD$  によって  $in0$  および  $in1$  のいずれか一方を選択的に出力する。部分距離  $d_{i(2j-1)}$  は差分二乗値であり、そのビット幅は  $2N$  ビットである。

20

【 0 0 4 9 】

$MUX\ 11b$  は、距離計算回路  $DC_{i(2j)}$  によって計算された部分距離  $d_{i(2j)}$  が入力  $in0$  として、 $DFF\ 13b$  の出力が入力  $in1$  としてそれぞれ与えられ、制御信号  $SDD$  によって  $in0$  および  $in1$  のいずれか一方を選択的に出力する。部分距離  $d_{i(2j)}$  は差分二乗値であり、そのビット幅は  $2N$  ビットである。

30

【 0 0 5 0 】

$MUX\ 11a$  および  $MUX\ 11b$  は、いずれも、 $SDD$  が “ 0 ” のときは  $in0$  を出力し、 $SDD$  が “ 1 ” のときは  $in1$  を出力する。

【 0 0 5 1 】

全加算器  $12$  は、 $MUX\ 11a$  の出力が入力  $A$  として、 $MUX\ 11b$  の出力が入力  $B$  としてそれぞれ与えられ、 $A$  と  $B$  の全加算を行う  $2N$  ビットの全加算器である。 $CB$  (  $Carry\ Before$  )、 $CN$  (  $Carry\ Next$  ) は、それぞれ、前のビットからの桁上げ信号、および次のビットへの桁上げ信号である。

【 0 0 5 2 】

$DFF\ 13a$  は、全加算器  $12$  の出力  $OUT$  がデータ入力され、制御信号  $SD$  によって入力データの保存が制御される。具体的には、 $DFF\ 13a$  は、 $SD$  の立ち上がりエッジのタイミングで入力データを保存する。

40

【 0 0 5 3 】

$DFF\ 13b$  は、全加算器  $12$  の出力  $OUT$  がデータ入力され、制御信号  $SDQ$  によって入力データの保存が制御される。 $SDQ$  は  $SD$  の反転信号である。具体的には、 $DFF\ 13b$  は、 $SDQ$  の立ち上がりエッジのタイミングで入力データを保存する。

【 0 0 5 4 】

図 5 A および図 5 B は、図 4 の次元数拡張回路の動作例を示す図である。図 5 A および図 5 B を参照しながら上記構成の次元数拡張回路の動作例について説明する。なお、図中の矢印はデータの流れを表す。

50

## 【 0 0 5 5 】

step 1 : a = 1 で連想メモリ 1 0 0 に M 次元の検索データおよび R 個の M 次元の参照データが保存され、これら検索データと個々の参照データとの間の各次元の部分距離が計算される。S D D が “ 0 ” であるため、全加算器 1 2 に 2 次元分の  $d_{i(2j-1)}$  および  $d_{i(2j)}$  が入力されて加算される。全加算器 1 2 の加算結果が D F F 1 3 a および D F F 1 3 b にデータ入力されるが、この時点ではそのどちらにも取り込まれない。

## 【 0 0 5 6 】

step 2 : S D が “ 0 ” から “ 1 ” へ変化し、S D Q が “ 1 ” から “ 0 ” へ変化する。S D が立ち上がることで、D F F 1 3 a が全加算器 1 2 の加算結果を保存し、D F F 1 3 a から保存値が出力される。

10

## 【 0 0 5 7 】

step 3 : a = 2 で連想メモリ 1 0 0 に新たな M 次元の検索データおよび R 個の M 次元の参照データが保存され、これら検索データと個々の参照データとの間の各次元の部分距離が計算される。S D D が “ 0 ” であるため、全加算器 1 2 に更新された 2 次元分の  $d_{i(2j-1)}$  および  $d_{i(2j)}$  が入力されて加算される。全加算器 1 2 の加算結果が D F F 1 3 a および D F F 1 3 b にデータ入力されるが、S D が “ 1 ” のまま、S D Q が “ 0 ” のままであるため、D F F 1 3 a および D F F 1 3 b に全加算器 1 2 の加算結果は取り込まれない。

## 【 0 0 5 8 】

step 4 : S D が “ 1 ” から “ 0 ” へ変化し、S D Q が “ 0 ” から “ 1 ” へ変化する。S D Q が立ち上がることで、D F F 1 3 b が全加算器 1 2 の加算結果を保存し、D F F 1 3 b から保存値が出力される。

20

## 【 0 0 5 9 】

step 5 : S D D が “ 0 ” から “ 1 ” へ変化し、全加算器 1 2 に D F F 1 3 a の出力および D F F 1 3 b の出力が入力されて加算される。これにより、a = 1 のときの  $d_{i(2j-1)}$  および  $d_{i(2j)}$  の加算結果と、a = 2 のときの  $d_{i(2j-1)}$  および  $d_{i(2j)}$  の加算結果とが加算される。すなわち、a = 1 から a = 2 までの 2 次元分の部分距離が累積加算される。全加算器 1 2 の加算結果が D F F 1 3 a および D F F 1 3 b にデータ入力されるが、S D が “ 0 ” のまま、S D Q が “ 1 ” のままであるため、D F F 1 3 a および D F F 1 3 b に全加算器 1 2 の加算結果は取り込まれない。

30

## 【 0 0 6 0 】

step 6 : S D が “ 0 ” から “ 1 ” へ変化し、S D Q が “ 1 ” から “ 0 ” へ変化する。S D が立ち上がることで、D F F 1 3 a が全加算器 1 2 の加算結果、すなわち、a = 1 から a = 2 までの 2 次元分の部分距離の累積加算値を保存し、D F F 1 3 a から保存値が出力される。このとき、全加算器 1 2 において D F F 1 3 b の出力と D F F 1 3 a の更新された出力とが加算され、新たな加算結果が D F F 1 3 a および D F F 1 3 b にデータ入力されるが、S D および S D Q がいずれも立ち上がらないため、D F F 1 3 a および D F F 1 3 b に全加算器 1 2 の更新された加算結果は取り込まれない。

## 【 0 0 6 1 】

step 7 : a = 3 で連想メモリ 1 0 0 に新たな M 次元の検索データおよび R 個の M 次元の参照データが保存され、これら検索データと個々の参照データとの間の各次元の部分距離が計算される。S D D が “ 1 ” から “ 0 ” へ変化し、全加算器 1 2 に更新された 2 次元分の  $d_{i(2j-1)}$  および  $d_{i(2j)}$  が入力されて加算される。全加算器 1 2 の加算結果が D F F 1 3 a および D F F 1 3 b にデータ入力されるが、S D が “ 1 ” のまま、S D Q が “ 0 ” のままであるため、D F F 1 3 a および D F F 1 3 b に全加算器 1 2 の加算結果は取り込まれない。

40

## 【 0 0 6 2 】

step 8 : S D が “ 1 ” から “ 0 ” へ変化し、S D Q が “ 0 ” から “ 1 ” へ変化する。S D Q が立ち上がることで、D F F 1 3 b が全加算器 1 2 の加算結果を保存し、D F F 1 3 b から保存値が出力される。

50

## 【 0 0 6 3 】

step 9 : S D D が “ 0 ” から “ 1 ” へ変化し、全加算器 1 2 に D F F 1 3 a の出力および D F F 1 3 b の出力が入力されて加算される。これにより、 $a = 1$  から  $a = 2$  までの  $d_{i(2j-1)}$  および  $d_{i(2j)}$  の累積加算結果と、 $a = 3$  のときの  $d_{i(2j-1)}$  および  $d_{i(2j)}$  の加算結果とが加算される。すなわち、 $a = 1$  から  $a = 3$  までの 2 次元分の部分距離が累積加算される。全加算器 1 2 の加算結果が D F F 1 3 a および D F F 1 3 b にデータ入力されるが、S D が “ 0 ” のまま、S D Q が “ 1 ” のままであるため、D F F 1 3 a および D F F 1 3 b に全加算器 1 2 の加算結果は取り込まれない。

## 【 0 0 6 4 】

step 10 : S D が “ 0 ” から “ 1 ” へ変化し、S D Q が “ 1 ” から “ 0 ” へ変化する。S D が立ち上がることで、D F F 1 3 a が全加算器 1 2 の加算結果、すなわち、 $a = 1$  から  $a = 3$  までの 2 次元分の部分距離の累積加算値を保存し、D F F 1 3 a から保存値が出力される。このとき、全加算器 1 2 において D F F 1 3 b の出力と D F F 1 3 a の更新された出力とが加算され、新たな加算結果が D F F 1 3 a および D F F 1 3 b にデータ入力されるが、S D および S D Q がいずれも立ち上がらないため、D F F 1 3 a および D F F 1 3 b に全加算器 1 2 の更新された加算結果は取り込まれない。

10

## 【 0 0 6 5 】

以後、同様の処理を  $a = E$  まで繰り返すことで、D F F 1 3 a に  $a = 1$  から  $a = E$  までの 2 次元分の部分距離の累積加算値が保存され、D F F 1 3 a から累積加算値  $D_{i(2j-1)}$  が出力される。このように、次元数拡張回路によって  $E \times M$  次元のデータの次元数が  $M$  次元に圧縮される。これにより、一度に最大で  $M$  次元のデータしか扱えないメモリアレイ部 1 0 を有する連想メモリ 1 0 0 において、処理可能なデータの次元数を任意に拡張することができる。

20

## 【 0 0 6 6 】

## 制御回路の構成例

次に、メモリアレイ部 1 0 へのデータ書き込み、距離計算回路  $D C_{11} \sim D C_{1M}$  ,  $D C_{21} \sim D C_{2M}$  ,  $\dots$  ,  $D C_{R1} \sim D C_{RM}$  の制御、および次元数拡張回路  $D E C_{11} \sim D E C_{1M/2}$  ,  $D E C_{21} \sim D E C_{2M/2}$  ,  $\dots$  ,  $D E C_{R1} \sim D E C_{RM/2}$  の制御について説明する。

## 【 0 0 6 7 】

図 6 は、制御回路の構成例を示す。本例に係る制御回路 2 0 0 は、D C 制御回路（距離計算回路の制御回路）2 1 0 と、D E C 制御回路（次元数拡張回路の制御回路）2 2 0 とを含む。図中の「D - F F」は、ネガティブエッジ型の D フリップフロップを表す。図 7 は、制御回路 2 0 0 の入出力信号のタイミングチャートである。

30

## 【 0 0 6 8 】

図 8 は、D C 制御回路 2 1 0 の構成例を示す。図中の「F D I V」は分周回路（2 分周）を表す。図 9 は、D C 制御回路 2 1 0 の入出力信号のタイミングチャートである。D C 制御回路 2 1 0 において、S Q G が立ち上がると C L K の反転信号として R S T D Q が立ち下がる。そして、1 クロックカウントされることで、分周回路 F D V I の出力が “ 1 ” になる。S Q G も “ 1 ” なので S Q D は S Q G の 1 クロック後に “ 1 ” になる。

40

## 【 0 0 6 9 】

図 1 0 は、D E C 制御回路 2 2 0 の構成例を示す。図中の「F D I V」は分周回路（2 分周）を、「S R F F」は S R フリップフロップを表す。図 1 1 は、D E C 制御回路 2 2 0 の入出力信号のタイミングチャートである。D E C 制御回路 2 2 0 において、S Q G が 1 回目に立ち下ると、分周回路 F D V I の出力が “ 1 ” になる。これにより、その後は S Q G と S D のタイミングが等しくなり、また、S D D は S D の反転信号となる。なお、厳密には、S D D は C L K に同期した信号である。

## 【 0 0 7 0 】

次に、図 7 のタイミングチャートを参照しながら制御回路 2 0 0 の動作例について説明する。

50

## 【0071】

step I: R個のE×M次元の参照データの部分データであるR個のM次元の参照データ(a=1のときの参照データ)が参照データ保存回路SC<sub>11</sub>~SC<sub>1M</sub>, SC<sub>21</sub>~SC<sub>2M</sub>, ..., SC<sub>R1</sub>~SC<sub>RM</sub>に保存される(処理A)。また、E×M次元の検索データの部分データであるM次元の検索データ(a=1のときの検索データ)が検索データ保存回路5に保存される(処理B)。処理Aおよび処理Bは、行デコーダ2および列デコーダ3を1クロックずつ切り替えながら行われる。処理Aおよび処理Bが終了するとSQが立ち上がる。SQは図示しないCPUから出力される。以後、SQは、a=Eまで、すなわち、E×M次元のデータ検索によってwinnerが検出されるまで立ち上げ続ける。

10

## 【0072】

step II: SQが立ち上がると、SQとCLKQの論理積であるSQGが立ち上がる。CLKQは、CLKの反転信号であり、CLKは、距離計算回路において二乗計算(部分距離の計算)が終了すると“1”となる信号である。SQGは、距離計算回路において、検索データと参照データとの各次元の差分絶対値ADをラッチ回路で保存するためのラッチ信号として使用される。SQGをクロック信号CLKに同期させたのがSQGSYである。SQGSYが立ち上がってから1クロックでRSTDが立ち上がることで距離計算回路における図示しない二乗計算用のDフリップフロップをリセットする。そして、RSTDが再び立ち上がるタイミングでSQDが立ち上がる。SQDは、距離計算回路における図示しないマルチプレクサの切り替えに使用される。つまり、絶対値差計算から二乗計算に切り替わり、クロックが入力されるごとに逐次的に部分積の加算が行われる。SQDが立ち上がってからNクロックで二乗計算が終了し、CLKが立ち上がる。なお、二乗計算を行う距離計算回路の具体的な構成については先願の明細書および図面に詳しく説明されている。

20

## 【0073】

step III: CLKの立ち上がりを受けて再び処理Aおよび処理Bが開始される。処理Aおよび処理Bが終了するとRSTDCが立ち上がる。つまり、本ステップでは、a=2のときのデータの書き込みと絶対値差計算が行われる。

## 【0074】

step IV: RSTDCが立ち上がると、CLKが立ち下がる。CLKの立ち下がりによりSQGが立ち上がるため、距離計算回路において絶対値差がラッチされる。距離計算回路に関するRSTD、SQD、SQGについては以上の動作を繰り返す。a=2からSQGSYとSDの信号変化のタイミングは等しくなる。a=2でSQGSYが立ち上がることでSDも立ち上がり、次元数拡張回路におけるDFF13aにa=1のときの計算結果が保存される。

30

## 【0075】

step V: 前ステップでa=2の場合の部分距離の計算が終了する。そして、CLKが立ち上がることでSQGが立ち下がる。SQGSYもCLKに同期して立ち下がり、SDも立ち下がる。SDが立ち下がることでSDQが立ち上がり、次元数拡張回路におけるDFF13bにa=2のときの計算結果が保存される。そして、a=2からSDQのクロック同期信号としてDDDが動作する。DDDが立ち上がることで、次元数拡張回路におけるMUX11aおよび11bが切り替わり、a=1とa=2の場合の部分距離が累積加算される。本ステップでは、同時にa=3の場合の処理Aおよび処理Bが行われる。その処理が終わり、RSTDCが立ち上がることでSDが立ち上がるため、次元数拡張回路におけるDFF13aにa=1からa=2までの累積加算結果が保存される。そして、その1クロック後にDDDが立ち上がる。

40

## 【0076】

以上の動作を繰り返すことで、E×M次元の検索データがM次元ずつE回に分けて検索データ保存回路5に保存されるとともに、R個のE×M次元の参照データがR個のM次元ずつE回に分けて参照データ保存回路SC<sub>11</sub>~SC<sub>1M</sub>, SC<sub>21</sub>~SC<sub>2M</sub>, ..., S

50

$C_{R1} \sim SC_{RM}$  に保存され、さらに、距離計算回路および次元数拡張回路における処理がパイプライン化される。

【0077】

以上、本実施形態によると、連想メモリ100で取り扱い可能なデータ次元数を任意に拡張することができる。これにより、大きなデータサイズが要求されるアプリケーションにもクロックカウン式の連想メモリを適用できるようになる。

【0078】

なお、データの次元数を拡張すると検索データと参照データとの距離も大きくなるため、距離/クロック数変換回路における処理時間(クロック数カウント)が増大することが予想される。そこで、先願に開示されているように、距離/クロック数変換回路における有効ビットを設定する有効ビット設定部を設けることで、クロックカウント数を削減することができる。

10

【0079】

本実施形態に係る連想メモリ100では、 $E \times M$ 次元のデータが図示しないメモリからM次元ずつE回に分けて検索データ保存回路5および参照データ保存回路 $SC_{11} \sim SC_{1M}$ ,  $SC_{21} \sim SC_{2M}$ , ...,  $SC_{R1} \sim SC_{RM}$  に保存されるが、変形例として、連想メモリ100の容量を拡張して $E \times M$ 次元の検索データおよびR個の $E \times M$ 次元の参照データのすべてを連想メモリ100に格納しておいてもよい。例えば、 $E \times M$ 次元のデータからM次元の部分データを選択して距離計算回路 $DC_{11} \sim DC_{1M}$ ,  $DC_{21} \sim DC_{2M}$ , ...,  $DC_{R1} \sim DC_{RM}$  に入力するための選択回路を設けるか、または、検索データ保存回路5および参照データ保存回路 $SC_{11} \sim SC_{1M}$ ,  $SC_{21} \sim SC_{2M}$ , ...,  $SC_{R1} \sim SC_{RM}$  をFIFO(First-In First Out)型のスタックメモリなどで構成することでそのような変形例が可能である。そのような変形例では、R個のM次元のデータの並列処理が可能となる。

20

【産業上の利用可能性】

【0080】

本発明に係る連想メモリは、パターン認識・学習、類似検索処理、知能情報処理、インテリジェント家電、監視システム、セキュリティ認証などの分野で利用することができる。

【符号の説明】

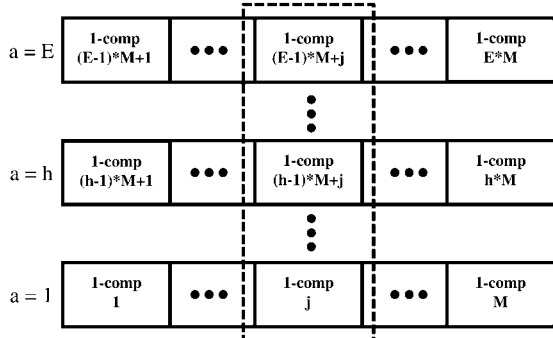
30

【0081】

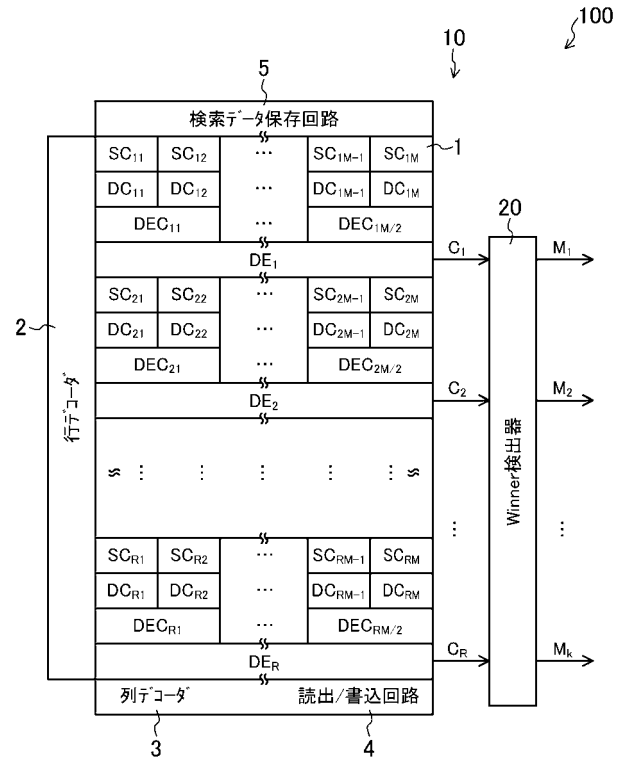
- 100 連想メモリ
- 5 検索データ保存回路
- SC 参照データ保存回路
- DC 距離計算回路
- DEC 次元数拡張回路
- DE 距離/クロック数変換回路
- 11a MUX(第1のマルチプレクサ)
- 11b MUX(第2のマルチプレクサ)
- 12 全加算器
- 13a DFF(第1のDフリップフロップ)
- 13b DFF(第2のDフリップフロップ)

40

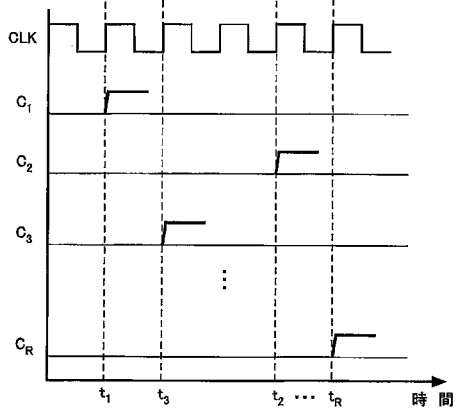
【 図 1 】



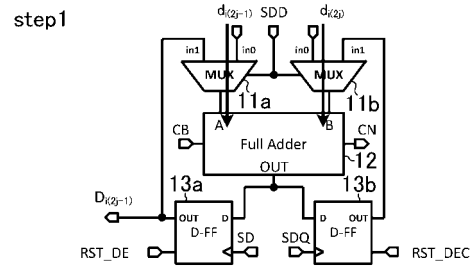
【 図 2 】



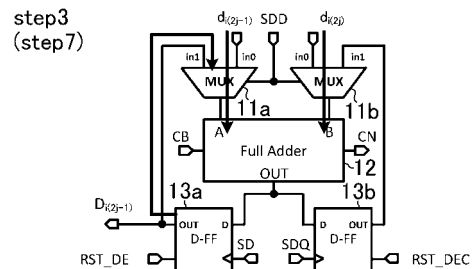
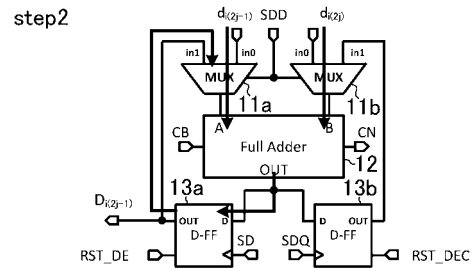
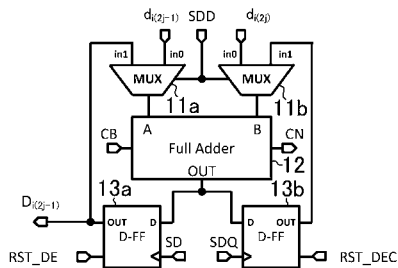
【 図 3 】



【 図 5 A 】

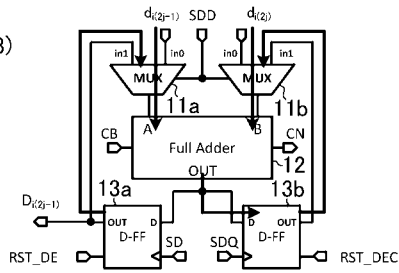


【 図 4 】

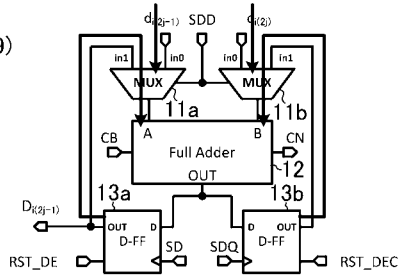


【 図 5 B 】

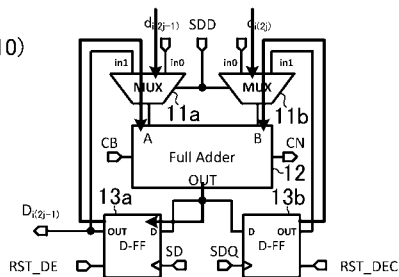
step4  
(step8)



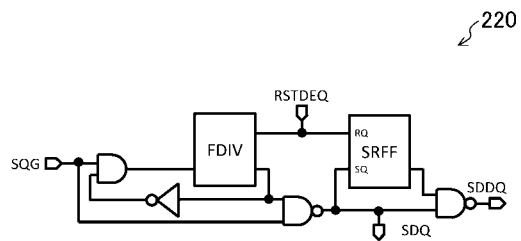
step5  
(step9)



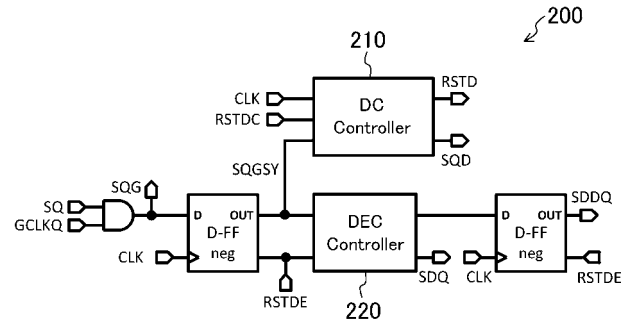
step6  
(step10)



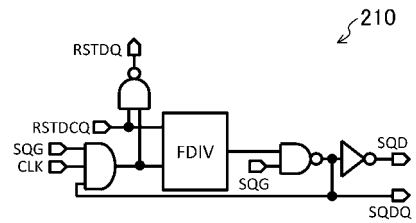
【 図 1 0 】



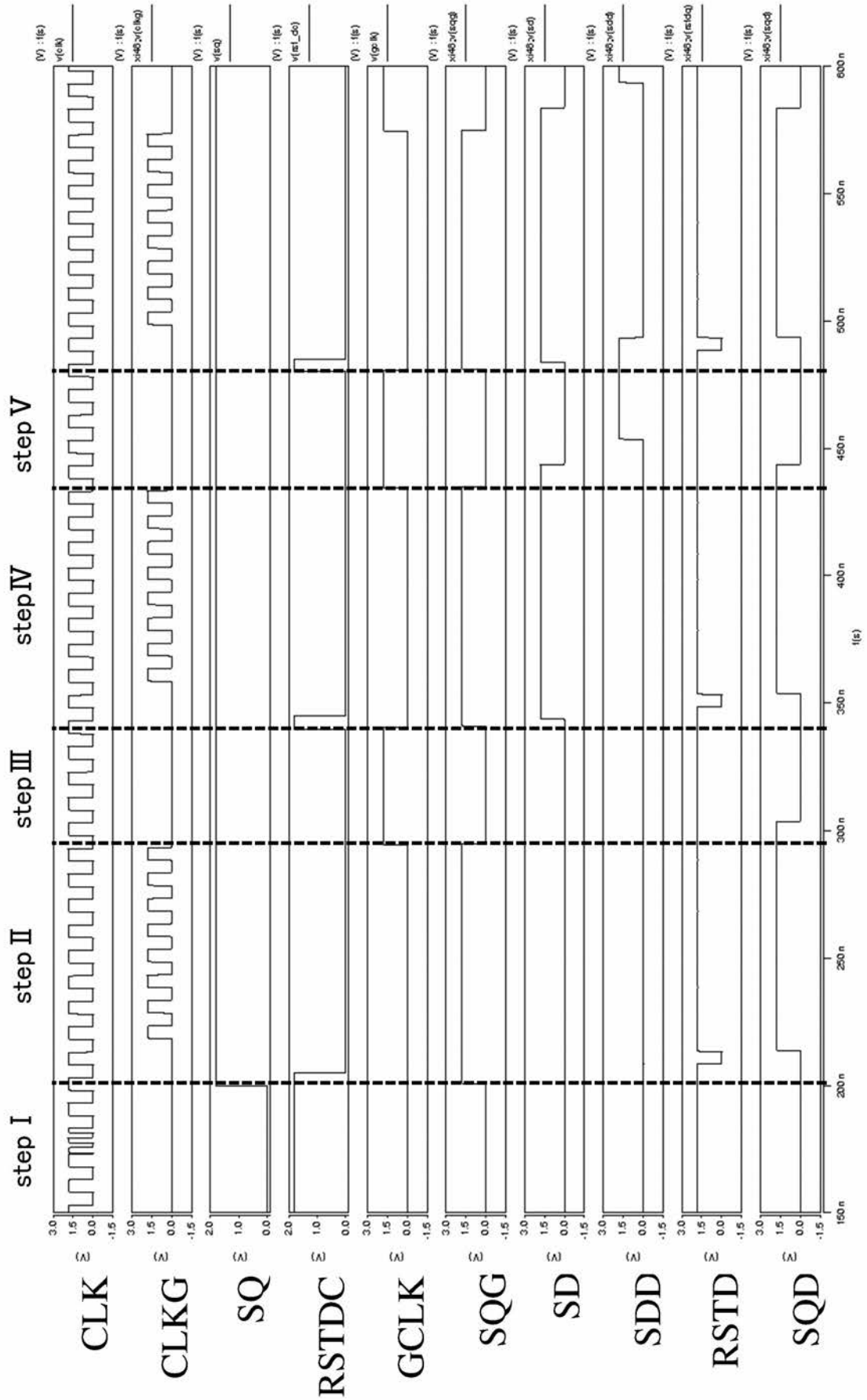
【 図 6 】



【 図 8 】

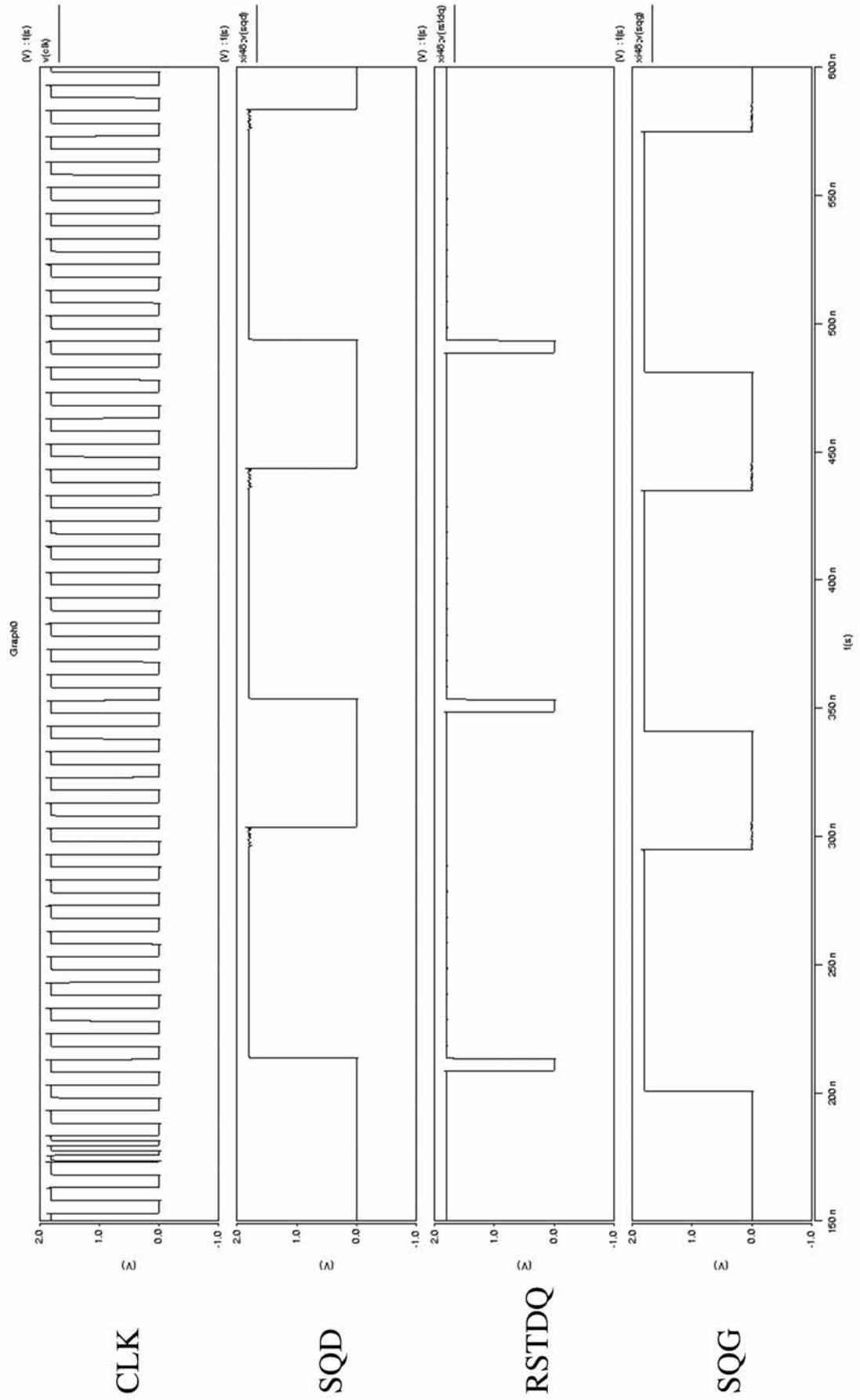


【 図 7 】

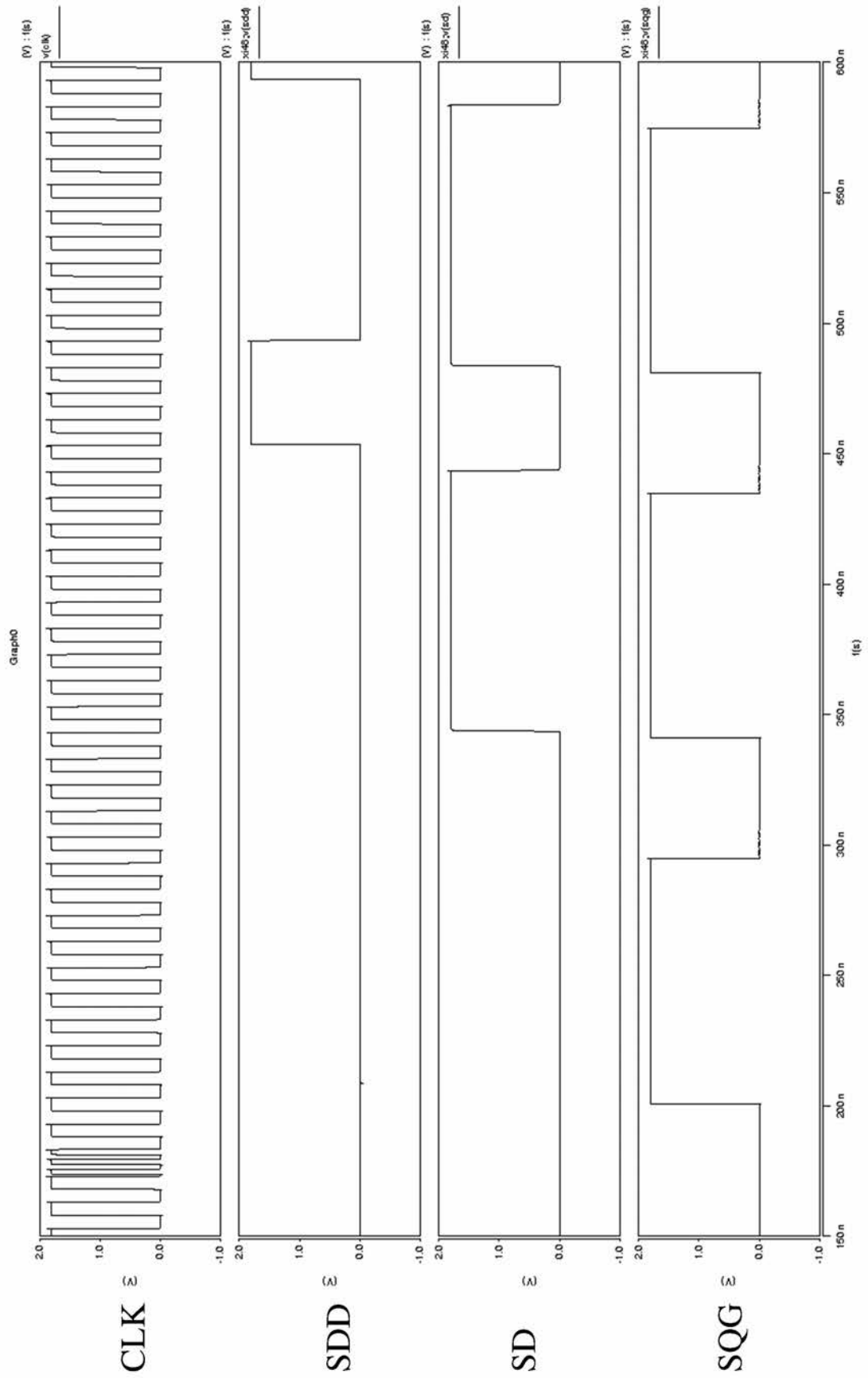




【 図 9 】



【 図 1 1 】



フロントページの続き

(72)発明者 山崎 翔悟

広島県東広島市鏡山一丁目3番1号 国立大学法人広島大学大学院 先端物質科学研究科内