

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-41675  
(P2017-41675A)

(43) 公開日 平成29年2月23日(2017.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 3/356 (2006.01)	H03K 3/356 D	5J034
H03K 3/013 (2006.01)	H03K 3/013	5J043

審査請求 未請求 請求項の数 6 O L (全 38 頁)

(21) 出願番号 特願2015-160642 (P2015-160642)  
(22) 出願日 平成27年8月17日 (2015.8.17)

(71) 出願人 504255685  
国立大学法人京都工芸繊維大学  
京都府京都市左京区松ヶ崎橋上町1番地  
(74) 代理人 110000338  
特許業務法人HARAKENZO WORLD PATENT & TRADEMARK  
(72) 発明者 小林 和淑  
京都府京都市左京区松ヶ崎橋上町1番地  
国立大学法人京都工芸繊維大学内  
(72) 発明者 古田 潤  
京都府京都市左京区松ヶ崎橋上町1番地  
国立大学法人京都工芸繊維大学内

最終頁に続く

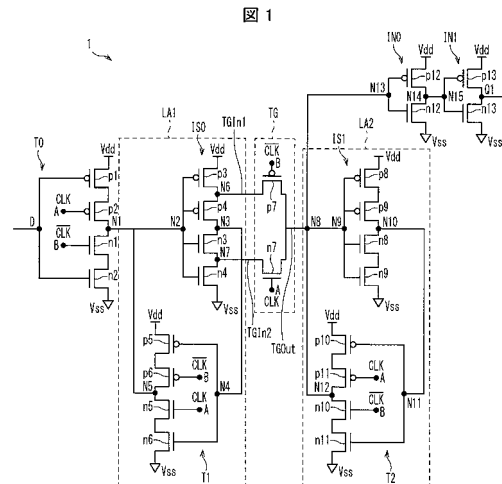
(54) 【発明の名称】 入出力回路、及びフリップフロップ回路

(57) 【要約】

【課題】ソフトエラーに対する耐性向上、及び、遅延時間や消費電力の増加を抑制する。

【解決手段】フリップフロップ回路(1)は、互いに直列接続されたpMOSトランジスタp3・p4間のノードN6に接続された第1の入力線(TGI n1)と、pMOSトランジスタ(p4)・nMOSトランジスタ(n4)間のノード(N7)に接続された第2の入力線(TGI n2)とを有するトランスミッションゲート(TG)を備える。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の第 1 の MOS トランジスタと、

上記第 1 の MOS トランジスタに対し、ソースドレインが直接又は間接的に接続されていると共にゲート同士が接続された第 1 導電型の第 2 の MOS トランジスタと、

上記第 2 の MOS トランジスタに対し、ソースドレインが直接又は間接的に接続されていると共にゲート同士が接続された第 2 導電型の第 3 の MOS トランジスタと、

上記第 1 及び第 2 の MOS トランジスタのソースドレインの接続部である第 1 のノードに接続された第 1 の入力線と、上記第 2 及び第 3 の MOS トランジスタのソースドレイン間である第 2 のノードに接続された第 2 の入力線とを有するトランスマッションゲートとを備えたことを特徴とする入出力回路。

10

## 【請求項 2】

上記第 1 ~ 第 3 の MOS トランジスタによって論理素子が構成されていることを特徴とする請求項 1 に記載の入出力回路。

## 【請求項 3】

上記第 2 及び第 3 の MOS トランジスタ間に配置され、上記第 3 の MOS トランジスタに対し、ソースドレインが直接接続されていると共にゲート同士が接続された第 2 導電型の第 4 の MOS トランジスタをさらに備え、

上記第 2 のノードは、上記第 3 及び第 4 の MOS トランジスタのソースドレインの接続部であり、

上記第 1 及び第 2 の MOS トランジスタのソースドレインは直接接続されており、

上記第 1 ~ 第 4 の MOS トランジスタによってインバータが構成されていることを特徴とする請求項 2 に記載の入出力回路。

20

## 【請求項 4】

請求項 3 に記載の入出力回路と、上記インバータを含む第 1 のラッチと、上記トランスマッションゲートの出力線と接続されている第 2 のラッチとを含むことを特徴とするフリップフロップ回路。

## 【請求項 5】

上記第 1 及び第 2 の MOS トランジスタのソースドレインは、第 1 導電型の MOS トランジスタを介して間接的に接続されており、

上記第 2 及び第 3 の MOS トランジスタ間に配置され、上記第 3 の MOS トランジスタに対し、ソースドレインが直接接続されていると共にゲート同士が接続された第 2 導電型の第 4 の MOS トランジスタをさらに備え、

上記第 2 及び第 4 の MOS トランジスタのソースドレインは直接接続されており、

上記第 2 のノードは、上記第 2 及び第 4 の MOS トランジスタのソースドレインの接続部であり、

上記第 1 ~ 第 4 の MOS トランジスタは、NOR 回路を構成していることを特徴とする請求項 2 に記載の入出力回路。

30

## 【請求項 6】

上記第 1 及び第 2 の MOS トランジスタのソースドレインは、第 1 導電型の MOS トランジスタを介して間接的に接続されており、

上記第 2 及び第 3 の MOS トランジスタのソースドレインが直接接続されており、

上記第 2 のノードは、上記第 2 及び第 3 の MOS トランジスタのソースドレインの接続部であり、

上記第 1 ~ 第 3 の MOS トランジスタは、NAND 回路を構成していることを特徴とする請求項 2 に記載の入出力回路。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は入出力回路、及びフリップフロップ回路に関する。

50

## 【背景技術】

## 【0002】

集積回路は、微細化及び高集積化により高性能になり、それによって計算機の性能が上がりまた微細化が進むというサイクルを歩んできた。近年、微細化が進むことで、今までは過酷な宇宙線にさらされる宇宙においての問題であったソフトエラーの影響が、地上でも無視できなくなってきた。

## 【0003】

ソフトエラーとは、集積回路(LSI)に放射線が通過、または衝突することにより電子正孔対が生成され、一時的にメモリの保持値やフリップフロップの論理値が反転するエラーのことである。図14に、ソフトエラーの発生原理を表す。

10

## 【0004】

図15及び図16に示すように、回路を構成しているトランジスタを放射線が通過すると、放射線の電離作用により生じた電荷によって、トランジスタの出力のハイ(ハイレベル)とロウ(ロウレベル)とが一時的に反転する。当該トランジスタの出力が反転した状態で安定すると、回路が誤作動することになる。

## 【0005】

このため、高信頼性が必要な医療機器、航空機及び自動車、又は回路規模が大きいサーバーやスーパーコンピュータ等に用いられる集積回路に対しては、特に、ソフトエラーに対する対策が必須となっている。加えて、近年の集積回路の微細化にともなう集積化や電源電圧の低下によって、ソフトエラーの影響が顕在化している。これからの集積回路にと

20

## 【0006】

ソフトエラー対策としては、回路レベルで対策する方法と、回路を構成するデバイスレベルで対策する方法とが考えられる。

## 【0007】

回路レベルでの対策としては、記憶素子(フリップフロップ回路)を多重化する構造による対策を挙げることができる。

## 【0008】

図17に示すように、フリップフロップ(FF)回路を三重化し、それぞれのフリップフロップ回路の出力に多数決回路を接続する。当該多重化回路によると、3つのフリップフロップ回路のうち、1つだけがソフトエラーによって出力のハイとロウとが反転しても、他の2つが正しい出力の値を保っていれば、多数決回路は、多数決によって正しい信号を出力する。このように、フリップフロップ回路を多重化することにより、ソフトエラーに対する耐性は強くなる。しかし、フリップフロップ回路を三重化しているため、回路面積は3倍程度に増加する。また、消費電力も3倍程度に増加する。

30

## 【0009】

デバイスレベルでの対策としては、シリコン基板とトランジスタ(表面シリコン)との間に絶縁物の層を設ける、いわゆるFD SOI構造による対策を挙げることができる。

## 【0010】

図18に示すように、シリコン基板とトランジスタとの間に、BOX(Buried OXide)層と呼ばれる絶縁層を設ける。BOX層としては、主にSiO<sub>2</sub>が用いられる。これによると、電荷の収集をBOX層で抑制することができるため、ソフトエラーに対する耐性は強くなる。しかし、その耐性の向上は10倍程度と不十分である。

40

## 【0011】

そこで、FD SOI構造を有するトランジスタを多重化してフリップフロップを構成することで、ソフトエラーに対する耐性を向上させる回路が検討されている。

## 【0012】

特許文献1には、トランジスタを多重化したインバータが開示されている。図19は、多重化前の、CMOSTランジスタによる構成されているインバータIN200を表す回路図である。図20は、トランジスタを多重化したインバータIS200を表す回路図で

50

ある。なお、図20に示すトランジスタはFD SOI構造を有する。

【0013】

図19に示すように、インバータIN200は、pMOSトランジスタp200と、nMOSトランジスタn200とが直列に接続されている。pMOSトランジスタp200のゲートと、nMOSトランジスタn200のゲートとは接続配線により接続されており、当該接続配線に、信号の入力部であるノードN200が設けられている。pMOSトランジスタp200とnMOSトランジスタn200のドレイン同士は接続されており、当該接続部は、信号の出力部であるノードN201となっている。pMOSトランジスタp200のソースは電源電圧に接続されており、nMOSトランジスタn200のソースはGND（接地レベル）に接続されている。

10

【0014】

インバータIN200によると、pMOSトランジスタp200又はnMOSトランジスタn200の何れか一方が、ソフトウェアにより出力が反転してしまうと、誤った値の出力がノードN201から出力してしまう。このように、インバータIN200は、ソフトウェアに対する耐性が低い。

【0015】

図20に示すインバータIS200は、2つのpMOSトランジスタと、2つのnMOSトランジスタとを直列に接続した構成である。

【0016】

なお、本明細書では、pMOSトランジスタ又はnMOSトランジスタを直列に接続すると共にゲート同士を接続することで多重化した構造を、スタック構造と称する。スタック構造は、FD SOI構造と組み合わせたソフトウェア対策である。すなわち、スタック構造を構成するMOSトランジスタは、FD SOI構造を有するものとする。

20

【0017】

インバータIS200は、電源電圧側からGND側へ向けて順に直列に接続されたpMOSトランジスタp201、pMOSトランジスタp202、nMOSトランジスタn201、及びnMOSトランジスタn202を有する。pMOSトランジスタp201、pMOSトランジスタp202、nMOSトランジスタn201、及びnMOSトランジスタn202それぞれのゲートは、接続配線により接続されており、当該接続配線に、信号の入力部であるノードN202が設けられている。pMOSトランジスタp202とnMOSトランジスタn201とのドレイン同士は接続されており、当該接続部分は、信号の出力部であるノードN203となっている。pMOSトランジスタp201のソースは電源電圧に接続されており、nMOSトランジスタn202のソースはGNDに接続されている。

30

【0018】

インタバータIS200の構成によると、nMOSトランジスタn201とnMOSトランジスタn202とが直列接続されることで2重化されているため、nMOSトランジスタn201とnMOSトランジスタn202とのうち一方が、放射線による誤作動によりONしても、他方はOFFを保つ。このため、ノードN203から出力される信号は正しい論理値を保つことができる。このように、インタバータIS200は、ソフトウェアに対する耐性が向上している。

40

【0019】

特許文献2には、スタック構造のインバータを用いたフリップフロップ回路について開示されている。

【0020】

図21は、スタック構造のインバータを用いたフリップフロップ回路（Stacked FFと略する）の構成を表す図である。図21に示すように、フリップフロップ回路210は、トリステートインバータT210と、マスターラッチLA220と、トランスミッションゲートTG210と、スレイブラッチLA221と、インバータIN210とを備える。マスターラッチLA220は、スタック構造のインバータIS210と、トリステ

50

トインバータT211とを有する。スレイブラッチLA221は、スタック構造のインバータIS211と、トライステートインバータT212とを有する。

【0021】

トライステートインバータT210は、電源電圧V<sub>dd</sub>側からGNDである基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp221、pMOSトランジスタp222、nMOSトランジスタn221及びnMOSトランジスタn221を有する。pMOSトランジスタp222のゲートには、制御用のクロック信号(CLK)が入力され、nMOSトランジスタn221のゲートには反転クロック(「上バー付き」のCLK)信号が入力される。トライステートインバータT210は出力部であるノードN211を備えている。

10

【0022】

インバータIS210は、電源電圧V<sub>dd</sub>側から基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp223、pMOSトランジスタp224、nMOSトランジスタn223及びnMOSトランジスタn224を有する。pMOSトランジスタp223、pMOSトランジスタp224、nMOSトランジスタn223及びnMOSトランジスタn224のゲートは接続されている。インバータIS210の入力部であるノードN212は、ノードN211と接続されている。インバータIS210の出力部であるノードN213は、ノードN214・N216と接続されている。

【0023】

トライステートインバータT211は、電源電圧V<sub>dd</sub>側からGNDである基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp225、pMOSトランジスタp226、nMOSトランジスタn225及びnMOSトランジスタn226を有する。pMOSトランジスタp226のゲートには、反転クロック信号が入力され、nMOSトランジスタn225のゲートにはクロック信号が入力される。トライステートインバータT211の入力部であるノードN214はノードN213・N216と接続されている。トライステートインバータT211の出力部であるノードN215はノードN211・N212と接続されている。

20

【0024】

トランスミッションゲートTG210は、pMOSトランジスタp227及びnMOSトランジスタn227を有する。pMOSトランジスタp227及びnMOSトランジスタn227のソース同士は接続配線により接続されており、当該接続配線に、トランスミッションゲートTG210の入力部であるノードN216が設けられている。ノードN216は、ノードN213・N214と接続されている。pMOSトランジスタp227及びnMOSトランジスタn227のドレイン同士は接続配線により接続されており、当該接続配線に、トランスミッションゲートTG210の出力部であるノードN217が設けられている。ノードN217は、ノードN218と接続されている。

30

【0025】

インバータIS211は、電源電圧V<sub>dd</sub>側から基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp228、pMOSトランジスタp229、nMOSトランジスタn228及びnMOSトランジスタn229を有する。pMOSトランジスタp228、pMOSトランジスタp229、nMOSトランジスタn228及びnMOSトランジスタn229のゲートは接続されている。インバータIS211の入力部であるノードN219は、ノードN218と接続されている。インバータIS211の出力部であるノードN220は、ノードN221・N223と接続されている。

40

【0026】

トライステートインバータT212は、電源電圧V<sub>dd</sub>側からGNDである基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp230、pMOSトランジスタp231、nMOSトランジスタn230及びnMOSトランジスタn231を有する。pMOSトランジスタp231のゲートには、クロック信号が入力され、nMOSトランジスタn230のゲートには反転クロック信号が入力される。トライステートイ

50

ンバータT212の入力部であるノードN221はノードN220・N223と接続されている。トライステートインバータT212の出力部であるノードN222はノードN218と接続されている。

【0027】

インバータIN210は、電源電圧V<sub>dd</sub>側からGNDである基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp232及びnMOSトランジスタn232を有する。pMOSトランジスタp232及びnMOSトランジスタn232のゲートは接続されている。インバータIN210の入力部であるノードN223はノードN220・N221と接続されている。インバータIN210の出力部は、フリップフロップ回路210の出力部であるノードQ210となっている。

10

【0028】

図22は、スタック構造のインバータを用いた別のフリップフロップ回路250の構成を表す図である。フリップフロップ回路250は、フリップフロップ回路210から、トランスミッションゲートTG210に換えて、トライステートインバータT241を備え、インバータIN210の後段に、さらにインバータIN211を備えた構成である。

【0029】

トライステートインバータT241は、電源電圧V<sub>dd</sub>側からGNDである基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp241、pMOSトランジスタp242、nMOSトランジスタn241及びnMOSトランジスタn242を有する。pMOSトランジスタp242のゲートには、反転クロック信号が入力され、nMOSトランジスタn241のゲートにはクロック信号が入力される。トライステートインバータT213の入力部であるノードN241はノードN211・N212・N215と接続されている。トライステートインバータT213の出力部であるノードN242はノードN218と接続されている。

20

【0030】

インバータIN211は、電源電圧V<sub>dd</sub>側からGNDである基準電圧V<sub>ss</sub>側へ向けて順に直列接続されている、pMOSトランジスタp233及びnMOSトランジスタn233を有する。pMOSトランジスタp233及びnMOSトランジスタn233のゲートは接続されている。インバータIN211の入力部であるノードN225は、インバータIN210の出力部であるノードN224と接続されている。インバータIN211の出力部は、フリップフロップ回路250の出力部であるノードQ250となっている。

30

【先行技術文献】

【特許文献】

【0031】

【特許文献1】米国公開公報US2004/0007743号公報(2004年1月15日公開)

【特許文献2】米国公開公報US2009/0134925号公報(2009年5月28日公開)

【発明の概要】

【発明が解決しようとする課題】

40

【0032】

図21を用いて説明したフリップフロップ回路210によると、トランスミッションゲートTG210が接続されているインバータIS210は、pMOSトランジスタp223及びpMOSトランジスタp224と、nMOSトランジスタn223及びnMOSトランジスタn224とがそれぞれ二重化されている。そして、トランスミッションゲートTG210の入力部であるノードN216は、pMOSトランジスタp224とnMOSトランジスタn223との接続部であるノードN213に接続されている。

【0033】

このため、電源電圧V<sub>dd</sub>からインバータIS210に供給された電荷は、矢印Zに示すように、pMOSトランジスタp223及びpMOSトランジスタp224の両方を通

50

ってからトランスマッションゲートTG210の入力部であるノードN216へ入力されることになる。この結果、フリップフロップ回路210は信号を出力する速度が遅く遅延時間が生じる。

#### 【0034】

このように、スタック構造を適用することで、ソフトエラーに対する耐性を向上させることはできるものの、電源電圧V<sub>dd</sub>からスタック構造のインバータを通してトランスマッションゲートTG210へ入力される電荷が通るMOSトランジスタの個数が倍増してしまうことになり、遅延時間が大きくなる。フリップフロップ回路210としては、スタック構造のインバータを用いないフリップフロップ回路と比べて、遅延時間が2倍近く増加することになる。

10

#### 【0035】

図22を用いて説明したフリップフロップ回路250は、スレイブラッチへ信号を入力するインバータにスタック構造を用いていないため、フリップフロップ回路210と比べて、遅延時間の増加を抑制することができるものの、トランジスタの個数が増加してしまうため、回路面積の増加や、消費電力の増加、製造コストの増加を招来する。

#### 【0036】

本発明は、前記の問題点に鑑みてなされたものであり、その目的は、ソフトエラーに対する耐性を向上させつつ、遅延時間の増加を抑制した入出力回路を実現することにある。

#### 【課題を解決するための手段】

#### 【0037】

上記の課題を解決するために、本発明の入出力回路は、第1導電型の第1のMOSトランジスタと、上記第1のMOSトランジスタに対し、ソースドレインが直接又は間接的に接続されていると共にゲート同士が接続された第1導電型の第2のMOSトランジスタと、上記第2のMOSトランジスタに対し、ソースドレインが直接又は間接的に接続されていると共にゲート同士が接続された第2導電型の第3のMOSトランジスタと、上記第1及び第2のMOSトランジスタのソースドレインの接続部である第1のノードに接続された第1の入力線と、上記第2及び第3のMOSトランジスタのソースドレイン間である第2のノードに接続された第2の入力線とを有するトランスマッションゲートとを備えたことを特徴とする。

20

#### 【発明の効果】

30

#### 【0038】

本発明は、ソフトエラーに対する耐性が高く、かつ、遅延時間や消費電力の増加が抑制された入出力回路を得るという効果を奏する。

#### 【図面の簡単な説明】

#### 【0039】

【図1】本発明の実施形態1に係るフリップフロップ回路の構成を表す図である。

【図2】上記フリップフロップ回路に入力するクロック信号及び反転クロック信号を生成する回路を表す図である。

【図3】本発明の実施形態1における第1の変形例に係るフリップフロップ回路の構成を表す図である。

40

【図4】本発明の実施形態1における第2の変形例に係るフリップフロップ回路の構成を表す図である。

【図5】滑降シンプレックス法によるSLCCFFと、stacked FFとのED積の評価結果を表す図である。

【図6】SLCCFFと、stacked FFと、FFとの特性を比較した表である。

【図7】実験に使用したテストチップのレイアウトを表す図である。

【図8】(DATA, CLK) = (0, 1)の場合におけるSOTBプロセスを用いた作成したテストチップの中性子起因SERsを表す図である。

【図9】(DATA, CLK) = (1, 1)の場合におけるSOTBプロセスを用いた作成したテストチップの中性子起因SERsを表す図である。

50

【図10】本発明の実施形態2に係るSLCC構造を有するNOR回路であるSLCC NOR回路の構成を表す図である。

【図11】本発明の実施形態2の比較例に係るスタック構造を有するNOR回路であるSNOR回路の構成を表す図である。

【図12】本発明の実施形態3に係るSLCC構造を有するNAND回路であるSLCC NAND回路の構成を表す図である。

【図13】本発明の実施形態3の比較例に係るスタック構造を有するNAND回路であるSNAND回路の構成を表す図である。

【図14】ソフトエラーの発生原理を表す図である。

【図15】放射線がトランジスタを通過している様子を概略的に表す図である。

10

【図16】放射線によって、トランジスタの出力電圧が反転している様子を表す図である。

【図17】フリップフロップ回路を三重化した回路を概略的に表す図である。

【図18】BOX層が設けられた半導体チップの構成を概略的に表す図である。

【図19】インバータを表す回路図である。

【図20】トランジスタが二重化されたインバータを表す回路図である。

【図21】従来のスタック構造のインバータを用いたフリップフロップ回路の構成を表す図である。

【図22】従来のスタック構造のインバータを用いた別のフリップフロップ回路の構成を表す図である。

20

【発明を実施するための形態】

【0040】

以下、本発明の実施の形態について、詳細に説明する。

【0041】

〔実施形態1〕

(フリップフロップ回路1の構成)

図1は、本発明の実施形態1に係るフリップフロップ回路1の構成を表す図である。図2は、図1に示すフリップフロップ回路1に入力するクロック信号及び反転クロック信号を生成する回路を表す図である。

【0042】

図1に示すように、フリップフロップ回路1は、スタック構造のインバータを有し、当該インバータの内部ノードと、トランスミッションゲートとを接続した構成である。フリップフロップ回路1は、SLCCFF(Stacked Leveling Critical Charge Flip-Flop)と称する。以下、フリップフロップ回路1について、具体的に説明する。

30

【0043】

フリップフロップ回路1は、トリストートインバータT0と、マスターラッチLA1と、トランスミッションゲートTGと、スレイブラッチLA2と、インバータIN0と、インバータIN1とを備えている。

【0044】

なお、各実施形態においても、スタック構造を構成するMOSトランジスタは、シリコン基板とトランジスタ(表面シリコン)との間に絶縁物の層を設ける、いわゆるFD SOI構造を有するものとする。すなわち、当該MOSトランジスタは、シリコン基板とトランジスタとの間に、BOX(Buried OXide)層と呼ばれる絶縁層を備える。BOX層としては、主にSiO<sub>2</sub>を用いるものとする。

40

【0045】

また、図1に示すフリップフロップ回路1においては、制御用のクロック信号と、当該クロック信号のハイ及びロウを反転させた反転クロック信号とを生成するための回路を省略している。なお、図1及び図2において、制御用のクロック信号を「CLK」として示し、反転クロック信号を「上パー付き」の「CLK」として示している。

【0046】

50



図2を用いて、フリップフロップ回路1に入力するためのクロック信号及び反転クロック信号を生成する回路を説明する。図2に示すように、クロック信号及び反転クロック信号を生成する回路は、2段のインバータIN21及びインバータIN22を備えている。

【0047】

インバータIN21は、pMOSトランジスタp21と、nMOSトランジスタn21とを備えている。pMOSトランジスタp21のゲートと、nMOSトランジスタn21のゲートとは接続配線により接続されており、当該接続配線に、インバータIN21へのクロック信号の入力部であるノードN21が設けられている。pMOSトランジスタp21のソースは電源電圧V<sub>dd</sub>の供給用配線と接続されており、pMOSトランジスタp21のドレインは、nMOSトランジスタn21のドレインと接続されており、当該接続部分は、インバータIN21の信号の出力部であるノードN22となっている。nMOSトランジスタn21のソースはGNDである基準電圧V<sub>ss</sub>の供給用配線と接続されている。

10

【0048】

インバータIN22は、pMOSトランジスタp22と、nMOSトランジスタn22とを備えている。pMOSトランジスタp22のゲートと、nMOSトランジスタn22のゲートとは接続配線により接続されており、当該接続配線に、インバータIN22への信号の入力部であるノードN23が設けられている。ノードN23はノードN22と接続されている。

【0049】

pMOSトランジスタp22のソースは電源電圧V<sub>dd</sub>の供給用配線と接続されており、pMOSトランジスタp22のドレインは、nMOSトランジスタn22のドレインと接続されており、当該接続部分は、インバータIN22の信号の出力部であるノードN25となっている。nMOSトランジスタn22のソースは基準電圧V<sub>ss</sub>の供給用配線と接続されている。

20

【0050】

ノードN25はノードAと接続されており、ノードN25からノードAへクロック信号が出力される。ノードN22からノードN23へ至る配線は分岐しており、ノードN22からノードN23へ至る配線中のノードN24はノードBと接続されている。ノードN24からノードBへは反転クロック信号が出力される。

30

【0051】

図1に戻り、トリステートインバータT0は、2つのpMOSトランジスタp1及びpMOSトランジスタp2と、2つのnMOSトランジスタn1及びnMOSトランジスタn2とを備えている。

【0052】

電源電圧V<sub>dd</sub>の供給用配線側からGNDである基準電圧V<sub>ss</sub>の供給用配線側へ向けて、順に、pMOSトランジスタp1、pMOSトランジスタp2、nMOSトランジスタn1及びnMOSトランジスタn2が、直列接続されている。

【0053】

具体的には、pMOSトランジスタp1は、ソースが電源電圧V<sub>dd</sub>の供給用配線と接続されており、ドレインがpMOSトランジスタp2のソースと接続されている。pMOSトランジスタp2のドレインは、nMOSトランジスタn1のドレインと接続されており、当該接続部分は、トリステートインバータT0の信号の出力部であるノードN1となっている。nMOSトランジスタn1のソースと、nMOSトランジスタn2のドレインとは接続されている。nMOSトランジスタn2のソースは基準電圧V<sub>ss</sub>の供給用配線と接続されている。

40

【0054】

そして、両端に位置するpMOSトランジスタp1のゲートと、nMOSトランジスタn2のゲートとは接続配線により接続されており、当該接続配線に、トリステートインバータT0への信号の入力部、すなわち、フリップフロップ回路1への入力部であるノード

50

ドDが設けられている。

【0055】

pMOSトランジスタp2のゲートはノードA(図2参照)に接続されることでクロック信号が入力され、nMOSトランジスタn1のゲートはノードB(図2参照)に接続されることで反転クロック信号が入力される。

【0056】

マスターラッチLA1は、後段のトランSMissionゲートTGがOFFのとき、前段のトライステートインバータT0から入力された信号が示す論理値を保持するものである。マスターラッチLA1は、スタック構造のインバータIS0と、トライステートインバータT1とを備えている。

10

【0057】

インバータIS0は、トライステートインバータT1と共に電荷を保持することで、前段のトライステートインバータT0から入力された信号が示す論理値を保持するものである。また、インバータIS0は、トランSMissionゲートTGがONとなると、トライステートインバータT1と共に保持していた電荷、すなわちマスターラッチLA1において保持していた信号が示す論理値を、後段のスレイブラッチLA2へ出力するための回路である。

【0058】

インバータIS0は、2つのpMOSトランジスタp3及びpMOSトランジスタp4と、2つのnMOSトランジスタn3及びnMOSトランジスタn4とを備えている。

20

【0059】

pMOSトランジスタp3、pMOSトランジスタp4、nMOSトランジスタn3及びnMOSトランジスタn4は、電源電圧Vddの供給用配線側からGNDである基準電圧Vssの供給用配線側へ向けて、順に直列接続されている。

【0060】

具体的には、pMOSトランジスタp3は、ソースが電源電圧Vddの供給用配線と接続されており、ドレインがpMOSトランジスタp4のソースと接続されている。pMOSトランジスタp4のドレインと、nMOSトランジスタn3のドレイン同士が接続されている。nMOSトランジスタn4は、ドレインがnMOSトランジスタn3のソースと接続されており、ソースが基準電圧Vssの供給用配線と接続されている。

30

【0061】

pMOSトランジスタp3のドレインとpMOSトランジスタp4のソースとの接続部は、マスターラッチLA1の第1の信号の出力部であるノードN6となっている。pMOSトランジスタp4のドレインとnMOSトランジスタn3のドレインとの接続部は、フィードバック用の信号の出力部であるノードN3となっている。nMOSトランジスタp3のソースとnMOSトランジスタn4のドレインとの接続部は、マスターラッチLA1の第2の信号の出力部であるノードN7となっている。

【0062】

pMOSトランジスタp3、pMOSトランジスタp4、nMOSトランジスタn3及びnMOSトランジスタn4のゲートは、それぞれ接続配線により接続されており、当該接続配線に、インバータIS0への信号の入力部であるノードN2が設けられている。

40

【0063】

インバータIS0は、pMOSトランジスタp3とpMOSトランジスタp4とが直列接続されると共に互いにゲートが接続されることで、pMOSトランジスタが二重化された構成である。また、インバータIS0は、nMOSトランジスタn3とnMOSトランジスタn4とが直列接続されると共に互いにゲートが接続されることで、nMOSトランジスタが二重化された構成である。このように、インバータIS0は、pチャンネルのMOSトランジスタ及びnチャンネルのMOSトランジスタが多重化されたスタック構造である。

【0064】

50

なお、インバータIS0において、直列接続するpMOSトランジスタ及び直列接続するnMOSトランジスタは、それぞれ、2つに限定されるものではない。3つ以上のpチャンネルのMOSトランジスタを直列接続すると共に互いにゲートを接続し、さらに、3つ以上のnMOSトランジスタを直列接続すると共に互いにゲートを接続することで、3重化以上の多重化がなされていてもよい。

**【0065】**

トリステートインバータT1は、インバータIS0の出力を、再度、インバータIS0へ入力するためのフィードバック用のインバータである。トリステートインバータT1は、インバータIS0と共に電荷を保持することで、前段のトリステートインバータT0から入力された信号が示す論理値を保持する。なお、トリステートインバータT1は、スタック構造ではない。

10

**【0066】**

トリステートインバータT1は、2つのpMOSトランジスタp5及びpMOSトランジスタp6と、2つのnMOSトランジスタn5及びnMOSトランジスタn6とを備えている。

**【0067】**

pMOSトランジスタp5、pMOSトランジスタp6、nMOSトランジスタn5及びnMOSトランジスタn6は、電源電圧Vddの供給用配線側からGNDである基準電圧Vssの供給用配線側へ向けて、順に直列接続されている。

**【0068】**

具体的には、pMOSトランジスタp5は、ソースが電源電圧Vddの供給用配線と接続されており、ドレインがpMOSトランジスタp6のソースと接続されている。pMOSトランジスタp6のドレインと、nMOSトランジスタn5のドレイン同士が接続されている。nMOSトランジスタn6は、ドレインがnMOSトランジスタn5のソースと接続されており、ソースが基準電圧Vssの供給用配線と接続されている。

20

**【0069】**

pMOSトランジスタp6のドレインとnMOSトランジスタn5のドレインとの接続部は、フィードバック用の信号の出力部であるノードN5となっている。ノードN5は、前段のトリステートインバータT0の出力部であるノードN1とインバータIS0の入力部であるノードN2との接続配線に接続されている。

30

**【0070】**

そして、両端に位置するpMOSトランジスタp5のゲートと、nMOSトランジスタn6のゲートとは接続配線により接続されており、当該接続配線に、トリステートインバータT1への信号の入力部であるノードN4が設けられている。ノードN4は、インバータIS0のフィードバック用の出力部であるノードN3と接続されている。

**【0071】**

pMOSトランジスタp6のゲートはノードB(図2参照)に接続されることで反転クロック信号が入力され、nMOSトランジスタn5のゲートはノードA(図2参照)に接続されることでクロック信号が入力される。

**【0072】**

トランスマッションゲートTGは、マスターラッチLAと、スレイブラッチLA2との導通及び非導通を切り替えるスイッチである。トランスマッションゲートTGは、pMOSトランジスタp7と、nMOSトランジスタn7とを備えている。

40

**【0073】**

pMOSトランジスタp7のソースは、第1の入力線TGIn1を介して、マスターラッチLA1の第1の信号の出力部であるノードN6と接続されている。

**【0074】**

nMOSトランジスタn7のソースは、第2の入力線TGIn2を介して、マスターラッチLA1の第2の信号の出力部であるノードN7と接続されている。

**【0075】**

50

pMOSトランジスタp7のドレインと、nMOSトランジスタn7のドレインとは、トランスマッションゲートTGの出力用配線である出力線TGOutと接続されることで互いに接続されている。入力線TGOutは、後段のスレイブラッチLA2の入力部であるノードN8（後述する）と接続されている。

【0076】

pMOSトランジスタp7のゲートはノードB（図2参照）に接続されることで反転クロック信号が入力され、nMOSトランジスタn7のゲートはノードA（図2参照）に接続されることでクロック信号が入力される。

【0077】

このように、インバータISOの異なる内部ノードN6・N7それぞれに対し、トランスマッションゲートTGの異なる2本の第1の入力線TGIn1及び第2の入力線TGIn2それぞれを接続する構成を、SLCC(Stacked Leveling Critical Charge)構造と称する。また、このSLCC構造を有するフリップフロップ回路1を、SLCCFF(Stacked Leveling Critical Charge Flip-Flop)と称する。

10

【0078】

スレイブラッチLA2は、トランスマッションゲートTGがON（導通）状態となると、トランスマッションゲートTGを介して、前段のマスターラッチLA1から入力された信号の論理値を保持するものである。スレイブラッチLA2は、スタック構造のインバータIS1と、トライステートインバータT2とを備えている。

【0079】

インバータIS1は、トライステートインバータT1と共に電荷を保持することで、トランスマッションゲートTGを介して、前段のインバータIS0から入力された信号が示す論理値を保持するものである。

20

【0080】

インバータIS1は、2つのpMOSトランジスタp8及びpMOSトランジスタp9と、2つのnMOSトランジスタn8及びnMOSトランジスタn9とを備えている。

【0081】

pMOSトランジスタp8、pMOSトランジスタp9、nMOSトランジスタn8及びnMOSトランジスタn9は、電源電圧Vddの供給用配線側から基準電圧Vssの供給用配線側へ向けて、順に直列接続されている。

30

【0082】

具体的には、pMOSトランジスタp8は、ソースが電源電圧Vddの供給用配線と接続されており、ドレインがpMOSトランジスタp9のソースと接続されている。pMOSトランジスタp9のドレインと、nMOSトランジスタn8のドレイン同士が接続されている。nMOSトランジスタn9は、ドレインがnMOSトランジスタn8のソースと接続されており、ソースが基準電圧Vssの供給用配線と接続されている。

【0083】

pMOSトランジスタp9のドレインとnMOSトランジスタn8のドレインとの接続部は、フィードバック用の信号の出力部であるノードN10となっている。pMOSトランジスタp8、pMOSトランジスタp9、nMOSトランジスタn8及びnMOSトランジスタn9のゲートは、それぞれ接続配線により接続されており、当該接続配線に、インバータIS1への信号の入力部であるノードN9が設けられている。ノードN9は、ノードN8を介して、出力線TGOut、ノードN12・N13（後述する）と接続されている。

40

【0084】

インバータIS1は、pMOSトランジスタp8とpMOSトランジスタp9とが直列接続されると共に互いにゲートが接続されることで、pチャンネルのMOSトランジスタが二重化された構成である。また、インバータIS1は、nMOSトランジスタn8とnMOSトランジスタn9とが直列接続されると共に互いにゲートが接続されることで、nチャンネルのMOSトランジスタが二重化された構成である。このように、インバータIS1

50

は、pチャンネルのMOSトランジスタ及びnチャンネルのMOSトランジスタが多重化されたスタック構造である。

【0085】

なお、インバータIS1において、直列接続するpMOSトランジスタ及び直列接続するnMOSトランジスタは、それぞれ、2つに限定されるものではない。3つ以上のpMOSトランジスタを直列接続すると共に互いにゲートを接続し、さらに、3つ以上のnMOSトランジスタを直列接続すると共に互いにゲートを接続することで、3重化以上の多重化がなされていてもよい。

【0086】

トリステートインバータT2は、インバータIS1の出力を、再度、インバータIS1へ入力するためのフィードバック用のインバータである。トリステートインバータT2は、インバータIS1と共に電荷を保持することで、トランスマッションゲートTGを介して、前段のインバータIS0から入力された信号の論理値を保持するものである。なお、トリステートインバータT2は、スタック構造ではない。

10

【0087】

トリステートインバータT2は、2つのpMOSトランジスタp10及びpMOSトランジスタp11と、2つのnMOSトランジスタn10及びnMOSトランジスタn11とを備えている。

【0088】

pMOSトランジスタp10、pMOSトランジスタp11、nMOSトランジスタn10及びnMOSトランジスタn11は、電源電圧V<sub>dd</sub>の供給用配線側からGNDである基準電圧V<sub>ss</sub>の供給用配線側へ向けて、順に直列接続されている。

20

【0089】

具体的には、pMOSトランジスタp10は、ソースが電源電圧V<sub>dd</sub>の供給用配線と接続されており、ドレインがpMOSトランジスタp11のソースと接続されている。pMOSトランジスタp11のドレインと、nMOSトランジスタn10のドレイン同士が接続されている。nMOSトランジスタn11は、ドレインがnMOSトランジスタn10のソースと接続されており、ソースが基準電圧V<sub>ss</sub>の供給用配線と接続されている。

【0090】

pMOSトランジスタp11のドレインとnMOSトランジスタn10のドレインとの接続部は、フィードバック用の信号の出力部であるノードN12となっている。ノードN12は、ノードN8に接続されている。

30

【0091】

そして、両端に位置するpMOSトランジスタp10のゲートと、nMOSトランジスタn11のゲートとは接続配線により接続されており、当該接続配線に、トリステートインバータT2への信号の入力部であるノードN11が設けられている。ノードN11は、インバータIS1のフィードバック用の出力部であるノードN10と接続されている。

【0092】

pMOSトランジスタp11のゲートはノードA(図2参照)に接続されることでクロック信号が入力され、nMOSトランジスタn10のゲートはノードB(図2参照)に接続されることで反転クロック信号が入力される。

40

【0093】

インバータIN0は、pMOSトランジスタp12と、nMOSトランジスタn12とを備えている。pMOSトランジスタp12及びnMOSトランジスタn12は、電源電圧V<sub>dd</sub>の供給用配線側から基準電圧V<sub>ss</sub>の供給用配線側へ向けて、順に直列接続されている。

【0094】

具体的には、pMOSトランジスタp12は、ソースが電源電圧V<sub>dd</sub>の供給用配線と接続されており、ドレインがnMOSトランジスタn12のドレインと接続されている。nMOSトランジスタn12のソースは基準電圧V<sub>ss</sub>の供給用配線と接続されている。

50

## 【0095】

pMOSトランジスタp12のドレインとnMOSトランジスタn12のドレインとの接続部は、インバータIN0の出力部であるノードN14となっている。pMOSトランジスタp12及びnMOSトランジスタn12のゲートは、それぞれ接続配線により接続されており、当該接続配線に、インバータIN0への信号の入力部であるノードN13が設けられている。ノードN13は、ノードN8と接続されている。

## 【0096】

インバータIN1は、pチャネルのMOSトランジスタであるpMOSトランジスタp13と、nチャネルのMOSトランジスタであるnMOSトランジスタn13とを備えている。pMOSトランジスタp13及びnMOSトランジスタn13は、電源電圧Vddの供給用配線側から基準電圧Vssの供給用配線側へ向けて、順に直列接続されている。

10

## 【0097】

具体的には、pMOSトランジスタp13は、ソースが電源電圧Vddの供給用配線と接続されており、ドレインがnMOSトランジスタn13のドレインと接続されている。nMOSトランジスタn13のソースは基準電圧Vssの供給用配線と接続されている。

## 【0098】

pMOSトランジスタp13のドレインとnMOSトランジスタn13のドレインとの接続部は、インバータIN1の出力部、すなわちフリップフロップ回路1の出力部であるノードQ1となっている。ノードQ1から、フリップフロップ回路1としての出力信号が出力される。

20

## 【0099】

pMOSトランジスタp13及びnMOSトランジスタn13のゲートは、それぞれ接続配線により接続されており、当該接続配線に、インバータIN1への信号の入力部であるノードN15が設けられている。ノードN15は、ノードN14と接続されている。

## 【0100】

(フリップフロップ回路1の動作)

クロック信号の論理値が「0」のとき、トランスマッションゲートTGは、OFF(非導通)状態となる。このため、マスターラッチLA1で保持する論理値(すなわち電荷)は、スレイブラッチLA2へ出力されない。このクロック信号の論理値が「0」のとき、ノードDから入力される信号の論理値が「0」から「1」へ変化すると、トライステートインバータT0のノードN1から論理値「0」の信号が出力される。そして、インバータIS0のノードN3から論理値「1」の信号が出力され、トライステートインバータT1のノードN5から論理値「0」の信号が出力されることで、マスターラッチLA1全体として、論理値「1」の信号を示す電荷が保持される。

30

## 【0101】

次いで、クロック信号の論理値が「0」から「1」へ変化すると、トランスマッションゲートTGは、ON(導通)状態となる。これにより、マスターラッチLA1で保持していた論理値「1」の信号を示す電荷が、ノードN8を介して、スレイブラッチLA2に入力される。

40

## 【0102】

具体的には、クロック信号の論理値が「0」から「1」へ変化すると、トランスマッションゲートTGを構成するpMOSトランジスタp7及びnMOSトランジスタn7それぞれのソース及びドレイン間が導通状態となる。そして、インバータIS0において、導通状態となっているpMOSトランジスタp3を通じて、第1の入力線TGIn1に電源電圧Vddが印加され、さらに、pMOSトランジスタp7を通じて、出力線TGOutにも電源電圧Vddが印加される。これにより、マスターラッチLA1から、論理値「1」の信号を示す電荷が、ノードN8を介して、スレイブラッチLA2における、インバータIS1の入力部であるノードN9に入力される。

## 【0103】

そして、インバータIS1のノードN10から論理値「0」の信号が出力され、トライ

50

ステートインバータT2のノードN12から論理値「1」の信号が出力される。これにより、スレイブラッチLA2全体として、論理値「1」の信号を示す電荷が保持される。

【0104】

また、ノードN8を通じて、スレイブラッチLA2から論理値「1」の信号が出力され、2段のインバータIN0・IN1を介して、ノードQ1から、フリップフロップ回路1の出力として、論理値「1」の信号が出力される。

【0105】

次いで、クロック信号の論理値が「1」から「0」へ変化し、ノードDから入力される信号の論理値が「1」から「0」へ変化すると、トリステートインバータT0のノードN1から論理値「1」の信号が出力される。そして、インバータIS0のノードN3から論理値「0」の信号が出力され、トリステートインバータT1のノードN5から論理値「1」の信号が出力されることで、ノードN2に論理値「1」の信号が入力される。これにより、マスターラッチLA1全体として、論理値「0」の信号を示す電荷が保持される。

10

【0106】

次いで、クロック信号の論理値が「0」から「1」へ変化すると、トランスマッションゲートTGは、ON（導通）状態となる。これにより、マスターラッチLA1で保持していた論理値「0」の信号を示す電荷が、ノードN8を介して、スレイブラッチLA2に入力される。

【0107】

具体的には、クロック信号の論理値が「0」から「1」へ変化すると、トランスマッションゲートTGを構成するpMOSトランジスタp7及びnMOSトランジスタn7それぞれのソース及びドレイン間が導通状態となる。そして、インバータIS0において、導通状態となっているnMOSトランジスタn4を通じて、第2の入力線TGIn2に基準電圧Vssが印加され、さらに、nMOSトランジスタn7を通じて、出力線TGOutにも基準電圧Vssが印加される。これにより、マスターラッチLA1から、論理値「0」の信号を示す電荷が、ノードN8を介して、スレイブラッチLA2における、インバータIS1の入力部であるノードN9に入力される。

20

【0108】

そして、インバータIS1のノードN10から論理値「1」の信号が出力され、トリステートインバータT2のノードN12から論理値「0」の信号が出力される。これにより、スレイブラッチLA2全体として、論理値「0」の信号を示す電荷が保持される。

30

【0109】

また、ノードN8を通じて、スレイブラッチLA2から論理値「0」の信号が出力され、2段のインバータIN0・IN1を介して、ノードQ1から、フリップフロップ回路1の出力として、論理値「0」の信号が出力される。

【0110】

なお、クロック信号の論理値が「1」のときは、トリステートインバータT0のpMOSトランジスタp2及びnMOSトランジスタn1ともOFF（非導通）状態となるため、ノードDへ入力される信号の論理値が変化しても、ノードN1へ入力される信号の論理値は変化しない。このため、クロック信号の論理値が「1」のときは、マスターラッチLAが既に保持している論理値は、ノードDへ入力される信号の論理値に関わらず、そのまま保持される。マスターラッチLAの論理値の書き換えが可能になるのは、クロック信号の論理値が「0」のときだけである。

40

【0111】

（フリップフロップ回路1の主な利点）

以上のようにフリップフロップ回路1、特に、入出力回路を構成しているインバータIS0及びトランスマッションゲートTGは、pMOSトランジスタp3（第1導電型の第1のMOSトランジスタ）と、pMOSトランジスタp3のドレインに対しソースが直接接続されていると共に、ゲートがpMOSトランジスタp3のゲートと接続されたpMOS

50

Sトランジスタp4（第1導電型の第2のMOSトランジスタ）と、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）のドレインに対しドレインが、nMOSトランジスタn3（第2導電型の第4のMOSトランジスタ）を介して間接的に接続されていると共に、ゲートがpMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）のゲートと接続されたnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）と、pMOSトランジスタp3（第1導電型の第1のMOSトランジスタ）のドレイン及びpMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）のソースの接続部であるノードN6（第1のノード）に接続された第1の入力線TGIn1（第1の入力線）と、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）のドレイン及びnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）のドレイン間に設けられたノードN7（第2のノード）に接続された第2の入力線TGIn2（第2の入力線）とを有するトランスミッションゲートTGとを備えたインバータISO及びトランスミッションゲートTG（入出力回路）を備えている。

10

#### 【0112】

上記構成によると、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）は、pMOSトランジスタp3のドレインに対しソースが直接接続されていると共に、ゲートがpMOSトランジスタp3のゲートと接続されている。このように、pMOSトランジスタp3とpMOSトランジスタp4とは、二重化された構造であるため、pMOSトランジスタp3と、pMOSトランジスタp4とのうち何れか一方がソフトエラーにより論理値が反転したとしても、他方のトランジスタは正常な論理値を保持しているため、pMOSトランジスタp3及びpMOSトランジスタp4として、正常な論理値を示す信号をトランスミッションゲートTGへ出力することができる。このため、ソフトエラーに対する耐性を向上させることができる。

20

#### 【0113】

ここで、図21に示したフリップフロップ回路210が備えているトランスミッションゲートTG210においては、入力部であるノードN216は、前段のインバータIS210の出力部であるノードN213と1本の配線によって接続されているだけである。このため、トランスミッションゲートTG210は、ノードN216に入力されてきた信号が示す論理値が誤って反転していると、そのまま誤った論理値を示す信号を後段のスレイブラッチLA221へ出力してしまう。この点からも、フリップフロップ回路210はソフトエラーに対する耐性が弱いといえる。

30

#### 【0114】

一方、本実施形態に係るトランスミッションゲートTGは、入力線として、第1の入力線TGIn1と、第2の入力線TGIn2との2本の入力線を有している。このため、第1の入力線TGIn1と、第2の入力線TGIn2とのうち、何れか一方から入力されてくる信号が示す論理値が誤って反転していたとしても、他方の入力線から入力されてくる信号が示す論理値が正常な論理値を示していると、トランスミッションゲートTGは、正しい論理値を示す信号を出力線TGOutから後段のスレイブラッチLA2へ出力できる可能性が高い。この点からも、インバータISO及トランスミッションゲートTGの構成は、ソフトエラーに対する耐性が高いといえる。

40

#### 【0115】

加えて、電源電圧VddからインバータISOへ供給された電荷は、2重化されたpMOSトランジスタp3・p4のうち、pMOSトランジスタp3の方だけを通り、第1の入力線TGIn1を介してトランスミッションゲートTGへ入力される。このため、図21に示したフリップフロップ回路210のような、電源電圧Vddから供給された電荷が2つのpMOSトランジスタp223・p224を通過してからトランスミッションゲートTG210へ入力される場合と比べて、遅延時間が増加することを抑制することができる。さらに、消費電力も少なく済む。

#### 【0116】

なお、Stacked FFと比べて、SLCCFFの方が、ソフトエラーに対する耐性が向上

50



し、さらに、遅延時間や消費電力の増加を抑制することができる点については、実験結果に基づいて、図5～図9を用いて後述する。

【0117】

また、フリップフロップ回路1は、pMOSトランジスタp3（第1導電型の第1のMOSトランジスタ）、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）及びnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）によって、論理素子が構成されている。

【0118】

具体的には、フリップフロップ回路1は、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）及びnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）間に配置され、ソースがnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）のドレインと直接接続されていると共に、ゲートがnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）のゲートと接続されたnMOSトランジスタn3（第2導電型の第4のMOSトランジスタ）をさらに備えている。

10

【0119】

そして、ノードN7（第2のノード）は、nMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）のドレインとnMOSトランジスタn3（第2導電型の第4のMOSトランジスタ）のソースとの接続部であり、トランスミッションゲートTGの第2の入力線TGIn2はノードN7（第2のノード）と接続されている。さらに、pMOSトランジスタp3（第1導電型の第1のMOSトランジスタ）のドレインと、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）のソースとは直接接続されており、pMOSトランジスタp3（第1導電型の第1のMOSトランジスタ）、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）、nMOSトランジスタn3（第2導電型の第4のMOSトランジスタ）、及びnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）によってインバータISOが構成されている。

20

【0120】

これにより、pMOSトランジスタp3（第1導電型の第1のMOSトランジスタ）、pMOSトランジスタp4（第1導電型の第2のMOSトランジスタ）、nMOSトランジスタn3（第2導電型の第4のMOSトランジスタ）、及びnMOSトランジスタn4（第2導電型の第3のMOSトランジスタ）によって構成されているインバータISOのソフトエラーに対する耐性を向上させて、かつ、インバータISOに起因する遅延時間や消費電力の増加を抑制することができる。

30

【0121】

フリップフロップ回路1は、インバータISOを含むマスターラッチLA1（第1のラッチ）と、トランスミッションゲートTGの出力線TGOutと接続されているスレイブラッチLA2（第2のラッチ）とを含む。これにより、ソフトエラーに対する耐性が高く、かつ、遅延時間や消費電力の増加が抑制されたフリップフロップ回路1を得ることができる。

【0122】

なお、本実施形態にて説明したSLCC構造は、スタック構造のインバータISOと当該インバータISOに接続されたトランスミッションゲートTGとによって構成されるものとして説明したが、SLCC構造は、その他にも、スタック構造を有する種々の論理素子（NOR回路、AND回路、NAND回路等）に適用することができる。

40

【0123】

（変形例1）

次に、図3を用いて、フリップフロップ回路1の第1の変形例であるフリップフロップ回路2について説明する。図3は、本発明の実施形態1における第1の変形例に係るフリップフロップ回路2の構成を表す図である。

【0124】

図3に示すように、フリップフロップ回路2は、フリップフロップ回路1（図1参照）

50

から、インバータIN1を省略した構成である。フリップフロップ回路2は、さらに、インバータIN0の入力部であるノードN13が、ノードN8ではなく、インバータIS1の出力部であるノードN10と、トライステートインバータT2の入力部であるノードN11とを接続する配線に設けられたノードN16に接続されている点でも、フリップフロップ回路1と相違する。フリップフロップ回路2の他の構成は、フリップフロップ回路1と同様である。

【0125】

フリップフロップ回路2では、インバータIN0の出力部が、フリップフロップ回路2の出力部であるノードQ2となっている。

【0126】

フリップフロップ回路2によると、フリップフロップ回路1よりも、トランジスタの個数を削減することができる。

【0127】

(変形例2)

次に、図4を用いて、フリップフロップ回路1の第2の変形例であるフリップフロップ回路3について説明する。図4は、本発明の実施形態1における第2の変形例に係るフリップフロップ回路3の構成を表す図である。

【0128】

フリップフロップ回路3は、フリップフロップ回路1(図1参照)のマスターラッチLA1及びスレイブラッチLA2に換えてマスターラッチLA1a及びスレイブラッチLA2aを備えている点でフリップフロップ回路1と相違する。マスターラッチLA1aは、マスターラッチLA1のトライステートインバータT1を、スタック構造のトライステートインバータT31に置き換えた点で、マスターラッチLA1と相違する。また、スレイブラッチLA2aは、スレイブラッチLA2のトライステートインバータT2を、スタック構造のトライステートインバータT32に置き換えた点で、スレイブラッチLA2と相違する。フリップフロップ回路3における他の構成は、フリップフロップ回路1と同様である。

【0129】

トライステートインバータT31は、3つのpMOSトランジスタp31~p33と、3つのnMOSトランジスタn31~n31とを備えている。

【0130】

pMOSトランジスタp31~p33、及び、nMOSトランジスタn31~n33は、電源電圧Vddの供給用配線側から基準電圧Vssの供給用配線側へ向けて、順に直列接続されている。

【0131】

具体的には、pMOSトランジスタp31は、ソースが電源電圧Vddの供給用配線と接続されており、ドレインがpMOSトランジスタp32のソースと接続されている。pMOSトランジスタp33は、ソースがpMOSトランジスタp32のドレインと接続されており、ドレインがnMOSトランジスタn31のドレインと接続されている。

【0132】

nMOSトランジスタn32は、ドレインがnMOSトランジスタn31のソースと接続されており、ソースがnMOSトランジスタn33のドレインと接続されている。nMOSトランジスタp33は、ソースが基準電圧Vssの供給用配線と接続されている。

【0133】

pMOSトランジスタp33のドレインとnMOSトランジスタn33のドレインとの接続部は、フィードバック用の信号の出力部であるノードN32となっている。ノードN32は、前段のトライステートインバータT0の出力部であるノードN1とインバータIS0の入力部であるノードN2との接続配線に接続されている。

【0134】

pMOSトランジスタp31、pMOSトランジスタp32、nMOSトランジスタn

10

20

30

40

50

3 2 及び n M O S トランジスタ n 3 3 のゲートは、それぞれ接続配線により接続されており、当該接続配線に、インバータ I S 3 0 への信号の入力部であるノード N 3 1 が設けられている。ノード N 3 1 は、インバータ I S 0 の出力部であるノード N 3 と接続されている。

【 0 1 3 5 】

p M O S トランジスタ p 3 3 のゲートはノード B ( 図 2 参照 ) に接続されることで反転クロック信号が入力され、n M O S トランジスタ n 3 1 のゲートはノード A ( 図 2 参照 ) に接続されることでクロック信号が入力される。

【 0 1 3 6 】

トリステートインバータ T 3 2 は、3 つの p M O S トランジスタ p 3 5 ~ p 3 7 と、3 つの n M O S トランジスタ n 3 5 ~ n 3 7 とを備えている。

【 0 1 3 7 】

p M O S トランジスタ p 3 5 ~ p 3 7 、及び、n M O S トランジスタ n 3 5 ~ n 3 7 は、電源電圧 V d d の供給用配線側から基準電圧 V s s の供給用配線側へ向けて、順に直列接続されている。

【 0 1 3 8 】

具体的には、p M O S トランジスタ p 3 5 は、ソースが電源電圧 V d d の供給用配線と接続されており、ドレインが p M O S トランジスタ p 3 6 のソースと接続されている。p M O S トランジスタ p 3 7 は、ソースが p M O S トランジスタ p 3 6 のドレインと接続されており、ドレインが n M O S トランジスタ n 3 5 のドレインと接続されている。

【 0 1 3 9 】

n M O S トランジスタ n 3 6 は、ドレインが n M O S トランジスタ n 3 5 のソースと接続されており、ソースが n M O S トランジスタ n 3 7 のドレインと接続されている。n M O S トランジスタ p 3 7 は、ソースが基準電圧 V s s の供給用配線と接続されている。

【 0 1 4 0 】

p M O S トランジスタ p 3 7 のドレインと n M O S トランジスタ n 3 7 のドレインとの接続部は、フィードバック用の信号の出力部であるノード N 3 4 となっている。ノード N 3 4 は、ノード N 8 に接続されている。

【 0 1 4 1 】

p M O S トランジスタ p 3 5 、p M O S トランジスタ p 3 6 、n M O S トランジスタ n 3 6 及び n M O S トランジスタ n 3 7 のゲートは、それぞれ接続配線により接続されており、当該接続配線に、トリステートインバータ T 3 2 への信号の入力部であるノード N 3 3 が設けられている。ノード N 3 3 は、インバータ I S 1 の出力部であるノード N 1 0 と接続されている。

【 0 1 4 2 】

p M O S トランジスタ p 3 7 のゲートはノード A ( 図 2 参照 ) に接続されることでクロック信号が入力され、n M O S トランジスタ n 3 5 のゲートはノード B ( 図 2 参照 ) に接続されることで反転クロック信号が入力される。

【 0 1 4 3 】

トリステートインバータ T 3 1 は、p M O S トランジスタ p 3 1 と p M O S トランジスタ p 3 2 とが直列接続されると共に互いにゲートが接続されることで、p M O S トランジスタが二重化された構成である。また、トリステートインバータ T 3 1 は、n M O S トランジスタ n 3 2 と n M O S トランジスタ n 3 3 とが直列接続されると共に互いにゲートが接続されることで、n M O S トランジスタが二重化された構成である。このように、トリステートインバータ T 3 1 は、p M O S トランジスタ及び n M O S トランジスタが多重化されたスタック構造である。

【 0 1 4 4 】

同様に、トリステートインバータ T 3 2 は、p M O S トランジスタ p 3 5 と p M O S トランジスタ p 3 6 とが直列接続されると共に互いにゲートが接続されることで、p M O S トランジスタが二重化された構成である。また、トリステートインバータ T 3 2 は、

10

20

30

40

50

nMOSトランジスタn36とnMOSトランジスタn37とが直列接続されると共に互いにゲートが接続されることで、nMOSトランジスタが二重化された構成である。このように、トリステートインバータT32は、pMOSトランジスタ及びnMOSトランジスタが多重化されたスタック構造である。

#### 【0145】

なお、トリステートインバータT31・T32において、スタック構造を構成するpMOSトランジスタ及びnMOSトランジスタは、それぞれ、2つに限定されるものではない。3つ以上のpMOSトランジスタによりスタック構造が構成され、また、3つ以上のnMOSトランジスタによりスタック構造が構成されることで、3重化以上の多重化がなされていてもよい。

10

#### 【0146】

このように、フリップフロップ回路3は、マスターラッチLA1a・LA2aにおいて、フィードバック用のインバータも、スタック構造のトリステートインバータT31・T32となっている。このため、フリップフロップ回路1と比べて、フリップフロップ回路3は、さらに、ソフトエラーに対する耐性を向上させることができる。

#### 【0147】

また、さらに、フリップフロップ回路3において、トリステートインバータT0、及びインバータIN0・IN1の何れか、又は複数、又は全てをスタック構造のインバータとしてもよい。これにより、さらに、ソフトエラーに対する耐性を向上させることができる。

20

#### 【0148】

(実験結果)

次に、図5～図9を用いて、SLCCFFと、スタック構造であるがSLCC構造を採用していないstacked FFと、スタック構造を採用していないFFとの特性等を比較する実験を行った結果について説明する。

#### 【0149】

シミュレーション結果

まず、図5及び図6を用いて、シミュレーション結果について説明する。図5は、滑降シンプレックス法によるSLCCFFと、stacked FFとのED積の評価結果を表す図である。

30

#### 【0150】

シミュレーション手法として滑降シンプレックス法を用いた。シミュレーションに用いたSLCCFFの構成は、図1に示したフリップフロップ回路1と同様の構成である。また、stacked FFは、図22に示したフリップフロップ回路250と同様の構成である。また、FFは、図21に示したフリップフロップ回路210のうち、スタック構造のインバータIS210・IS211を、スタック構造ではないインバータ(図19参照)に置き換えた構成と同様の構成である。

#### 【0151】

なお、SLCCFF、stacked FF、及びFFとも、図1、図22及び図21に示した構成に加え、図2に示したクロック信号及び反転クロック信号を生成する回路も備えている。

40

#### 【0152】

図5の横軸は遅延時間を表し、縦軸は消費エネルギーを表している。図5に示す図では、縦軸及び横軸とも、FFを1として正規化している。ED積とは、消費エネルギーと、遅延時間との積の値である。

#### 【0153】

図5に示す「vdd」は電源電圧であり、「data activity」は活性化率であり、「load」は出力部のノードに接続された負荷を表している。

#### 【0154】

今回の実験では、「vdd」を1.2V、「data activity」を10%、「load」とし

50

て 1 x F O 4 inv. を用いるものとした。

【 0 1 5 5 】

なお、data activityとは、入力信号が示す論理値が切り替わる確率のことである。data activityが 0 %とは、入力信号が示す論理値が切り替わらないことを表し、data activityが 1 0 0 %とは、毎クロックごとに入力信号が示す論理値が切り替わることを表している。

【 0 1 5 6 】

図 5 に示すように、stacked F F ( 図 5 において「 x 」で表している ) と比べて、S L C C F F ( 図 5 において「 \* 」で表している ) の方が、概ね消費電力が小さく、また、遅延時間が少なくなっていることが分かる。S L C C F F は、レイアウトを最適化していないため、同図中において特性がばらついているように見えるが、S L C C F F のレイアウトを最適化することで、図 5 の矢印 C に示すように、消費エネルギー及び遅延時間は小さくなっていく。

10

【 0 1 5 7 】

図 6 は、D F F ( D フリップフロップ )、stacked F F と、S L C C F F との特性を比較した表である。図 6 に示すように、stacked F F と比べて、S L C C F F の方が、遅延時間、消費電力、及び、E D 積とも値が小さくなっており、フリップフロップ回路としての特性が向上していることが分かる。E D 積は、stacked F F と比べて、S L C C F F の方は 8 6 % に削減されている。

【 0 1 5 8 】

また、S L C C F F の消費電力は、D F F と比べると 1 7 % 程度増加している。しかし、例えば、ソフトエラー対策のため、図 1 7 に示したフリップフロップ回路を三重化した回路を用いると 2 0 0 % 以上増加することになる。このため、フリップフロップ回路を三重化した回路ではなく、S L C C F F を用いた方が、ソフトエラー耐性を向上させ、かつ、消費電力の増加を抑制することができることが分かった。

20

【 0 1 5 9 】

以上のように、シミュレーション結果から、S L C C F F の遅延時間、消費エネルギーは、ラッチ部分のインバータのみスタック構造としたstacked F F ( 図 2 2 参照 ) よりも、遅延時間は約 1 6 %、消費エネルギーは約 1 1 % 小さくすることができることが分かった。

30

【 0 1 6 0 】

中性子照射試験の結果

次に、図 7 ~ 図 9 を用いて、実際に作成したテストチップに中性子を照射して特性の測定結果について説明する。

【 0 1 6 1 】

図 7 は、実験に使用したテストチップ 1 0 のレイアウトを表す図である。6 5 n m の厚さのシリコン基板から、S O T B ( Silicon ON Thin BOX ) プロセスを用いた作成した F D S O I 構造を有するテストチップ 1 0 を用意した。

【 0 1 6 2 】

S O T B プロセスを用いた作成したテストチップ 1 0 は、シリコン基板とトランジスタとの間に B O X 層、当該 B O X 層に積層された S O I 層を含む構成である。

40

【 0 1 6 3 】

テストチップ 1 0 には、S L C C F F を配置した S L C C F F 部 1 1 と、stacked F F を配置したstacked F F 1 2 と、D F F を配置した D F F 部 1 3 とを設けた。

【 0 1 6 4 】

テストチップの F F A R R A Y 部は 1 . 3 m m x 5 m m であり、計 3 9 0 , 8 1 6 個のフリップフロップ回路を搭載した。当該フリップフロップ回路の内訳は D F F が 1 0 5 , 9 8 4 b i t、stacked F F が 9 9 , 3 6 0 b i t、S L C C F F が 1 8 5 , 4 7 2 b i t であった。各フリップフロップ回路はアレイ状に配置し、全てのフリップフロップ回路をシフトレジスタとして接続した。

50

## 【0165】

中性子照射試験は大阪大学のRCNP (Research Center for Nuclear Physics)で行った。中性子線は、白色中性子ビームを用いた。

## 【0166】

中性子線によるソフトエラーは、中性子線がSi原子と核反応を起こすことによって発生した荷電粒子が電子正孔対を生成することにより発生するため、アルファ線に比べソフトエラーが発生しにくい。限られた実験時間内でより多くのソフトエラーを観測するため、複数ボードをスタックすることで測定を行った。

## 【0167】

1ボードに4チップが搭載されたDUT (Device Under Tests) ボードを6枚積層した。SLCCFFは、stacked FFのマスターラッチの接続を変更した構造になっているため、マスターラッチがラッチ状態となる(DATA, CLK) = (0, 1)、(1, 1)の条件下で測定を行った。なお、DATAは、フリップフロップ回路への入力信号である。

10

## 【0168】

(DATA, CLK) = (0, 1)ではnMOSトランジスタn6 (図2等参照)の位置のトランジスタ、(DATA, CLK) = (1, 1)ではnMOSトランジスタn4 (図2等参照)の位置のトランジスタで起こると考えられるエラーを観測した。なお、本実験では、nMOSトランジスタトランジスタの方がpMOSトランジスタトランジスタよりも放射線に脆弱であることを前提とした。

## 【0169】

図8は、(DATA, CLK) = (0, 1)の場合におけるテストチップ10の中性子起因SERsを表す図である。図9は、(DATA, CLK) = (1, 1)の場合におけるテストチップ10の中性子起因SERsを表す図である。

20

## 【0170】

図8及び図9に示すように、DFEに比べ、SOTBプロセスを用いた作成したテストチップのstacked FFと、SLCCFFのソフトエラー率は、はるかに低いことがわかる。特に(DATA, CLK) = (1, 1)におけるSLCCFFのSERはいずれの電源電圧においても非常に低く、3FIT/MBitであり、電源電圧 = 0.4Vでは、FFのソフトエラー率の約1/27であった。SLCCFFは、stacked FFと比較しても同等あるいは低いソフトエラー率を示した。

30

## 【0171】

しかし、(DATA, CLK) = (0, 1)では、stacked FFと、SLCCFFとの間に顕著な差はみられなかった。

## 【0172】

今回設計したSLCCFFは、インバータIS0・IS1 (図3等参照)のみスタック構造としたが、トリステートインバータT1・T2もスタック構造とすることで面積、遅延時間、消費電力のオーバーヘッドはあるものの、よりソフトエラー耐性を高めることができる。

## 【0173】

以上より、テストチップに中性子線を照射した試験の結果から、SOTBプロセスを用いた作成したテストチップ10においてSLCCFFは通常のDFEに比べ、ソフトエラー率が約1/27であり、ソフトエラーに対し強靱であることが分かった。

40

## 【0174】

## 〔実施形態2〕

本発明の実施形態2について、図10及び図11に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、実施形態1にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

## 【0175】

図10は、本発明の実施形態2に係るSLCC構造を有するNOR回路であるSLCC (Stacked Leveling Critical Charge) NOR回路4の構成を表す図である。SLCC

50

NOR回路4は入出力回路を構成している。

【0176】

図10に示すように、SLCC NOR回路4は、NOR回路NOと、トランスマッションゲートTG4とを備えている。NOR回路NOは、CMOSトランジスタが直列接続された直列部NO1と、CMOSトランジスタが並列接続された並列部NO2とを備えている。なお、図1等に示したフリップフロップ回路1と同様に、図10に示すSLCC NOR回路4においても、制御用のクロック信号と、当該クロック信号のハイ及びロウを反転させた反転クロック信号と生成するための回路(図2参照)の記載を省略している。

【0177】

直列部NO1と、並列部NO2とは、電源電圧V<sub>dd</sub>の供給用配線側からGNDである基準電圧V<sub>ss</sub>の供給用配線側へ向けて、直列に接続されている。

10

【0178】

直列部NO1は、4つのpチャネルのMOSトランジスタであるpMOSトランジスタp41~p44が、順に直列接続されている。

【0179】

具体的には、pMOSトランジスタp41は、ソースが電源電圧V<sub>dd</sub>の供給用配線と接続されており、ドレインがpMOSトランジスタp42のソースと接続されている。pMOSトランジスタp43は、ソースがpMOSトランジスタp42のドレインと接続されており、ドレインがpMOSトランジスタp44のソースと接続されている。pMOSトランジスタp44のドレインはノードN41を介して、並列部NO2と接続されている。

20

【0180】

pMOSトランジスタp42のドレインとpMOSトランジスタp43のソースとの接続部は、NOR回路NOの第1の信号の出力部であるノードN42となっている。pMOSトランジスタp44のドレインと並列部NO2との接続部は、NOR回路NOの第2の信号の出力部であるノードN41となっている。

【0181】

pMOSトランジスタp41のゲート及びpMOSトランジスタp43のゲートは接続配線により接続されている。pMOSトランジスタp42のゲート及びpMOSトランジスタp44のゲートは接続配線により接続されている。

30

【0182】

並列部NO2は、4つのnチャネルのMOSトランジスタであるnMOSトランジスタn41~n44を備えている。nMOSトランジスタn41とnMOSトランジスタn42とは直列接続されており、nMOSトランジスタn43とnMOSトランジスタn44とは直列接続されており、nMOSトランジスタn41及びnMOSトランジスタn42と、nMOSトランジスタn43及びnMOSトランジスタn44とは並列接続されている。

【0183】

具体的には、nMOSトランジスタn41のドレインと、nMOSトランジスタn43のドレインとが接続配線により接続されており、当該接続配線はノードN41と接続されている。

40

【0184】

nMOSトランジスタp41のソースと、nMOSトランジスタn42のドレインとは接続されている。nMOSトランジスタn43のソースとnMOSトランジスタn44のドレインとが接続されている。nMOSトランジスタn42のソースと、nMOSトランジスタn43のソースとが接続配線により接続されており、当該接続配線は基準電圧V<sub>ss</sub>の供給用配線と接続されている。

【0185】

nMOSトランジスタn41のゲート及びnMOSトランジスタn42のゲートは接続配線により接続されている。nMOSトランジスタn43のゲート及びnMOSトランジ

50

スタ n 4 4 のゲートは接続配線により接続されている。

【 0 1 8 6 】

また、n M O S トランジスタ n 4 1 のゲート及び n M O S トランジスタ n 4 2 のゲートの接続配線と、p M O S トランジスタ p 4 1 のゲート及び p M O S トランジスタ p 4 3 のゲートの接続配線とは接続配線により接続されており、当該接続配線に、第 1 の入力信号の入力部であるノード D 1 が設けられている。

【 0 1 8 7 】

p M O S トランジスタ p 4 3 のゲート及び p M O S トランジスタ p 4 4 のゲートの接続配線と、p M O S トランジスタ p 4 2 のゲート及び p M O S トランジスタ p 4 4 のゲートの接続配線とは接続配線により接続されており、当該接続配線に、第 2 の入力信号の入力部であるノード D 2 が設けられている。

10

【 0 1 8 8 】

直列部 N O 1 は、p M O S トランジスタ p 4 1 と p M O S トランジスタ p 4 3 とが、p M O S トランジスタ p 4 2 を介して直列接続されると共に互いにゲートが接続されることで、二重化された構成である。また、p M O S トランジスタ p 4 2 と p M O S トランジスタ p 4 4 とが、p M O S トランジスタ p 4 3 を介して直列接続されると共に互いにゲートが接続されることで、二重化された構成である。このように、直列部 N O 1 は、p M O S トランジスタが二重化された構成である。

【 0 1 8 9 】

並列部 N O 2 は、n M O S トランジスタ n 4 1 と n M O S トランジスタ n 4 2 とが直列接続されると共に互いにゲートが接続されることで、二重化された構成である。また、n M O S トランジスタ n 4 3 と n M O S トランジスタ n 4 4 とが直列接続されると共に互いにゲートが接続されることで、二重化された構成である。

20

【 0 1 9 0 】

このように、N O R 回路 N O は、p M O S トランジスタ及び n M O S トランジスタが多重化されたスタック構造である。

【 0 1 9 1 】

なお、N O R 回路 N O において、直列接続する p M O S トランジスタ及び直列接続する n M O S トランジスタは、それぞれ、2 つに限定されるものではない。3 つ以上の p チャネルの M O S トランジスタを直列接続すると共に互いにゲートを接続し、さらに、3 つ以上の n チャネルの M O S トランジスタを直列接続すると共に互いにゲートを接続することで、3 重化以上の多重化がなされていてもよい。

30

【 0 1 9 2 】

トランスマッションゲート T G 4 は、N O R 回路 N O からの出力及び非出力を切り替えるスイッチである。トランスマッションゲート T G 4 は、p M O S トランジスタ p 4 5 と、n M O S トランジスタ n 4 5 とを備えている。

【 0 1 9 3 】

p M O S トランジスタ p 4 5 のソースは、第 1 の入力線 T G I n 4 1 を介して、N O R 回路 N O の第 1 の信号の出力部であるノード N 4 2 と接続されている。

【 0 1 9 4 】

n M O S トランジスタ n 4 5 のソースは、第 2 の入力線 T G I n 4 2 を介して、N O R 回路 N O の第 2 の信号の出力部であるノード N 4 1 と接続されている。

40

【 0 1 9 5 】

p M O S トランジスタ p 4 5 のドレインと、n M O S トランジスタ n 4 5 のドレインとは、接続配線により接続されており、当該接続配線に、トランスマッションゲート T G 4 の出力部、すなわち、S L C C N O R 回路 4 の出力部であるノード Q 4 が設けられている。

【 0 1 9 6 】

p M O S トランジスタ p 4 5 のゲートはノード A ( 図 2 参照 ) に接続されることでクロック信号が入力され、n M O S トランジスタ n 4 5 のゲートはノード B ( 図 2 参照 ) に接

50



続されることで反転クロック信号が入力される。

【0197】

このように、S L C C NOR回路4は、NOR回路NOの異なる内部ノードN42・N43それぞれに対し、トランSMissionゲートTG4の異なる2本の第1の入力線TGIn41及び第2の入力線TGIn42それぞれを接続する構成を有するS L C C (Stacked Leveling Critical Charge)構造を有している。そして、S L C C NOR回路4はこのスタック構造を有するNOR回路NOを備えたS L C C NOR (Stacked Leveling Critical Charge NOR)回路である。

【0198】

図11は、本発明の実施形態2の比較例に係るスタック構造を有するNOR回路であるS NOR (Stacked NOR)回路104の構成を表す図である。

10

【0199】

S NOR104は、S L C C構造を有していないスタック構造のNOR回路である。S NOR104は、NOR回路NO140と、トランSMissionゲートTG104とを備えている。NOR回路NO140は、直列部NO141と、並列部NO2とを備えている。

【0200】

直列部NO141は、直列部NO1(図10参照)の構成のうち、pMOSトランジスタp42のドレインとpMOSトランジスタp43のソースとの接続部にノードN42を備えておらず、信号の出力部がノードN41だけである点で、直列部NO1と相違する。直列部NO141の他の構成は直列部NO1と同様である。

20

【0201】

トランSMissionゲートTG104は、pMOSトランジスタp45と、nMOSトランジスタn45とを備えている。

【0202】

pMOSトランジスタp45のソースと、nMOSトランジスタn45のソースとは、接続配線により接続されており、当該接続配線に、トランSMissionゲートTG104への入力部であるノードN43が設けられている。ノードN43と、ノードN41とが入力線TGIn104により接続されている。

【0203】

pMOSトランジスタp45のドレインと、nMOSトランジスタn45のドレインとは、接続配線により接続されており、当該接続配線に、トランSMissionゲートTG104の出力部、すなわち、S NOR104の出力部であるノードQ4が設けられている。

30

【0204】

pMOSトランジスタp45のゲートはノードA(図2参照)に接続されることでクロック信号が入力され、nMOSトランジスタn45のゲートはノードB(図2参照)に接続されることで反転クロック信号が入力される。

【0205】

以上のように、S L C C NOR回路4(入出力回路)は、pMOSトランジスタp42(第1導電型の第1のMOSトランジスタ)と、ソースが、pMOSトランジスタp42(第1のMOSトランジスタ)のドレインと、pMOSトランジスタp43を介して間接的に接続されていると共に、ゲートが、pMOSトランジスタp42(第1のMOSトランジスタ)のゲートと接続されたpMOSトランジスタp44(第1導電型の第2のMOSトランジスタ)と、ドレインが、pMOSトランジスタp44(第2のMOSトランジスタ)のドレインと直接接続されていると共に、ゲートが、pMOSトランジスタp44(第2のMOSトランジスタ)のゲートと接続されたnMOSトランジスタn44(第2導電型の第3のMOSトランジスタ)と、pMOSトランジスタp42(第1のMOSトランジスタ)のドレインとpMOSトランジスタp44(第2のMOSトランジスタ)のソースとの間の接続部であるノードN42(第1のノード)に接続された第1の入力線

40

50

TGI n 4 1 (第1の入力線)と、pMOSトランジスタ p 4 4 (第2のMOSトランジスタ)のドレインとnMOSトランジスタ n 4 4 (第2導電型の第3のMOSトランジスタ)のドレインとの間の接続部であるノードN 4 1 (第2のノード)に接続された第2の入力線TGI n 4 2 (第2の入力線)とを有するトランスミッションゲートTG 4とを備えている。

【0206】

これにより、SLCC構造を有していないSNOR回路104と比べて、ソフトウェアに対する耐性が高く、さらに、遅延時間や消費電力の増加を抑制したNOR回路を得ることができる。

【0207】

また、SLCC NOR回路4は、pMOSトランジスタ p 4 2 (第1のMOSトランジスタ)、pMOSトランジスタ p 4 4 (第2のMOSトランジスタ)及びnMOSトランジスタ n 4 4 (第2導電型の第3のMOSトランジスタ)によって論理素子が構成されている。

【0208】

具体的には、SLCC NOR回路4においては、pMOSトランジスタ p 4 2 (第1のMOSトランジスタ)のドレインと、pMOSトランジスタ p 4 4 (第2のMOSトランジスタ)のソースとは、pMOSトランジスタ p 4 3 (第1導電型のMOSトランジスタ)を介して間接的に接続されており、pMOSトランジスタ p 4 4 (第2のMOSトランジスタ)と、nMOSトランジスタ n 4 4 (第2導電型の第3のMOSトランジスタ)との間に配置され、ソースが、nMOSトランジスタ n 4 4 (第3のMOSトランジスタ)のドレインと直接接続されていると共に、ゲートが、nMOSトランジスタ n 4 4 (第3のMOSトランジスタ)のゲートと接続されたnMOSトランジスタ n 4 3 (第2導電型の第4のMOSトランジスタ)をさらに備えている。

【0209】

そして、pMOSトランジスタ p 4 4 (第2のMOSトランジスタ)のドレインとnMOSトランジスタ n 4 3 (第4のMOSトランジスタ)のドレインとは直接接続されており、ノードN 4 1 (第2のノード)は、pMOSトランジスタ p 4 4 (第2のMOSトランジスタ)のドレインとnMOSトランジスタ n 4 3 (第4のMOSトランジスタ)のドレインとの接続部であり、pMOSトランジスタ p 4 2 (第1のMOSトランジスタ)、pMOSトランジスタ p 4 4 (第2のMOSトランジスタ)、nMOSトランジスタ n 4 4 (第3のMOSトランジスタ)及びnMOSトランジスタ n 4 3 (第4のMOSトランジスタ)は、NOR回路NOを構成している。

【0210】

これにより、LCC構造を有していないSNOR回路104と比べて、ソフトウェアに対する耐性が高く、さらに、遅延時間や消費電力の増加を抑制したNOR回路を得ることができる。

【0211】

〔実施形態3〕

本発明の実施形態3について、図12及び図13に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、実施形態1、2にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

【0212】

図12は、本発明の実施形態3に係るSLCC構造を有するNAND回路であるSLCC (Stacked Leveling Critical Charge) NAND回路5の構成を表す図である。

【0213】

図12に示すように、SLCC NAND回路5は、NAND回路NAと、トランスミッションゲートTG5とを備えている。NAND回路NAは、CMOSトランジスタが並列接続された並列部NA1と、CMOSトランジスタが直列接続された直列部NA2とを備えている。なお、図1等に示したフリップフロップ回路1と同様に、図12に示すSL

10

20

30

40

50

CC NAND回路5においても、制御用のクロック信号と、当該クロック信号のハイ及びロウを反転させた反転クロック信号と生成するための回路（図2参照）の記載を省略している。

【0214】

並列部NA1と、直列部NA2とは、電源電圧V<sub>dd</sub>の供給用配線側からGNDである基準電圧V<sub>ss</sub>の供給用配線側へ向けて、直列に接続されている。

【0215】

並列部NA1は、4つのpMOSトランジスタp51～p54を備えている。pMOSトランジスタp51とpMOSトランジスタp52とは直列接続されており、pMOSトランジスタp53とpMOSトランジスタp54とは直列接続されており、pMOSトランジスタp51及びpMOSトランジスタp52と、pMOSトランジスタp53及びnMOSトランジスタp54とは並列接続されている。

10

【0216】

具体的には、pMOSトランジスタp51のソースと、pMOSトランジスタp53のソースとが接続配線により接続されており、当該接続配線は電源電圧V<sub>dd</sub>の供給用配線と接続されている。

【0217】

pMOSトランジスタp51のドレインと、pMOSトランジスタp52のソースとは接続されている。pMOSトランジスタp53のドレインとpMOSトランジスタp54のソースとが接続されている。pMOSトランジスタp52のドレインと、pMOSトランジスタp54のドレインとが接続配線により接続されており、当該接続配線にノードN51が設けられている。ノードN51は、NAND回路NAの第1の信号の出力部である。

20

【0218】

pMOSトランジスタp51のゲート及びpMOSトランジスタp52のゲートは接続配線により接続されている。pMOSトランジスタp53のゲート及びpMOSトランジスタp54のゲートは接続配線により接続されている。直列部NA2は、4つのnMOSトランジスタn51～n54が、順に直列接続されている。

【0219】

具体的には、nMOSトランジスタn51は、ドレインがノードN51と接続されており、ソースがnMOSトランジスタn52のドレインと接続されている。nMOSトランジスタn53は、ドレインがnMOSトランジスタn52のソースと接続されており、ソースがnMOSトランジスタn54のドレインと接続されている。nMOSトランジスタn54のソースは基準電圧V<sub>ss</sub>の供給用配線と接続されている。

30

【0220】

nMOSトランジスタn52のソースとnMOSトランジスタn53のドレインとの接続部は、NAND回路NAの第2の信号の出力部であるノードN52となっている。

【0221】

nMOSトランジスタn51のゲート及びnMOSトランジスタn53のゲートは接続配線により接続されている。nMOSトランジスタn52のゲート及びnMOSトランジスタn54のゲートは接続配線により接続されている。

40

【0222】

また、nMOSトランジスタn51のゲート及びnMOSトランジスタn53のゲートの接続配線と、pMOSトランジスタp53のゲート及びpMOSトランジスタp54のゲートの接続配線とは接続配線により接続されており、当該接続配線に、第1の入力信号の入力部であるノードD1が設けられている。

【0223】

nMOSトランジスタn52のゲート及びnMOSトランジスタn54のゲートの接続配線と、pMOSトランジスタp51のゲート及びpMOSトランジスタp52のゲートの接続配線とは接続配線により接続されており、当該接続配線に、第2の入力信号の入力

50

部であるノードD2が設けられている。

【0224】

並列部NA1は、pMOSトランジスタp51とpMOSトランジスタp52とが、直列接続されると共に互いにゲートが接続されることで、二重化された構成である。また、pMOSトランジスタp53とpMOSトランジスタp54とが、直列接続されると共に互いにゲートが接続されることで、二重化された構成である。このように、並列部NA1は、pチャンネルのMOSトランジスタが二重化された構成である。

【0225】

直列部NA2は、nMOSトランジスタn51とnMOSトランジスタn53とが、nMOSトランジスタn52を介して直列接続されると共に互いにゲートが接続されることで、二重化された構成である。また、nMOSトランジスタn52とnMOSトランジスタn54とが、nMOSトランジスタn53を介して直列接続されると共に互いにゲートが接続されることで、二重化された構成である。

10

【0226】

このように、NAND回路NAは、pチャンネルのMOSトランジスタ及びnチャンネルのMOSトランジスタが多重化されたスタック構造である。

【0227】

なお、NAND回路NAにおいて、直列接続するpチャンネルのMOSトランジスタ及び直列接続するnチャンネルのMOSトランジスタは、それぞれ、2つに限定されるものではない。3つ以上のpチャンネルのMOSトランジスタを直列接続すると共に互いにゲートを接続し、さらに、3つ以上のnチャンネルのMOSトランジスタを直列接続すると共に互いにゲートを接続することで、3重化以上の多重化がなされていてもよい。

20

【0228】

トランスマッションゲートTG5は、NAND回路NAからの出力及び非出力を切り替えるスイッチである。トランスマッションゲートTG5は、pMOSトランジスタp55と、nMOSトランジスタn55とを備えている。

【0229】

pMOSトランジスタp55のソースは、第1の入力線TGIn51を介して、NAND回路NAの第1の信号の出力部であるノードN51と接続されている。

【0230】

nMOSトランジスタn55のソースは、第2の入力線TGIn52を介して、NAND回路NAの第2の信号の出力部であるノードN52と接続されている。

30

【0231】

pMOSトランジスタp55のドレインと、nMOSトランジスタn55のドレインとは、接続配線により接続されており、当該接続配線に、トランスマッションゲートTG5の出力部、すなわち、SLCC NAND回路5の出力部であるノードQ5が設けられている。

【0232】

pMOSトランジスタp55のゲートはノードB(図2参照)に接続されることでクロック信号が入力され、nMOSトランジスタn55のゲートはノードA(図2参照)に接続されることで反転クロック信号が入力される。

40

【0233】

このように、SLCC NAND回路5は、NAND回路NAの異なる内部ノードN51・N52それぞれに対し、トランスマッションゲートTG5の異なる2本の第1の入力線TGIn51及び第2の入力線TGIn52それぞれを接続する構成を有するSLCC(Stacked Leveling Critical Charge)構造を有している。そして、SLCC NAND回路5はこのスタック構造を有するNAND回路NAを備えたSLCC NAND(Stacked Leveling Critical Charge NAND)回路である。

【0234】

図13は、本発明の実施形態3の比較例に係るスタック構造を有するNAND回路であ

50

る S NAND (Stacked NAND) 回路 105 の構成を表す図である。

【0235】

S NAND 回路 105 は、SLCC 構造を有していないスタック構造の NAND 回路である。S NAND 回路 105 は、NAND 回路 NA150 と、トランSMissionゲート TG105 とを備えている。NAND 回路 NA150 は、並列部 NA1 と、直列部 NA152 とを備えている。

【0236】

直列部 NA152 は、直列部 NA2 (図12参照) の構成のうち、nMOS トランジスタ n52 のソースと nMOS トランジスタ n53 のドレインとの接続部にノード N52 を備えておらず、信号の出力部がノード N51 だけである点で、直列部 NA2 と相違する。直列部 NA152 の他の構成は直列部 NA2 と同様である。

10

【0237】

トランSMissionゲート TG105 は、pMOS トランジスタ p55 と、nMOS トランジスタ n55 とを備えている。

【0238】

pMOS トランジスタ p55 のソースと、nMOS トランジスタ n55 のソースとは、接続配線により接続されており、当該接続配線に、トランSMissionゲート TG105 への入力部であるノード N53 が設けられている。ノード N53 と、ノード N51 とが入力線 TGIn105 により接続されている。

【0239】

pMOS トランジスタ p55 のドレインと、nMOS トランジスタ n55 のドレインとは、接続配線により接続されており、当該接続配線に、トランSMissionゲート TG105 の出力部、すなわち、S NAND 回路 105 の出力部であるノード Q5 が設けられている。

20

【0240】

pMOS トランジスタ p55 のゲートはノード B (図2参照) に接続されることで反転クロック信号が入力され、nMOS トランジスタ n55 のゲートはノード A (図2参照) に接続されることでクロック信号が入力される。

【0241】

以上のように、SLCC NAND 回路 5 (入出力回路) は、nMOS トランジスタ n53 (第1導電型の第1のMOS トランジスタ) と、ソースが、nMOS トランジスタ n53 (第1のMOS トランジスタ) のドレインと、nMOS トランジスタ n52 を介して間接的に接続されていると共に、ゲートが、nMOS トランジスタ n53 (第1のMOS トランジスタ) のゲートと接続された nMOS トランジスタ n51 (第1導電型の第2のMOS トランジスタ) と、ドレインが、nMOS トランジスタ n51 (第2のMOS トランジスタ) のドレインと直接接続されていると共に、ゲートが、nMOS トランジスタ n51 (第2のMOS トランジスタ) のゲートと接続された pMOS トランジスタ p54 (第2導電型の第3のMOS トランジスタ) と、nMOS トランジスタ n53 (第1のMOS トランジスタ) のドレインと nMOS トランジスタ n51 (第2のMOS トランジスタ) のソースとの間の接続部であるノード N52 (第1のノード) に接続された第2の入力線 TGIn52 (第1の入力線) と、nMOS トランジスタ n51 (第2のMOS トランジスタ) のドレインと pMOS トランジスタ p54 (第3のMOS トランジスタ) のドレインとの間であるノード N51 (第2のノード) に接続された第1の入力線 TGIn51 (第2の入力線) とを有するトランSMissionゲート TG とを備える。

30

40

【0242】

これにより、SLCC 構造を有していない S NAND 回路 105 と比べて、ソフトエラーに対する耐性が高く、さらに、遅延時間や消費電力の増加を抑制した NAND 回路を得ることができる。

【0243】

また、SLCC NAND 回路 5 は、nMOS トランジスタ n53 (第1のMOS トラ

50

ンジスタ)、nMOSトランジスタn51(第2のMOSトランジスタ)、及びpMOSトランジスタp54(第3のMOSトランジスタ)によって論理素子が構成されている。

【0244】

具体的には、SLCC NAND回路5は、nMOSトランジスタn53(第1のMOSトランジスタ)のドレインと、nMOSトランジスタn51(第2のMOSトランジスタ)のソースとは、nMOSトランジスタn52(第1導電型のMOSトランジスタ)を介して間接的に接続されており、nMOSトランジスタn51(第2のMOSトランジスタ)のドレインと、pMOSトランジスタp54(第3のMOSトランジスタ)のドレインとが直接接続されており、

ノードN51(第2のノード)は、nMOSトランジスタn51(第2のMOSトランジスタ)のドレインと、pMOSトランジスタp54(第3のMOSトランジスタ)のドレインとの接続部である。そして、nMOSトランジスタn53(第1のMOSトランジスタ)、nMOSトランジスタn51(第2のMOSトランジスタ)、及びpMOSトランジスタp54(第3のMOSトランジスタ)は、NAND回路NAを構成している。

【0245】

これにより、SLCC構造を有していないS NAND回路105と比べて、ソフトエラーに対する耐性が高く、さらに、遅延時間や消費電力の増加を抑制したNAND回路NAを得ることができる。

【0246】

〔まとめ〕

本発明の態様1に係る入出力回路(インバータISO・トランスミッションゲートTG)は、第1導電型の第1のMOSトランジスタ(pMOSトランジスタp3)と、上記第1のMOSトランジスタ(pMOSトランジスタp3)に対し、ソースドレインが直接又は間接的に接続されていると共にゲート同士が接続された第1導電型の第2のMOSトランジスタ(pMOSトランジスタp4)と、上記第2のMOSトランジスタ(pMOSトランジスタp4)に対し、ソースドレインが直接又は間接的に接続されていると共にゲート同士が接続された第2導電型の第3のMOSトランジスタ(nMOSトランジスタn4)と、上記第1及び第2のMOSトランジスタ(pMOSトランジスタp3・pMOSトランジスタp4)のソースドレインの接続部である第1のノード(ノードN6)に接続された第1の入力線(第1の入力線TGIn1)と、上記第2及び第3のMOSトランジスタ(pMOSトランジスタp4・nMOSトランジスタn4)のソースドレイン間である第2のノード(ノードN7)に接続された第2の入力線(第2の入力線TGIn2)とを有するトランスミッションゲートTGとを備える。

【0247】

上記構成によると、第1導電型の第2のMOSトランジスタは、上記第1のMOSトランジスタのソースドレインに対しソースドレインが直接又は間接的に接続されていると共に、ゲート同士が接続されている。このように、第1のMOSトランジスタと第2のMOSトランジスタとは、二重化された構造であるため、第1のMOSトランジスタと第2のMOSトランジスタとのうち何れか一方がソフトエラーにより論理値が反転したとしても、他方のトランジスタは正常な論理値を保持しているため、第1のMOSトランジスタと第2のMOSトランジスタとして、正常な論理値を示す信号をトランスミッションゲートへ出力することができる。このため、ソフトエラーに対する耐性を向上させることができる。

【0248】

ここで、図21に示したフリップフロップ回路210が備えているトランスミッションゲートTG210においては、入力部であるノードN216は、前段のインバータIS210の出力部であるノードN213と1本の配線によって接続されている。このため、トランスミッションゲートTG210は、ノードN216に入力されてきた信号が示す論理値が誤って反転していると、そのまま誤った論理値を示す信号を後段のスレイブラッチLA221へ出力してしまう。この点からも、フリップフロップ回路210はソフトエラー

10

20

30

40

50

に対する耐性が弱いといえる。

【0249】

一方、上記構成によるトランスマッションゲートは、入力線として、第1の入力線と、第2の入力線との2本の入力線を有している。このため、第1の入力線と、第2の入力線とのうち、何れか一方から入力されてくる信号が示す論理値が誤って反転していたとしても、他方の入力線から入力されてくる信号が示す論理値が正常な論理値を示しているとして、トランスマッションゲートは、正しい論理値を示す信号を出力線から出力できる可能性が高い。この点からも、上記入出力回路の構成は、ソフトエラーに対する耐性が高いといえる。

【0250】

加えて、電源電圧V<sub>dd</sub>から上記入出力回路へ供給された電荷は、2重化された第1及び第2のMOSトランジスタのうち、第1のMOSトランジスタの方だけを通り、第1の入力線を介してトランスマッションゲートへ入力される。このため、図21に示したフリップフロップ回路210のような、電源電圧V<sub>dd</sub>から供給された電荷が2つのpMOSトランジスタp223・p224を通過してからトランスマッションゲートTG210へ入力される場合と比べて、遅延時間が増加することを抑制することができる。さらに、消費電力も少なく済む。

【0251】

本発明の態様2に係る入出力回路（インバータISO・トランスマッションゲートTG）は、上記態様1において、上記第1～第3のMOSトランジスタ（pMOSトランジスタp3・p4、nMOSトランジスタn4）によって論理素子が構成されていることが好ましい。

【0252】

本発明の態様3に係る入出力回路（インバータISO・トランスマッションゲートTG）は、上記態様2において、上記第2及び第3のMOSトランジスタ（pMOSトランジスタp4、nMOSトランジスタn4）間に配置され、上記第3のMOSトランジスタ（nMOSトランジスタn4）に対し、ソースドレインが直接接続されていると共にゲート同士が接続された第2導電型の第4のMOSトランジスタ（nMOSトランジスタn3）をさらに備え、上記第2のノード（ノードN7）は、上記第3及び第4のMOSトランジスタ（nMOSトランジスタn4・n3）のソースドレインの接続部であり、上記第1及び第2のMOSトランジスタ（pMOSトランジスタp3・p4）のソースドレインは直接接続されており、上記第1～第4のMOSトランジスタ（pMOSトランジスタp3・p4、nMOSトランジスタn3・n4）によってインバータISOが構成されていることが好ましい。

【0253】

上記構成によると、第1のMOSトランジスタ（pMOSトランジスタp3）、第2のMOSトランジスタ（pMOSトランジスタp4）、第4のMOSトランジスタ（nMOSトランジスタn3）、及び第2導電型の第3のMOSトランジスタ（nMOSトランジスタn4）によって構成されているインバータISOのソフトエラーに対する耐性を向上させて、かつ、インバータISOに起因する遅延時間や消費電力の増加を抑制することができる。

【0254】

本発明の態様4に係るフリップフロップ回路1は、上記態様3において、上記インバータISOを含む第1のラッチ（マスターラッチLA1）と、上記トランスマッションゲートTGの出力線TG<sub>out</sub>と接続されている第2のラッチ（スレイブラッチLA2）とを含むことが好ましい。上記構成によると、ソフトエラーに対する耐性が高く、かつ、遅延時間や消費電力の増加が抑制されたフリップフロップ回路を得ることができる。

【0255】

本発明の態様5に係る入出力回路（SLCC NOR回路4）は、上記態様2において、上記第1及び第2のMOSトランジスタ（pMOSトランジスタp42・p44）のソ

10

20

30

40

50

ースドレインは、第1導電型のMOSトランジスタ(pMOSトランジスタp43)を介して間接的に接続されており、上記第2及び第3のMOSトランジスタ(pMOSトランジスタp44・nMOSトランジスタn44)間に配置され、上記第3のMOSトランジスタ(nMOSトランジスタn44)に対し、ソースドレインが直接接続されていると共にゲート同士が接続された第2導電型の第4のMOSトランジスタ(nMOSトランジスタn43)をさらに備え、上記第2及び第4のMOSトランジスタ(pMOSトランジスタp44・nMOSトランジスタn43)のソースドレインは直接接続されており、上記第2のノード(ノードN41)は、上記第2及び第4のMOSトランジスタ(pMOSトランジスタp44・nMOSトランジスタn43)のソースドレインの接続部であり、上記第1～第4のMOSトランジスタ(pMOSトランジスタp42・p44、nMOSトランジスタn44・n43)は、NOR回路NOを構成していることが好ましい。

#### 【0256】

上記構成により、ソフトエラーに対する耐性が高く、さらに、遅延時間や消費電力の増加を抑制したNOR回路を得ることができる。

#### 【0257】

本発明の態様6に係る入出力回路(SLCC NAND回路5)は、上記態様2において、上記第1及び第2のMOSトランジスタ(nMOSトランジスタn53・n51)のソースドレインは、第1導電型のMOSトランジスタ(nMOSトランジスタn52)を介して間接的に接続されており、上記第2及び第3のMOSトランジスタ(nMOSトランジスタn51・pMOSトランジスタp54)のソースドレインが直接接続されており、上記第2のノード(ノードN51)は、上記第2及び第3のMOSトランジスタ(nMOSトランジスタn51・pMOSトランジスタp54)のソースドレインの接続部であり、上記第1～第3のMOSトランジスタ(nMOSトランジスタn53・n51、pMOSトランジスタp54)は、NAND回路NAを構成していることが好ましい。

#### 【0258】

上記構成により、ソフトエラーに対する耐性が高く、さらに、遅延時間や消費電力の増加を抑制したNAND回路を得ることができる。

#### 【0259】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

#### 【符号の説明】

#### 【0260】

1、2、3 フリップフロップ回路

4 SLCC NOR回路

5 SLCC NAND回路

10 テストチップ

N1～N15、N21～N25、N41・N42、N51・N52 ノード

Q1、Q2、Q4、Q5 ノード

p1～p13、p21・p22 pMOSトランジスタ

p41～p45、p51～p55 pMOSトランジスタ

n1～n13、n21・n22 nMOSトランジスタ

n41～n45、n51～n55 nMOSトランジスタ

TG・TG4・TG5 トランスミッションゲート

IS0・IS1 インバータ

T0～T2 トライステートインバータ

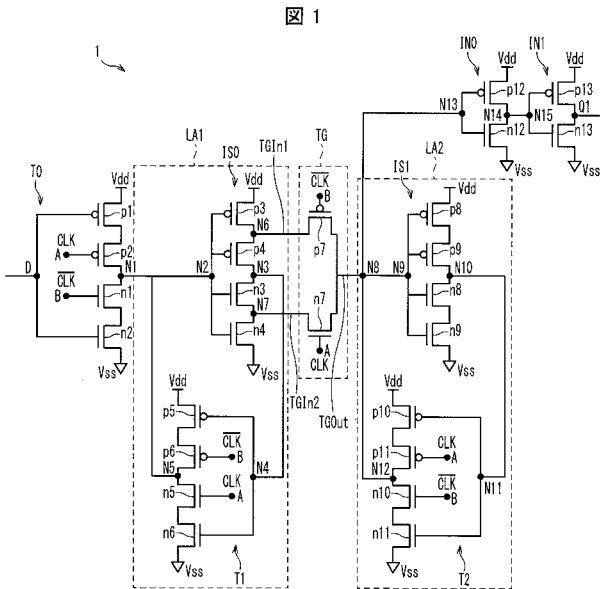
IN0・IN1 インバータ

LA1、LA1a マスターラッチ

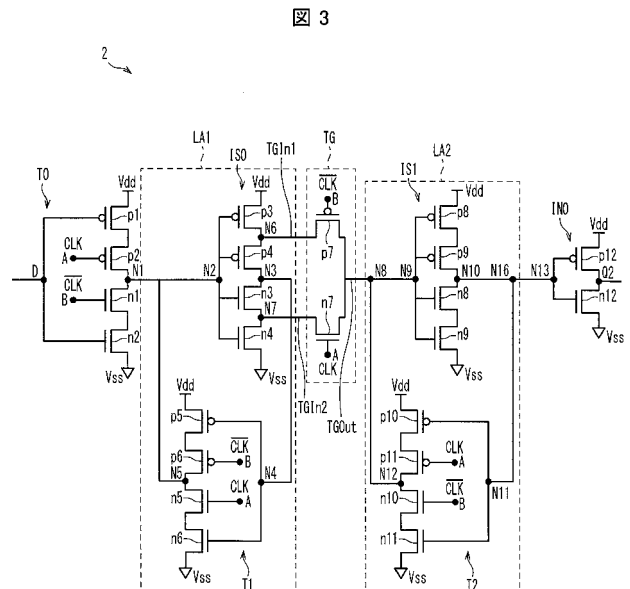


LA 2 スレイブラッチ  
 NA 1、NO 2 並列部  
 NA 2、NO 1 直列部  
 TGI n 1、TGI n 4 1、TGI n 5 1 第 1 の入力線  
 TGI n 2、TGI n 4 2、TGI n 5 2 第 2 の入力線  
 TGO ut 出力線  
 V d d 電源電圧  
 V s s 基準電圧

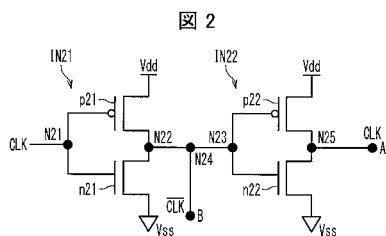
【 図 1 】



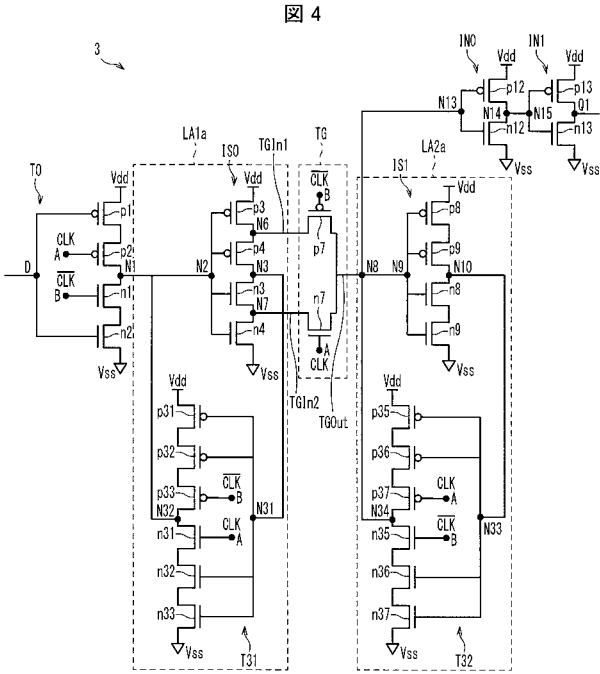
【 図 3 】



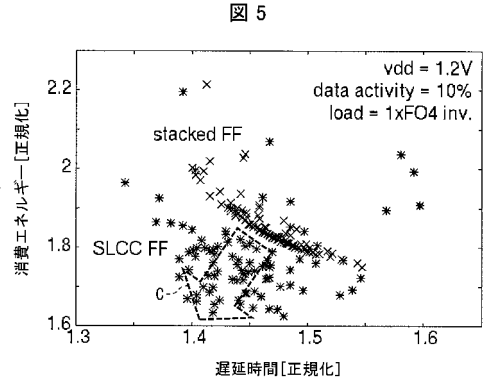
【 図 2 】



【 図 4 】



【 図 5 】

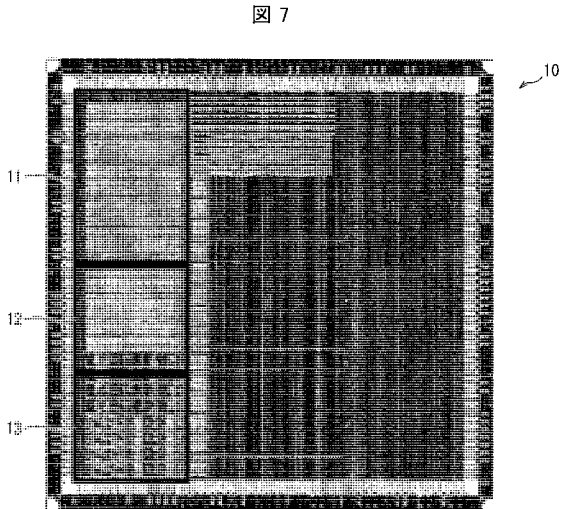


【 図 6 】

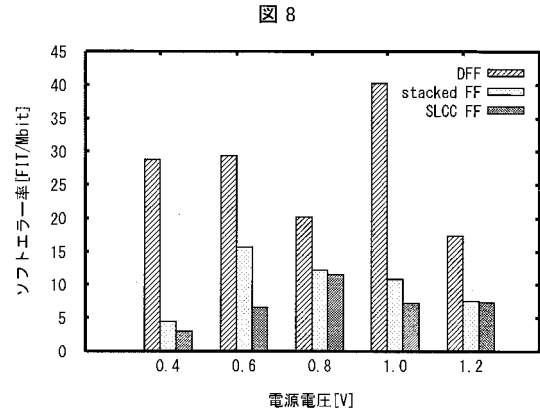
図 6

	Tr. 数	遅延	電力	ED積
DFF	24	1	1	1
stacked FF	32	1.47	1.25	2.69
SLCC FF	30	1.41	1.17	2.33

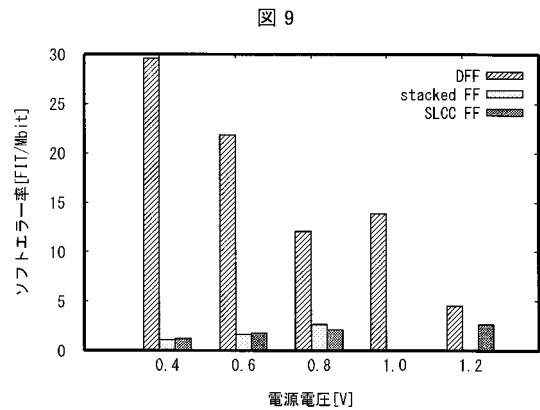
【 図 7 】



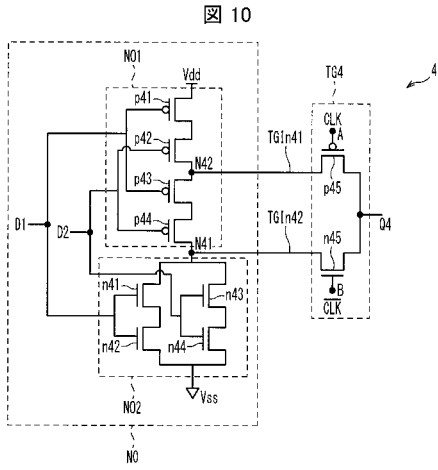
【 図 8 】



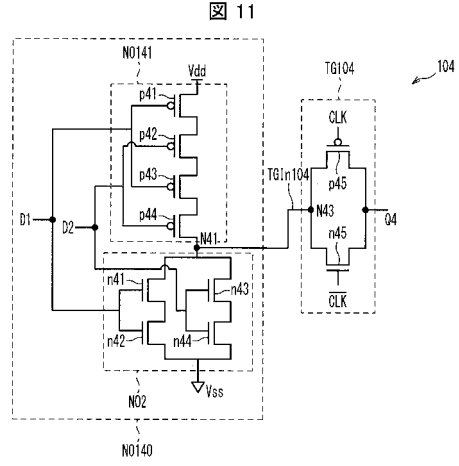
【 図 9 】



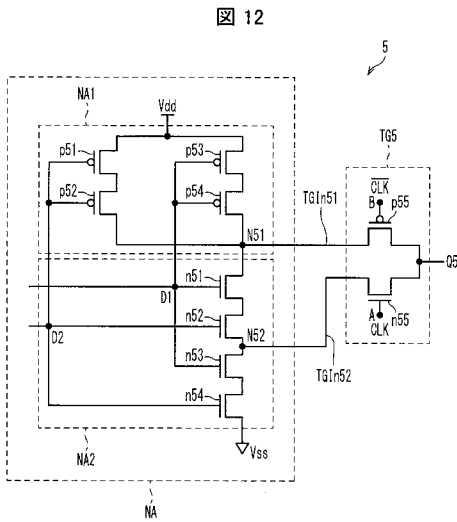
【図10】



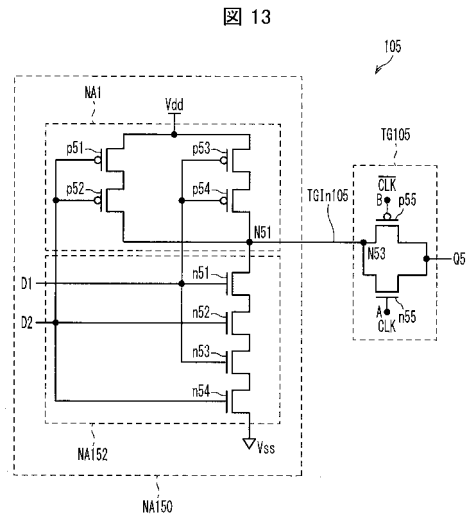
【図11】



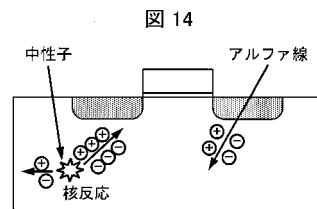
【図12】



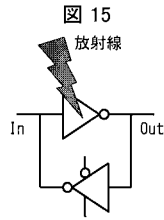
【図13】



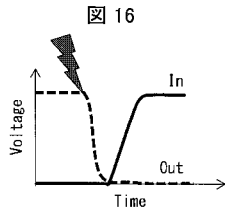
【図14】



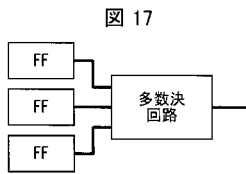
【 図 1 5 】



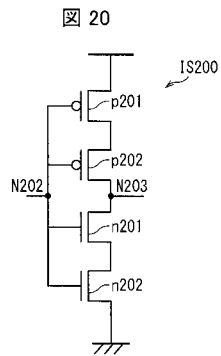
【 図 1 6 】



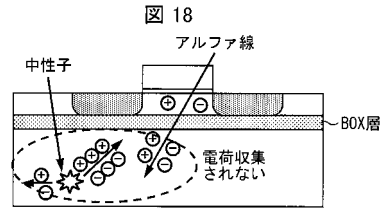
【 図 1 7 】



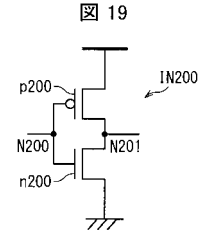
【 図 2 0 】



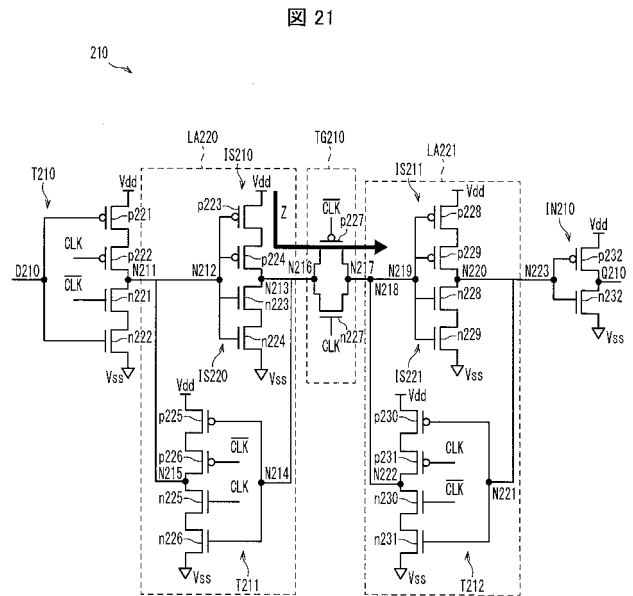
【 図 1 8 】



【 図 1 9 】

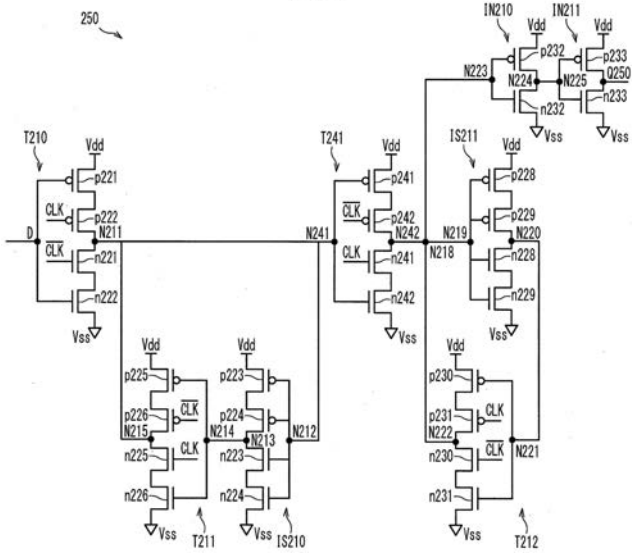


【 図 2 1 】



【 図 2 2 】

図 22



---

フロントページの続き

(72)発明者 山口 潤己

京都府京都市左京区松ヶ崎橋上町1番地 国立大学法人京都工芸繊維大学内

Fターム(参考) 5J034 AB06 CB01 DB03

5J043 AA04 AA06 BB04 CC04 DD02 DD07