

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6351097号
(P6351097)

(45) 発行日 平成30年7月4日(2018.7.4)

(24) 登録日 平成30年6月15日(2018.6.15)

| (51) Int. Cl. | | | F I | | |
|---------------|--------|-----------|--------|--------|---|
| HO 1 L | 27/146 | (2006.01) | HO 1 L | 27/146 | A |
| HO 1 L | 31/08 | (2006.01) | HO 1 L | 31/00 | A |
| HO 4 N | 5/32 | (2006.01) | HO 4 N | 5/32 | |
| HO 4 N | 5/369 | (2011.01) | HO 4 N | 5/369 | |

請求項の数 16 (全 35 頁)

| | | | |
|-----------|------------------------------|-----------|--|
| (21) 出願番号 | 特願2014-127700 (P2014-127700) | (73) 特許権者 | 304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836 |
| (22) 出願日 | 平成26年6月20日(2014.6.20) | (74) 代理人 | 100108914 弁理士 鈴木 壯兵衛 |
| (65) 公開番号 | 特開2016-9691 (P2016-9691A) | (72) 発明者 | 川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内 |
| (43) 公開日 | 平成28年1月18日(2016.1.18) | (72) 発明者 | 安富 啓太 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内 |
| 審査請求日 | 平成29年5月17日(2017.5.17) | (72) 発明者 | 亀濱 博紀 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学創造科学技術大学院内 |

最終頁に続く

(54) 【発明の名称】 電磁波検出素子及び固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

真性半導体又は真性半導体に近い高比抵抗の第1導電型の半導体からなる電離箱領域と、
前記電離箱領域の下部に設けられた第2導電型で高不純物密度の下部電極コンタクト層と、
前記電離箱領域の上部の一部に局在して設けられた第1導電型で高不純物密度の電荷読出領域と、
前記電離箱領域の上部において、前記電荷読出領域を囲むように設けられた、第1導電型で前記電荷読出領域よりも低不純物密度の電荷収集領域と、
前記下部電極コンタクト層とは異なる固定電位を維持するように設けられた電荷経路誘導領域であって、前記電荷収集領域の周辺の前記電離箱領域の上面を占有するように、前記電離箱領域の上部に、前記電荷収集領域に接して設けられた、第2導電型で前記下部電極コンタクト層よりも低不純物密度の前記電荷経路誘導領域と、
前記電荷経路誘導領域の上面に接して、前記電離箱領域上に設けられた絶縁膜と、
前記電荷経路誘導領域の上方に位置する前記絶縁膜上に設けられ、前記電荷読出領域に電氣的に接続された電気回路と
を備え、前記下部電極コンタクト層と前記電荷読出領域との間にpn接合の逆バイアスとなる極性の電界を印加して、前記電荷収集領域の前面に接する一部の領域に中性領域を残して、前記電離箱領域の全体を空乏化したことを特徴とする電磁波検出素子。

10

20

【請求項 2】

前記電離箱領域の上面から測って、前記電荷読出領域は、前記電荷収集領域よりも深く形成されていることを特徴とする請求項 1 に記載の電磁波検出素子。

【請求項 3】

前記電離箱領域の上面から測って、前記電荷経路誘導領域は、前記電荷読出領域よりも深く形成されていることを特徴とする請求項 2 に記載の電磁波検出素子。

【請求項 4】

前記電荷収集領域は、前記電荷読出領域の下面及び側面の全体を囲むように形成されていることを特徴とする請求項 1 に記載の電磁波検出素子。

【請求項 5】

前記絶縁膜の上に、前記電荷読出領域を囲み、且つ前記電荷収集領域と対向するように、ゲート電極が配置されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の電磁波検出素子。

【請求項 6】

真性半導体又は真性半導体に近い高比抵抗の第 1 導電型の半導体からなる電離箱領域と、
前記電離箱領域の下部に設けられた第 2 導電型で高不純物密度の下部電極コンタクト層と、

前記電離箱領域の上部の一部に局在して設けられた第 2 導電型の分配障壁形成領域と、
前記分配障壁形成領域の周辺に配置された、第 1 導電型で高不純物密度の第 1 及び第 2 の電荷読出領域と、

前記電離箱領域の上部において、前記第 1 及び第 2 の電荷読出領域を囲むように設けられた、第 1 導電型で前記電荷読出領域よりも低不純物密度の電荷収集領域と、

前記電荷収集領域の周辺の前記電離箱領域の上面を占有するように、前記電離箱領域の上部に、前記電荷収集領域に接して設けられた、第 2 導電型で前記下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、

前記電荷経路誘導領域の上面に接して、前記電離箱領域上に設けられた絶縁膜と、

平面パターン上、前記第 1 の電荷読出領域に近接した前記絶縁膜の上に配置され、前記絶縁膜を介して前記電荷収集領域と対向して配置された第 1 の転送ゲート電極と、

平面パターン上、前記第 2 の電荷読出領域に近接した前記絶縁膜の上に配置され、前記絶縁膜を介して前記電荷収集領域と対向して配置された第 2 の転送ゲート電極と、

前記電荷経路誘導領域の上方に位置する前記絶縁膜上に設けられ、前記電荷読出領域に電氣的に接続された電気回路と

を備え、前記下部電極コンタクト層と前記電荷読出領域との間に p n 接合の逆バイアスとなる極性の電界を印加して、前記電荷収集領域の前面に接する一部の領域に中性領域を残して、前記電離箱領域の全体を空乏化した状態において、前記第 1 及び第 2 の転送ゲート電極に印加する電圧により、前記第 1 及び第 2 の電荷読出領域に転送される電荷を振り分けることを特徴とする電磁波検出素子。

【請求項 7】

前記分配障壁形成領域の周辺に、前記第 1 及び第 2 の電荷読出領域とは離間して配置された第 1 導電型で高不純物密度の排出ドレイン領域と、

平面パターン上、前記排出ドレイン領域に近接した前記絶縁膜の上に配置され、前記絶縁膜を介して前記電荷収集領域と対向して配置された排出ゲート電極と、

を更に備え、前記第 1 の転送ゲート電極、前記第 2 の転送ゲート電極及び前記排出ゲート電極に印加する電圧により、前記第 1 の電荷読出領域、前記第 2 の電荷読出領域及び前記排出ドレイン領域に転送される電荷を振り分けることを特徴とする請求項 6 に記載の電磁波検出素子。

【請求項 8】

前記分配障壁形成領域の中央に、前記分配障壁形成領域よりも高不純物密度で第 2 導電型の分配障壁コンタクト領域を更に備えることを特徴とする請求項 6 又は 7 に記載の電磁

10

20

30

40

50

波検出素子。

【請求項 9】

真性半導体又は真性半導体に近い高比抵抗の第 1 導電型の半導体からなる電離箱領域と、

前記電離箱領域の下部に設けられた第 2 導電型で高不純物密度の下部電極コンタクト層と、

前記電離箱領域の上部の一部に設けられた第 1 導電型で前記電離箱領域よりも高不純物密度の電荷収集領域と、

前記電荷収集領域から少なくとも一部が離間し、且つ前記電荷収集領域を囲むように設けられた第 2 導電型の電荷経路誘導領域であって、前記下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、

前記電荷収集領域と前記電荷経路誘導領域とが離間した箇所において、前記電荷収集領域の端部側に前記電荷経路誘導領域に対向して設けられた、第 1 導電型で高不純物密度の電荷読出領域と、

前記電荷読出領域と前記電荷経路誘導領域とが対向した箇所に露出した前記電離箱領域上に設けられた絶縁膜と、

平面パターン上、前記電荷収集領域と前記電荷経路誘導領域とが離間した箇所の前記絶縁膜の上に配置された転送ゲート電極と、

前記電荷経路誘導領域の内部に設けられ、前記電荷読出領域に電氣的に接続された電気回路と

を備え、前記下部電極コンタクト層と前記電荷読出領域との間に p n 接合の逆バイアスとなる極性の電界を印加して、前記電荷収集領域の前面に接する一部の領域に中性領域を残して、前記電離箱領域の全体を空乏化した状態において、前記転送ゲート電極に印加する電圧により、前記電荷収集領域の上面から前記電荷読出領域に電荷を転送することを特徴とする電磁波検出素子。

【請求項 10】

前記電荷収集領域の上に、第 2 導電型で前記電荷経路誘導領域よりも高不純物密度の電荷ピニング層を更に備えることを特徴とする請求項 8 に記載の電磁波検出素子。

【請求項 11】

前記電荷収集領域の下から前記電荷経路誘導領域の下に延在する、第 1 導電型で前記電離箱領域よりも高不純物密度のスカート領域を更に備えることを特徴とする請求項 8 又は 9 に記載の電磁波検出素子。

【請求項 12】

前記電荷経路誘導領域の底部に接して前記電離箱領域の内部に埋め込まれた、第 2 導電型で前記下部電極コンタクト層よりも低不純物密度の誘導電界補助領域を更に備えることを特徴とする請求項 8 又は 9 に記載の電磁波検出素子。

【請求項 13】

前記電荷経路誘導領域の一部に埋め込まれた、第 2 導電型で前記電離箱領域よりも高不純物密度のウェル領域を更に備えることを特徴とする請求項 8、9 又は 11 に記載の電磁波検出素子。

【請求項 14】

真性半導体又は真性半導体に近い高比抵抗の第 1 導電型の半導体からなる電離箱領域と、

前記電離箱領域の下部に設けられた第 2 導電型で高不純物密度の下部電極コンタクト層と、

前記電離箱領域の上部の一部に局在して設けられた第 2 導電型の分配障壁形成領域と、

前記分配障壁形成領域の周辺に配置された、第 1 導電型で高不純物密度の第 1 及び第 2 の電荷読出領域と、

前記電離箱領域の上部において、前記第 1 及び第 2 の電荷読出領域を囲むように設けられた、第 1 導電型で前記電荷読出領域よりも低不純物密度の電荷収集領域と、

10

20

30

40

50

前記電荷収集領域の周辺の前記電離箱領域の上面を占有するように、前記電離箱領域の上部に、前記電荷収集領域に接して設けられた、第2導電型で前記下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、

前記電荷経路誘導領域の上面に接して、前記電離箱領域上に設けられた絶縁膜と、
平面パターン上、前記第1の電荷読出領域に近接した前記絶縁膜の上に配置され、前記絶縁膜を介して前記電荷収集領域と対向して配置された第1の転送ゲート電極と、

平面パターン上、前記第2の電荷読出領域に近接した前記絶縁膜の上に配置され、前記絶縁膜を介して前記電荷収集領域と対向して配置された第2の転送ゲート電極と、

前記電荷経路誘導領域の上方に位置する前記絶縁膜上に設けられ、前記電荷読出領域に電氣的に接続された電気回路と

10

を備える単位画素を、同一の半導体チップ上に複数個マトリクス状に配置し、
、前記下部電極コンタクト層と前記電荷読出領域との間にpn接合の逆バイアスとなる極性の電界を印加して、前記電荷収集領域の前面に接する一部の領域に中性領域を残して、前記電離箱領域の全体を空乏化した状態において、

マトリクス状に配置された前記単位画素のそれぞれにおいて、前記第1及び第2の転送ゲート電極に印加する電圧により、前記第1及び第2の電荷読出領域に転送される電荷を振り分けることを特徴とする固体撮像装置。

【請求項15】

真性半導体又は真性半導体に近い高比抵抗の第1導電型の半導体からなる電離箱領域と、

20

前記電離箱領域の下部に設けられた第2導電型で高不純物密度の下部電極コンタクト層と、

前記電離箱領域の上部の一部に設けられた第1導電型で前記電離箱領域よりも高不純物密度の電荷収集領域と、

前記電荷収集領域から少なくとも一部が離間し、且つ前記電荷収集領域を囲むように設けられた第2導電型の電荷経路誘導領域であって、前記下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、

前記電荷収集領域と前記電荷経路誘導領域とが離間した箇所において、前記電荷収集領域の端部側に前記電荷経路誘導領域に対向して設けられた、第1導電型で高不純物密度の電荷読出領域と、

30

前記電荷読出領域と前記電荷経路誘導領域とが対向した箇所に露出した前記電離箱領域上に設けられた絶縁膜と、

平面パターン上、前記電荷収集領域と前記電荷経路誘導領域とが離間した箇所の前記絶縁膜の上に配置された転送ゲート電極と、

前記電荷経路誘導領域の内部に設けられ、前記電荷読出領域に電氣的に接続された電気回路と

を備える単位画素を、同一の半導体チップ上に複数個マトリクス状に配置し、
前記下部電極コンタクト層と前記電荷読出領域との間にpn接合の逆バイアスとなる極性の電界を印加して、前記電荷収集領域の前面に接する一部の領域に中性領域を残して、前記電離箱領域の全体を空乏化した状態において、

40

マトリクス状に配置された前記単位画素のそれぞれにおいて、前記転送ゲート電極に印加する電圧により、前記電荷収集領域の上面から前記電荷読出領域に電荷を転送することを特徴とする固体撮像装置。

【請求項16】

前記複数個の単位画素をマトリクス状に配置したピクセルアレイ領域を囲むように、前記半導体チップ上に集積化された周辺回路・IO領域と、

前記周辺回路・IO領域を囲むように、前記半導体チップ上に集積化された高電圧印加領域と

を更に備え、前記高電圧印加領域は、前記半導体チップの最外周を囲むようにリング状に配置された第2導電型のウェルを備え、該リング状のウェルと前記下部電極コンタクト

50

層が電氣的に短絡されていることを特徴とする請求項 1 4 又は 1 5 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高エネルギー放射線や近赤外光等の電磁波を検出する電磁波検出素子、及びこの電磁波検出素子を 1 次元又は 2 次元に周期的に配列した固体撮像装置に関する。

【背景技術】

【0002】

高エネルギー放射線を半導体検出器で検出するためには、高エネルギー放射線（荷電粒子）の飛程よりも厚い空乏層を半導体中に形成することが必要である。例えば、原子半径の小さいシリコン（Si）を用いた場合では、10keVの軟X線の検出に300μm程度の厚みの空乏層が必要になる。このため、従来の放射線用半導体検出器は、厚い単結晶半導体基板を用い、半導体基板を全空乏化させた構造を採用している（特許文献1参照。）。半導体基板を全空乏化するためには、極低不純物密度の半導体基板を用い、半導体基板の裏面側を正電位として、半導体基板に高い逆バイアス電圧をかけて、半導体基板を「電離箱領域」として用いる。

【0003】

半導体基板の表面には、電離箱領域で電離した電荷を収集するp型の電荷検出領域が設けられている。半導体基板の表面には、更に電荷検出領域に電氣的に接続された信号検出回路や信号処理回路等の電気回路（電子回路）も集積化されている。半導体基板の表面に電気回路を集積化するためには、厚い単結晶半導体基板を支持基板とするSOI構造が好適である。即ち、半導体基板の表面に配置されたSOI酸化膜の上に設けられた薄い単結晶半導体層（SOI半導体層）を利用して、電気回路が集積化される。

【0004】

このような従来型の放射線用半導体検出器の構造では、電離箱領域となる厚い半導体基板の表面電位が変化すると、表面電位の変化によって、電気回路を構成しているMOSトランジスタのしきい値電圧が変調され、電気回路の特性に影響を与える。表面電位の変動を防ぐために、従来は半導体基板の上部にp型の埋め込み領域を形成して電位を固定化し、SOI半導体層のMOSトランジスタの特性を安定化させる方法が採用されている。

【0005】

しかし、p型の埋め込み領域に、高エネルギー放射線で発生した電荷である正孔（ホール）の一部が取り込まれて、信号のロスになるため、半導体検出器の量子効率の低下を招き、又エネルギー弁別精度にも影響を与える。量子効率の低下を軽減するために、埋め込み領域の面積を減らし、電荷検出領域の面積を大きくする方法が考えられるが、そのようにすると、電荷検出領域の寄生容量が増えるため、電荷 - 電圧変換利得が減り、感度が小さくなる。又、面積が減ればp型の埋め込み領域上のSOI半導体層のトランジスタの数が減る。電荷検出領域の上のSOI半導体層にトランジスタを置くことも可能であるが、電離箱領域の電位が固定されないため、電荷検出領域の上の電気回路の動作が不安定になる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭59-52884号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

上記の問題点を鑑み、本発明は、高い量子効率と感度を得られ、且つ電離箱領域の上方に配置される電気回路を安定に動作させることができる電磁波検出素子及びこの電磁波検

10

20

30

40

50

出素子を配列した固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の第1の態様は、(a)真性半導体又は真性半導体に近い高比抵抗の第1導電型の半導体からなる電離箱領域と、(b)電離箱領域の下部に設けられた第2導電型で高不純物密度の下部電極コンタクト層と、(c)電離箱領域の上部の一部に局在して設けられた第1導電型で高不純物密度の電荷読出領域と、(d)電離箱領域の上部において、電荷読出領域を囲むように設けられた、第1導電型で電荷読出領域よりも低不純物密度の電荷収集領域と、(e)電荷収集領域の周辺の電離箱領域の上面を占有するように、電離箱領域の上部に、電荷収集領域に接して設けられた、第2導電型で下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、(f)電荷経路誘導領域の上面に接して、電離箱領域上に設けられた絶縁膜と、(g)電荷経路誘導領域の上方に位置する絶縁膜上に設けられ、電荷読出領域に電氣的に接続された電気回路とを備える電磁波検出素子であることを要旨とする。第1の態様に係る電磁波検出素子においては、下部電極コンタクト層と電荷読出領域との間にpn接合の逆バイアスとなる極性の電界を印加して、電荷収集領域の前面に接する一部の領域に中性領域を残して、電離箱領域の全体を空乏化する。

10

【0009】

本発明の第2の態様は、(a)真性半導体又は真性半導体に近い高比抵抗の第1導電型の半導体からなる電離箱領域と、(b)電離箱領域の下部に設けられた第2導電型で高不純物密度の下部電極コンタクト層と、(c)電離箱領域の上部の一部に局在して設けられた第2導電型の分配障壁形成領域と、(d)分配障壁形成領域の周辺に配置された、第1導電型で高不純物密度の第1及び第2の電荷読出領域と、(e)電離箱領域の上部において、第1及び第2の電荷読出領域を囲むように設けられた、第1導電型で電荷読出領域よりも低不純物密度の電荷収集領域と、(f)電荷収集領域の周辺の電離箱領域の上面を占有するように、電離箱領域の上部に、電荷収集領域に接して設けられた、第2導電型で下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、(g)電荷経路誘導領域の上面に接して、電離箱領域上に設けられた絶縁膜と、(h)平面パターン上、第1の電荷読出領域に近接した絶縁膜の上に配置され、絶縁膜を介して電荷収集領域と対向して配置された第1の転送ゲート電極と、(i)平面パターン上、第2の電荷読出領域に近接した絶縁膜の上に配置され、絶縁膜を介して電荷収集領域と対向して配置された第2の転送ゲート電極と、(j)電荷経路誘導領域の上方に位置する絶縁膜上に設けられ、電荷読出領域に電氣的に接続された電気回路とを備える電磁波検出素子であることを要旨とする。第2の態様に係る電磁波検出素子においては、下部電極コンタクト層と電荷読出領域との間にpn接合の逆バイアスとなる極性の電界を印加して、電荷収集領域の前面に接する一部の領域に中性領域を残して、電離箱領域の全体を空乏化した状態において、第1及び第2の転送ゲート電極に印加する電圧により、第1及び第2の電荷読出領域に転送される電荷を振り分ける。

20

30

【0010】

本発明の第3の態様は、(a)真性半導体又は真性半導体に近い高比抵抗の第1導電型の半導体からなる電離箱領域と、(b)電離箱領域の下部に設けられた第2導電型で高不純物密度の下部電極コンタクト層と、(c)電離箱領域の上部の一部に設けられた第1導電型で電離箱領域よりも高不純物密度の電荷収集領域と、(d)電荷収集領域から少なくとも一部が離間し、且つ電荷収集領域を囲むように設けられた第2導電型の電荷経路誘導領域であって、下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、(e)電荷収集領域と電荷経路誘導領域とが離間した箇所において、電荷収集領域の端部側に電荷経路誘導領域に対向して設けられた、第1導電型で高不純物密度の電荷読出領域と、(f)電荷読出領域と電荷経路誘導領域とが対向した箇所に露出した電離箱領域上に設けられた絶縁膜と、(g)平面パターン上、電荷収集領域と電荷経路誘導領域とが離間した箇所の絶縁膜の上に配置された転送ゲート電極と、(h)電荷経路誘導領域の内部に設けられ、電荷読出領域に電氣的に接続された電気回路とを備える電磁波検出素子であることを要旨とする。第3

40

50

の態様に係る電磁波検出素子においては、下部電極コンタクト層と電荷読出領域との間に p n 接合の逆バイアスとなる極性の電界を印加して、電荷収集領域の前面に接する一部の領域に中性領域を残して、電離箱領域の全体を空乏化した状態において、転送ゲート電極に印加する電圧により、電荷収集領域の上面から電荷読出領域に電荷を転送する。

【 0 0 1 1 】

本発明の第 4 の態様は、(a) 真性半導体又は真性半導体に近い高比抵抗の第 1 導電型の半導体からなる電離箱領域と、(b) 電離箱領域の下部に設けられた第 2 導電型で高不純物密度の下部電極コンタクト層と、(c) 電離箱領域の上部の一部に局在して設けられた第 2 導電型の分配障壁形成領域と、(d) 分配障壁形成領域の周辺に配置された、第 1 導電型で高不純物密度の第 1 及び第 2 の電荷読出領域と、(e) 電離箱領域の上部において、第 1 及び第 2 の電荷読出領域を囲むように設けられた、第 1 導電型で電荷読出領域よりも低不純物密度の電荷収集領域と、(f) 電荷収集領域の周辺の電離箱領域の上面を占有するように、電離箱領域の上部に、電荷収集領域に接して設けられた、第 2 導電型で下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、(g) 電荷経路誘導領域の上面に接して、電離箱領域上に設けられた絶縁膜と、(h) 平面パターン上、第 1 の電荷読出領域に近接した絶縁膜の上に配置され、絶縁膜を介して電荷収集領域と対向して配置された第 1 の転送ゲート電極と、(i) 平面パターン上、第 2 の電荷読出領域に近接した絶縁膜の上に配置され、絶縁膜を介して電荷収集領域と対向して配置された第 2 の転送ゲート電極と、(j) 電荷経路誘導領域の上方に位置する絶縁膜上に設けられ、電荷読出領域に電氣的に接続された電気回路とを備える単位画素を、同一の半導体チップ上に複数個マトリクス状に配置した固体撮像装置であることを要旨とする。第 4 の態様に係る固体撮像装置においては、下部電極コンタクト層と電荷読出領域との間に p n 接合の逆バイアスとなる極性の電界を印加して、電荷収集領域の前面に接する一部の領域に中性領域を残して、電離箱領域の全体を空乏化した状態において、マトリクス状に配置された単位画素のそれぞれにおいて、第 1 及び第 2 の転送ゲート電極に印加する電圧により、第 1 及び第 2 の電荷読出領域に転送される電荷を振り分ける。

【 0 0 1 2 】

本発明の第 5 の態様は、(a) 真性半導体又は真性半導体に近い高比抵抗の第 1 導電型の半導体からなる電離箱領域と、(b) 電離箱領域の下部に設けられた第 2 導電型で高不純物密度の下部電極コンタクト層と、(c) 電離箱領域の上部の一部に設けられた第 1 導電型で電離箱領域よりも高不純物密度の電荷収集領域と、(d) 電荷収集領域から少なくとも一部が離間し、且つ電荷収集領域を囲むように設けられた第 2 導電型の電荷経路誘導領域であって、下部電極コンタクト層よりも低不純物密度の電荷経路誘導領域と、(e) 電荷収集領域と電荷経路誘導領域とが離間した箇所において、電荷収集領域の端部側に電荷経路誘導領域に対向して設けられた、第 1 導電型で高不純物密度の電荷読出領域と、(f) 電荷読出領域と電荷経路誘導領域とが対向した箇所に露出した電離箱領域上に設けられた絶縁膜と、(g) 平面パターン上、電荷収集領域と電荷経路誘導領域とが離間した箇所の絶縁膜の上に配置された転送ゲート電極と、(h) 電荷経路誘導領域の内部に設けられ、電荷読出領域に電氣的に接続された電気回路とを備える単位画素を、同一の半導体チップ上に複数個マトリクス状に配置した固体撮像装置であることを要旨とする。第 5 の態様に係る固体撮像装置においては、下部電極コンタクト層と電荷読出領域との間に p n 接合の逆バイアスとなる極性の電界を印加して、電荷収集領域の前面に接する一部の領域に中性領域を残して、電離箱領域の全体を空乏化した状態において、マトリクス状に配置された単位画素のそれぞれにおいて、転送ゲート電極に印加する電圧により、電荷収集領域の上面から電荷読出領域に電荷を転送する。

【 発明の効果 】

【 0 0 1 3 】

本発明によれば、高い量子効率と感度を得られ、且つ電離箱領域の上方に配置される電気回路を安定に動作させることができる電磁波検出素子及びこの電磁波検出素子を配列した固体撮像装置を提供することができる。

10

20

30

40

50

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施形態に係る電磁波検出素子の概略を説明する模式的な鳥瞰断面図である。

【図2】図2(a)は、第1の実施形態に係る電磁波検出素子にビルトイン電位のみが加わっている状態で、図1の軸A-A, 軸B-B, 軸C-C, 軸D-Dの各断面方向に沿った深さ方向の電位分布を示す図で、図2(b)は、電荷読出領域の電位を+3Vの値に設定した場合における、図1の軸A-A, 軸B-B, 軸C-C, 軸D-Dの各断面方向に沿った深さ方向の電位分布を示す図である。

【図3】第1の実施形態に係る電磁波検出素子の電離箱領域の表面から裏面方向に測って、200 μ mまでにおけるZ方向電位分布を示す図である。

10

【図4】図1の軸A-A, 軸B-B, 軸C-C, 軸D-Dの各断面方向に沿って、第1の実施形態に係る電磁波検出素子の電離箱領域の表面から裏面方向に30 μ mまで測った場合における空乏化電位のZ方向分布を示す図である。

【図5】第1の実施形態に係る電磁波検出素子のピクセルサイズを40 μ m角とし、電荷収集領域のスカート部の半幅(中央から端部まで測った長さ)Wを、W=12 μ m, 16 μ m, 20 μ m, 24 μ m, 28 μ mと変えた場合の水平方向(X方向)の電位分布を示す図である。

【図6】本発明の第2の実施形態に係る電磁波検出素子の概略を説明する模式的な上面図(平面図)である。

20

【図7】第2の実施形態に係る電磁波検出素子の概略を説明する模式的な鳥瞰断面図である。

【図8】第2の実施形態に係る電磁波検出素子のゲート電極の半幅W=20 μ mとした場合において、ゲート電極に加える電圧を、+3V, 0V, -3V, -5V及び-10Vと変化したときの、ゲート電極の下方に位置する電離箱領域の表面における水平方向電位分布を示す図である。

【図9】第2の実施形態に係る電磁波検出素子のゲート電極に印加するバイアス電圧を、一定値=-10Vに維持し、ゲート電極のサイズ(半幅)を変えたときの、ゲート電極の下方に位置する電離箱領域の表面における水平方向電位分布を示す図である。

【図10】第2の実施形態に係る電磁波検出素子の電離箱領域の表面から裏面方向に測って、200 μ mまでにおけるZ方向電位分布を示す図である。

30

【図11】図1に示した軸A-A, 軸B-B, 軸C-C, 軸D-Dと等価な図7の各断面方向に沿って、第2の実施形態に係る電磁波検出素子の電離箱領域の表面から裏面方向に30 μ mまで測った場合における空乏化電位のZ方向分布を示す図である。

【図12】第2の実施形態に係る電磁波検出素子のピクセルサイズを40 μ m角とし、ゲート電極の半幅(中央から端部まで測った長さ)Wを、W=12 μ m, 16 μ m, 20 μ m, 28 μ mと変えた場合の水平方向(X方向)の電位分布を示す図である。

【図13】本発明の第3の実施形態に係る電磁波検出素子の概略を説明する模式的な上面図(平面図)である。

【図14】図13のXIV-XIV方向に沿った第2の実施形態に係る電磁波検出素子の階段断面を示す模式的な鳥瞰図である。

40

【図15】図13のXIV-XIV方向に沿ってX方向を定義した場合において、第2の実施形態に係る電磁波検出素子のX方向断面に沿った電位分布を示す模式図である。

【図16】第2の実施形態に係る電磁波検出素子をロックインピクセルとして用いる場合、ロックインピクセルの構成に好適な、排出ゲート電極及び転送ゲート電極の種々の平面配置パターンを例示する模式的な平面図である。

【図17】第3の実施形態に係る電磁波検出素子を距離画像センサとして用いる場合の動作を説明するタイミング図である。

【図18】図13のXIV-XIV方向に沿った階段断面に対応する面からみた他の構造を説明する第3の実施形態の変形例(第1変形例)に係る電磁波検出素子の模式的な鳥瞰図であ

50

る。

【図19】図13のXIV-XIV方向に沿った階段断面に対応する面からみた更に他の構造を説明する第3の実施形態の第2変形例に係る電磁波検出素子の模式的な鳥瞰図である。

【図20】本発明の第4の実施形態に係る電磁波検出素子の概略を説明する模式的な鳥瞰断面図である。

【図21】本発明の第5の実施形態に係る電磁波検出素子の概略を説明する模式的な鳥瞰断面図である。

【図22】本発明の第5の実施形態の変形例に係る電磁波検出素子の概略を説明する模式的な鳥瞰断面図である。

【図23】図20に例示した第4の実施形態に係る電磁波検出素子を単位画素として、単位画素をマトリクス状に配列した第4の実施形態に係る固体撮像装置のチップ上の配置パターンを説明する模式的な上面図(平面図)である。

10

【図24】第4の実施形態に係る固体撮像装置の単位画素の概略構成を4トランジスタ型のCMOS画素として説明する場合において、4つのトランジスタの接続関係を示す等価回路図を中心に示す模式図である。

【図25】第4の実施形態に係る固体撮像装置のチップの全体の平面パターンを説明する模式的な上面図である。

【図26】第4の実施形態に係る電磁波検出素子を単位画素として、複数の単位画素をマトリクス状に配列した場合において、図25のXXIV-XXIV方向からみた断面に対応する面を手前側の面として表示した、第4の実施形態に係る固体撮像装置のチップ構造を説明する模式的な鳥瞰図である。

20

【図27】第4の実施形態に係る電磁波検出素子を単位画素として、複数の単位画素をマトリクス状に配列した場合において、図25のXXIV-XXIV方向からみた断面に対応する面を手前側の面として表示した、第4の実施形態の変形例(第1変形例)に係る固体撮像装置のチップ構造を説明する模式的な鳥瞰図である。

【図28】図25のXXIV-XXIV方向からみた断面に対応する面を手前側の面として表示した、第4の実施形態の第2変形例に係る固体撮像装置のチップ構造を説明する模式的な鳥瞰図である。

【図29】第5の実施形態に係る電磁波検出素子を単位画素として、複数の単位画素をマトリクス状に配列した場合において、図25のXXIV-XXIV方向からみた断面に対応する面を手前側の面として表示した、第5の実施形態に係る固体撮像装置のチップ構造を説明する模式的な鳥瞰図である。

30

【図30】その他の実施形態に係る固体撮像装置のチップ構造を説明する模式的な鳥瞰図である。

【発明を実施するための形態】

【0015】

以下に本発明の第1～第5の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

40

【0016】

以下の第1～第5の実施形態の説明では、第1導電型がn型、第2導電型がp型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型がp型、第2導電型がn型としても構わない。第1導電型がn型、第2導電型がp型の場合は、信号電荷としての電荷は電子となるが、第1導電型がp型、第2導電型がn型の場合は、信号電荷としての電荷は正孔(ホール)となることは、勿論である。又、以下の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を90度回転すれば「左右」と「上下」は交換

50

して読まれ、紙面を180度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。

【0017】

(第1の実施形態)

図1の鳥瞰断面図に示すように、本発明の第1の実施形態に係る電磁波検出素子は、真性半導体又は真性半導体に近い高比抵抗の第1導電型(n型)の半導体からなる電離箱領域12と、電離箱領域12の下部に設けられた第2導電型(p型)で高不純物密度の下部電極コンタクト層11と、電離箱領域12の上部の一部に局在して設けられた第1導電型で高不純物密度の電荷読出領域16と、電離箱領域12の上部において、電荷読出領域16の下面及び側面の全体を囲むように設けられた、第1導電型で電荷読出領域16よりも低不純物密度の電荷収集領域13と、電荷収集領域13の周辺の電離箱領域12の上面を占有するように、電離箱領域12の上部に、電荷収集領域13に接して設けられた、第2導電型で下部電極コンタクト層11よりも低不純物密度の電荷経路誘導領域14aと、電荷経路誘導領域14aの上面に接して、電離箱領域12上に設けられた絶縁膜21と、電荷経路誘導領域14aの上方に位置する絶縁膜21上に設けられ、電荷読出領域16に電氣的に接続された電気回路31aとを備える。「SOI絶縁膜」として機能する絶縁膜21を電離箱領域12の上に配置し、更にSOI絶縁膜上の薄い半導体層を「SOI半導体層」とすることにより、電離箱領域12を支持基板とするSOI構造が実現できる。電気回路31aはSOI半導体層中に集積化されている。

10

【0018】

電離箱領域12としては、比抵抗7~8kΩcm程度の半導体基板が使用可能であり、シリコン(Si)基板であれば、不純物密度 $6 \times 10^{11} \text{ cm}^{-3}$ 程度のn型基板を採用可能である。p型であれば、比抵抗20~30kΩcm程度のSi基板が入手可能である。又、軟X線等の放射線測定の目的であれば、Siよりも原子番号の大きなゲルマニウム(Ge)、テルル化カドミウム(CdTe)やテルル化亜鉛カドミウム(ZnCdTe)等を用いてもよい。この第1の実施形態に係る電磁波検出素子において、下部電極コンタクト層11と電荷読出領域16との間にpn接合の逆バイアスとなる極性の電界を印加して、電荷収集領域13の前面に接する一部の領域に中性領域を残して、電離箱領域12の全体が空乏化される。

20

【0019】

電離箱領域12の下側を裏面として、近赤外光の場合、電離箱領域12の裏面から光が入射する。電離箱領域12の裏面端には、高濃度で薄い下部電極コンタクト層11を形成する。電離箱領域12は、高比抵抗半導体基板(極低不純物密度半導体基板)であり、この下部電極コンタクト層11に高い負電圧を加えることにより、電離箱領域12の大部分の領域を空乏化させる。厚い半導体基板からなる電離箱領域12の表面には、別の電荷経路誘導領域(埋め込み領域)14aを形成し、この電荷経路誘導領域14aには、0V又は、小さい負の電圧を加える。電離箱領域12の上部の中央部には、電離箱領域12中で発生した電荷を検出する電荷読出領域16があり、電荷読出領域16に接触するように電荷読出領域16を囲う電荷収集領域13が形成されている。図1では、この電荷収集領域13は、電荷経路誘導領域14aの下まで広げている。電荷読出領域16に対し下部電極コンタクト層11に高い負電圧を加えて電離箱領域12を全空乏化させると表面の電荷経路誘導領域14aと下部電極コンタクト層11との間でパンチスルーが生じ、大きなホール電流が電荷経路誘導領域14aから流れる。そこで、第1の実施の形態に係る電磁波検出素子では、電荷収集領域13の前面近傍の電離箱領域12に中性領域が残る程度に、裏面から加える負バイアスを設定する。しかし、電離箱領域12の中性領域には電界がないため、電荷が拡散でしか移動できず、電荷検出の速度が遅くなり、又、拡散によって隣接画素に取り込まれる電荷が増える。又熱的に発生する電荷が常時存在することになり、その一部が信号検出の際に取り込まれると、ノイズが増加することになる。これは、見方を変えれば、電荷読出領域16及び電荷収集領域13の静電容量が増えると考えられることでもでき、電荷電圧変換利得が低下する。

30

40

50

【 0 0 2 0 】

図 1 の構造では、電離箱領域 1 2 の中性領域に残留する電荷を電荷収集領域 1 3 を介して電荷読出領域 1 6 に引き抜く動作により、この中性領域を空乏化する。まず、このような構造において、電荷読出領域 1 6 と電荷経路誘導領域 1 4 a との間にバイアスが加えられていない場合、即ちビルトイン電位のみが加わっている状態では、電離箱領域 1 2 の裏面から、表面までの電位分布は、図 2 (a) のようになる。軸 A - A , 軸 B - B , 軸 C - C , 軸 D - D の各断面における電位分布の一部に平坦な領域が生じ、ここが中性領域になる。特に、軸 A - A 方向の断面で測られた電荷読出領域 1 6 の直下には、多くの残留電荷が生じる。そこで、図 1 に示す構造において、電荷読出領域 1 6 の電位を電荷経路誘導領域 1 4 a に対して逆方向バイアスが加わるような電位に設定する。即ち、例えば、電荷読出領域 1 6 の電位を + 3 V 等の値に設定する。このときの電離箱領域 1 2 の裏面から、表面までの電位分布は、図 2 (b) のようになる。軸 A - A 方向の断面でも、電荷読出領域 1 6 以外の領域が空乏化し、中性領域であった領域の電位が上昇する。この電位の上昇によって、軸 B - B , 軸 C - C , 軸 D - D の各断面における中性領域にあった電荷も電荷読出領域 1 6 に流れ出し、電位が上昇して空乏化する。その結果、水平方向の電位勾配が発生する。この電位勾配は、図 1 が 1 つの画素であり、同じ構造が 2 次元的に繰り返されるとすると画素境界が最も低く、画素の中央にある電荷読出領域 1 6 が最も高い分布となるため、1 つの画素の空乏層内で発生する電荷は、その画素内の電荷読出領域 1 6 に集められる。即ち、電荷収集構造が実現できる。

10

【 0 0 2 1 】

図 3 - 5 は、図 1 の構造に対する電位分布のシミュレーション結果を示している。200 μm の厚さの電離箱領域 1 2 (比抵抗 7 k Ωcm , 不純物密度 $0.6 \times 10^{12}\text{cm}^{-3}$ 程度の半導体基板) に、裏面から - 120 V の逆方向バイアスを印加し、電離箱領域 1 2 を空乏化し、電荷経路誘導領域 1 4 a には - 2 V を印加、又電荷収集部 (電荷読出領域 1 6) は、+ 3 V に設定している。図 3 は、表面から裏面までの深さ 200 μm の Z 方向の全体、図 4 は、表面から 30 μm までの Z 方向の空乏化電位の分布を示している。このように、電荷経路誘導領域 1 4 a の直下となる軸 C - C 方向軸 D - D 方向では、電荷に対するバリエーションが形成され、電荷読出領域 1 6 下に電荷が集められる電位分布が形成される。図 5 は、ピクセルサイズを 40 μm 角とした場合の水平方向の電位分布を示している。電荷読出領域 1 6 と下部電極コンタクト層 1 1 との間の高電界によって表面付近に集められた電荷は、電位の一番高いところに達して、その後、水平方向に移動するが、図 5 に示すように、電荷読出領域 1 6 に集められるような電位分布が形成されている。図 5 では、電荷収集のために加えた電荷収集領域 1 3 のスカート部の中央からの幅 W を W = 12 μm , 16 μm , 20 μm , 24 μm , 28 μm と変化させたときの電位分布も示している。このように、電荷収集領域 1 3 のスカート部の幅を広くした方が、水平方向の電位の変化が大きく、大きな電界が形成できることが分かる。

20

30

【 0 0 2 2 】

第 1 の実施形態に係る電磁波検出素子によれば、図 1 に示すように、電荷読出領域 1 6 と、この電荷読出領域 1 6 の側面と底面のすべてを囲む電荷収集領域 1 3 とで電荷収集構造を形成しているため、大きな面積の画素でも、電荷を検出する電荷読出領域 1 6 の面積を微小にすることができ、高い量子効率と高い電荷電圧変換利得により、極めて高い感度の電磁波検出素子を実現することができる。即ち、大きな電離箱領域 1 2 の中に発生した電荷が、電離箱領域 1 2 中のどこの領域であっても、1 つの小さい電荷読出領域 1 6 に集めることができる。

40

【 0 0 2 3 】

第 1 の実施形態に係る電磁波検出素子によれば、SOI 構造を利用して、SOI 半導体層となる薄い半導体層の下の電離箱領域 1 2 の表面に電荷経路誘導領域 1 4 a を埋め込んで、電荷経路誘導領域 1 4 a の電位を固定しているため、電荷経路誘導領域 1 4 a の上方に配置された SOI 半導体層の MOS トランジスタからなる電気回路 3 1 a の動作を安定化できる。更に、電荷経路誘導領域 1 4 a が電離箱領域 1 2 に対して、収集した電荷に対

50

するポテンシャルバリアを形成するため、電荷のロスがない。

【 0 0 2 4 】

第 1 の実施形態に係る電磁波検出素子によれば、電荷経路誘導領域 1 4 a によってポテンシャルバリアを形成する際に、電離箱領域 1 2 がパンチスルーする問題あるいは、電離箱領域 1 2 に中性領域が残留する問題を、電荷読出領域 1 6 の電位を中性領域の電位よりも高くすることで電離箱領域 1 2 を完全空乏化させて解決し、電離箱領域 1 2 のどの深さの電荷も表面側の電荷読出領域 1 6 に集めることができる。

【 0 0 2 5 】

(第 2 の実施形態)

図 6 及び図 7 は、本発明の第 2 の実施形態に係る電磁波検出素子を示している。第 2 の実施形態に係る電磁波検出素子では、電離箱領域 1 2 中で発生した電荷を検出するための電荷読出領域 1 6 に接するように電荷収集領域 1 7 を形成するとともに、SOI 構造を構成する SOI 半導体層をゲート電極 3 2 として用いて、ゲート電極 3 2 に負電圧を印加し、電離箱領域 1 2 の表面 (界面) にホールを蓄積し、電離箱領域 1 2 の表面電位をピニングする。第 2 の実施形態に係る電磁波検出素子の構造によって暗電流を低減する。又、電荷収集領域 1 7 を空乏化することによりその電位は、電離箱領域 1 2 よりも高くなるので、中央の電荷読出領域 1 6 に電荷 (電子) を集める方向の電界が形成され、電荷収集構造が実現される。

10

【 0 0 2 6 】

図 8 は、第 2 の実施形態に係る電磁波検出素子のゲート電極 3 2 の半幅 $W = 20 \mu\text{m}$ の場合において、ゲート電極 3 2 に加える電圧を、 $+3 \text{V}$ 、 0V 、 -3V 、 -5V 及び -10V と変化したときの、ゲート電極 3 2 の下方に位置する電離箱領域 1 2 の表面における水平方向電位分布を示している。一方、図 9 は、第 2 の実施形態に係る電磁波検出素子のゲート電極 3 2 に印加するバイアス電圧を一定値 $= -10 \text{V}$ に維持し、ゲート電極 3 2 のサイズ (半幅) を変えたときの、ゲート電極 3 2 の下方に位置する電離箱領域 1 2 の表面における水平方向電位分布を示している。

20

【 0 0 2 7 】

ゲート電極 3 2 に -3V 及び -5V の負電圧を加えることにより、電離箱領域 1 2 の表面電位が変化し、ゲート電極 3 2 に -10V を加えたときには、ゲート電極 3 2 の下の電位が、電荷経路誘導領域 1 4 b とほぼ同電位になっている。これは、ゲート電極 3 2 に印加した負電圧によってホールが誘起され、ゲート電極 3 2 によるピニングが生じていることを示している。

30

【 0 0 2 8 】

図 9 は、ゲート電極 3 2 に -10V を加えた状態で、ゲート電極 3 2 の半幅 W (ゲート幅 $= 2W$) を $W = 12 \mu\text{m}$ 、 $16 \mu\text{m}$ 、 $20 \mu\text{m}$ 、 $24 \mu\text{m}$ 、 $28 \mu\text{m}$ と変えたときの、電離箱領域 1 2 を構成している半導体基板の表面の電位分布を示している。ゲート電極 3 2 の半幅 $W = 12 \mu\text{m}$ 、 $16 \mu\text{m}$ 、 $20 \mu\text{m}$ 、 $24 \mu\text{m}$ 、 $28 \mu\text{m}$ のいずれの場合についても、負電圧 -10V を加えたことによって電離箱領域 1 2 の表面電位が、電荷経路誘導領域 1 4 b の電位とほぼ同じになり、これによってホールが誘起され、ピニングが生じていることが分かる。

40

【 0 0 2 9 】

図 10、図 11 及び図 12 は、第 2 の実施形態に係る電磁波検出素子の構造に対する電位分布のシミュレーション結果を示している。 $200 \mu\text{m}$ の厚さの電離箱領域 1 2 (比抵抗 $7 \text{k} \Omega \cdot \text{cm}$ 、不純物密度 $0.6 \times 10^{12} \text{cm}^{-3}$ 程度の半導体基板) に、裏面から -120V の逆方向バイアス電圧を印加し、電離箱領域 1 2 を空乏化し、電荷経路誘導領域 1 4 a には -2V を印加、又電荷収集部 (電荷読出領域 1 6) は、 $+3 \text{V}$ に設定している。又ゲート電極 3 2 には、 -10V を加えている。

【 0 0 3 0 】

図 10 は、表面から裏面までの深さ方向の $0 \sim 200 \mu\text{m}$ の全体、図 11 は、表面から $30 \mu\text{m}$ までの深さ方向の空乏化電位の分布を示している。図 11 では、既に図 1 に示し

50

た軸 A - A , 軸 B - B , 軸 C - C , 軸 D - D と等価な断面方向が、図 7 に対して定義されている。図 1 1 に示すように、電荷経路誘導領域 1 4 a の直下となる軸 C - C 方向、軸 D - D 方向 (図 1 参照。) では、電荷に対するバリヤが形成され、電荷読出領域 1 6 下に電荷が集められる電位分布が形成される。図 1 2 は、ピクセルサイズを $40 \mu\text{m}$ 角とした場合の水平方向の電位分布を示している。電界によって表面付近に集められた電荷は、電位の一番高いところに達して、その後、水平方向に移動するが、図 1 2 に示すように、電荷読出領域 1 6 に集められるような電位分布が形成されている。図 1 2 では、ゲート電極 3 2 の幅 W を $W = 12 \mu\text{m}$, $16 \mu\text{m}$, $20 \mu\text{m}$, $28 \mu\text{m}$ と変えたときの電位分布も示している。このように、ゲート電極 3 2 の直下の領域で大きく電位が変化し、適度なゲート電極 3 2 の幅 $2W$ に設定することで、全体的に大きな電界が形成できることが分かる。

10

【 0 0 3 1 】

第 2 の実施形態に係る電磁波検出素子によれば、図 6 及び図 7 に示すように、電荷読出領域 1 6 と、この電荷読出領域 1 6 を囲むように配置された、電荷読出領域 1 6 よりも浅い電荷収集領域 1 7 とで電荷収集構造を形成しているため、大きな面積の画素でも、電荷を検出する電荷読出領域 1 6 の面積を微小にすることができ、高い量子効率と高い電荷電圧変換利得により、極めて高い感度の電磁波検出素子を実現することができる。即ち、第 1 の実施形態に係る電磁波検出素子と同様に、大きな電離箱領域 1 2 の中に発生した電荷が、電離箱領域 1 2 中のどこの領域であっても、1 つの小さい電荷読出領域 1 6 に集めることができる。

【 0 0 3 2 】

20

第 2 の実施形態に係る電磁波検出素子によれば、SOI 構造を利用して、SOI 半導体層となる薄い半導体層の下の電離箱領域 1 2 の表面に電荷経路誘導領域 1 4 b を埋め込んで、電荷経路誘導領域 1 4 b の電位を固定しているため、第 1 の実施形態に係る電磁波検出素子と同様に、電荷経路誘導領域 1 4 b の上方に配置された SOI 半導体層の MOS トランジスタからなる電気回路 3 1 a の動作を安定化できる。更に、第 1 の実施形態に係る電磁波検出素子と同様に、電荷経路誘導領域 1 4 b が電離箱領域 1 2 に対して、収集した電荷に対するポテンシャルバリヤを形成するため、電荷のロスがない。

【 0 0 3 3 】

第 2 の実施形態に係る電磁波検出素子によれば、電荷経路誘導領域 1 4 b によってポテンシャルバリヤを形成する際に、電離箱領域 1 2 がパンチスルーする問題あるいは、電離箱領域 1 2 に中性領域が残留する問題を、電荷読出領域 1 6 の電位を中性領域の電位よりも高くすることで電離箱領域 1 2 を完全空乏化させて解決し、電離箱領域 1 2 のどの深さの電荷も表面側の電荷読出領域 1 6 に集めることができる。

30

【 0 0 3 4 】

(第 3 の実施形態)

図 1 3 及び図 1 4 に示すように、本発明の第 3 の実施形態に係る電磁波検出素子は、真性半導体又は真性半導体に近い高比抵抗の第 1 導電型の半導体からなる電離箱領域 1 2 と、電離箱領域 1 2 の下部に設けられた第 2 導電型で高不純物密度の下部電極コンタクト層 1 1 と、電離箱領域 1 2 の上部の一部に局在して設けられた第 2 導電型の分配障壁形成領域 2 0 a と、分配障壁形成領域 2 0 a の周辺に配置された、第 1 導電型で高不純物密度の第 1 の電荷読出領域 1 8 b 1 及び 1 8 d 1 並びに第 2 の電荷読出領域 1 8 a 1 及び 1 8 c 1 と、電離箱領域 1 2 の上部において、第 1 の電荷読出領域 1 8 b 1 及び 1 8 d 1 並びに第 2 の電荷読出領域 1 8 a 1 及び 1 8 c 1 を囲むように設けられた、第 1 導電型で電荷読出領域よりも低不純物密度の電荷収集領域 1 7 と、電荷収集領域 1 7 の周辺の電離箱領域 1 2 の上面を占有するように、電離箱領域 1 2 の上部に、電荷収集領域 1 7 に接して設けられた、第 2 導電型で下部電極コンタクト層 1 1 よりも低不純物密度の電荷経路誘導領域 1 4 b と、電荷経路誘導領域 1 4 b の上面に接して、電離箱領域 1 2 上に設けられた絶縁膜 2 1 と、平面パターン上、第 1 の電荷読出領域に近接した絶縁膜 2 1 の上に配置され、絶縁膜 2 1 を介して電荷収集領域 1 7 と対向して配置された第 1 の転送ゲート電極 3 5 b 1 及び 3 5 d 1 と、平面パターン上、第 2 の電荷読出領域に近接した絶縁膜 2 1 の上に配

40

50

置され、絶縁膜 2 1 を介して電荷収集領域 1 7 と対向して配置された第 2 の転送ゲート電極 3 5 a 1 及び 3 5 c 1 と、電荷経路誘導領域 1 4 b の上方に位置する絶縁膜 2 1 上に設けられ、電荷読出領域に電氣的に接続された電気回路 3 1 b , 3 1 c , 3 1 d 及び 3 1 e とを備えてロックインピクセルを構成している。第 1 の転送ゲート電極 3 5 b 1 及び 3 5 d 1 並びに第 2 の転送ゲート電極 3 5 a 1 及び 3 5 c 1 は、それぞれ、絶縁膜 2 1 を介した S O I 構造を利用したゲート電極構造を構成している。図 1 3 及び図 1 4 に示すように、分配障壁形成領域 2 0 a の中央には、分配障壁形成領域 2 0 a よりも高不純物密度で第 2 導電型の分配障壁コンタクト領域 1 9 を更に備える。

【 0 0 3 5 】

第 3 の実施形態に係る電磁波検出素子は、下部電極コンタクト層 1 1 と電荷読出領域との間に p n 接合の逆バイアスとなる極性の電界を印加して、電荷収集領域 1 7 の前面に接する一部の領域に中性領域を残して、電離箱領域 1 2 の全体を空乏化した状態において、第 1 の転送ゲート電極 3 5 b 1 及び 3 5 d 1 並びに第 2 の転送ゲート電極 3 5 a 1 及び 3 5 c 1 に印加する電圧により、第 1 の電荷読出領域 1 8 b 1 及び 1 8 d 1 並びに第 2 の電荷読出領域 1 8 a 1 及び 1 8 c 1 に転送される電荷を振り分ける。

【 0 0 3 6 】

第 3 の実施形態に係る電磁波検出素子によれば、図 1 3 及び図 1 4 に示すように、第 1 の電荷読出領域 1 8 b 1 及び 1 8 d 1 並びに第 2 の電荷読出領域 1 8 a 1 及び 1 8 c 1 の合計 4 つの電荷読出領域が椀型の分配障壁形成領域 2 0 a を囲むように配置され、4 つの電荷読出領域 1 8 a 1 , 1 8 b 1 , 1 8 c 1 , 1 8 d 1 を介して分配障壁形成領域 2 0 a を囲むように、電荷読出領域 1 8 a 1 , 1 8 b 1 , 1 8 c 1 , 1 8 d 1 よりも浅い電荷収集領域 1 7 が配置され、電荷読出領域 1 8 a 1 , 1 8 b 1 , 1 8 c 1 , 1 8 d 1 と電荷収集領域 1 7 とで電荷収集構造を形成しているので、大きな面積の画素でも、電荷を検出する電荷読出領域 1 8 a 1 , 1 8 b 1 , 1 8 c 1 , 1 8 d 1 の面積を微小にすることができ、高い量子効率と高い電荷電圧変換利得により、極めて高い感度の電磁波検出素子をロックインピクセルとして実現することができる。即ち、第 1 及び第 2 の実施形態に係る電磁波検出素子と同様に、大きな電離箱領域 1 2 の中に発生した電荷が、電離箱領域 1 2 中のどこの領域であっても、第 1 の転送ゲート電極 3 5 b 1 及び 3 5 d 1 並びに第 2 の転送ゲート電極 3 5 a 1 及び 3 5 c 1 に印加する電圧により、4 つの電荷読出領域 1 8 a 1 , 1 8 b 1 , 1 8 c 1 , 1 8 d 1 に分配することができるロックインピクセルが実現できる。

【 0 0 3 7 】

第 3 の実施形態に係る電磁波検出素子によれば、S O I 構造を利用して、S O I 半導体層となる薄い半導体層の下の電離箱領域 1 2 の表面に電荷経路誘導領域 1 4 b を埋め込んで、電荷経路誘導領域 1 4 b の電位を固定しているため、第 1 及び第 2 の実施形態に係る電磁波検出素子と同様に、電荷経路誘導領域 1 4 b の上方に配置された S O I 半導体層の M O S トランジスタからなる電気回路 3 1 a の動作を安定化できる。更に、第 1 及び第 2 の実施形態に係る電磁波検出素子と同様に、電荷経路誘導領域 1 4 b が電離箱領域 1 2 に対して、収集した電荷に対するポテンシャルバリアを形成するため、電荷のロスがない。

【 0 0 3 8 】

第 3 の実施形態に係る電磁波検出素子によれば、電荷経路誘導領域 1 4 b によってポテンシャルバリアを形成する際に、電離箱領域 1 2 がパンチスルーする問題あるいは、電離箱領域 1 2 に中性領域が残留する問題を、電荷読出領域 1 8 a 1 , 1 8 b 1 , 1 8 c 1 , 1 8 d 1 の電位を中性領域の電位よりも高くすることで電離箱領域 1 2 を完全空乏化させて解決し、電離箱領域 1 2 のどの深さの電荷も表面側の電荷読出領域 1 8 a 1 , 1 8 b 1 , 1 8 c 1 , 1 8 d 1 に分配することができる。

【 0 0 3 9 】

図 1 3 の平面図から分かるように、第 1 の転送ゲート電極 3 5 b 1 及び 3 5 d 1 並びに第 2 の転送ゲート電極 3 5 a 1 及び 3 5 c 1 を囲むように、グローバルゲート電極 3 4 が、S O I 構造を利用したゲート電極として環状に設けられている。グローバルゲート電極 3 4 によって、第 2 の実施形態に係る電磁波検出素子と同様に、電荷を一旦収集すること

10

20

30

40

50

ができる。即ち、第3の実施形態に係る電磁波検出素子は、第2の実施形態に係る電磁波検出素子の構造を基本としながらロックインピクセルを構成している。

【0040】

環状に設けられたグローバルゲート電極34の内部において、第1の転送ゲート電極35b1及び35d1が対角方向のペアとして配列され、第2の転送ゲート電極35a1及び35c1とが他の対角方向のペアとして配列されている。グローバルゲート電極34によって一旦集められた電荷は、第1の転送ゲート電極35b1及び35d1並びに第2の転送ゲート電極35a1及び35c1にそれぞれ周期的に印加される電圧により、第1の電荷読出領域18b1及び18d1並びに第2の電荷読出領域18a1及び18c1に順次転送され、振り分けられる。

10

【0041】

図13の平面図に示すように、対角線方向に配列された第1の転送ゲート電極35b1及び35d1のペア及び第2の転送ゲート電極35a1及び35c1のペアの合計4つのゲート電極を用い、各画素を光源に同期させることにより、周期的な光信号の検出を行うロックインピクセルによる撮像デバイスを実現することができる。

図15には、図13のXIV-XIV方向に沿ったX方向の断面の電位分布が示されているが、深さ方向の電位分布については、最も電位の高い点での電位が示されている。一对の第1の転送ゲート電極35b1及び35d1に加える転送電圧を V_{G1} 、一对の第2の転送ゲート電極35a1及び35c1に加える転送電圧を V_{G2} として、相対的に高レベルの電圧(H)、低レベルの電圧(L)を与えることにより、一旦グローバルゲート電極34の下

20

【0042】

ロックインピクセルとしては、図16(a)に示すように、排出電圧 V_{GD} が印加される一对の排出ゲート電極36a及び36cを対角方向に配列した構造でもよい。図16(a)の平面パターン配置では、電離箱領域12の上部の一部に局在して設けられた第2導電型の分配障壁形成領域20aの周辺に、第1導電型で高不純物密度の第1の電荷読出領域18d2並びに第2の電荷読出領域18b2が配置され、第1の電荷読出領域18d2に近接した絶縁膜21の上に、絶縁膜21を介して電荷収集領域17と対向して第1の転送ゲート電極35d2が配置され、第2の電荷読出領域18b2に近接した絶縁膜21の上に、絶縁膜21を介して電荷収集領域17と対向して第2の転送ゲート電極35b2が配置されている。更に、図16(a)に示すように、分配障壁形成領域20aの周辺に、第1の電荷読出領域18d2並びに第2の電荷読出領域18b2とは離間して、第1導電型で高不純物密度の排出ドレイン領域18a及び18cが対角線上に配置されている。そして図16(a)の平面パターン上、排出ドレイン領域18a及び18cに近接して、絶縁膜21の上に、絶縁膜21を介して電荷収集領域17と対向して排出ゲート電極36a及び36cとが配置されている。第1の転送ゲート電極35d2、第2の転送ゲート電極35b2及び排出ゲート電極36a及び36cに印加する電圧により、第1の電荷読出領域、第2の電荷読出領域及び排出ドレイン領域18a及び18cに転送される電荷が振り分けられる。図16(a)の平面図では、分配障壁形成領域20の中央には、分配障壁形成領域20aよりも高不純物密度で第2導電型の分配障壁コンタクト領域19が配置されている。

30

40

【0043】

他のロックインピクセルとしては、図16(b)に示すように、排出電圧 V_{GD} が印加される排出ゲート電極36cを含み、第1転送電圧 V_{G1} を印加する第1の転送ゲート電極37d、第2転送電圧 V_{G2} を印加する第2の転送ゲート電極37a及び第3転送電圧 V_{G3} を

50

印加する第3の転送ゲート電極37bを設けたトポロジを採用することもできる。第1の転送ゲート電極37d、第2の転送ゲート電極37a及び第3の転送ゲート電極37bと1つの排出ゲート電極36cをもつことにより、背景光の影響を除去しながら、光の飛行時間により距離を計測するセンサが実現される。

【0044】

更に他のロックインピクセルとしては、図16(c)に示すように、排出電圧 V_{GD} が印加される2つの排出ゲート電極36d及び36eを含み、第1転送電圧 V_{G1} を印加する第1の転送ゲート電極38a、第2転送電圧 V_{G2} を印加する第2の転送ゲート電極38b、第3転送電圧 V_{G3} を印加する第3の転送ゲート電極38c、第1転送電圧 V_{G1} を印加する第4の転送ゲート電極38d、第2転送電圧 V_{G2} を印加する第5の転送ゲート電極38e及び第3転送電圧 V_{G3} を印加する第6の転送ゲート電極38f、を設けたトポロジを採用することもできる。第1の転送ゲート電極38a～第6の転送ゲート電極38fの6個の転送ゲート電極と2つの排出ゲート電極36d及び36eをもつことにより、背景光の影響を除去しながら、光の飛行時間により距離を計測するセンサが実現される。

10

【0045】

更に他のロックインピクセルとしては、図16(d)に示すように、排出電圧 V_{GD} が印加される3つの排出ゲート電極36f、36g及び36hを含み、第1転送電圧 V_{G1} を印加する第1の転送ゲート電極39a、第2転送電圧 V_{G2} を印加する第2の転送ゲート電極39b、第3転送電圧 V_{G3} を印加する第3の転送ゲート電極39c、第1転送電圧 V_{G1} を印加する第4の転送ゲート電極39d、第2転送電圧 V_{G2} を印加する第5の転送ゲート電極39e、第3転送電圧 V_{G3} を印加する第6の転送ゲート電極39f、第1転送電圧 V_{G1} を印加する第7の転送ゲート電極39g、第2転送電圧 V_{G2} を印加する第8の転送ゲート電極39h及び第3転送電圧 V_{G3} を印加する第9の転送ゲート電極39iを設けたトポロジを採用することもできる。第1の転送ゲート電極39a～第9の転送ゲート電極39iの9個の転送ゲート電極と3つの排出ゲート電極36f、36g及び36hをもつことにより、背景光の影響を除去しながら、光の飛行時間により距離を計測するセンサが実現される。

20

【0046】

例として、図16(b)に示した排出電圧 V_{GD} が印加される排出ゲート電極36cを含み、第1転送電圧 V_{G1} を印加する第1の転送ゲート電極37d、第2転送電圧 V_{G2} を印加する第2の転送ゲート電極37a及び第3転送電圧 V_{G3} を印加する第3の転送ゲート電極37bの合計4つのゲート電極をもつTOFセンサの場合の距離計測の動作を説明する。

30

図17は、第3の実施形態に係る距離画像センサの動作を説明するタイミング図である。比較的パルス幅の狭いパルス光を出力光(探索光)に用いて動作させる。図17に示すように、出力光(探索光)が反射して戻ってきた到来光(受信光)のパルスを受けて、到来光(受信光)が発生させた電荷を蓄積する期間に対して、図17に示すようなタイミングを選んで、周期的に、第1の転送ゲート電極37d、第2の転送ゲート電極37a、第3の転送ゲート電極37b及び排出ゲート電極36cに、第1転送電圧 V_{G1} 、第2転送電圧 V_{G2} 、第3転送電圧 V_{G3} 及び排出電圧 V_{GD} を、それぞれ与えて動作させる。

40

【0047】

(a)第1転送電圧 V_{G1} :高レベル、第2転送電圧 V_{G2} :低レベル、第3転送電圧 V_{G3} :低レベル及び排出電圧 V_{GD} :低レベルの期間では、発生した光電荷は、第1の電荷読出領域(FD1端子)18dに転送される。

(b)第2転送電圧 V_{G2} :高レベル、第1転送電圧 V_{G1} :低レベル、第3転送電圧 V_{G3} :低レベル及び排出電圧 V_{GD} :低レベルの期間では、発生した光電荷は、第2の電荷読出領域(FD2端子)18aに転送される。

【0048】

(c)第3転送電圧 V_{G3} :高レベル、第1転送電圧 V_{G1} :低レベル、第2転送電圧 V_{G2} :低レベル、及び排出電圧 V_{GD} :低レベルの期間では、発生した光電荷は、第3電荷読出領域(FD3端子)18bに転送される。

50

(d) 排出電圧 V_{GD} : 高レベル、第 1 転送電圧 V_{G1} : 低レベル、第 2 転送電圧 V_{G2} : 低レベル、及び第 3 転送電圧 V_{G3} : 低レベルの期間では、発生した光電荷は、排出ドレイン領域 (ドレイン端子 D) 18c に排出される。

【0049】

このとき、到来光 (受信光) のパルスが図 17 に示したような第 2 転送電圧 V_{G2} が高レベルの後半の期間となり且つ、第 1 転送電圧 V_{G1} 、第 3 転送電圧 V_{G3} 、排出電圧 V_{GD} がそれぞれ低レベルの期間から、第 3 転送電圧 V_{G3} が高レベルの前半の期間で第 1 転送電圧 V_{G1} 、第 2 転送電圧 V_{G2} 及び排出電圧 V_{GD} がそれぞれ低レベルの期間となるタイミングで到来するように設定しておくこと、到来光 (受信光) による光電荷は、第 2 の電荷読出領域 (FD2 端子) 18a と、第 3 電荷読出領域 (FD3 端子) 18b に転送される。

10

【0050】

第 2 の電荷読出領域 (FD2 端子) 18a 及び第 3 電荷読出領域 (FD3 端子) 18b にそれぞれ蓄積される電荷を Q_2 及び Q_3 とすると：

$$Q_2 = I_{ph} (T_0 - T_d) + I_a T_0 \quad \dots \dots \quad (1)$$

$$Q_3 = I_{ph} T_d + I_a T_0 \quad \dots \dots \quad (2)$$

で表される。ここで、 I_{ph} は到来光 (受信光) を信号として電離箱領域 12 中で発生した電荷による光電流、 I_a は背景光により電離箱領域 12 中で発生した光電流、 T_0 は出力光 (探索光) 及び到来光 (受信光) のパルス幅、 T_d は光の飛行時間による光パルスの遅れ時間である。

【0051】

20

一方、図 17 に示したように、第 1 転送電圧 V_{G1} が高レベル、第 2 転送電圧 V_{G2} 、第 3 転送電圧 V_{G3} 及び排出電圧 V_{GD} がそれぞれ低レベルの期間には、到来光 (受信光) のパルスが到来していないので、第 1 の電荷読出領域 (FD1 端子) 18d には背景光のみにより電離箱領域 12 中で発生した電荷が蓄積される。このとき、第 1 の電荷読出領域 (FD1 端子) 18d に蓄積される電荷を Q_1 とすると：

$$Q_1 = I_a T_0 \quad \dots \dots \quad (3)$$

この電荷 Q_1 を使って、電荷 Q_2 及び電荷 Q_3 に含まれる背景光の影響をキャンセルしながら、光の飛行時間を推定することができる。即ち、式 (1)、(2)、(3) より光の飛行時間は次式で表される：

$$T_d = T_0 (Q_3 - Q_1) / (Q_2 + Q_3 - 2Q_1) \quad \dots \dots \quad (4)$$

30

なお、図 17 に示したように、排出電圧 V_{GD} が高レベル、第 1 転送電圧 V_{G1} 、第 2 転送電圧 V_{G2} 及び第 3 転送電圧 V_{G3} がそれぞれ低レベルの期間でも、背景光により電離箱領域 12 中で光電荷が発生する。しかし、この期間に電離箱領域 12 中で発生した光電荷は、排出ドレイン領域 (ドレイン端子 D) 18c に排出される。

【0052】

図 17 に示したような短いパルス幅の出力光 (探索光) を用いて、到来光のエネルギーを第 2 転送電圧 V_{G2} が高レベル及び第 3 転送電圧 V_{G3} が高レベルの期間に集中させることで、背景光に対する影響を軽減する。更に、上のキャンセル処理で、背景光の成分をキャンセルする。これにより、背景光に対する耐性の高い光飛行時間計測を行うことができる。

40

【0053】

図 18 に示す第 3 の実施の形態の変形例 (第 1 変形例) に係る電磁波検出素子の構造は、第 1 の電荷読出領域 18d1、第 2 の電荷読出領域 18a1、第 1 の転送ゲート電極 35d1 及び第 2 の転送ゲート電極 35a1 の直下には、分配障壁形成領域 20b が位置しないようにし、断面図上、2 分割されて図示されている電荷収集領域 17 の間となるところに、瓢箪型の分配障壁形成領域 20b を深く形成している。瓢箪型の分配障壁形成領域 20b を設けることにより、第 1 の電荷読出領域 18d1、第 2 の電荷読出領域 18a1、第 1 の転送ゲート電極 35d1 及び第 2 の転送ゲート電極 35a1 の下にも Z 方向 (下 (裏面) から) から到来する電荷に対する電位バリアが形成される。このため、図 18 に示す第 3 の実施の形態の変形例 (第 1 変形例) に係る電磁波検出素子によれば、電荷が直

50

接第 1 の電荷読出領域 1 8 d 1 , 第 2 の電荷読出領域 1 8 a 1 , 第 1 の転送ゲート電極 3 5 d 1 及び第 2 の転送ゲート電極 3 5 a 1 に入るのを避けることができる。

【 0 0 5 4 】

図 1 8 に示す構造では、第 1 の電荷読出領域 1 8 d 1 , 第 2 の電荷読出領域 1 8 a 1 、第 1 の転送ゲート電極 3 5 d 1 及び第 2 の転送ゲート電極 3 5 a 1 の下方には、分配障壁形成領域 2 0 b が覆うことのないように、中央のところの分配障壁形成領域 2 0 b を瓢箪型に深くしている。図 1 8 に示す構造では、瓢箪型の分配障壁形成領域 2 0 b を用いることにより、結果的に、第 1 の電荷読出領域 1 8 d 1 , 第 2 の電荷読出領域 1 8 a 1 や第 1 の転送ゲート電極 3 5 d 1 及び第 2 の転送ゲート電極 3 5 a 1 の下にも Z 方向の下側（下部電極コンタクト層 1 1 側）から到来する電荷に対する電位バリアが形成される。このため、図 1 8 に示す第 3 の実施の形態の第 1 変形例に係る電磁波検出素子の構造によれば、電荷が直接第 1 の電荷読出領域 1 8 d 1 及び第 2 の電荷読出領域 1 8 a 1 又は第 1 の転送ゲート電極 3 5 d 1 及び第 2 の転送ゲート電極 3 5 a 1 の直下の電荷収集領域 1 7 に入るのを避けることができる。

【 0 0 5 5 】

図 1 8 に示す第 3 の実施の形態の第 1 変形例とほぼ同じ効果を得ることができる構造を図 1 9 に示す。図 1 9 に示す第 3 の実施の形態の第 2 変形例に係る電磁波検出素子の構造では、第 1 の電荷読出領域 1 8 d 1 , 第 2 の電荷読出領域 1 8 a 1 、第 1 の転送ゲート電極 3 5 d 1 , 第 2 の転送ゲート電極 3 5 a 1 の下方を逆 T 字型をなす分配障壁形成領域 2 0 c の下部の水平方向に延在するスカート部で覆っている。第 1 の転送ゲート電極 3 5 d 1 及び第 2 の転送ゲート電極 3 5 a 1 の直下となる電離箱領域 1 2 で発生した電荷が、直接、第 1 の電荷読出領域 1 8 d 1 , 第 2 の電荷読出領域 1 8 a 1 のつながっている第 1 の出力端子 S 1 及び第 2 の出力端子 S 2 に拾われることがないように、逆 T 字型をなす分配障壁形成領域 2 0 c でポテンシャルバリアを形成するものである。逆 T 字型をなす分配障壁形成領域 2 0 c を用いることによってグローバルゲート電極 3 4 の下に電荷が一旦回り込むので、第 1 の転送ゲート電極 3 5 d 1 の下方にチャンネルが形成される電圧が印加されたときに、第 1 の出力端子 S 1 に、第 2 の転送ゲート電極 3 5 a 1 の下方にチャンネルが形成される電圧が印加されたときに第 2 の出力端子 S 2 に転送される。しかしながら、図 1 9 に示す構造において、第 1 の電荷読出領域 1 8 d 1 , 第 2 の電荷読出領域 1 8 a 1 、第 1 の転送ゲート電極 3 5 d 1 , 第 2 の転送ゲート電極 3 5 a 1 の下方を逆 T 字型をなす分配障壁形成領域 2 0 c の下部のスカート部で、覆いすぎると、第 1 の転送ゲート電極 3 5 d 1 及び第 2 の転送ゲート電極 3 5 a 1 による第 1 の電荷読出領域 1 8 d 1 , 第 2 の電荷読出領域 1 8 a 1 への電荷の転送に影響があるので、具体的な寸法や、不純物密度の設計に留意が必要である。

【 0 0 5 6 】

（第 4 の実施形態）

図 2 0 に示すように、本発明の第 4 の実施形態に係る電磁波検出素子は、真性半導体又は真性半導体に近い高比抵抗の第 1 導電型の半導体からなる電離箱領域 1 2 と、電離箱領域 1 2 の下部に設けられた第 2 導電型で高不純物密度の下部電極コンタクト層 1 1 と、電離箱領域 1 2 の上部の一部に設けられた第 1 導電型で電離箱領域 1 2 よりも高不純物密度の電荷収集領域 5 3 と、電荷収集領域 5 3 から少なくとも一部が離間し、且つ電荷収集領域 5 3 を囲むように設けられた第 2 導電型の電荷経路誘導領域（5 2 a , 5 2 h）とを備える。電荷経路誘導領域（5 2 a , 5 2 h）は、下部電極コンタクト層 1 1 よりも低不純物密度の p ウェル 5 2 a 及び p ウェル 5 2 h から構成されている。図 2 0 に示す鳥瞰断面図の手前側の断面には、見かけ上、独立した p ウェル 5 2 a 及び p ウェル 5 2 h が露出しているが、現実には、p ウェル 5 2 a と p ウェル 5 2 h は一体の p 型の領域であってもよく、独立した複数の p 型の領域の一部として存在してもよい。

【 0 0 5 7 】

第 4 の実施形態に係る電磁波検出素子は、更に、電荷収集領域 5 3 と電荷経路誘導領域（5 2 a , 5 2 h）とが離間した箇所において、電荷収集領域 5 3 の端部側に電荷経路誘

10

20

30

40

50

導領域(52a, 52h)に対向して設けられた、第1導電型で高不純物密度の電荷読出領域57と、電荷読出領域57と電荷経路誘導領域(52a, 52h)とが対向した箇所に露出した電離箱領域12上に設けられた絶縁膜91と、平面パターン上、電荷収集領域53と電荷経路誘導領域(52a, 52h)とが離間した箇所の絶縁膜91の上に配置された転送ゲート電極61と、電荷経路誘導領域(52a, 52h)の内部に設けられ、電荷読出領域57に電氣的に接続された電気回路(63, 71, 72)とを備える。電気回路(63, 71, 72)はpウェル52hの上部に設けられた第1導電型(n型)の半導体領域71, 72をソース領域又はドレイン領域のいずれかとし、半導体領域71と半導体領域72の間のpウェル52hの上方に絶縁膜91を介して配置されたゲート電極63を有するnMOSトランジスタ(63, 71, 72)によって、模式的に例示されている。図20に示したnMOSトランジスタ(63, 71, 72)は便宜上の例示であり、1個のnMOSトランジスタで第4の実施形態に係る電磁波検出素子の電気回路が構成されることを意味するものではない。実際にpウェル52hに構成される電気回路は、設計仕様により種々のトポロジーの採用が可能であり、例えば、複数のnMOSトランジスタの組み合わせを含む回路で構成することが可能である。

10

【0058】

更に、第4の実施形態に係る電磁波検出素子は、電荷収集領域53の上に第2導電型で電荷経路誘導領域(52a, 52h)よりも高不純物密度の電荷ピニング層56を備える。電荷ピニング層56と電荷収集領域53とで埋め込みフォトダイオード(PPD)を、電離箱領域12の上部に構成している。又、図20に示すように、電荷収集領域53の下から電荷経路誘導領域(52a, 52h)の下に延在する、第1導電型で電離箱領域12よりも高不純物密度のスカー領域51aを更に備える。図20に示すように、スカー領域51aが、電荷収集領域53の下面に金属学的に接合されているので、実際には、電荷収集領域53とスカー領域51aとが一体したn型領域と、p型の電荷ピニング層56とで埋め込みフォトダイオード(PPD)が構成されることになる。電離箱領域12とこの電離箱領域12の表面側(上面側)の埋め込みフォトダイオード(56, 53, 51a)とが金属学的に接合され、電位的な結合を実現することによって、電離箱領域12内で発生した光電子が、埋め込みフォトダイオード(56, 53, 51a)の電荷収集領域53に導かれる。

20

【0059】

図20に示す第4の実施形態に係る電磁波検出素子は、下部電極コンタクト層11と電荷読出領域57との間にpn接合の逆バイアスとなる極性の電界を印加して、電荷収集領域53の前面に接する一部の領域に中性領域を残して、電離箱領域12の全体を空乏化した状態において、転送ゲート電極61に印加する電圧により、電荷収集領域53の上部に蓄積された電荷を電荷読出領域57に転送する。図20に示すように、スカー領域51aが、電荷収集領域53の下面に金属学的に接合されているので、電離箱領域12の全体を空乏化させることによって、電離箱領域12の上部にスカー領域51aに沿った水平方向電界が形成され、この水平方向電界によって、発生した光電子を電荷収集領域53へ収集する動作を高速に行うことができる。

30

図20に示すように、第4の実施形態に係る電磁波検出素子によれば、電離箱領域12とこの電離箱領域12の表面側の埋め込みフォトダイオード(56, 53, 51a)とが電位的に結合していることによって、電離箱領域12内で発生した光電子が、埋め込みフォトダイオード(56, 53, 51a)の電荷収集領域53に導かれる。

40

【0060】

- 固体撮像装置 -

図23に示すように、本発明の第4の実施形態に係る固体撮像装置(2次元イメージセンサ)は、図20に例示した全空乏化フォトダイオードを備える電磁波検出素子を単位画素 X_{ij} ($i = 1 \sim M$; $j = 1 \sim N$: M, N はそれぞれ整数である。)として、多数の画素 X_{ij} を2次元マトリクス状に配列してピクセルアレイ領域1を構成したものである。ピクセルアレイ領域1は、例えば、方形状の撮像領域を構成している。図23に示すように、

50

ピクセルアレイ領域 1 の周辺には周辺回路部 3 a が配置され、ピクセルアレイ領域 1 と周辺回路部 3 a とが同一の半導体チップ上に集積化されている。周辺回路部 3 a には、水平シフトレジスタ 3 0 3、垂直シフトレジスタ 3 0 1 及びタイミング発生回路 3 0 2 等が含まれている。

【 0 0 6 1 】

より具体的には、方形状のピクセルアレイ領域 1 の下辺部には、図 2 3 において水平方向に示した画素行 $X_{11}, X_{12}, X_{13}, \dots, X_{1M}; X_{21}, X_{22}, X_{23}, \dots, X_{2M}; X_{31}, X_{32}, X_{33}, \dots, X_{3M}; \dots, X_{N1}, X_{N2}, X_{N3}, \dots, X_{NM}$ 方向に沿って水平シフトレジスタ 3 0 3 が設けられている。そして、ピクセルアレイ領域 1 の左辺部には、図 2 3 において垂直方向に示した画素列 $X_{11}, X_{21}, X_{31}, \dots, X_{N1}; X_{12}, X_{22}, X_{32}, \dots, X_{N2}; X_{13}, X_{23}, X_{33}, \dots, X_{N3}; \dots; X_{1M}, X_{2M}, X_{3M}, \dots, X_{NM}$ 方向に沿って垂直シフトレジスタ 3 0 1 が設けられている。垂直シフトレジスタ 3 0 1 及び水平シフトレジスタ 3 0 3 には、タイミング発生回路 3 0 2 が接続されている。

10

【 0 0 6 2 】

各画素列 $X_{11}, X_{21}, X_{31}, \dots, X_{N1}; X_{12}, X_{22}, X_{32}, \dots, X_{N2}; X_{13}, X_{23}, X_{33}, \dots, X_{N3}; \dots; X_{1M}, X_{2M}, X_{3M}, \dots, X_{NM}$ 毎に、垂直信号線 $B_1, B_2, B_3, \dots, B_M$ が設けられている。図 2 3 の配置では、それぞれの垂直信号線 $B_1, B_2, B_3, \dots, B_M$ の上方には、負荷電流源となる MOS トランジスタ $Q_1, Q_2, Q_3, \dots, Q_M$ が接続され、それぞれの MOS トランジスタ $Q_1, Q_2, Q_3, \dots, Q_M$ からバイアス電圧 V_b がそれぞれの垂直信号線 $B_1, B_2, B_3, \dots, B_M$ に印加される。

20

【 0 0 6 3 】

そして、それぞれの垂直信号線 $B_1, B_2, B_3, \dots, B_M$ の下方には、カラム処理回路 $CL_1, CL_2, CL_3, \dots, CL_M$ が接続されている。それぞれのカラム処理回路 $CL_1, CL_2, CL_3, \dots, CL_M$ には、ノイズキャンセル回路及び A/D 変換回路が含まれている。ノイズキャンセル回路は、相関 2 重サンプリング (CDS: Correlated Double Sampling) 等により構成すればよい。

【 0 0 6 4 】

即ち、第 4 の実施形態に係る固体撮像装置では、垂直シフトレジスタ 3 0 1 によって、ピクセルアレイ領域 1 を各画素行 $X_{11}, X_{12}, X_{13}, \dots, X_{1M}; X_{21}, X_{22}, X_{23}, \dots, X_{2M}; X_{31}, X_{32}, X_{33}, \dots, X_{3M}; \dots, X_{N1}, X_{N2}, X_{N3}, \dots, X_{NM}$ 単位で垂直方向に走査することにより行選択がなされる。更に、水平シフトレジスタ 3 0 3 によって、各画素行 $X_{11}, X_{12}, X_{13}, \dots, X_{1M}; X_{21}, X_{22}, X_{23}, \dots, X_{2M}; X_{31}, X_{32}, X_{33}, \dots, X_{3M}; \dots, X_{N1}, X_{N2}, X_{N3}, \dots, X_{NM}$ の画素信号を各画素列 $X_{11}, X_{21}, X_{31}, \dots, X_{N1}; X_{12}, X_{22}, X_{32}, \dots, X_{N2}; X_{13}, X_{23}, X_{33}, \dots, X_{N3}; \dots; X_{1M}, X_{2M}, X_{3M}, \dots, X_{NM}$ 毎に設けられた垂直信号線 $B_1, B_2, B_3, \dots, B_M$ を介して、カラム処理回路 $CL_1, CL_2, CL_3, \dots, CL_M$ に読み出される。

30

【 0 0 6 5 】

垂直シフトレジスタ 3 0 1 の出力によって選択された 1 行分の信号に対して、それぞれのカラム処理回路 $CL_1, CL_2, CL_3, \dots, CL_M$ によってノイズキャンセル処理がほどこされ、ノイズキャンセル処理後の出力が、カラム処理回路 $CL_1, CL_2, CL_3, \dots, CL_M$ 毎に設けられた A/D 変換回路によって、A/D 変換され、デジタルデータになる。デジタルデータとなった 1 行分の画像データは、水平走査されて、映像信号出力端子 O_v から外部に出力される。

40

【 0 0 6 6 】

図 2 3 に示したイメージセンサを構成する単位画素 X_{ij} は、図 2 4 に示すように 4 トランジスタ型の CMOS 画素に、図 2 0 に示した全空乏フォトダイオードを適用した構造である。即ち、図 2 4 に示すように、電荷読出領域 5 7 に信号読み出しトランジスタ (増幅トランジスタ) TA_{ij} のゲート電極とリセットトランジスタ TR_{ij} のソース電極が接続されている。信号読み出しトランジスタ (増幅トランジスタ) TA_{ij} のソース電極にはスイッチングトランジスタ TS_{ij} のドレイン電極が接続され、スイッチングトランジスタ TS

50

i_j のソース電極には垂直信号線 B_j が接続されている。このような 4 トランジスタ型の画素の構成では、電荷読出領域 5 7 に転送された電荷量に相当する電圧によって、信号読み出しトランジスタ（増幅トランジスタ） $T A_{i_j}$ で増幅された出力が、スイッチングトランジスタ $T S_{i_j}$ を介して垂直信号線 B_j に出力される。

【 0 0 6 7 】

図 2 3 の第 4 の実施形態に係る固体撮像装置を表面側からみたレイアウトの一例を図 2 5 に示す。中央にピクセルアレイ領域 1 があり、それを取り囲むように周辺回路・I/O 領域 3 b, 3 c, 3 d, 3 e が配置されている。周辺回路・I/O 領域 3 b, 3 c, 3 d, 3 e のそれぞれは、周辺回路と、周辺回路の外側を囲む入出力デバイスが並んだ領域（I/O 領域）で構成されている。図 2 5 において、周辺回路・I/O 領域 3 b, 3 c, 3 d, 3 e の配置された領域の更に外側には高電圧印加領域 2 がある。高電圧印加領域 2 は、電離箱領域 1 2 の裏面側の下部電極コンタクト層 1 1 に大きな電圧を加えて電離箱領域 1 2 を全空乏化させるために、下部電極コンタクト層 1 1 と同じ高電圧（負電圧）を印加する回路が配置された領域である。

【 0 0 6 8 】

ピクセルアレイ領域 1、周辺回路・I/O 領域 3 b、高電圧印加領域 2 を含む、第 4 の実施形態に係る固体撮像装置の断面構造を図 2 6 に示す。図 2 6 は図 2 5 の XXIV - XXIV 方向からみた断面に対応する面を手前側の面として表示した模式的な鳥瞰図に相当する。第 4 の実施形態に係る固体撮像装置では、図 2 6 に示すようにピクセルアレイ領域 1 の単位画素内に、p ウェル 5 2 a 及び 5 2 b のみが配置されている。そして、p ウェル 5 2 b を利用して、第 4 の実施形態に係る固体撮像装置の単位画素内には n M O S トランジスタのみが配置されている。

【 0 0 6 9 】

一方、図 2 6 に示すように、第 4 の実施形態に係る固体撮像装置の周辺回路・I/O 領域 3 b には p ウェル 5 2 d、n ウェル 5 5 c 及び p ウェル 5 2 e が互いに隣接して形成されている。C M O S 型回路により、周辺回路や I/O 領域の回路を実現するため、周辺回路・I/O 領域 3 b の p ウェル 5 2 d 及び p ウェル 5 2 e には n M O S トランジスタによる電気回路が配置され、n ウェル 5 5 c には p M O S トランジスタによる電気回路が配置されている。

【 0 0 7 0 】

更に、p ウェル 5 2 d、n ウェル 5 5 c、p ウェル 5 2 e の下面に接合するように埋込 p 領域 5 4 c が電離箱領域 1 2 の上部に埋め込まれている。図 2 6 に示したように、周辺回路・I/O 領域 3 b においては、埋込 p 領域 5 4 c を電離箱領域 1 2 の上部の比較的深い位置に埋め込みながら、埋込 p 領域 5 4 c のない n ウェル 5 5 b を p ウェル 5 2 d の左側に隣接して配置し、周辺回路・I/O 領域 3 b の直下の電離箱領域 1 2 で発生したキャリアを n ウェル 5 5 b に吸収する。

【 0 0 7 1 】

第 4 の実施形態に係る固体撮像装置のチップの外周の高電圧印加領域 2 には、p ウェル 5 2 f、電離箱領域 1 2、n ウェル 5 5 d を使ったダイオードを 2 重リングの型に構成し、この高電圧印加領域 2 に高電圧を印加する。最外周に配置された p ウェル 5 2 f と、裏面側の下部電極コンタクト層 1 1 は、電氣的に短絡され、電源 E_4 を介して負の高電圧を印加する。高電圧印加領域 2 に配置される n ウェル 5 5 d には、G N D 又は、数 V の正の電源（V D D）が接続されている。

【 0 0 7 2 】

このように、第 4 の実施形態に係る固体撮像装置のチップ表面側の高電圧印加領域 2 と裏面側の下部電極コンタクト層 1 1 を電氣的に短絡して、同電位とすることにより、電源に流れるリーク電流を低減することができる。仮に表面の高電圧印加領域 2 の周辺の p ウェル 5 2 f のリングがなく、裏面側の下部電極コンタクト層 1 1 と同電位になっていない場合は、チップ端面（ダイシング等で形成された面）に形成される大多数の欠陥を通して、極めて大きなリーク電流が流れる可能性がある。

10

20

30

40

50

【 0 0 7 3 】

しかしながら、第 4 の実施形態に係る固体撮像装置では、高電圧印加領域 2 の周辺の p ウェル 5 2 f と下部電極コンタクト層 1 1 とが短絡されたチップ構造を構成しているため、チップ端面の欠陥に起因したリーク電流の発生を抑制することができる。図 2 6 に示したような第 4 の実施形態に係る固体撮像装置のチップ構造によれば、リーク電流は、比較的欠陥が少ない表面側のシリコン層を関して流れることになり、チップ端面を流れる場合に比べてはるかに小さい。

第 4 の実施形態の変形例に係る固体撮像装置では、図 2 7 に示すようにピクセルアレイ領域 1 の単位画素内に、p ウェル 5 2 a 及び 5 2 b のみが配置されている。そして、p ウェル 5 2 b を利用して、第 4 の実施形態の変形例（第 1 変形例）に係る固体撮像装置の単位画素内には n M O S トランジスタのみが配置されている。

10

【 0 0 7 4 】

一方、図 2 7 に示すように、第 4 の実施形態の変形例に係る固体撮像装置の周辺回路・I O 領域 3 b には n ウェル 5 5 b、p ウェル 5 2 d 及び n ウェル 5 5 c が互いに隣接して配置されている。そして、p ウェル 5 2 e が n ウェル 5 5 c の右側に n ウェル 5 5 c から離間して配置され、n ウェル 5 5 d e が p ウェル 5 2 e の右側に p ウェル 5 2 e から離間して配置されている。C M O S 型回路により、周辺回路や I O 領域の回路を実現するため、周辺回路・I O 領域 3 b の p ウェル 5 2 d には n M O S トランジスタによる電気回路が配置され、n ウェル 5 5 c には p M O S トランジスタによる電気回路が配置されている。

【 0 0 7 5 】

20

更に、n ウェル 5 5 b、p ウェル 5 2 d 及び n ウェル 5 5 c の下面に接合するように埋込 n 領域 5 1 b が電離箱領域 1 2 の上部に埋め込まれている。図 2 7 に示したように、周辺回路・I O 領域 3 b においては、埋込 n 領域 5 1 b を電離箱領域 1 2 の上部の比較的深い位置に埋め込み、周辺回路・I O 領域 3 b の直下の電離箱領域 1 2 で発生したキャリアを埋込 n 領域 5 1 b を介して n ウェル 5 5 b 及び n ウェル 5 5 c に吸収する。

【 0 0 7 6 】

第 4 の実施形態の変形例に係る固体撮像装置のチップの外周の高電圧印加領域 2 には、p ウェル 5 2 f、p ウェル 5 2 f の下面に接合した埋込 p 領域 5 4 d、電離箱領域 1 2、n ウェル 5 5 d を使ったダイオードを 2 重リングの型に構成し、この高電圧印加領域 2 に高電圧を印加する。最外周に配置された p ウェル 5 2 f 及び p ウェル 5 2 f の下面に接合した埋込 p 領域 5 4 d からなる 2 層構造の p 領域と、裏面側の下部電極コンタクト層 1 1 は、電氣的に短絡され、電源 E_3 を介して負の高電圧を印加する。高電圧印加領域 2 に配置される n ウェル 5 5 d には、G N D 又は、数 V の正の電源 (V D D 2) を接続する。

30

【 0 0 7 7 】

このように、第 4 の実施形態の変形例に係る固体撮像装置のチップ表面側の高電圧印加領域 2 と裏面側の下部電極コンタクト層 1 1 を電氣的に短絡して、同電位とすることにより、電源に流れるリーク電流を低減することができる。表面の高電圧印加領域 2 の周辺の p ウェル 5 2 f のリングがなく、裏面側の下部電極コンタクト層 1 1 と同電位になっていないと、チップ端面（ダイシング等で配置された面）に配置される大多数の欠陥を通して、極めて大きなリーク電流が流れる可能性がある。しかしながら、第 4 の実施形態の変形例に係る固体撮像装置では、高電圧印加領域 2 の周辺の、p ウェル 5 2 f 及び p ウェル 5 2 f の下面に接合した埋込 p 領域 5 4 d からなる 2 層構造の p 領域と、下部電極コンタクト層 1 1 とが短絡されたチップ構造を構成しているため、チップ端面の欠陥に起因したリーク電流の発生を抑制することができる。図 2 7 に示したような第 4 の実施形態の変形例に係る固体撮像装置のチップ構造によれば、リーク電流は、比較的欠陥が少ない表面側のシリコン層を関して流れることになり、チップ端面を流れる場合に比べてはるかに小さい。

40

【 0 0 7 8 】

又、単位画素内には p ウェル 5 2 a 及び 5 2 b のみが配置され、p ウェル 5 2 b に n M O S トランジスタからなる電気回路が配置される場合において、図 2 8 に示す第 4 の実施

50

形態の第2変形例に係る固体撮像装置の単位画素のように、周辺回路・I/O領域3bに、埋込n領域51bを配置してもよい。図28に示すように、第4の実施形態の第2変形例に係る固体撮像装置の周辺回路・I/O領域3bには、nウェル55b、pウェル52d及びnウェル55cが互いに隣接して配置され、pウェル52eがnウェル55cから離間して配置されている。そして、nウェル55b、pウェル52d及びnウェル55cの下面に接合するように埋込n領域51bが電離箱領域12の上部に埋め込まれている。CMOS型回路により、周辺回路やI/O領域の回路を実現するため、周辺回路・I/O領域3bのpウェル52dにはnMOSトランジスタによる電気回路が配置され、nウェル55cにはpMOSトランジスタによる電気回路が配置されている。第4の実施形態の第2変形例に係る固体撮像装置においては、周辺回路・I/O領域3bの埋込n領域51bは、nウェル55b及びnウェル55cの下面に金属学的に接合して接続され、電離箱領域12領域で発生した電子の吸い取る役割をする。

10

【0079】

第4の実施形態の第2変形例に係る固体撮像装置のチップの外周の高電圧印加領域2には、pウェル52f、電離箱領域12、nウェル55dを使ったダイオードを2重リングの型に構成し、この高電圧印加領域2に高電圧を印加する。最外周に配置されたpウェル52fと、裏面側の下部電極コンタクト層11は、電氣的に短絡され、電源 E_4 を介して負の高電圧を印加する。高電圧印加領域2に配置されるnウェル55dには、GND又は、数Vの正の電源(VDD2)を接続する。

【0080】

20

このように、第4の実施形態の第2変形例に係る固体撮像装置のチップ表面側の高電圧印加領域2と裏面側の下部電極コンタクト層11を電氣的に短絡して、同電位とすることにより、電源に流れるリーク電流を低減することができる。表面の高電圧印加領域2の周辺のpウェル52fのリングがなく、裏面側の下部電極コンタクト層11と同電位になっていないと、チップ端面(ダイシング等で配置された面)に配置される大多数の欠陥を通して、極めて大きなリーク電流が流れる可能性がある。しかしながら、第4の実施形態の第2変形例に係る固体撮像装置では、高電圧印加領域2の周辺のpウェル52fと下部電極コンタクト層11とが短絡されたチップ構造を構成しているため、チップ端面の欠陥に起因したリーク電流の発生を抑制することができる。図28に示したような第4の実施形態の第2変形例に係る固体撮像装置のチップ構造によれば、リーク電流は、比較的欠陥が少ない表面側のシリコン層を関して流れることになり、チップ端面を流れる場合に比べてはるかに小さい。

30

又、高電圧印加領域2のnウェル55dの電圧(VDD2)が、周辺回路・I/O領域3bの電源電圧(VDD)と異なる場合、VDDとVDD2の間のリークを低減するため、図28に示すように、その間にpウェル52eを配置してもよい。

【0081】

なお、図28に示すように、ピクセルアレイ領域1の単位画素部の埋め込みフォトダイオードのn領域を2層構造(53a, 53b)として、より大きなサイズの単位画素でも、電荷収集をより効率的にすることも可能である。図28に示すように、本発明の第4の実施形態の第2変形例に係る電磁波検出素子は、真性半導体又は真性半導体に近い高比抵抗のn型(第1導電型)の半導体からなる電離箱領域12と、電離箱領域12の下部に設けられたp型(第2導電型)で高不純物密度の下部電極コンタクト層11と、電離箱領域12の上部の一部に設けられたn型で電離箱領域12よりも高不純物密度の第1電荷収集領域53aと、第1電荷収集領域53aから少なくとも一部が離間し、且つ第1電荷収集領域53aを囲むように設けられたp型の電荷経路誘導領域(52a, 52b)とを備える。電荷経路誘導領域(52a, 52b)は、下部電極コンタクト層11よりも低不純物密度のpウェル52a及びpウェル52bから構成されている。

40

【0082】

第4の実施形態の第2変形例に係る電磁波検出素子は、更に、第1電荷収集領域53aと電荷経路誘導領域(52a, 52b)とが離間した箇所において、第1電荷収集領域5

50

3 aの端部側に電荷経路誘導領域(5 2 a, 5 2 b)に対向して設けられた、n型で高不純物密度の電荷読出領域5 7と、電荷読出領域5 7と電荷経路誘導領域(5 2 a, 5 2 b)とが対向した箇所に露出した電離箱領域1 2上に設けられた絶縁膜9 1と、平面パターン上、第1電荷収集領域5 3 aと電荷経路誘導領域(5 2 a, 5 2 b)とが離間した箇所の絶縁膜9 1の上に配置された転送ゲート電極6 1と、電荷経路誘導領域(5 2 a, 5 2 b)の内部に設けられ、電荷読出領域5 7に電氣的に接続された電気回路(6 3, 7 1, 7 2)とを備える。電気回路(6 3, 7 1, 7 2)はpウェル5 2 bの上部に設けられたnMOSトランジスタからなる回路である。

【0083】

更に、第4の実施形態の第2変形例に係る電磁波検出素子は、第1電荷収集領域5 3 aの上にp型で電荷経路誘導領域(5 2 a, 5 2 b)よりも高不純物密度の電荷ピニング層5 6を備える。電荷ピニング層5 6と第1電荷収集領域5 3 aとで埋め込みフォトダイオード(PPD)を、電離箱領域1 2の上部に構成している。又、図2 8に示すように、第1電荷収集領域5 3 aの下から電荷経路誘導領域5 2 bの側面から電荷経路誘導領域5 2 bの底面の一部までL字型に延在する、n型で電離箱領域1 2よりも高不純物密度の第2電荷収集領域5 3 bを更に備える。図2 8に示すように、L字型の第2電荷収集領域5 3 bが、第1電荷収集領域5 3 aの下面に金属学的に接合されて2層構造のn型領域を構成しているの、実際には、第1電荷収集領域5 3 aと第2電荷収集領域5 3 bとが一体したn型領域(5 3 a, 5 3 b)と、p型の電荷ピニング層5 6とで埋め込みフォトダイオード(PPD)が構成されることになる。電離箱領域1 2とこの電離箱領域1 2の表面側(上面側)の埋め込みフォトダイオード(5 6, 5 3 a, 5 3 b)とが金属学的に接合され、電位的な結合を実現することによって、電離箱領域1 2内で発生した光電子が、埋め込みフォトダイオード(5 6, 5 3 a, 5 3 b)の第1電荷収集領域5 3 aに導かれる。

図2 8に示すように、ピクセルアレイ領域1において、第1電荷収集領域5 3 aとpウェル5 2 bよりも下にまで延在するように配置されたL字型の第2電荷収集領域5 3 bとにより、単位画素の埋め込みフォトダイオードを構成することにより、大きなサイズの単位画素でも、電荷収集をより効率的に実現することができる。

【0084】

(第5の実施形態)

図2 1に示すように、本発明の第5の実施形態に係る電磁波検出素子は、真性半導体又は真性半導体に近い高比抵抗の第1導電型の半導体からなる電離箱領域1 2と、電離箱領域1 2の下部に設けられた第2導電型で高不純物密度の下部電極コンタクト層1 1と、電離箱領域1 2の上部の一部に設けられた第1導電型で電離箱領域1 2よりも高不純物密度の電荷収集領域5 3と、電荷収集領域5 3から少なくとも一部が離間し、且つ電荷収集領域5 3を囲むように設けられた第2導電型の電荷経路誘導領域(5 2 a, 5 2 b, 5 2 c)とを備える。電荷経路誘導領域(5 2 a, 5 2 b, 5 2 c)は、下部電極コンタクト層1 1よりも低不純物密度の第2導電型の複数のウェル領域の集合である。図2 1では、図2 1の左側の断面上に第1のpウェル5 2 a、図2 1の右側の断面上に第2のpウェル5 2 b及び第3のpウェル5 2 cが示されているが、これらの第1のpウェル5 2 a、第2のpウェル5 2 b及び第3のpウェル5 2は一体の半導体領域であっても構わない。

【0085】

図2 1に示すように、電荷経路誘導領域(5 2 a, 5 2 b, 5 2 c)の一部に埋め込まれた、第2導電型で電離箱領域よりも高不純物密度のウェル領域(nウェル)5 5 aを更に備える。nウェル5 5 aは、pウェル5 2 bと第3のpウェル5 2の間に挟まれて配置されている。そして、図2 1に示すように、電荷経路誘導領域(5 2 a, 5 2 b, 5 2 c)の底部に接して電離箱領域1 2の内部に埋め込まれた、第2導電型で下部電極コンタクト層1 1よりも低不純物密度の誘導電界補助領域5 4 a及び5 4 bを更に備える。誘導電界補助領域5 4 bは、nウェル5 5 aと電離箱領域1 2との電氣的分離の機能をなしている。又、誘導電界補助領域5 4 a及び5 4 bを備えることにより、誘導電界補助領域5 4 a及び5 4 bの直下となる電離箱領域1 2の上部の領域は電荷収集構造を構成するので、

電離箱領域 1 2 で発生した光電子が、誘導電界補助領域 5 4 a 及び 5 4 b が誘導する水平方向の電界によって、電荷収集領域 5 3 に導かれる。

第 4 の実施形態に係る電磁波検出素子と同様に、電荷収集領域 5 3 の上に、第 2 導電型で電荷経路誘導領域 (5 2 a , 5 2 b , 5 2 c) よりも高不純物密度の電荷ピニング層 5 6 を備えているので、第 1 導電型の電荷収集領域 5 3 とで、埋め込みフォトダイオード (P P D) を、電離箱領域 1 2 の上部に構成している。

【 0 0 8 6 】

第 5 の実施形態に係る電磁波検出素子は、第 4 の実施形態に係る電磁波検出素子と同様に、電荷収集領域 5 3 と電荷経路誘導領域 (5 2 a , 5 2 b , 5 2 c) とが離間した箇所において、電荷収集領域 5 3 の端部側に電荷経路誘導領域 (5 2 a , 5 2 b , 5 2 c) に 10 対向して設けられた、第 1 導電型で高不純物密度の電荷読出領域 5 7 と、電荷読出領域 5 7 と電荷経路誘導領域 (5 2 a , 5 2 b , 5 2 c) とが対向した箇所に露出した電離箱領域 1 2 上に設けられた絶縁膜 9 1 と、平面パターン上、電荷収集領域 5 3 と電荷経路誘導領域 (5 2 a , 5 2 b , 5 2 c) が離間した箇所の絶縁膜 9 1 の上に配置された転送ゲート電極 6 1 と、電荷経路誘導領域 (5 2 a , 5 2 b , 5 2 c) の内部に設けられ、電荷読出領域 5 7 に電気的に接続された電気回路 (6 4 , 7 3 , 7 4 , 7 5 ; 6 5 , 7 6 , 7 7 , 7 8) とを更に備える。図 2 1 においては、電気回路 (6 4 , 7 3 , 7 4 , 7 5 ; 6 5 , 7 6 , 7 7 , 7 8) を、p ウェル 5 2 b 中に配置された n M O S トランジスタ (6 4 , 7 3 , 7 4 , 7 5) 及び n ウェル 5 5 a 中に配置された p M O S トランジスタ (6 5 , 7 6 , 7 7 , 7 8) によって模式的にバルク C M O S の構造を例示しているが、第 4 の実施 20 形態に係る電磁波検出素子の電気回路の構成は、図 2 1 に示すバルク C M O S のトポロジーに限定されるものではない。

【 0 0 8 7 】

第 5 の実施形態に係る電磁波検出素子においては、電離箱領域 1 2 の裏面の下部電極コンタクト層 1 1 と電離箱領域 1 2 が、完全空乏ダイオードの基本部分を構成している。即ち、図 2 1 に示す第 5 の実施形態に係る電磁波検出素子は、下部電極コンタクト層 1 1 と電荷読出領域 5 7 との間に p n 接合の逆バイアスとなる極性の電界を印加して、電荷収集領域 5 3 の前面に接する一部の領域に中性領域を残して、電離箱領域 1 2 の全体を空乏化した状態において、転送ゲート電極 6 1 に印加する電圧により、電荷収集領域 5 3 の上部に蓄積された電荷を電荷読出領域 5 7 に転送する。 30

【 0 0 8 8 】

電離箱領域 1 2 の表面側には、第 1 導電型の電荷収集領域 5 3 と第 2 導電型の電荷ピニング層 5 6 とで、埋め込みフォトダイオード (5 3 , 5 6) を構成しているので、電離箱領域 1 2 と表面側の埋め込みフォトダイオード (5 3 , 5 6) とが電位的に結合することによって、電離箱領域 1 2 内で発生した光電子が、埋め込みフォトダイオード (5 3 , 5 6) の電荷収集領域 5 3 に導かれる。

図 2 2 は、図 2 1 に示した埋め込みフォトダイオード (5 3 , 5 6) の代わりに、電荷収集領域 5 3 の上の絶縁膜 9 1 の上にゲート電極 6 2 を配置して、M O S ダイオード構造を構成した第 5 の実施形態の変形例に係る電磁波検出素子の構造である。図 2 2 に示す構造では、ゲート電極 6 2 に負電圧 V_p を加えることにより、電荷収集領域 5 3 の表面に正孔 (ホール) が誘起される。 40

【 0 0 8 9 】

図 2 1 に示すような単位画素内に、n M O S トランジスタ、p M O S トランジスタによる回路をもつ場合のピクセルアレイ領域 1、周辺回路・I O 領域 3 b、高電圧印加領域 2 を含む第 5 の実施形態に係る固体撮像装置の断面構造を図 2 9 に示す。単位画素内に、n M O S トランジスタ、p M O S トランジスタの両方を含む C M O S 型回路で周辺回路・I O 領域 3 b を構成する場合、ピクセルアレイ領域 1 の単位画素内には、誘導電界補助領域 5 4 a 及び 5 4 b が必要であり、ピクセルアレイ領域 1 においては、誘導電界補助領域 5 4 a 及び 5 4 b を利用して電荷収集構造を実現する。

【 0 0 9 0 】

10

20

30

40

50

図29に示した周辺回路・I/O領域3bでは、ピクセルアレイ領域1側の回路と同じ工程でCMOS型回路を構成するため、ピクセルアレイ領域1側に設けた誘導電界補助領域と等価な埋込p領域54cを、pウェル52d、nウェル55c、pウェル52eの下面に金属学的に接合するように埋め込んでいる。図29に示したように、周辺回路・I/O領域3bにおいては、埋込p領域54cを電離箱領域12の上部の比較的深い位置に埋め込み、且つ埋込p領域54cのないnウェル55bをpウェル52dの左側に隣接するように配置して、周辺回路・I/O領域3bの直下の電離箱領域12で発生したキャリアをnウェル55bに吸収する。

【0091】

又、第5の実施形態に係る固体撮像装置のチップの外周側に位置する高電圧印加領域2には、pウェル52f、pウェル52fの下面に金属学的に接合した埋込p領域54、電離箱領域12、nウェル55dを使ったダイオードを2重リングの型に構成し、高電圧印加領域2に高電圧を印加する。最外周に配置されたpウェル52fと、裏面側の下部電極コンタクト層11は、電氣的に短絡され、電源E₃を介して負の高電圧が印加される。高電圧印加領域2に配置されるnウェル55dには、GND又は、数Vの正の電源(VDD2)を接続する。

【0092】

第5の実施形態に係る固体撮像装置では、高電圧印加領域2の周辺のpウェル52fと下部電極コンタクト層11とが短絡されたチップ構造を構成しているため、チップ端面の欠陥に起因したリーク電流の発生を抑制することができる。図29に示したような第5の実施形態に係る固体撮像装置のチップ構造によれば、高電圧は、比較的欠陥が少ない表面側のシリコン層を閉して流れることになり、チップ端面を流れる電流は、はるかに小さな値となる。

【0093】

(その他の実施形態)

上記のように、本発明は本発明の第1～第5の実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

既に述べた本発明の第1～第5の実施形態のそれぞれの特徴的な構造を適宜選択して互いに組み合わせてもよい。即ち、第3の実施の形態で説明した第2導電型の分配障壁形成領域20aと、分配障壁形成領域20aの周辺に配置された第1導電型で高不純物密度の第1の電荷読出領域18d1及び第2の電荷読出領域18a1、分配障壁形成領域20aを囲む電荷収集領域17等を備える構造に、第5の実施形態で説明した電磁波検出素子の構造を組み合わせてもよい。即ち、図30に示すように、第3の実施の形態で説明した構造の電荷収集領域17を囲むように、第2導電型の電荷経路誘導領域(14a, 52b, 52c)とを備えて、第5の実施形態で説明した構造の一部を組み合わせるようにしてもよい。図30では、第5の実施形態で説明した電磁波検出素子と同様に、電荷経路誘導領域(14a, 52b, 52c)の一部には、第2導電型で電離箱領域よりも高不純物密度のウェル領域(nウェル)55aが、pウェル52bと第3のpウェル52の間に挟まれて配置されている。そして、図30に示すように、電荷経路誘導領域(14a, 52b, 52c)の底部に接するように、第2導電型で下部電極コンタクト層11よりも低不純物密度の誘導電界補助領域54a及び54bが更に配置されている。誘導電界補助領域54bは、nウェル55aと電離箱領域12との電氣的分離の機能をなしている。

【0094】

既に述べた本発明の第1～第5の実施形態の説明では、第1導電型をn型、第2導電型をp型として説明したが、第1導電型をp型、第2導電型をn型としても、電氣的な極性を反対にすれば同様な効果が得られることは、当業者であれば容易に理解できるであろう。

第1～第5の実施形態の説明では、輸送、蓄積等の処理がされる信号電荷を電子とし、ポテンシャル図において、図の下方向(深さ方向)が、電位(ポテンシャル)の正方向と

10

20

30

40

50

したが、電気的な極性を反対とする場合においては、処理をされる電荷は正孔となるため、電磁波検出素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状は、図の下方向（深さ方向）が、電位の負方向として表現される。

このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

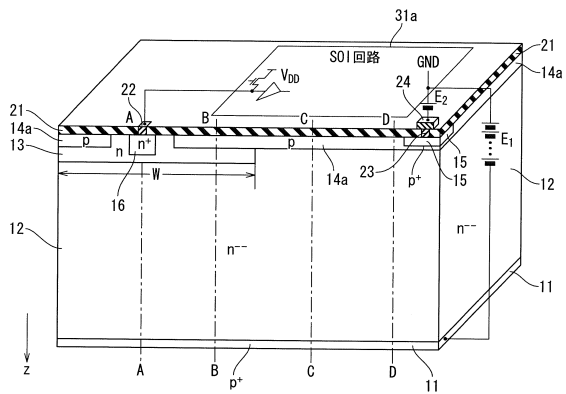
【符号の説明】

【 0 0 9 5 】

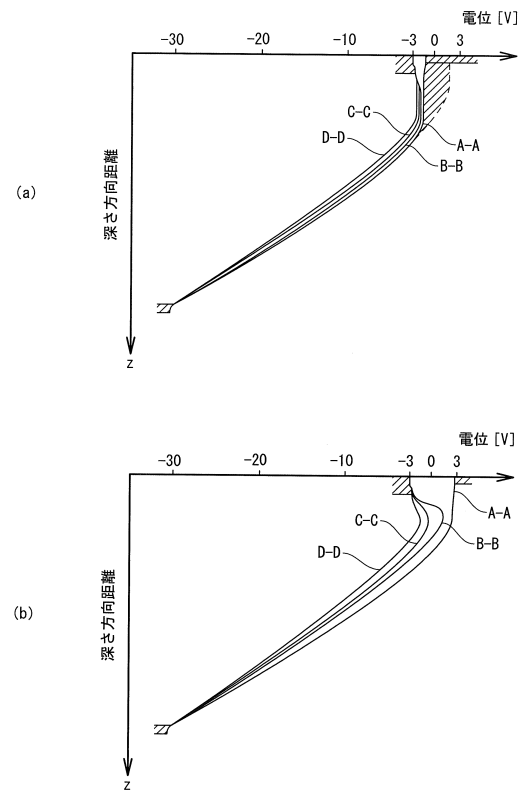
| | |
|---|----|
| 1 ...ピクセルアレイ領域 | |
| 2 ...高電圧印加領域 | 10 |
| 3 a ...周辺回路部 | |
| 3 b , 3 c , 3 d , 3 e ...周辺回路・I O領域 | |
| 1 1 ...下部電極コンタクト層 | |
| 1 2 ...電離箱領域 | |
| 1 3 ...電荷収集領域 | |
| 1 4 a , 1 4 b ...電荷経路誘導領域 | |
| 1 6 , 5 7 ...電荷読出領域 | |
| 1 7 , 5 3 ...電荷収集領域 | |
| 1 8 a 1 , 1 8 c 1 , 1 8 b 2 ...第2の電荷読出領域 | |
| 1 8 b 1 , 1 8 d 1 , 1 8 d 2 ...第1の電荷読出領域 | 20 |
| 1 9 ...分配障壁コンタクト領域 | |
| 2 0 ...分配障壁形成領域 | |
| 2 1 , 9 1 ...絶縁膜 | |
| 3 1 a , 3 1 b , 3 1 c , 3 1 d ...電気回路 | |
| 3 2 , 6 2 , 6 3 ...ゲート電極 | |
| 3 4 ...グローバルゲート電極 | |
| 3 5 a 1 , 3 5 b 2 , 3 5 c 1 , 3 7 a , 3 8 b , 3 9 b ...第2の転送ゲート電極 | |
| 3 5 b 1 , 3 5 d 1 , 3 5 d 2 , 3 7 d , 3 8 a , 3 9 a ...第1の転送ゲート電極 | |
| 3 6 a , 3 6 c , 3 6 d , 3 6 f , 3 6 g ...排出ゲート電極 | |
| 3 7 b , 3 8 c , 3 9 c ...第3の転送ゲート電極 | 30 |
| 3 8 d , 3 9 d ...第4の転送ゲート電極 | |
| 3 8 e , 3 9 e ...第5の転送ゲート電極 | |
| 3 8 f , 3 9 f ...第6の転送ゲート電極 | |
| 3 9 g ...第7の転送ゲート電極 | |
| 3 9 h ...第8の転送ゲート電極 | |
| 3 9 i ...第9の転送ゲート電極 | |
| 5 1 a ...スカート領域 | |
| 5 1 b ...埋込n領域 | |
| 5 2 ...第3のpウェル | |
| 5 2 a ...第1のpウェル | 40 |
| 5 2 b ...第2のpウェル | |
| 5 2 b ...電荷経路誘導領域 | |
| 5 2 c ...第3のpウェル | |
| 5 2 d , 5 2 e , 5 2 f , 5 2 h ...pウェル | |
| 5 3 a ...第1電荷収集領域 | |
| 5 3 b ...第2電荷収集領域 | |
| 5 4 , 5 4 c , 5 4 d ...埋込p領域 | |
| 5 4 a , 5 4 b ...誘導電界補助領域 | |
| 5 5 a , 5 5 b , 5 5 c , 5 5 d ...nウェル | |
| 5 6 ...電荷ピンング層 | 50 |

- 6 1 ... 転送ゲート電極
- 7 1 , 7 2 ... 半導体領域
- 3 0 1 ... 垂直シフトレジスタ
- 3 0 2 ... タイミング発生回路
- 3 0 3 ... 水平シフトレジスタ

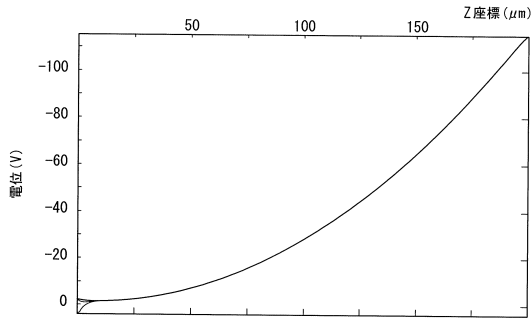
【 図 1 】



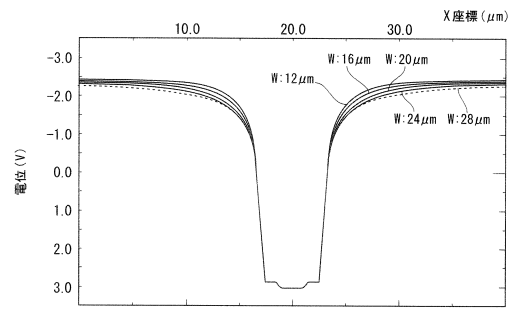
【 図 2 】



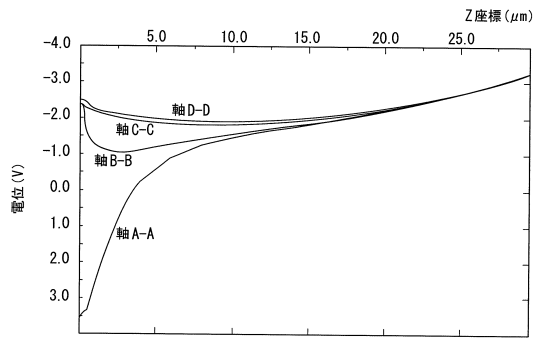
【 図 3 】



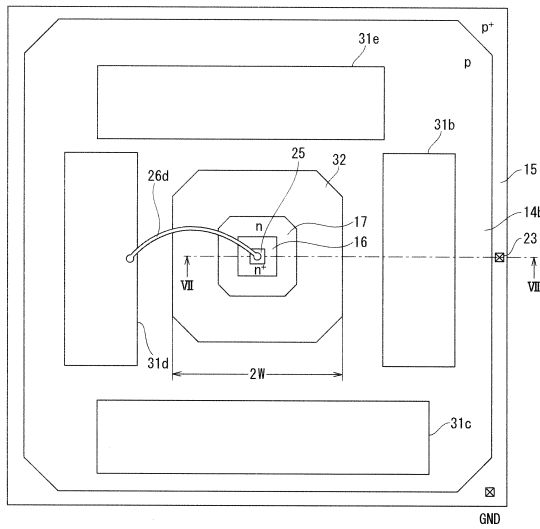
【 図 5 】



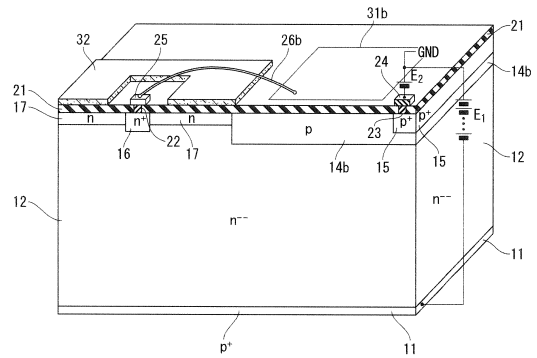
【 図 4 】



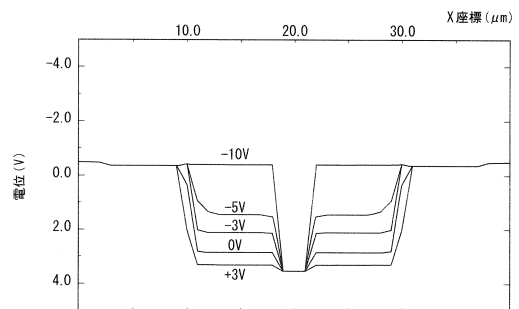
【 図 6 】



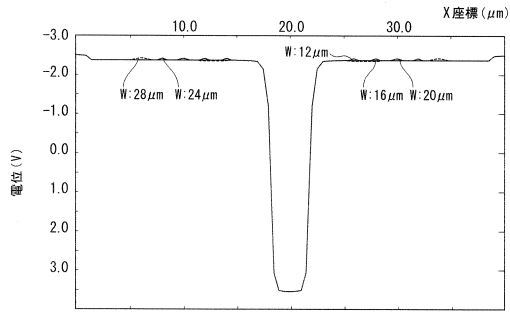
【 図 7 】



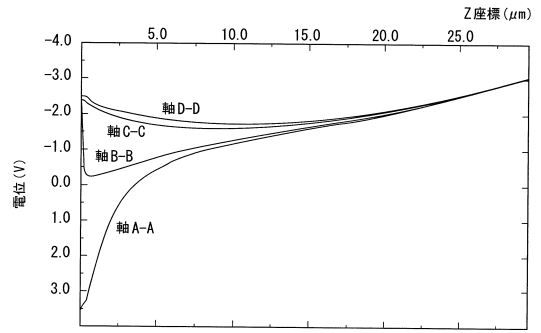
【 図 8 】



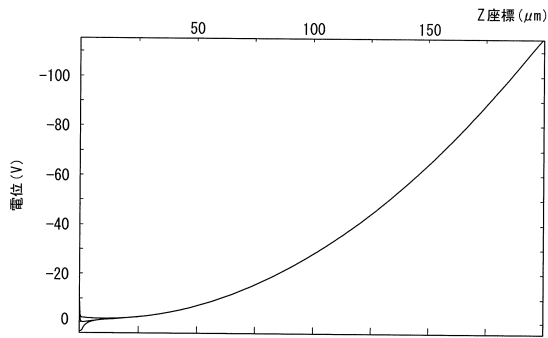
【 図 9 】



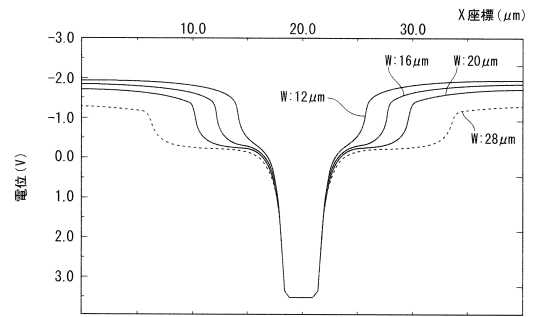
【 図 1 1 】



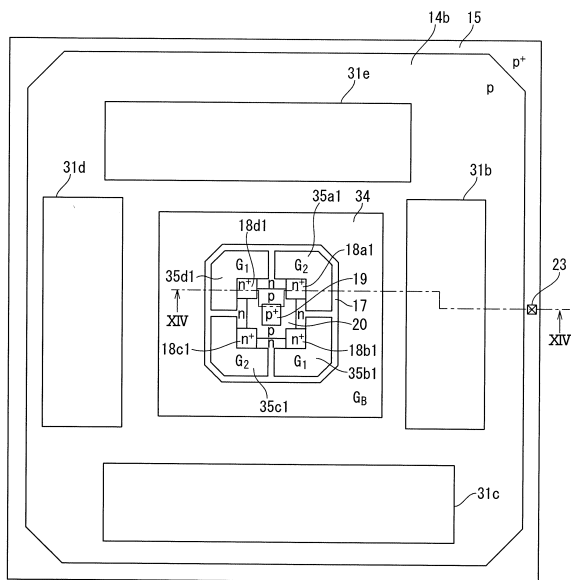
【 図 1 0 】



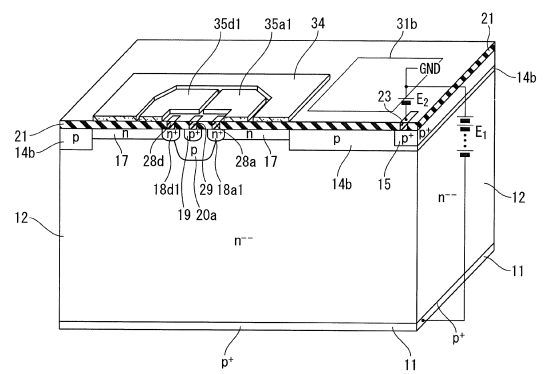
【 図 1 2 】



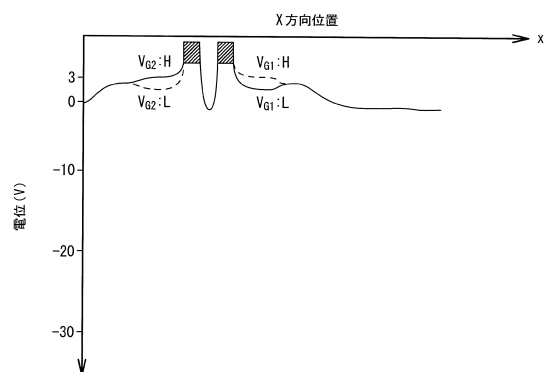
【 図 1 3 】



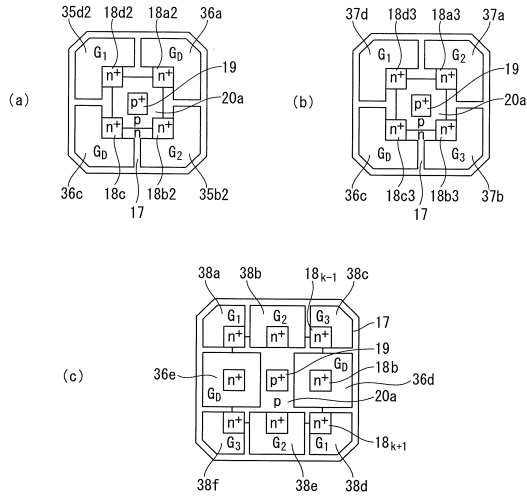
【 図 1 4 】



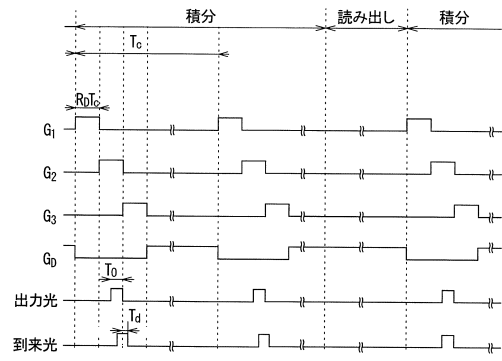
【 図 1 5 】



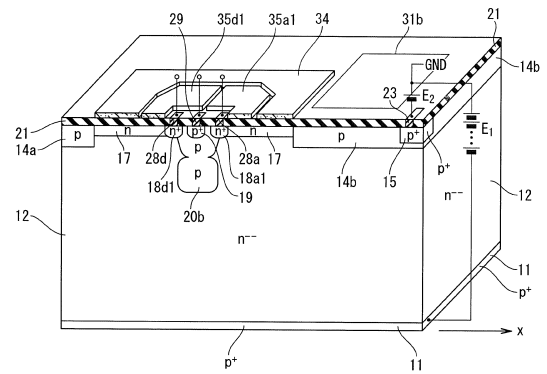
【図16】



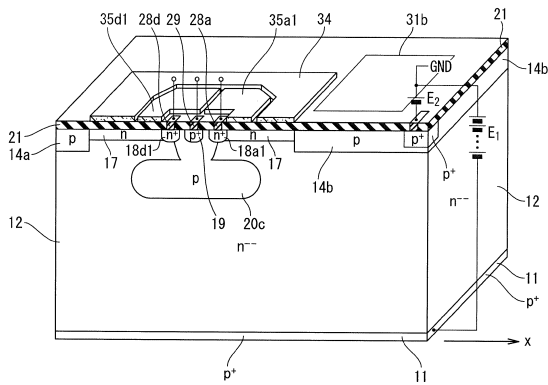
【図17】



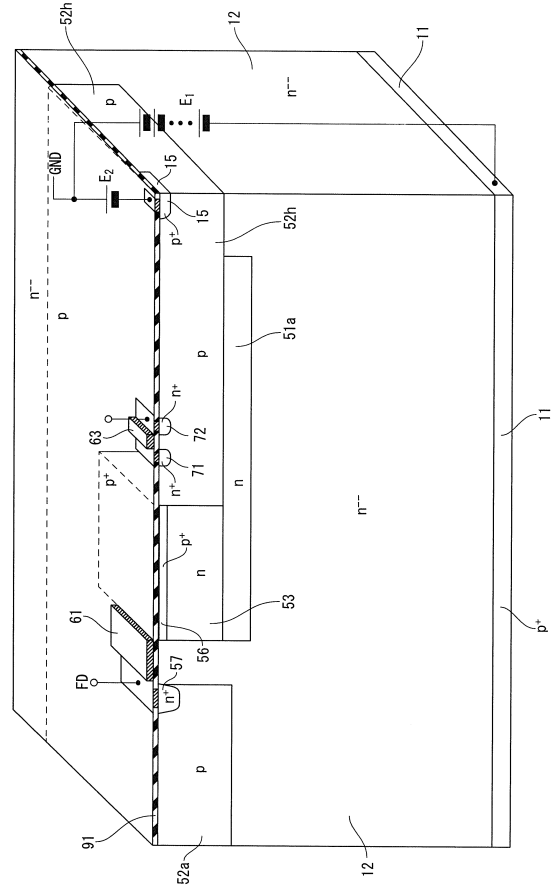
【図18】



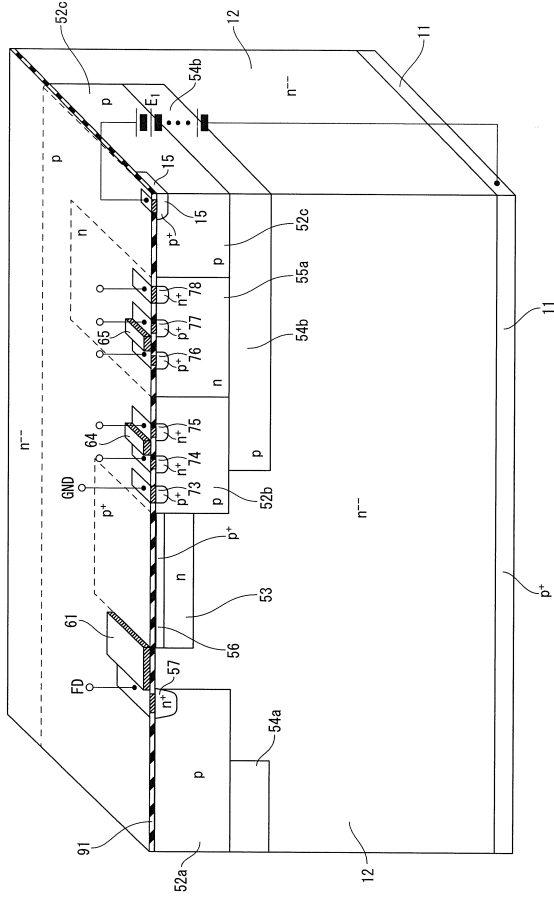
【図19】



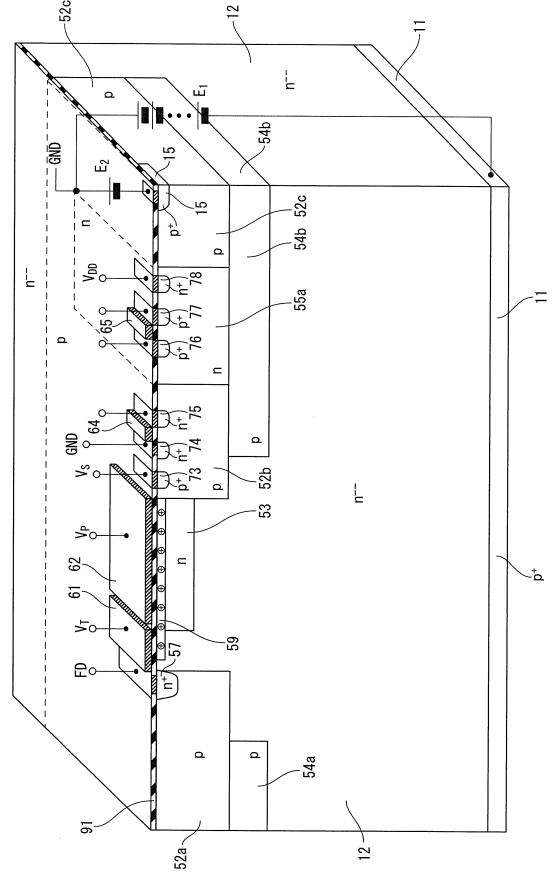
【図20】



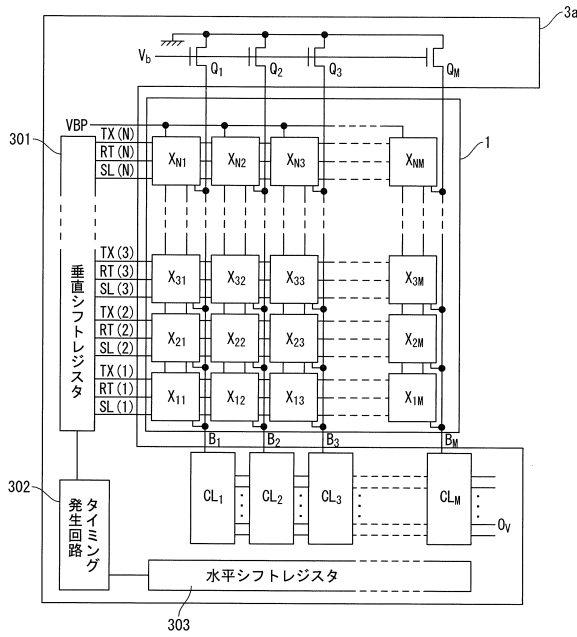
【図 2 1】



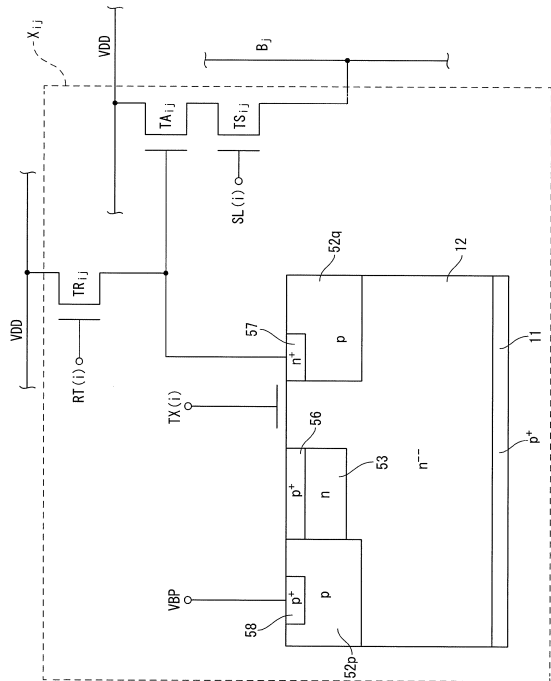
【図 2 2】



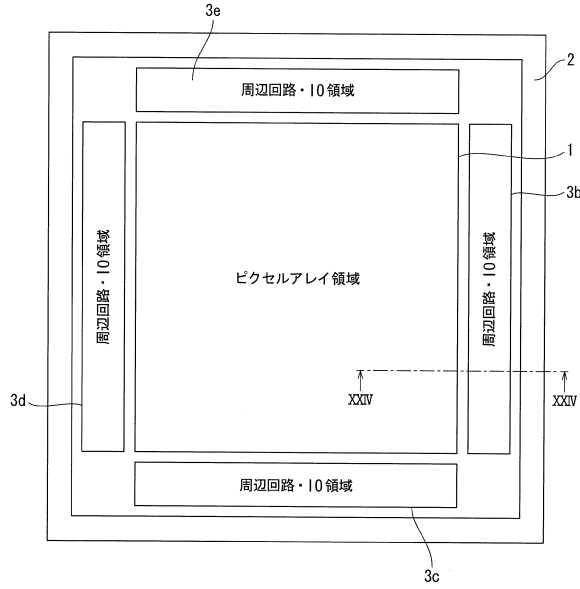
【図 2 3】



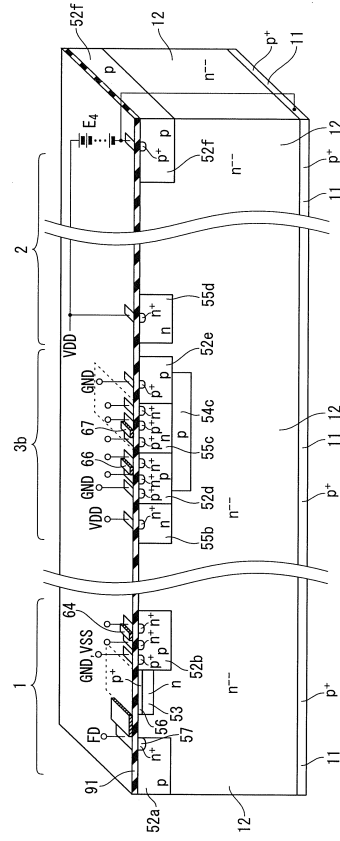
【図 2 4】



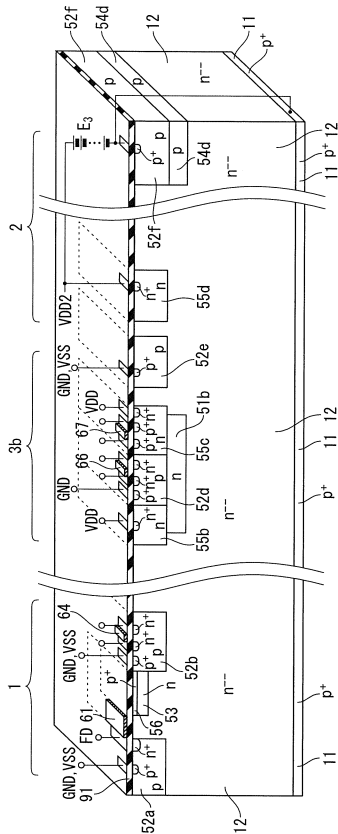
【図25】



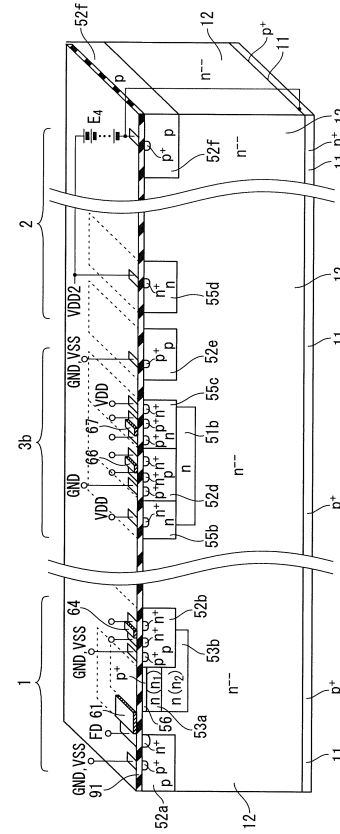
【図26】



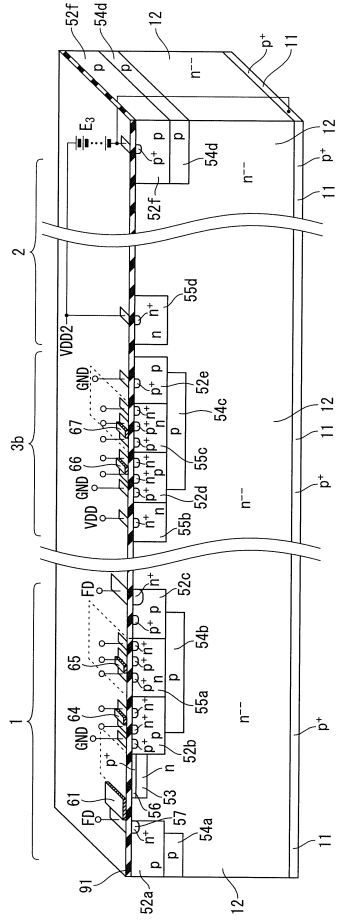
【図27】



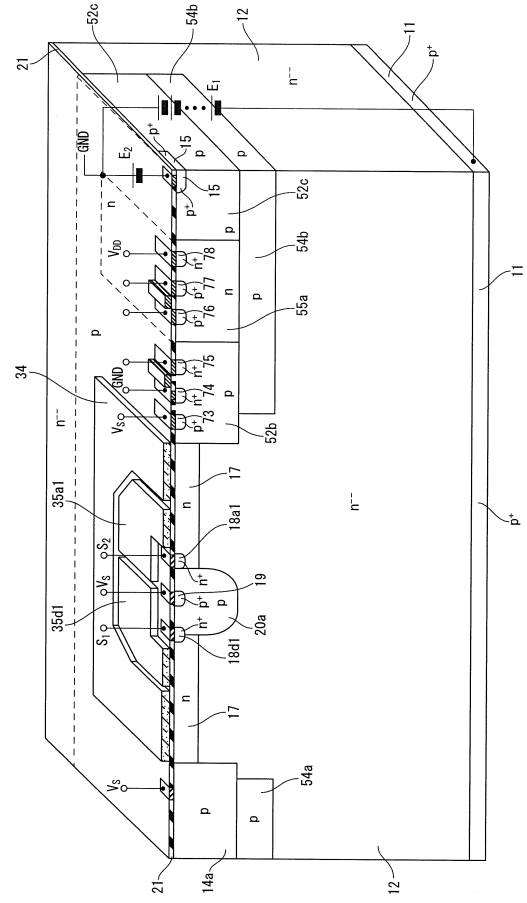
【図28】



【図29】



【図30】



フロントページの続き

審査官 鈴木 肇

- (56)参考文献 特開2006-173351(JP,A)
特表2007-526448(JP,A)
特表2008-538159(JP,A)
国際公開第2011/096549(WO,A1)
特開2000-312024(JP,A)
特開2013-069924(JP,A)
特開2006-216688(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/339
H01L 27/14 - 27/148
H01L 27/30
H01L 29/762
H01L 31/00 - 31/02
H01L 31/0232
H01L 31/0248
H01L 31/0264 - 31/0336
H01L 31/08 - 31/119
H01L 31/18 - 31/20
H01L 51/42
H04N 5/30 - 5/378
G01S 7/48 - 7/51
G01S 17/00 - 17/95