

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/183688

発行日 平成28年2月1日(2016.2.1)

(43) 国際公開日 平成25年12月12日(2013.12.12)

(51) Int.Cl.	F I	テーマコード(参考)
H03M 1/36 (2006.01)	H03M 1/36	5J022
H03M 1/10 (2006.01)	H03M 1/10 A	

審査請求 未請求 予備審査請求 有 (全 20 頁)

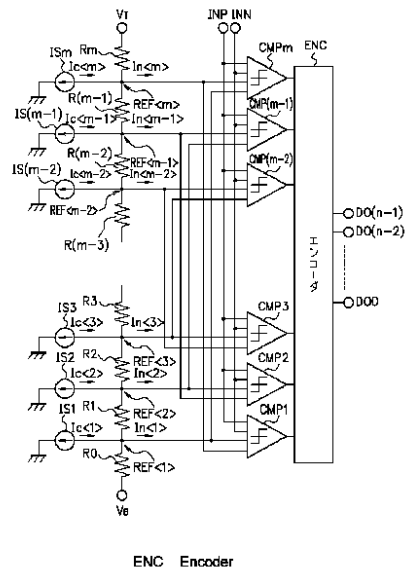
出願番号 特願2014-520036 (P2014-520036)	(71) 出願人 504258527 国立大学法人 鹿児島大学 鹿児島県鹿児島市郡元一丁目21番24号
(21) 国際出願番号 PCT/JP2013/065631	
(22) 国際出願日 平成25年6月5日(2013.6.5)	
(31) 優先権主張番号 特願2012-128031 (P2012-128031)	(74) 代理人 100090273 弁理士 園分 孝悦
(32) 優先日 平成24年6月5日(2012.6.5)	
(33) 優先権主張国 日本国(JP)	(72) 発明者 大島 賢一 鹿児島県鹿児島市郡元一丁目21番24号 国立大学法人 鹿児島大学内
	Fターム(参考) 5J022 AA06 BA01 CB02 CB03 CB06 CD03 CF01 CF04

最終頁に続く

(54) 【発明の名称】 アナログデジタル変換器

(57) 【要約】

並列型AD変換器にて、互いに異なる比較基準電位が
入力され、その比較基準電位と入力されるアナログ入力
信号とを比較する複数の比較器と、複数の比較器の出力
をエンコードしてデジタル信号を出力するエンコーダと
、基準電圧を抵抗分圧して比較基準電位を生成し抵抗間
の出力ノードより比較器に供給する抵抗ラダー回路とを
備え、抵抗ラダー回路における比較基準電位の出力ノ
ードに対して、比較器が発生する雑音電流に応じた補正電
流を供給するようにして、比較器が発生する雑音電流を
補正電流によって打ち消し、抵抗ラダー回路のバイアス
電流を低減でき、かつAD変換における精度劣化を抑制
できるようにする。



【特許請求の範囲】

【請求項 1】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

互いに異なる比較基準電位が入力され、当該比較基準電位と入力される前記アナログ入力信号とを比較する複数の比較器と、

前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダと、

直列に接続された複数の抵抗を有し、基準電圧を抵抗分圧して前記比較基準電位を生成し前記抵抗間の出力ノードより前記比較器に供給する抵抗ラダー回路とを備え、

前記抵抗ラダー回路は、前記比較器が発生する雑音電流による前記比較基準電位の変動を前記出力ノードに電流を供給することによって補正する補正回路を有することを特徴とするアナログデジタル変換器。

10

【請求項 2】

前記補正回路が前記出力ノードに供給する電流は、前記比較器が発生する雑音電流と大きさが同じで逆方向の電流であることを特徴とする請求項 1 記載のアナログデジタル変換器。

【請求項 3】

前記補正回路は、前記比較器が発生する雑音電流を模擬して検出するモニタ回路と、

前記モニタ回路により検出された電流に基づいて、前記出力ノードに供給する電流を調整する電流制御回路とを有することを特徴とする請求項 2 記載のアナログデジタル変換器。

20

【請求項 4】

前記抵抗ラダー回路における前記比較基準電位のすべての出力ノードに対して前記補正回路が接続されることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のアナログデジタル変換器。

【請求項 5】

前記抵抗ラダー回路における前記比較基準電位のすべての出力ノードのうちの一部の出力ノードに対して前記補正回路が接続されることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のアナログデジタル変換器。

【請求項 6】

前記抵抗ラダー回路における両端の出力ノードから約 20% の位置にある出力ノードを少なくとも含む出力ノードに対して前記補正回路が接続されることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のアナログデジタル変換器。

30

【請求項 7】

前記抵抗ラダー回路における両端の出力ノードから約 20% の位置にある出力ノードに対してのみ前記補正回路が接続されることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のアナログデジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログデジタル変換器（A/D変換器）に関する。

40

【背景技術】

【0002】

図 6 A は、並列型アナログデジタル変換器（A/D変換器）の構成例を示す図である。図 6 A には、入力されたアナログ入力信号を n ビット（ n は自然数）のデジタル信号 $DO[n-1:0]$ に変換する並列型 A/D 変換器（フラッシュ A/D 変換器）を示している。図 6 A において、 $R_0 \sim R_m$ （ $m = 2^n - 1$ ）は抵抗であり、 $CMP_1 \sim CMP_m$ は比較器（コンパレータ）であり、ENC はエンコーダである。

【0003】

抵抗 $R_0 \sim R_m$ は、低電位側の基準電圧 V_B が供給される電源端子と高電位側の基準電

50

圧 V_T が供給される電源端子との間に、抵抗 R_0 、 R_1 、 R_2 、 \dots 、 $R(m-3)$ 、 $R(m-2)$ 、 $R(m-1)$ 、 R_m の順で直列に接続される。 $i = 1 \sim m$ の整数として、抵抗 $R(i-1)$ と抵抗 R_i との接続点 $REF < i >$ の電位が、比較基準電位 $V_{REF < i >}$ として比較器 $CMP_1 \sim CMP_m$ に入力される。すなわち、抵抗 $R_0 \sim R_m$ からなる抵抗ラダー回路は、電圧 V_B と電圧 V_T の間を抵抗分圧することで比較基準電位 $V_{REF < i >}$ を生成して比較器 $CMP_1 \sim CMP_m$ に供給する。

【0004】

比較器 CMP_i は、入力端子 INP から入力されるアナログ入力信号 V_{INP} 、及び入力端子 INN から入力されるアナログ入力信号 V_{INN} が入力される。また、比較器 CMP_i には、抵抗ラダー回路の接続点 $REF < i >$ の電位である比較基準電位 $V_{REF < i >}$ 、及び抵抗ラダー回路の接続点 $REF < m - i + 1 >$ の電位である比較基準電位 $V_{REF < m - i + 1 >}$ が入力される。比較器 CMP_i は、比較基準電位 $V_{REF < i >}$ とアナログ入力信号 V_{INP} の差（差電圧）、及び比較基準電位 $V_{REF < m - i + 1 >}$ とアナログ入力信号 V_{INN} の差（差電圧）を比較し、その比較結果を出力する。エンコード ENC は、各比較器 CMP_i の比較結果が入力され、それらをエンコードしてデジタル信号 $DO[n-1:0]$ に変換し出力する。

10

【0005】

前述の並列型 AD 変換器は、比較器を並列に動作させて、アナログ入力信号と複数の比較基準電位との比較を並列に実行することで、高速に AD 変換を行うことが可能である。その反面、例えば n ビット並列型 AD 変換器（全ビットフラッシュ AD 変換器）の場合には $(2^n - 1)$ 個の比較器が必要となり、消費電力が大きくなる。しかし、近年、比較器の低電力化が進み、並列型 AD 変換器の消費電力において抵抗ラダー回路での消費電力が大きな割合を占めるようになってきている。

20

【0006】

ここで、図 6 A に示したような並列型 AD 変換器では、比較器 $CMP_1 \sim CMP_m$ に比較基準電位 $V_{REF < i >}$ を供給する、抵抗 $R_0 \sim R_m$ からなる抵抗ラダー回路は重要な要素回路であり、抵抗ラダー回路の精度が並列型 AD 変換器全体の精度に影響を及ぼす。抵抗ラダー回路の精度を劣化させる要因の一つに比較器 $CMP_1 \sim CMP_m$ からの雑音がある。比較器 $CMP_1 \sim CMP_m$ が動作する過程で発生する雑音電流 I_n により、抵抗ラダー回路における接続点 $REF < i >$ の電位 $V_{REF < i >}$ が変動し、例えば図 6 B において $LV61$ に示す理想の比較基準電位に対して、 $LV62$ に示すように比較基準電位が変動する。この雑音電流 I_n による比較基準電位 $V_{REF < i >}$ の変動は、 AD 変換における変換誤差を増大させ、並列型 AD 変換器の精度を劣化させる。従来においては、抵抗ラダー回路のバイアス電流 I_{bias} を雑音電流 I_n よりも十分大きく設定し、雑音電流 I_n による影響を非常に小さくすることで、並列型 AD 変換器の精度が劣化するのを抑制していた。

30

【0007】

スイッチトキャパシタ積分回路を備える AD 変換器において、回路の形成面積の増加を抑制しつつ、スイッチング動作に起因して発生するキックバックノイズの影響を抑制する技術が提案されている（特許文献 1 参照）。

40

【0008】

しかし、前述のように並列型 AD 変換器の精度劣化を抑制するために、抵抗ラダー回路のバイアス電流 I_{bias} を雑音電流 I_n よりも十分大きく設定すると、抵抗ラダー回路での消費電力が増加するという問題があった。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2009 - 33303 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 1 0 】

本発明は、消費電力の増加を抑制しつつ比較基準電位の変動を抑え、並列型 A D 変換器の精度劣化を抑制することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明に係るアナログデジタル変換器は、入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、互いに異なる比較基準電位が入力され、当該比較基準電位と入力される前記アナログ入力信号とを比較する複数の比較器と、前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダと、直列に接続された複数の抵抗を有し、基準電圧を抵抗分圧して前記比較基準電位を生成し前記抵抗間の出力ノードより前記比較器に供給する抵抗ラダー回路とを備え、前記抵抗ラダー回路は、前記比較器が発生する雑音電流による前記比較基準電位の変動を前記出力ノードに電流を供給することによって補正する補正回路を有することを特徴とする。

10

【発明の効果】

【 0 0 1 2 】

本発明によれば、抵抗ラダー回路の補正回路により、比較器が発生する雑音電流による比較基準電位の変動が補正されるので、抵抗ラダー回路のバイアス電流を低減し、かつアナログデジタル変換における精度劣化を抑制することができる。したがって、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度なアナログデジタル変換器を提供することが可能となる。

20

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】図 1 は、本発明の第 1 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【図 2】図 2 は、本発明の第 2 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【図 3】図 3 は、第 2 の実施形態における雑音電流のモニタ回路の構成例を示す図である。

【図 4 A】図 4 A は、本発明の第 4 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

30

【図 4 B】図 4 B は、第 4 の実施形態における抵抗ラダー回路が有する抵抗の抵抗値の例を示す図である。

【図 4 C】図 4 C は、第 4 の実施形態における電位変動量を示す図である。

【図 5】図 5 は、本発明の実施形態におけるアナログデジタル変換器の他の構成例を示す図である。

【図 6 A】図 6 A は、並列型アナログデジタル変換器の構成例を示す図である。

【図 6 B】図 6 B は、並列型アナログデジタル変換器における比較基準電位の変動を説明するための図である。

【図 7】図 7 は、並列型アナログデジタル変換器で用いられる比較器の構成例を示す図である。

40

【図 8 A】図 8 A は、抵抗ラダー回路に流れる雑音電流の例を示す図である。

【図 8 B】図 8 B は、抵抗ラダー回路の電位変動の例を示す図である。

【図 9】図 9 は、本発明の第 3 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【図 10】図 10 は、第 3 の実施形態におけるアナログデジタル変換器の消費電力を示す図である。

【発明を実施するための形態】

【 0 0 1 4 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 1 5 】

50

まず、並列型アナログデジタル変換器（AD変換器）で用いられる比較器が発生する雑音電流について説明する。図7は、並列型AD変換器で用いられる比較器の構成例を示す図である。図7には、並列型AD変換器で多用されるスイッチトキャパシタ回路を入力部に有する比較器を一例として示している。図7に示す比較器は、MOS（metal oxide semiconductor）トランジスタ71P、71N、抵抗72P、72N、電流源73、アナログラッチ74、容量75P、75N、及びスイッチSW1P、SW1N、SW2P、SW2N、SW3P、SW3Nを有する。

【0016】

トランジスタ71P、71Nは、増幅を司る差動対のトランジスタであり、駆動素子をなすものである。トランジスタ71P、71Nのソースは、電流源73に接続される。また、トランジスタ71Pのドレインは、負荷素子をなす抵抗72Pの一端に接続され、トランジスタ71Nのドレインは、負荷素子をなす抵抗72Nの一端に接続される。抵抗72P、72Nの他端は、電源電圧（Vcc）に接続される。

10

【0017】

トランジスタ71Pのゲートは、サンプリング容量としての容量75Pの一方の電極に接続される。容量75Pの他方の電極には、スイッチSW1Pを介して正相アナログ入力信号VINPが供給され、スイッチSW2Pを介して正相比較基準電位VREFP<i>が供給される。また、トランジスタ71Nのゲートは、サンプリング容量としての容量75Nの一方の電極に接続される。容量75Nの他方の電極には、スイッチSW1Nを介して逆相アナログ入力信号VINNが供給され、スイッチSW2Nを介して逆相比較基準電位VREFN<i>が供給される。例えば正相比較基準電位VREFP<i>を電位VREF<i>とすると、逆相比較基準電位VREFN<i>は電位VREF<m-i+1>である。また、トランジスタ71P、71Nのゲートと容量75P、75Nの一方の電極との接続点には、スイッチSW3P、SW3Nを介してコモン電位VCが供給可能となっている。

20

【0018】

アナログラッチ74は、トランジスタ71Pのドレインと抵抗72Pの接続点の電位、及びトランジスタ71Nのドレインと抵抗72Nの接続点の電位を入力として受け、その入力の判定動作を行って最終的に“1”又は“0”の値に判定し、判定結果を出力信号VOUTP、VOUTNとして出力する。なお、図7に示す容量76P、76Nは、寄生容量である。

30

【0019】

図7に示した比較器は、リセット期間において、スイッチSW1P、SW1Nが非導通状態（開状態、オフ状態）とされ、スイッチSW2P、SW2Nが導通状態（閉状態、オン状態）とされて、容量75P、75Nの一方の電極に比較基準電位VREFP<i>、VREFN<i>が供給される。そして、比較器は、リセット期間に続く比較期間において、スイッチSW1P、SW1Nが導通状態（閉状態、オン状態）とされ、スイッチSW2P、SW2Nが非導通状態（開状態、オフ状態）とされて、容量75P、75Nの一方の電極にアナログ入力信号VINP、VINNが供給される。このように、各スイッチSW1P、SW1N、SW2P、SW2Nが適宜制御されることで、比較器は、比較基準電位VREFP<i>とアナログ入力信号VINPの差（差電圧）、及び比較基準電位VREFN<i>とアナログ入力信号VINNの差（差電圧）を比較し、その比較結果を出力する。

40

【0020】

ここで、サンプリング容量である容量75P、75Nの容量値をCs、寄生容量76P、76Nの容量値をCpとすると、比較器が動作する過程で発生する正相側の雑音電流Inp<i>及び逆相側の雑音電流Inn<i>は（式1）で表される。なお、t_cはサイクル時間（=1/動作周波数）である。

【0021】

【数 1】

$$\begin{aligned} I_{np} < i > &= \frac{C_{eff}(V_{REF} < i > - V_{INP})}{t_c} \\ I_{nn} < i > &= \frac{C_{eff}(V_{REFN} < i > - V_{INN})}{t_c} \quad \dots \text{(式 1)} \\ C_{eff} &= \frac{C_p \cdot C_s}{C_p + C_s} \end{aligned}$$

10

【0022】

したがって、抵抗ラダー回路における比較基準電位 $V_{REF} < i >$ の出力ノードに対応する接続点 $REF < i >$ に対して流れる雑音電流 $I_n < i >$ は(式 2)で表される。

【0023】

【数 2】

$$I_n < i > = I_{np} < i > + I_{nn} < m - i + 1 > = \frac{2C_{eff}(V_{REF} < i > - V_{com})}{t_c} \quad \dots \text{(式 2)}$$

$$\text{ただし、 } V_{com} \equiv \frac{V_{INP} + V_{INN}}{2}$$

20

【0024】

前記(式 2)から明らかなように、接続点 $REF < i >$ に対して流れる雑音電流 $I_n < i >$ は入力信号に依存せず、抵抗ラダー回路における接続点 $REF < i >$ の位置のみで決まる。64個の抵抗からなる抵抗ラダー回路、すなわち6ビットの並列型AD変換器が備える抵抗ラダー回路に流れる雑音電流 I_n の一例を図8Aに示し、その雑音電流 I_n による接続点 $REF < i >$ での電位変動 V の一例を図8Bに示す。図8Aに示されるように、抵抗ラダー回路の中心部から端部に向かって雑音電流 I_n の大きさは大きくなる。また、抵抗ラダー回路に流れる雑音電流 I_n による電位変動 V は、図8Bに示すような特徴的なパターンを有する。すなわち、抵抗ラダー回路の両端及び中心部では電位変動が小さく、両端からラダー長の約20%の位置で電位変動が最大となる。また、図8Bにおいて、抵抗ラダー回路を構成する抵抗の抵抗値 R は $R_1 < R_2 < R_3$ であり、抵抗値が大きいほど電位変動が大きくなる。

30

【0025】

このように、雑音電流 $I_n < i >$ による接続点 $REF < i >$ の電位 $V_{REF} < i >$ の変動量は、入力信号に依存しない。したがって、回路構成、及び抵抗ラダー回路に供給される基準電圧や動作周波数等の動作条件が決まれば、接続点 $REF < i >$ の電位 $V_{REF} < i >$ の変動量をあらかじめ予測し補正することが可能となる。

【0026】

(第1の実施形態)

40

本発明の第1の実施形態について説明する。

第1の実施形態におけるAD変換器は、比較基準電位 $V_{REF} < i >$ の出力ノードに対応する抵抗ラダー回路における接続点 $REF < i >$ に対して、比較器が発生する雑音電流 $I_n < i >$ と大きさが同じで逆方向の電流を供給することで、雑音電流 $I_n < i >$ を打ち消し、抵抗ラダー回路での電位変動を抑制する。図1は、第1の実施形態におけるAD変換器の構成例を示す図である。図1には、入力されたアナログ入力信号を n ビット (n は自然数) のデジタル信号 $DO[n-1:0]$ に変換する並列型AD変換器(フラッシュAD変換器)を一例として示している。図1において、 $R_0 \sim R_m$ ($m = 2^n - 1$) は抵抗であり、 $IS_1 \sim IS_m$ は電流源である。また、 $CMP_1 \sim CMP_m$ は比較器(コンパレータ)であり、 ENC はエンコーダである。

50

【0027】

抵抗 $R_0 \sim R_m$ は、例えば電圧 V_B (低電位側の基準電圧) が供給される電源端子と電圧 V_T (高電位側の基準電圧) が供給される電源端子との間に、抵抗 R_0 、 R_1 、 R_2 、 R_3 、 \dots 、 $R_{(m-3)}$ 、 $R_{(m-2)}$ 、 $R_{(m-1)}$ 、 R_m の順で直列に接続される。抵抗 $R_{(i-1)}$ と抵抗 $R_{(i)}$ との接続点 $REF < i >$ が比較基準電位 $V_{REF < i >}$ の出力ノードに対応し、接続点 $REF < i >$ の電位が、比較基準電位 $V_{REF < i >}$ として比較器 $CMP_1 \sim CMP_m$ に入力される。なお、 i は添え字であり、 $i = 1 \sim m$ の整数である。すなわち、抵抗 $R_0 \sim R_m$ からなる抵抗ラダー回路は、電圧 V_B と電圧 V_T の間を抵抗分圧することで比較基準電位 $V_{REF < i >}$ を生成して比較器 $CMP_1 \sim CMP_m$ に供給する。

10

【0028】

比較器 CMP_i は、例えば図7に例示したような比較器である。比較器 CMP_i は、その入力が入力端子 INP 、 INN に接続されて、アナログ入力信号 V_{INP} 、 V_{INN} が入力される。また、比較器 CMP_i は、その入力が、抵抗 $R_{(i-1)}$ と抵抗 $R_{(i)}$ の接続点 $REF < i >$ 、及び抵抗 $R_{(m-i)}$ と抵抗 $R_{(m-i+1)}$ の接続点 $REF < m-i+1 >$ に接続されて、比較基準電位 $V_{REF < i >}$ 、 $V_{REF < m-i+1 >}$ が入力される。比較器 CMP_i は、比較基準電位 $V_{REF < i >}$ とアナログ入力信号 V_{INP} の差(差電圧)、及び比較基準電位 $V_{REF < m-i+1 >}$ とアナログ入力信号 V_{INN} の差(差電圧)を比較し、その比較結果を出力する。エンコード ENC は、各比較器 CMP_i の比較結果が入力され、それらをエンコードしてデジタル信号 $DO[n-1:0]$ に変換し出力する。

20

【0029】

電流源 IS_i は、比較器 CMP_i が発生する雑音電流 $I_{n < i >}$ を打ち消すための補正電流源である。電流源 IS_i は、抵抗ラダー回路における接続点 $REF < i >$ に接続され、比較器が発生する雑音電流 $I_{n < i >}$ と大きさが同じで逆方向の電流 $I_{c < i >}$ を接続点 $REF < i >$ に対して供給する。これにより、電流源 IS_i が供給する補正電流 $I_{c < i >}$ によって、比較器が発生する雑音電流 $I_{n < i >}$ を打ち消し、抵抗ラダー回路における接続点 $REF < i >$ の電位 $V_{REF < i >}$ の変動を抑制することができる。

【0030】

ここで、補正電流源である電流源 IS_i が供給する補正電流 $I_{c < i >}$ の大きさは、抵抗ラダー回路の通常のバイアス電流と比較すると小さく(例えば数百分の1程度であり)、電流源 IS_i による消費電力の増加はほとんどない。なお、補正電流 $I_{c < i >}$ を供給するための電流源 IS_i は、抵抗ラダー回路における接続点 $REF < 1 > \sim REF < m >$ の各々に対して設けなくとも良い。

30

【0031】

第1の実施形態によれば、抵抗ラダー回路において、比較基準電位 $V_{REF < i >}$ の出力ノードに対応する接続点 $REF < i >$ に対し、比較器が発生する雑音電流 $I_{n < i >}$ に応じた補正電流 $I_{c < i >}$ を電流源 IS_i が供給する。これにより、電流源 IS_i が供給する補正電流 $I_{c < i >}$ によって、比較器が発生する雑音電流 $I_{n < i >}$ を打ち消すことができ、抵抗ラダー回路のバイアス電流を低減し、かつAD変換における精度劣化を抑制することができる。したがって、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度なAD変換器が実現できる。

40

【0032】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。

比較器が発生する雑音電流 $I_{n < i >}$ による抵抗ラダー回路における接続点 $REF < i >$ の電位変動 $V < i >$ は、(式3)で計算できる。

【0033】

【数 3】

$$\Delta V < i > = \frac{R \cdot C_{eff} \cdot i(N-i) \{ \Delta V_q(N+i) - 3(V_{com} - V_B) \}}{3t_c} \quad \dots (式 3)$$

$$C_{eff} = \frac{C_p \cdot C_s}{C_p + C_s}$$

$$\Delta V_q = \frac{V_T - V_B}{N}$$

$$V_{com} = \frac{V_{INP} + V_{INN}}{2}$$

10

【0034】

前記(式3)において、Rは抵抗ラダー回路を構成する抵抗の抵抗値、Csは比較器が有するサンプリング容量の容量値、Cpは比較器における寄生容量の容量値である。また、Nは抵抗ラダー回路を構成する抵抗の数(抵抗ラダー回路が生成する比較基準電位により分割される電位範囲の数)、VTは高電位側の基準電圧、VBは低電位側の基準電圧、tcはサイクル時間(=1/動作周波数)である。前記(式3)から明らかなように、雑音電流In<i>による接続点REF<i>の電位変動V<i>は、入力信号には依存しないが、比較器の動作周波数や寄生容量の容量値等に依存して変化する。例えば、比較器は、その動作周波数に、例えば500MHz~1GHzなどのある幅を持たせて設計されることもあり、比較基準電位VREF<i>の出力ノードに対応する接続点REF<i>の電位変動V<i>が事前に予測できないこともある。

20

【0035】

そこで、第2の実施形態では、比較器が発生する雑音電流を測定するモニタ回路、及びその測定結果に応じて接続点REF<i>に対して供給する補正電流を制御する制御回路を設ける。これにより、比較器の動作周波数や寄生容量の容量値等により比較器が発生する雑音電流が変化しても、接続点REF<i>に対して補正電流を適切に供給することが可能になり、雑音電流In<i>を打ち消し、抵抗ラダー回路での電位変動を抑制することができる。

30

【0036】

図2は、第2の実施形態におけるAD変換器の構成例を示す図である。図2には、入力されたアナログ入力信号を6ビットのデジタル信号DO5~DO0に変換する並列型AD変換器を一例として示している。図2において、R0~R63は抵抗であり、IS1~IS63は電流源であり、CMP1~CMP63は比較器(コンパレータ)であり、ENCはエンコーダである。また、21はモニタ回路(IDET)であり、22は電流制御回路(ICTRL)である。抵抗R0~R63、電流源IS1~IS63、比較器CMP1~CMP63は、第1の実施形態における抵抗R0~Rm、電流源IS1~ISM、比較器CMP1~CMPmの値mを63としたものに対応するので、これらについての重複する説明は省略する。

40

【0037】

モニタ回路21は、比較器が発生する雑音電流と同様の雑音電流を発生させて測定する。電流制御回路22は、モニタ回路21によって測定された雑音電流に基づいて、電流源IS1~IS63を制御し補正電流Ic<1>~Ic<63>を調整する。

例えば、図3に示すように、モニタ回路21は、モニタ用の比較器DCMPを用いて、比較器CMP1~CMP63が発生する雑音電流を模擬し、その電流を検出する。モニタ回路21は、MOSトランジスタ31P、31N、抵抗32P、32N、及び電流源33P、33Nを有する。トランジスタ31Pは、ソースが電流源33Pに接続され、ドレインが抵抗32Pを介して電源電圧(Vcc)に接続され、ゲートに制御電圧VRPが供給

50

される。また、トランジスタ 31N は、ソースが電流源 33N に接続され、ドレインが抵抗 32N を介して電源電圧 (V_{CC}) に接続され、ゲートに制御電圧 V_{RN} が供給される。

【0038】

トランジスタ 31P のソースの電位が比較基準電位 V_{REFP} としてモニタ用の比較器 DCMP に入力され、トランジスタ 31N のソースの電位が比較基準電位 V_{REFN} としてモニタ用の比較器 DCMP に入力される。ここで、比較基準電位 V_{REFP} 、 V_{REFN} は、比較器 CMP1 ~ CMP63 に入力される比較基準電位と同様に、一方が電位 $V_{REF < i >}$ 、他方が電位 $V_{REF < 63 - i + 1 >}$ となる関係を満たし、トランジスタ 31P、31N のソースの電位がこのような電位となるように制御電圧 V_{RP} 、 V_{RN} が制御されている。トランジスタ 31P、31N のドレインと抵抗 32P、32N との各々の接続点に電流制御回路 22 が接続される。

10

【0039】

また、モニタ用の比較器 DCMP には、入力端子 INP、INN から入力されるアナログ入力信号 V_{INP} 、 V_{INN} が供給される。モニタ用の比較器 DCMP は、比較器 CMP1 ~ CMP63 と同様に動作し、比較基準電位 V_{REFP} とアナログ入力信号 V_{INP} の差 (差電圧)、及び比較基準電位 V_{REFN} とアナログ入力信号 V_{INN} の差 (差電圧) を比較し、その比較結果を出力する。したがって、モニタ用の比較器 DCMP の動作によって、比較器 CMP1 ~ CMP63 と同様の雑音電流が発生する。この雑音電流によりトランジスタ 31P、31N のドレインと抵抗 32P、32N との接続点の電位が変化する。電流制御回路 22 は、この電位変化に基づいて、比較器 CMP1 ~ CMP63 が発生する雑音電流 $I_{n < 1 >}$ ~ $I_{n < 63 >}$ に応じた補正電流 $I_{c < 1 >}$ ~ $I_{c < 63 >}$ を供給するように電流源 IS1 ~ IS63 を制御する。

20

【0040】

第 2 の実施形態によれば、比較器の動作周波数や寄生容量の容量値等により比較器の発生する雑音電流が変化しても、発生する雑音電流に応じた補正電流を適切に供給することができ、電流源 IS_i が供給する補正電流 $I_{c < i >}$ によって、比較器が発生する雑音電流 $I_{n < i >}$ を打ち消すことができ、抵抗ラダー回路のバイアス電流を低減し、かつ AD 変換における精度劣化を抑制することができる。したがって、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度な AD 変換器が実現できる。

30

【0041】

なお、第 2 の実施形態においても、補正電流 $I_{c < i >}$ を供給するための電流源 IS_i は、抵抗ラダー回路における接続点 $REF < 1 >$ ~ $REF < m >$ の各々に対して設けなくとも良い。例えば、雑音電流 $I_{n < i >}$ による電位 $V_{REF < i >}$ の変動が大きいと予測される接続点 $REF < i >$ にだけ電流源 IS_i を設けても良く、雑音電流 $I_{n < i >}$ による抵抗ラダー回路の電位変動を改善することができる。

【0042】

(第 3 の実施形態)

次に、本発明の第 3 の実施形態について説明する。

40

第 1 及び第 2 の実施形態においては、抵抗ラダー回路における接続点 $REF < 1 >$ ~ $REF < m >$ の各々に対して、補正電流 $I_{c < i >}$ を供給するための電流源 IS_i を設けているが、前述したように雑音電流 $I_{n < i >}$ による電位 $V_{REF < i >}$ の変動が大きいと予測される接続点 $REF < i >$ にだけ電流源 IS_i を設けることで、雑音電流 $I_{n < i >}$ による抵抗ラダー回路の電位変動を改善することができる。

【0043】

以下に説明する第 3 の実施形態では、抵抗ラダー回路における雑音電流 $I_{n < i >}$ による電位 $V_{REF < i >}$ の変動が大きいと予測される接続点 $REF < i >$ に対して電流源 IS_i を設ける。図 9 は、第 3 の実施形態における AD 変換器の構成例を示す図である。図 9 においては、最も電位変動が大きいと予測される、抵抗ラダー回路の両端からラダー長

50

の約20%の位置の接続点 $REF < i >$ (図9に例示した64個の抵抗からなる抵抗ラダー回路の場合には、接続点 $REF < 13 >$ 及び $REF < 51 >$)、言い換えれば抵抗ラダー回路の両端の比較基準電位の出力ノードから20%付近の位置に存在する比較基準電位の出力ノードに対して電流源 IS_i を設けている。

【0044】

図9には、入力されたアナログ入力信号を6ビットのデジタル信号 $DO_5 \sim DO_0$ に変換する並列型AD変換器を一例として示している。図9において、 $R_0 \sim R_{63}$ は抵抗であり、 IS_{13} 、 IS_{51} は電流源であり、 $CMP_1 \sim CMP_{63}$ は比較器(コンパレータ)であり、 ENC はエンコーダである。抵抗 $R_0 \sim R_{63}$ 、比較器 $CMP_1 \sim CMP_{63}$ は、第1の実施形態における抵抗 $R_0 \sim R_m$ 、比較器 $CMP_1 \sim CMP_m$ の値 m を63としたものに対応し、電流源 IS_{13} 、 IS_{51} は、第1の実施形態における電流源 $IS_1 \sim IS_m$ の内の電流源 IS_{13} 、 IS_{51} に対応するので、これらについての重複する説明は省略する。

10

【0045】

このように、抵抗ラダー回路において、最も電位変動が大きいと予測される両端からラダー長の約20%の位置の接続点である接続点 $REF < 13 >$ 及び $REF < 51 >$ に対して電流源 IS_{13} 、 IS_{51} を設けることで、回路の増加及び消費電力の増加をともに抑制しつつ、前述した実施形態と同様に、比較器が発生する雑音電流による抵抗ラダー回路の電位変動を改善する効果が得られ、低消費電力かつ高精度なAD変換器が実現できる。

20

【0046】

例えば、図10は、図9に示した第3の実施形態における並列型AD変換器の消費電力を示す図であり、従来の並列型AD変換器と比較して、本実施形態では、抵抗ラダー回路における消費電力を80%削減でき、またAD変換器全体での消費電力を30%削減することが可能である。なお、図10には、製造プロセスを65nmのCMOSプロセスとするフォアグラウンドキャリブレーションを使用したサブレンシング型の並列AD変換器とし、電源電圧が0.8V、サンプリング周波数が1GHz、入力信号の周波数が496MHzとして計算により見積もった結果を示している。

【0047】

なお、図9には、第1の実施形態における並列型AD変換器において、抵抗ラダー回路における雑音電流 $In < i >$ による電位 $V_{REF < i >}$ の変動が大きいと予測される接続点 $REF < i >$ に対して電流源 IS_i を設けた例を示したが、第2の実施形態における並列型AD変換器においても同様に適用できる。また、前述した例では、抵抗ラダー回路の両端からラダー長の約20%の位置の接続点 $REF < i >$ に対して電流源 IS_i を設けた例を示したが、電位変動が大きいと予測される範囲の接続点 $REF < i >$ 、例えば抵抗ラダー回路の両端からラダー長の10%~30%の位置の接続点 $REF < i >$ に対して電流源 IS_i を設けても雑音電流による抵抗ラダー回路の電位変動を改善する効果が得られる。また、抵抗ラダー回路の両端からラダー長の約20%の位置の接続点 $REF < i >$ を含む複数の接続点 $REF < i >$ に対して電流源 IS_i を設けるようにしても良い。

30

【0048】

(第4の実施形態)

次に、本発明の第4の実施形態について説明する。

前述の第1及び第2の実施形態では、抵抗ラダー回路における接続点 $REF < i >$ に対して、補正電流 $Ic < i >$ を供給する電流源 IS_i を設けることで、比較器が発生する雑音電流 $In < i >$ を打ち消している。以下に説明する第4の実施形態では、比較器が発生する雑音電流 $In < i >$ を打ち消すのではなく、雑音電流 $In < i >$ による電位変動を含めて抵抗ラダー回路における接続点 $REF < i >$ の電位 $V_{REF < i >}$ が所望の電位となるように抵抗ラダー回路の抵抗値を調整する。

40

【0049】

図4Aは、第4の実施形態におけるAD変換器の構成例を示す図である。図4Aには、

50

入力されたアナログ入力信号を6ビットのデジタル信号DO5～DO0に変換する並列型AD変換器を一例として示している。図4Aにおいて、R0～R63は抵抗であり、CMP1～CMP63は比較器(コンパレータ)であり、ENCはエンコーダである。抵抗R0～R63、比較器CMP1～CMP63は、第1の実施形態における抵抗R0～Rm、比較器CMP1～CMPmの値mを63としたものに対応するが、第4の実施形態では抵抗R0～Rmの抵抗値は同一ではなく抵抗ラダー回路の位置に応じて異なっている。

【0050】

比較器が発生する雑音電流 $I_{n<i>}$ による抵抗ラダー回路における接続点REF<i>の電位変動 $V<i>$ は、前述したように(式3)で計算できる。第4の実施形態では、この電位変動 $V<i>$ と逆の電位変動を発生するように抵抗ラダー回路の抵抗を設計し、比較器の発生する雑音電流 $I_{n<i>}$ が流れた状態で電位変動が0となるようにする。このため、第4の実施形態における並列型AD変換器では、抵抗ラダー回路を構成する抵抗R0～R63の抵抗値を図4Bに実線41で示すように設定する。すなわち、抵抗ラダー回路を構成する抵抗R0～R63の抵抗値は、通常は破線42で示すようにすべて同じであるが、本実施形態では雑音電流 $I_{n<i>}$ の大きさが大きい抵抗ラダー回路の端部では抵抗を小さくし、雑音電流 $I_{n<i>}$ の大きさが小さい抵抗ラダー回路の中央部では抵抗を大きくする。これにより図4Cに示すように、抵抗ラダー回路を構成する抵抗R0～R63の抵抗値をすべて同じくした場合に生じる破線45で示す電位変動を改善し、実線44で示すように雑音電流 $I_{n<i>}$ による電位変動を抑制することができる。

10

【0051】

20

(他の実施形態)

なお、前述した実施形態においては、並列型AD変換器(全ビットフラッシュAD変換器)を一例として説明したが、本発明はこれに限定されるものではない。例えば、図5に示すようなサブレンジング型AD変換器<subranging AD converter>にも適用可能である。図5は、本発明の実施形態におけるAD変換器の他の構成例を示す図である。図5には、入力されるアナログ入力信号VINを(m+n)ビット(m、nは自然数)のデジタル信号DO[1:m+n]に変換するサブレンジング型AD変換器を一例として示している。

【0052】

30

図5において、51はトラックアンドホールド回路であり、52はmビット並列型AD変換器(フラッシュAD変換器)であり、53はデジタルアナログ変換器(DA変換器)である。54は演算器であり、55はnビット並列型AD変換器(フラッシュAD変換器)であり、56はエンコーダである。mビット並列型AD変換器52は、デジタル信号DO[1:m+n]のうちの上位側のmビットについてのAD変換処理を行い、nビット並列型AD変換器55は、デジタル信号DO[1:m+n]のうちの下位側のnビットについてのAD変換処理を行う。並列型AD変換器52、55のそれぞれを、前述した各実施形態に示した並列型AD変換器と同様に構成することで、回路規模を削減し、低消費電力かつ高精度のAD変換器を実現することができる。

【0053】

40

図5に示したサブレンジング型AD変換器において、入力されたアナログ入力信号VINは、トラックアンドホールド回路51により入力及び保持されて、mビット並列型AD変換器52及び演算器54に供給される。mビット並列型AD変換器52では、供給されるアナログ入力信号VINを用いてAD変換処理が行われ、デジタル信号DO[1:m+n]のうちデジタル信号DO[n+1:m+n]がmビット並列型AD変換器52から出力される。mビット並列型AD変換器52から出力されたデジタル信号DO[n+1:m+n]は、DA変換器53に供給されるとともにエンコーダ56に出力される。

【0054】

DA変換器53に供給されたデジタル信号DO[n+1:m+n]はDA変換処理され、デジタル信号DO[n+1:m+n]に応じたアナログ信号がDA変換器53から出力される。そして、トラックアンドホールド回路51より出力されたアナログ入力信号VI

50

NからDA変換器53より出力されたアナログ信号が、演算器54によって減算されてnビット並列型AD変換器55に供給される。これにより、入力されたアナログ入力信号VINから、mビット並列型AD変換器52により決定されたデジタル信号DO[n+1:m+n]に応じたアナログ信号を減じた残差成分がnビット並列型AD変換器55に供給される。

【0055】

nビット並列型AD変換器55では、演算器54より供給されるアナログ信号のAD変換処理が行われ、デジタル信号DO[1:m+n]のうちのデジタル信号DO[1:n]がnビット並列型AD変換器55からエンコーダ56に出力される。エンコーダ56は、mビット並列型AD変換器52から出力されたデジタル信号DO[n+1:m+n]と、nビット並列型AD変換器55から出力されたデジタル信号DO[1:n]とを結合する。以上のようにして、入力されたアナログ入力信号VINが(m+n)ビットのデジタル信号DO[1:m+n]に変換され出力される。

10

【0056】

なお、前述した各実施形態では、スイッチトキャパシタ回路を入力部に有する比較器を例に説明したが、本発明はこれに限定されるものではなく、それ以外の構成の比較器であっても、それが発生する雑音電流を打ち消すという本発明の基本概念は適用可能である。スイッチトキャパシタ回路を入力部に有する比較器とは構成が異なる比較器が用いられる場合には、比較器が発生する雑音電流は、前述した説明で示した関数とは異なる依存性を持つので、その依存性に合わせて補正電流の電流値等を決定すれば良い。

20

【0057】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

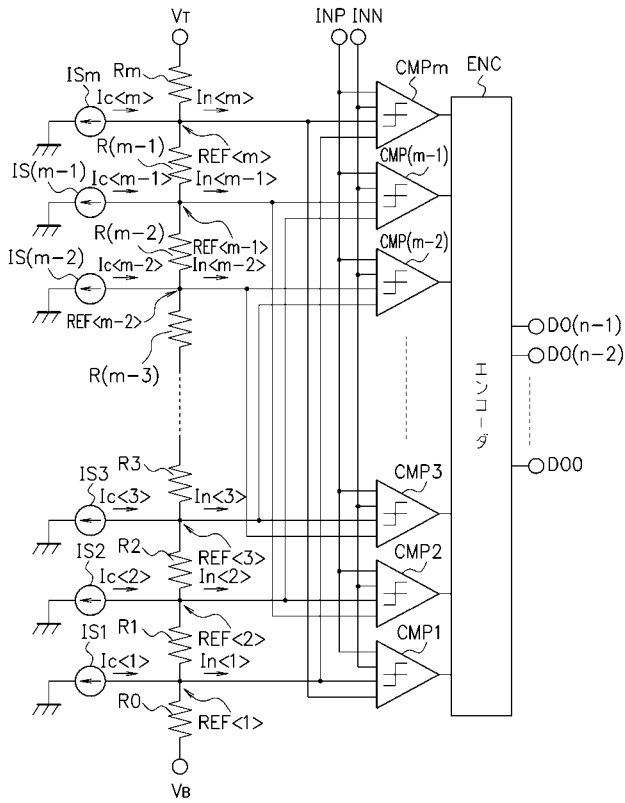
【産業上の利用可能性】

【0058】

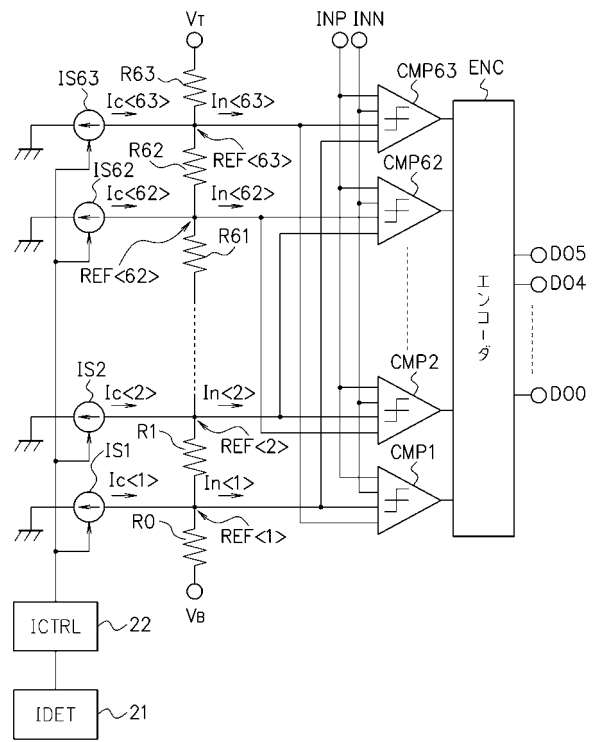
抵抗ラダー回路の補正回路により比較器が発生する雑音電流による基準電位の変動を抑制することで、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度なアナログデジタル変換器を提供することができる。

30

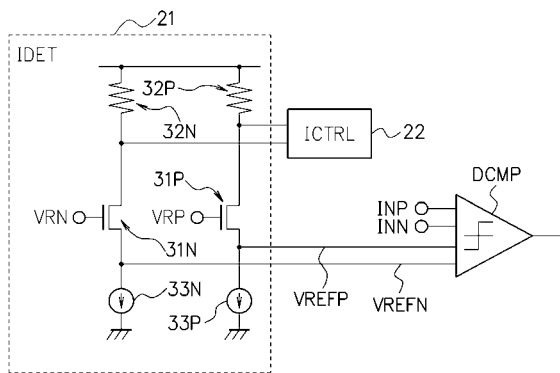
【 図 1 】



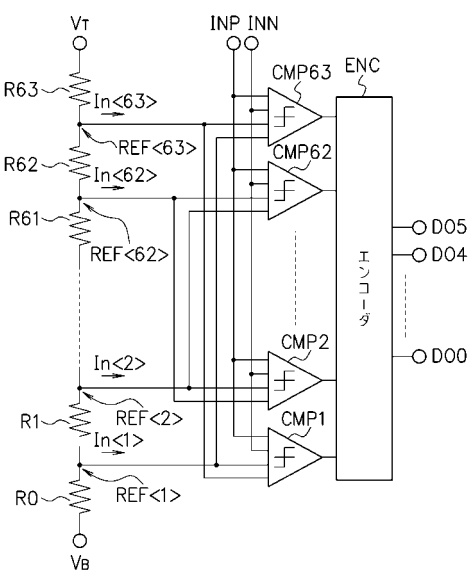
【 図 2 】



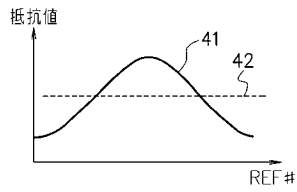
【 図 3 】



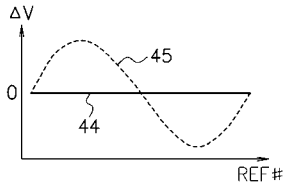
【 図 4 A 】



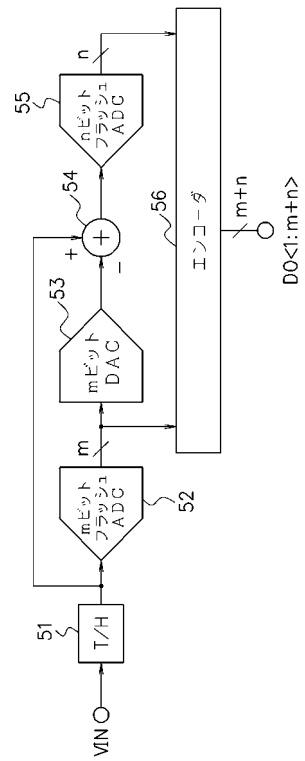
【 図 4 B 】



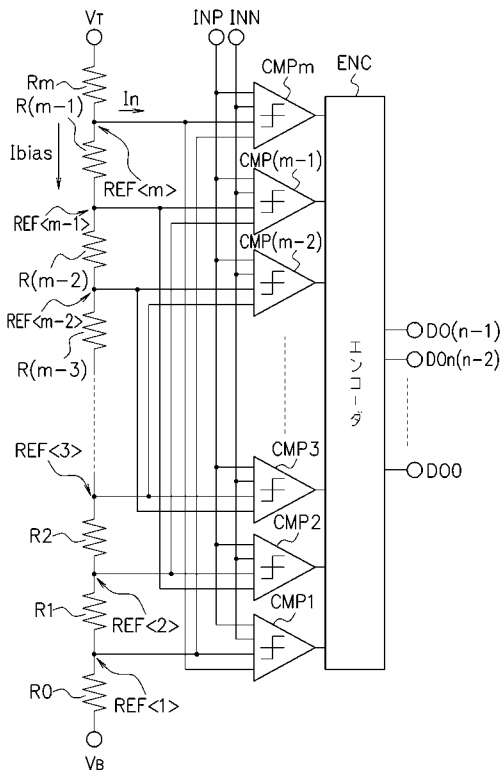
【 図 4 C 】



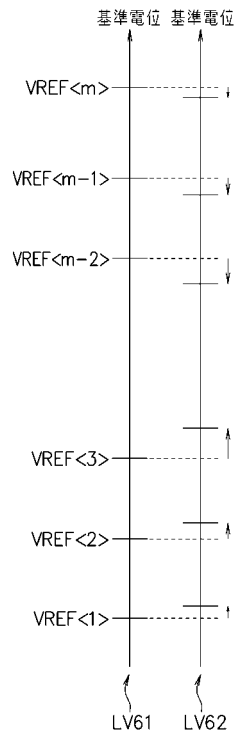
【 図 5 】



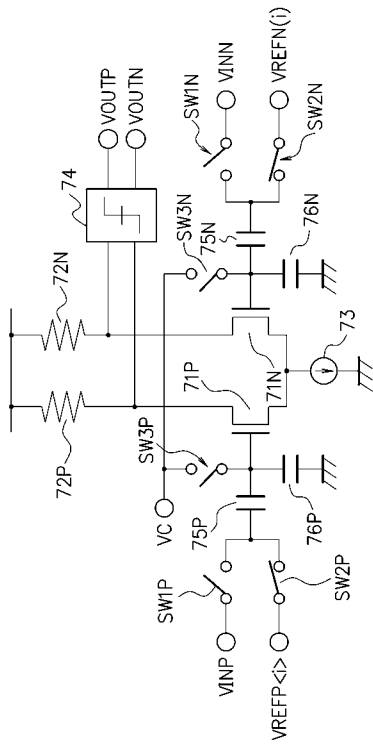
【 図 6 A 】



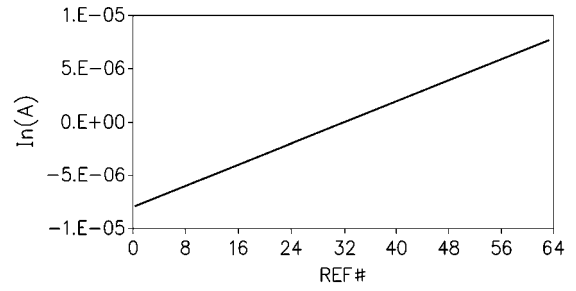
【 図 6 B 】



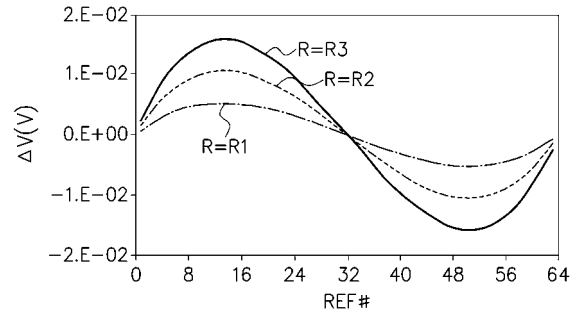
【 図 7 】



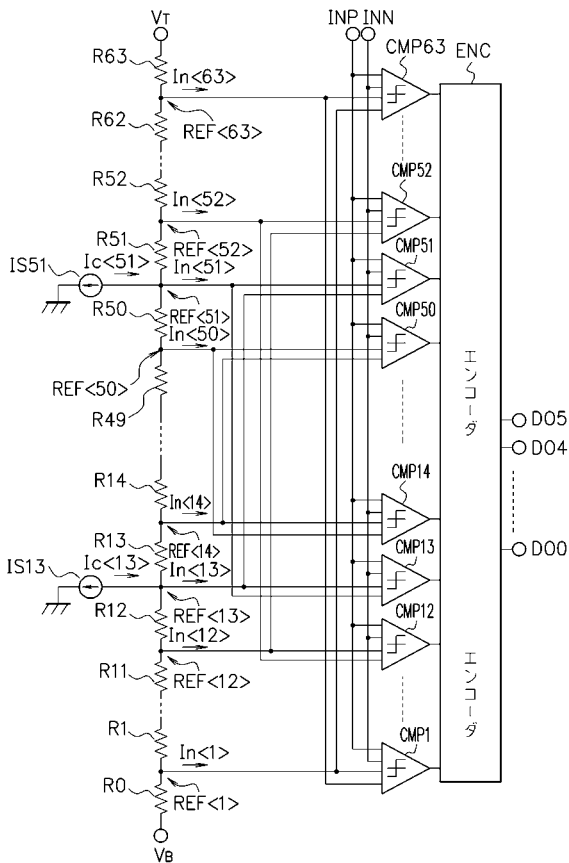
【 図 8 A 】



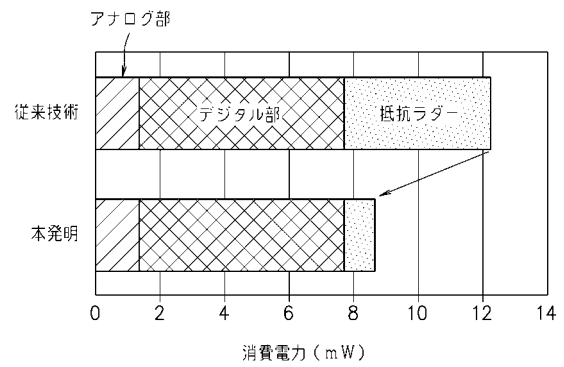
【 図 8 B 】



【 図 9 】



【 図 10 】



【手続補正書】

【提出日】平成26年1月16日(2014.1.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

互いに異なる比較基準電位が入力され、当該比較基準電位と入力される前記アナログ入力信号とを比較する複数の比較器と、

前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダと、直列に接続された複数の抵抗を有し、基準電圧を抵抗分圧して前記比較基準電位を生成し前記抵抗間の出力ノードより前記比較器に供給する抵抗ラダー回路とを備え、

前記抵抗ラダー回路は、前記比較器が前記比較基準電位を供給される出力ノードの前記抵抗ラダー回路における位置に応じて変動する、当該比較器が発生する雑音電流による前記比較基準電位の変動を、前記出力ノードごとに前記抵抗ラダー回路における出力ノードの位置に応じた電流を前記出力ノードに供給することによって補正する補正回路を有することを特徴とするアナログデジタル変換器。

【請求項2】

前記補正回路が前記出力ノードに供給する電流は、前記比較器が発生する雑音電流と大きさが同じで逆方向の電流であることを特徴とする請求項1記載のアナログデジタル変換器。

【請求項3】

前記補正回路は、前記比較器が発生する雑音電流を模擬して検出するモニタ回路と、前記モニタ回路により検出された電流に基づいて、前記出力ノードに供給する電流を調整する電流制御回路とを有することを特徴とする請求項2記載のアナログデジタル変換器。

【請求項4】

前記補正回路が前記出力ノードに供給する電流は、前記抵抗ラダー回路における出力ノードの位置に応じて互いに異なることを特徴とする請求項1記載のアナログデジタル変換器。

【請求項5】

前記抵抗ラダー回路における前記比較基準電位のすべての出力ノードに対して前記補正回路が接続されることを特徴とする請求項1～4の何れか1項に記載のアナログデジタル変換器。

【請求項6】

前記抵抗ラダー回路における前記比較基準電位のすべての出力ノードのうちの一部の出力ノードに対して前記補正回路が接続されることを特徴とする請求項1～4の何れか1項に記載のアナログデジタル変換器。

【請求項7】

前記抵抗ラダー回路における両端の出力ノードから約20%の位置にある出力ノードを少なくとも含む出力ノードに対して前記補正回路が接続されることを特徴とする請求項1～4の何れか1項に記載のアナログデジタル変換器。

【請求項8】

前記抵抗ラダー回路における両端の出力ノードから約20%の位置にある出力ノードに対してのみ前記補正回路が接続されることを特徴とする請求項1～4の何れか1項に記載のアナログデジタル変換器。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/065631

A. CLASSIFICATION OF SUBJECT MATTER H03M1/36(2006.01) i			
According to International Patent Classification (IPC) or to both national classification and IPC			
B. FIELDS SEARCHED			
Minimum documentation searched (classification system followed by classification symbols) H03M1/00-1/88			
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013			
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)			
C. DOCUMENTS CONSIDERED TO BE RELEVANT			
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	
X A	JP 4-815 A (Sony Corp.), 06 January 1992 (06.01.1992), claims; page 2, lower left column, line 11 to lower right column, line 2; fig. 1 (Family: none)	1-2, 4-7 3	
X A	JP 3-185931 A (New Japan Radio Co., Ltd.), 13 August 1991 (13.08.1991), claims; page 2, lower left column, lines 6 to 12; page 2, lower right column, lines 1 to 4; fig. 1(a) to 1(c) (Family: none)	1-2, 4-7 3	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.			
* Special categories of cited documents:			
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 20 June, 2013 (20.06.13)		Date of mailing of the international search report 02 July, 2013 (02.07.13)	
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer	
Facsimile No.		Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/065631

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-200822 A (Sony Corp.), 14 August 1989 (14.08.1989), fig. 4, 5, 6; page 3, upper right column, lines 2 to 16 (Family: none)	1-7

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 6 5 6 3 1									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/36(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X A	JP 4-815 A (ソニー株式会社) 1992.01.06, 特許請求の範囲, 第2 頁左下欄第11行-右下欄第2行, 第1図 (ファミリーなし)	1-2, 4-7 3									
X A	JP 3-185931 A (新日本無線株式会社) 1991.08.13, 特許請求の範囲, 第2頁左下欄第6-12行, 第2頁右下欄第1-4行, 第1(a)-1(c)図 (フ ファミリーなし)	1-2, 4-7 3									
A	JP 1-200822 A (ソニー株式会社) 1989.08.14, 第4, 5, 6図, 第3頁 右上欄第2-16行 (ファミリーなし)	1-7									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 20.06.2013		国際調査報告の発送日 02.07.2013									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 柳下 勝幸	5 X 9 5 6 1								
		電話番号 03-3581-1101	内線 3596								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。