

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02009/028298

発行日 平成22年11月25日 (2010.11.25)

(43) 国際公開日 平成21年3月5日 (2009.3.5)

(51) Int.Cl. F I テーマコード (参考)  
**G 1 1 C 11/15 (2006.01)** G 1 1 C 11/15 1 1 0  
 G 1 1 C 11/15 1 4 0

審査請求 未請求 予備審査請求 有 (全 57 頁)

出願番号	特願2009-530030 (P2009-530030)	(71) 出願人	304021417 国立大学法人東京工業大学 東京都目黒区大岡山2丁目12番1号
(21) 国際出願番号	PCT/JP2008/063787	(74) 代理人	100087480 弁理士 片山 修平
(22) 国際出願日	平成20年7月31日 (2008.7.31)	(72) 発明者	山本 修一郎 日本国神奈川県横浜市緑区長津田町425 9 国立大学法人東京工業大学内
(31) 優先権主張番号	特願2007-225697 (P2007-225697)	(72) 発明者	菅原 聡 日本国神奈川県横浜市緑区長津田町425 9 国立大学法人東京工業大学内
(32) 優先日	平成19年8月31日 (2007.8.31)		
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願2007-227261 (P2007-227261)		
(32) 優先日	平成19年9月3日 (2007.9.3)		
(33) 優先権主張国	日本国 (JP)		

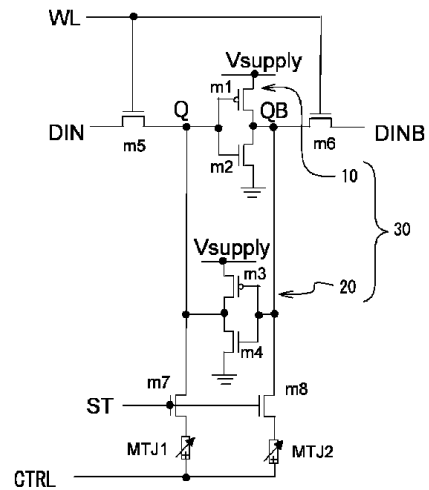
最終頁に続く

(54) 【発明の名称】 スピン注入磁化反転MTJを用いた不揮発性SRAM/ラッチ回路

(57) 【要約】

本発明は、データを記憶する双安定回路30と、双安定回路30に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子MTJ1およびMTJ2と、を具備し、強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的に記憶されたデータを双安定回路30にリストア可能である記憶回路である。本発明によれば、双安定回路30へのデータの書き込みおよび読み出しを高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアされたデータを双安定回路30にリストアすることが可能である。

【図5】



**【特許請求の範囲】****【請求項 1】**

データを記憶する双安定回路と、  
前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的に  
ストアする強磁性トンネル接合素子と、を具備し、

前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリスト  
ア可能であることを特徴とする記憶回路。

**【請求項 2】**

前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー  
層の磁化方向を変更することを特徴とする請求項 1 記載の記憶回路。

10

**【請求項 3】**

前記双安定回路は、第 1 インバータ回路と第 2 インバータ回路とがリング状に接続され  
ており、

前記強磁性トンネル接合素子は前記第 1 インバータ回路と前記第 2 インバータ回路とが  
接続されるノードに接続されていることを特徴とする請求項 1 または 2 記載の記憶回路。

**【請求項 4】**

前記強磁性トンネル接合素子は、前記ノードと制御線との間に接続され、前記ノードと  
前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が  
流れることにより低抵抗となることを特徴とする請求項 3 記載の記憶回路。

**【請求項 5】**

前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際  
に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレ  
ベルの電圧を印加することを特徴とする請求項 4 記載の記憶回路。

20

**【請求項 6】**

前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前  
記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加す  
ることを特徴とする請求項 4 または 5 記載の記憶回路。

**【請求項 7】**

前記ノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定  
回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トン  
ネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備することを  
特徴とする請求項 3 から 6 のいずれか一項記載の記憶回路。

30

**【請求項 8】**

前記スイッチは、MOSFETを含むことを特徴とする請求項 7 記載の記憶回路。

**【請求項 9】**

前記ノードは互いに相補ノードである第 1 ノードと第 2 ノードを含み、

前記強磁性トンネル接合素子は、前記第 1 ノードと前記制御線との間に接続された第 1  
強磁性トンネル接合素子と、前記第 2 ノードと前記制御線との間に接続された第 2 強磁性  
トンネル接合素子とを含むことを特徴とする請求項 3 から 8 のいずれか一項記載の記憶回  
路。

40

**【請求項 10】**

前記第 1 ノードと前記第 1 強磁性トンネル接合素子との間に、前記データを前記双安定  
回路から前記第 1 強磁性トンネル接合素子にストアする際および前記データを前記第 1 ト  
ンネル接合素子から前記双安定回路にリストアする際に導通する第 1 スwitchと、

前記第 2 ノードと前記第 2 強磁性トンネル接合素子との間に、前記データを前記第 2 強  
磁性トンネル接合素子から前記双安定回路にストアする際および前記データを前記第 2 強  
磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第 2 スwitchと、  
を具備することを特徴とする請求項 9 記載の記憶回路。

**【請求項 11】**

前記第 1 スwitchおよび前記第 2 スwitchは、それぞれMOSFETを含むことを特徴

50

とする請求項 10 記載の記憶回路。

【請求項 12】

前記制御線とローレベルまたはハイレベルの電力線との間に接続された第 3 スイッチを具備し、

前記第 3 スイッチは、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを特徴とする請求項 9 または 10 記載の記憶回路。

【請求項 13】

前記ノードにデータを入出力するための入出力スイッチを具備することを特徴とする請求項 3 から 12 のいずれか一項記載の記憶回路。 10

【請求項 14】

前記入出力スイッチはワード線のレベルに応じ、前記ノードにデータを入出力することを特徴とする請求項 13 記載の記憶回路。

【請求項 15】

前記入出力スイッチは、前記第 1 ノードにデータを入出力するための第 1 入出力スイッチと、前記第 2 ノードにデータを入出力するための第 2 入出力スイッチとを有することを特徴とする請求項 9 から 12 のいずれか一項記載の記憶回路。

【請求項 16】

前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有することを特徴とする請求項 1 から 15 のいずれか一項記載の記憶回路。 20

【請求項 17】

1 以上の入力と 1 以上の出力を有する第 1 論理回路と、1 以上の入力と 1 以上の出力を有する第 2 論理回路と、を有し、データを記憶する双安定回路と、

前記第 1 論理回路の出力のうち 1 つと前記第 2 論理回路の入力のうち 1 つとが接続された第 1 ノードと、

前記第 2 論理回路の出力のうち 1 つと前記第 1 論理回路の入力のうち 1 つとが接続された第 2 ノードと、

前記第 1 ノードおよび前記第 2 ノードの少なくとも一方に接続され、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、 30

前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際には記憶すべき相補的なデータがそれぞれ前記第 1 論理回路と前記第 2 論理回路から前記第 1 ノードおよび前記第 2 ノードに出力され、前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際は、前記第 1 論理回路の前記第 2 ノードに接続された入力以外の入力には前記第 1 論理回路が前記第 1 ノードに前記第 2 ノードの論理反転を出力するような信号が入力され、前記第 2 論理回路の前記第 1 ノードに接続された入力以外の入力には前記第 2 論理回路が前記第 2 ノードに前記第 1 ノードの論理反転を出力するような信号が入力されていることを特徴とするラッチ回路。 40

【請求項 18】

第 1 インバータ回路と第 2 インバータ回路とがリング状に接続され、データを記憶する双安定回路と、

前記第 1 インバータ回路と前記第 2 インバータ回路とが接続され互いに相補ノードである第 1 ノードおよび第 2 ノードと、

前記双安定回路に入力線から前記データを書き込むための第 1 入力スイッチと、

前記第 1 入力スイッチと相補的に動作し、前記双安定回路のデータを保持するための第 2 入力スイッチと、

前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、 50

前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であることを特徴とするラッチ回路。

【請求項 19】

前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更することを特徴とする請求項 17 または 18 記載のラッチ回路。

【請求項 20】

前記強磁性トンネル接合素子は、前記第 1 ノードおよび前記第 2 ノードの少なくとも一方のノードに接続されていることを特徴とする請求項 17 から 19 のいずれか一項記載のラッチ回路。

【請求項 21】

前記強磁性トンネル接合素子は、前記少なくとも一方のノードと制御線との間に接続され、前記少なくとも一方のノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となることを特徴とする請求項 20 記載のラッチ回路。

【請求項 22】

前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加することを特徴とする請求項 21 記載のラッチ回路。

【請求項 23】

前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加することを特徴とする請求項 21 または 22 記載のラッチ回路。

【請求項 24】

前記少なくとも一方のノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備することを特徴とする請求項 20 から 23 のいずれか一項記載のラッチ回路。

【請求項 25】

前記スイッチは、MOSFET を含むことを特徴とする請求項 24 記載の記憶回路。

【請求項 26】

前記強磁性トンネル接合素子は、前記第 1 ノードと前記制御線との間に接続された第 1 強磁性トンネル接合素子と、前記第 2 ノードと前記制御線との間に接続された第 2 強磁性トンネル接合素子とを含むことを特徴とする請求項 20 から 25 のいずれか一項記載のラッチ回路。

【請求項 27】

前記第 1 ノードと前記第 1 強磁性トンネル接合素子との間に設けられ、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子にストアする際および前記データを前記第 1 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第 1 スイッチと、

前記第 2 ノードと前記第 2 強磁性トンネル接合素子との間に設けられ、前記データを前記第 2 強磁性トンネル接合素子にストアさせる際および前記データを前記双安定回路にリストアする際に導通する第 2 スイッチと、を具備することを特徴とする請求項 26 記載のラッチ回路。

【請求項 28】

前記第 1 スイッチおよび前記第 2 スイッチは、それぞれ MOSFET を含むことを特徴とする請求項 26 記載の記憶回路。

【請求項 29】

前記制御線とローレベルまたはハイレベルの電力線との間に接続された第 3 スイッチを具備し、

前記第 3 スイッチは、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素

10

20

30

40

50

子および第2強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを特徴とする請求項26から28のいずれか一項記載のラッチ回路。

【請求項30】

前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有することを特徴とする請求項17から29のいずれか一項記載のラッチ回路。

【請求項31】

請求項17から30に記載のラッチ回路を有するフリップフロップ回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶回路、ラッチ回路およびフリップフロップ回路に関し、特に双安定回路と強磁性トンネル接合素子とを有する記憶回路、ラッチ回路およびフリップフロップ回路に関する。

【背景技術】

【0002】

電子機器等に用いられる揮発性の記憶回路として、SRAM (Static Random Access Memory) がよく知られている。図1はMOS (Metal Oxide Semiconductor) 電界効果トランジスタ (FET: Field Effect Transistor) を用いたSRAMのメモリセルを示す回路図である。メモリセルは、双安定回路30、2つの入出力トランジスタm5、m6を有している。双安定回路30は、CMOSインバータ10 (第1インバータ回路) およびCMOSインバータ20 (第2インバータ回路) がリング状に接続されている。インバータ10は、p型MOSFETm1とn型MOSFETm2とを有している。FETm1とFETm2において、ソースがそれぞれ電源Vsupplyおよびグランドに、ゲートが共通にノードQに、ドレインが共通にノードQBに接続されている。インバータ20はp型MOSFETm3とn型MOSFETm4とを有している。FETm3とFETm4において、ソースがそれぞれ電源Vsupplyおよびグランドに、ゲートが共通にノードQBに、ドレインが共通にノードQに接続されている。このように、インバータ10およびインバータ20はリング状に接続されている。ノードQはn型FETm5を介しデータ入出力線DINに接続され、ノードQBはn型FETm6を介しデータ入出力線DINBに接続されている。FETm5およびm6のゲートはワード線WLに接続されている。

20

30

【0003】

このような構成により、双安定回路30にデータを書き込み、保持し、読み出すことができる。しかしながら、SRAMはデータを保持している間は電力を消費する。また、電源を遮断すると、双安定回路30に記憶していたデータは消失してしまう。双安定回路30は対称構造を有しており、対称的に動作するため、電源遮断後、ノードQおよびQBが一旦同電位となると、電源を復帰させてもデータを復帰させることができない。これは、電源を復帰させる際、ノードQおよびQBの電位が同電位のまま推移し、ある時点で、外来ノイズ等により電源遮断前のデータに関係なく、データが決定されるためである。

40

【0004】

また、電子機器等に用いられる揮発性のラッチ回路がよく知られている。ラッチ回路の一例として、図2はMOS (Metal Oxide Semiconductor) 電界効果トランジスタ (FET: Field Effect Transistor) を用いたDラッチ回路の回路図である。Dラッチ回路は、双安定回路30、パスゲート80および90を有している。双安定回路30は、CMOSインバータ10 (第1インバータ回路) およびCMOSインバータ20 (第2インバータ回路) がパスゲート90を介してリング状に接続されている。インバータ10は、p型MOSFETm1とn型MOSFET

50

m2とを有している。FETm1とFETm2において、ソースがそれぞれ電源Vsupplyおよびグランドに、ゲートが共通にノードQに、ドレインが共通にノードQBに接続されている。インバータ20はp型MOSFETm3とn型MOSFETm4とを有している。FETm3とFETm4において、ソースがそれぞれ電源Vsupplyおよびグランドに、ゲートが共通にノードQBに、ドレインが共通にバスゲート90を介してノードQに接続されている。このように、インバータ10およびインバータ20はリング状に接続されている。

#### 【0005】

バスゲート80(第1入力スイッチ)は、入力線DINとノードQとの間に接続されている。バスゲート80はp型MOSFETm5とn型MOSFETm6とを有している。FETm5とm6のソースとドレイン同士が接続されている。FETm5のゲートにはクロック補信号CLKBが入力し、FETm6のゲートにはクロック信号CLKが入力する。クロック信号CLKとしてハイレベルが入力すると、FETm5とm6とは共に導通し、バスゲート80は導通する。バスゲート90(第2入力スイッチ)は、ノードQとインバータ20との間に接続されている。バスゲート90は、p型MOSFETm7とn型MOSFETm8とを有している。FETm7のゲートにはクロック信号CLKが入力し、FETm8のゲートにはクロック補信号CLKBが入力する。クロック信号CLKとしてローレベルが入力すると、FETm7とm8とは共に導通し、バスゲート90は導通する。その他の接続および動作はバスゲート80と同じである。

#### 【0006】

このような構成により、クロック信号CLKがハイレベルのとき、バスゲート80は導通し、バスゲート90は遮断状態となる。これにより、入力線DINのデータが双安定回路30に書き込まれる。クロック信号CLKがローレベルのとき、バスゲート80は遮断状態となり、バスゲート90は導通する。これにより、双安定回路30がデータを保持する。双安定回路30に記憶されたデータはノードQまたはQBからデータを出力することができる。揮発性のDラッチ回路はデータを保持している間においても電力を消費する。また、電源を遮断すると、双安定回路30に記憶していたデータは消失してしまう。双安定回路30はバスゲート90が遮断状態のとき、双安定回路としては機能せず、一方でバスゲート80が導通状態にあるので、ノードQには入力線DINのデータが書き込まれ、ノードQBにはノードQの論理反転データが書き込まれる。したがって、電源遮断前のデータに関係なく、ノードQおよびQBのデータが決定される。また、双安定回路30はバスゲート90が導通状態の場合においてインバータ10とインバータ20の入力と出力が互いに接続される対称構造を有しており、対称的に動作するため、電源遮断後、ノードQおよびQBが一旦同電位となると、電源を復帰させてもデータを復帰させることができない。これは、電源を復帰させる際、ノードQおよびQBの電位が同電位のまま推移し、ある時点で、外来ノイズ等により電源遮断前のデータに関係なく、ノードQおよびQBのデータが決定されるためである。

#### 【0007】

電源を遮断してもデータが消失しない不揮発性の記憶回路として、フラッシュメモリ、MRAM(Magnetic Random Access Memory)、FeRAM(Ferroelectric Random Access Memory)およびPRAM(Phase-change Random Access Memory)等が知られている。これらの記憶回路においては、電源を遮断してもデータが消失しないため、その後電源を復帰すれば、データを読み出すことができる。

#### 【0008】

特許文献1には、ラッチ回路の相補的なノードにそれぞれ強磁性トンネル接合素子が接続されたMRAMが開示されている。

【特許文献1】特開2006-19008号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

## 【 0 0 0 9 】

S R A Mは、高速にデータを書き込み、読み出しすることができる。一方、フラッシュメモリ、M R A M、F e R A MおよびP R A M等は、データを書き込み、読み出しする速度が遅い。このように、S R A Mは高速であるが、電源を遮断するとデータが消失してしまう。一方、従来の不揮発性メモリは、電源を遮断してもデータは消失しないが、高速動作は難しい。

## 【 0 0 1 0 】

S R A Mはデータアクセスのなされていない記憶保持状態（待機状態）においてもリーク電流によって電力消費を生じる。不揮発性のS R A Mが実現できれば、待機時消費電力の削減と、データの書き込み、読み出しの高速動作を両立することができる。

10

## 【 0 0 1 1 】

また、図2のようにC M O Sを用いたラッチ回路は、高速にデータを書き込むことができ、いつでも出力線を駆動し、データ出力が可能である。一方、フラッシュメモリ、M R A M、F e R A MおよびP R A M等の不揮発性メモリは、データを書き込み、読み出しする速度が遅い。さらに、記憶素子から、外部出力線へ取り出す操作（読み出し操作）が必要である。このように、C M O Sを用いたラッチ回路は高速で電源供給時にはいつでも出力線を駆動できるという利点があるが、電源を遮断するとデータが消失してしまう。一方、従来の不揮発性メモリは、電源を遮断してもデータは消失しないが、高速動作は難しい。さらに、記憶素子から、外部出力線へ取り出す操作（読み出し操作）が必要である。

20

## 【 0 0 1 2 】

ラッチ回路はデータ入力ゲートであるパスゲート80が遮断された記憶保持状態（待機状態）においてもリーク電流によって電力消費を生じる。不揮発性のラッチ回路が実現できれば、待機時消費電力の削減と、データの書き込み、出力の高速動作、電源供給時においていつでも出力線を駆動しデータ出力が可能であるという長所を全て達成することができる。

## 【 0 0 1 3 】

本発明は、上記課題に鑑みなされたものであり、高速動作可能で、かつ電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能な記憶回路、ラッチ回路およびフリップフロップ回路を提供することを目的とする。

## 【課題を解決するための手段】

30

## 【 0 0 1 4 】

本発明は、データを記憶する双安定回路と、双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であることを特徴とする記憶回路である。本発明によれば、双安定回路へのデータの書き込みおよび読み出しを高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能となる。したがって、待機状態において電源遮断を行うことにより記憶回路の消費電力を削減することができる。

40

## 【 0 0 1 5 】

上記構成において、前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更する構成とすることができる。

## 【 0 0 1 6 】

上記構成において、前記双安定回路は、第1インバータ回路と第2インバータ回路とがリング状に接続されており、前記強磁性トンネル接合素子は前記第1インバータ回路と前記第2インバータ回路とが接続されるノードに接続されている構成とすることができる。

## 【 0 0 1 7 】

上記構成において、前記強磁性トンネル接合素子は、前記ノードと制御線との間に接続され、前記ノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流

50

と反対方向に電流が流れることにより低抵抗となる構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

【0018】

上記構成において、前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加する構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

【0019】

上記構成において、前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加する構成とすることができる。この構成によれば、双安定回路にデータをリストアすることができる。

10

【0020】

上記構成において、前記ノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備する構成とすることができる。この構成によれば、スイッチにより消費電力を削減することができる。

【0021】

上記構成において、前記スイッチは、MOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。

20

【0022】

上記構成において、前記ノードは互いに相補ノードである第1ノードと第2ノードを含み、前記強磁性トンネル接合素子は、前記第1ノードと前記制御線との間に接続された第1強磁性トンネル接合素子と、前記第2ノードと前記制御線との間に接続された第2強磁性トンネル接合素子とを含む構成とすることができる。この構成によれば、第1強磁性トンネル接合素子と第2強磁性トンネル接合素子とにより安定な動作を行うことができる。

【0023】

上記構成において、前記第1ノードと前記第1強磁性トンネル接合素子との間に、前記データを前記双安定回路から前記第1強磁性トンネル接合素子にストアする際および前記データを前記第1トンネル接合素子から前記双安定回路にリストアする際に導通する第1スイッチと、前記第2ノードと前記第2強磁性トンネル接合素子との間に、前記データを前記第2強磁性トンネル接合素子から前記双安定回路にストアする際および前記データを前記第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第2スイッチと、を具備する構成とすることができる。この構成によれば、第1スイッチおよび第2スイッチにより消費電力を削減することができる。

30

【0024】

上記構成において、前記第1スイッチおよび前記第2スイッチは、それぞれMOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。この構成によれば、第1スイッチおよび第2スイッチを簡単に構成することができる。

40

【0025】

上記構成において、前記制御線とローレベルまたはハイレベルの電力線との間に接続された第3スイッチを具備し、前記第3スイッチは、前記データを前記双安定回路から前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する構成とすることができる。この構成によれば、高速な動作が可能となる。

【0026】

上記構成において、前記ノードにデータを入出力するための入出力スイッチを具備する

50



構成とすることができる。

【0027】

上記構成において、前記入出力スイッチはワード線のレベルに応じ、前記ノードにデータを入出力する構成とすることができる。

【0028】

上記構成において、前記入出力スイッチは、前記第1ノードにデータを入出力するための第1入出力スイッチと、前記第2ノードにデータを入出力するための第2入出力スイッチとを有する構成とすることができる。

【0029】

上記構成において、前記第1インバータ回路および前記第2インバータ回路はインバータ回路である構成とすることができる。

10

【0030】

上記構成において、前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有する構成とすることができる。

【0031】

本発明は、1以上の入力と1以上の出力を有する第1論理回路と、1以上の入力と1以上の出力を有する第2論理回路と、を有し、データを記憶する双安定回路と、前記第1論理回路の出力のうち1つと前記第2論理回路の入力のうち1つとが接続された第1ノードと、前記第2論理回路の出力のうち1つと前記第1論理回路の入力のうち1つとが接続された第2ノードと、前記第1ノードおよび前記第2ノードの少なくとも一方に接続され、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際には記憶すべき相補的なデータがそれぞれ前記第1論理回路と前記第2論理回路から前記第1ノードおよび前記第2ノードに出力され、および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際は、前記第1論理回路の前記第2ノードに接続された入力以外の入力には前記第1論理回路が前記第1ノードに前記第2ノードの論理反転を出力するような信号が入力され、前記第2論理回路の前記第1ノードに接続された入力以外の入力には前記第2論理回路が前記第2ノードに前記第1ノードの論理反転を出力するような信号が入力されていることを特徴とするラッチ回路である。本発明によれば、双安定回路へのデータの書き込みおよび出力を高速に行うことができ、電源供給時において常に出力線を駆動することができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前のデータを出力可能となる。したがって、待機状態において電源遮断を行うことによりラッチ回路の消費電力を削減することができる。

20

30

【0032】

本発明は、第1インバータ回路と第2インバータ回路とがリング状に接続され、データを記憶する双安定回路と、前記第1インバータ回路と前記第2インバータ回路とが接続され互いに相補ノードである第1ノードおよび第2ノードと、前記双安定回路に入力線から前記データを書き込むための第1入力スイッチと、前記第1入力スイッチと相補的に動作し、前記双安定回路のデータを保持するための第2入力スイッチと、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であることを特徴とするラッチ回路である。本発明によれば、双安定回路へのデータの書き込みおよび出力を高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前のデータを出力可能となる。したがって、待機状態において電源遮断を行うことによりラッチ回路の消費電力を削減することができる。

40

50

## 【0033】

上記構成において、前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更する構成とすることができる。

## 【0034】

上記構成において、前記強磁性トンネル接合素子は、前記第1ノードおよび前記第2ノードの少なくとも一方のノードに接続されている構成とすることができる。

## 【0035】

上記構成において、前記強磁性トンネル接合素子は、前記少なくとも一方のノードと制御線との間に接続され、前記少なくとも一方のノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となる構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

10

## 【0036】

上記構成において、前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加する構成とすることができる。この構成によれば、強磁性トンネル接合素子にデータをストアすることができる。

## 【0037】

上記構成において、前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加する構成とすることができる。この構成によれば、双安定回路にデータをリストアすることができる。

20

## 【0038】

上記構成において、前記少なくとも一方のノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備する構成とすることができる。この構成によれば、スイッチにより消費電力を削減することができる。

## 【0039】

上記構成において、前記スイッチは、MOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。

30

## 【0040】

上記構成において、前記強磁性トンネル接合素子は、前記第1ノードと前記制御線との間に接続された第1強磁性トンネル接合素子と、前記第2ノードと前記制御線との間に接続された第2強磁性トンネル接合素子とを含む構成とすることができる。この構成によれば、第1強磁性トンネル接合素子と第2強磁性トンネル接合素子とにより安定な動作を行うことができる。

## 【0041】

上記構成において、前記第1ノードと前記第1強磁性トンネル接合素子との間に設けられ、前記データを前記双安定回路から前記第1強磁性トンネル接合素子にストアする際および前記データを前記第1強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第1スイッチと、前記第2ノードと前記第2強磁性トンネル接合素子との間に設けられ、前記データを前記第2強磁性トンネル接合素子にストアさせる際および前記データを前記双安定回路にリストアする際に導通する第2スイッチと、を具備する構成とすることができる。この構成によれば、第1スイッチおよび第2スイッチにより消費電力を削減することができる。

40

## 【0042】

上記構成において、前記第1スイッチおよび前記第2スイッチは、それぞれMOSFETを含む構成とすることができる。この構成によれば、スイッチを簡単に構成することができる。この構成によれば、第1スイッチおよび第2スイッチを簡単に構成することがで

50

きる。

【 0 0 4 3 】

上記構成において、前記制御線とローレベルまたはハイレベルの電力線との間に接続された第3スイッチを具備し、前記第3スイッチは、前記データを前記双安定回路から前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第1強磁性トンネル接合素子および第2強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを構成とすることができる。この構成によれば、高速な動作が可能となる。

【 0 0 4 4 】

上記構成において、前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有する構成とすることができる。

10

【 0 0 4 5 】

本発明は、上記ラッチ回路を有するフリップフロップ回路である。

【 発明の効果 】

【 0 0 4 6 】

本発明によれば、双安定回路へのデータの書き込みおよび読み出しを高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子に不揮発的にストアされたデータを双安定回路にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能となる。

20

【 図面の簡単な説明 】

【 0 0 4 7 】

【 図 1 】 図 1 は、S R A M に用いられる記憶回路の回路図である。

【 図 2 】 図 2 は、集積回路に用いられるラッチ回路の回路図である。

【 図 3 】 図 3 は、実施例 1 に係る記憶回路のブロック図である。

【 図 4 】 図 4 ( a ) から図 4 ( c ) は、強磁性トンネル接合素子を説明するための図である。

【 図 5 】 図 5 は、実施例 2 に係る記憶回路の回路図である。

【 図 6 】 図 6 ( a ) および図 6 ( b ) は、データのストアを説明するための図 ( その 1 ) である。

30

【 図 7 】 図 7 ( a ) および図 7 ( b ) は、データのストアを説明するための図 ( その 2 ) である。

【 図 8 】 図 8 は、データのリストアを説明するための図 ( その 1 ) である。

【 図 9 】 図 9 ( a ) から図 9 ( c ) は、データのリストアを説明するための図 ( その 2 ) である。

【 図 1 0 】 図 1 0 は、データのリストアを説明するための図 ( その 3 ) である。

【 図 1 1 】 図 1 1 ( a ) から図 1 1 ( c ) は、データのリストアを説明するための図 ( その 4 ) である。

【 図 1 2 】 図 1 2 は、I N V 1 および I N V 2 を示す図である。

【 図 1 3 】 図 1 3 ( a ) および図 1 3 ( b ) は、インバータの入出力特性を示す図である。

40

【 図 1 4 】 図 1 4 ( a ) から図 1 4 ( d ) は、データのリストアを説明するための図 ( その 5 ) である。

【 図 1 5 】 図 1 5 は、実施例 2 のタイミングチャートである。

【 図 1 6 】 図 1 6 は、シミュレーションに用いた強磁性トンネル接合素子の電流 - 電圧特性を示す図である。

【 図 1 7 】 図 1 7 ( a ) から図 1 7 ( d ) は、実施例 2 のシミュレーション結果を示す図である。

【 図 1 8 】 図 1 8 は、実施例 3 に係る記憶回路の回路図である。

【 図 1 9 】 図 1 9 ( a ) から図 1 9 ( d ) は、実施例 3 のシミュレーション結果を示す図

50

(その1)である。

【図20】図20(a)および図20(b)は、実施例3のシミュレーション結果を示す図(その2)である。

【図21】図21(a)および図21(b)は、実施例4に係る記憶回路の回路図である。

【図22】図22(a)および図22(b)は、実施例5に係る記憶回路の回路図である。

【図23】図23(a)および図23(b)は、実施例6に係る記憶回路の回路図である。

【図24】図24は、実施例7に係る記憶回路の回路図である。

10

【図25】図25は、実施例8に係る記憶回路の回路図である。

【図26】図26は、実施例8のタイミングチャートである。

【図27】図27(a)から図27(d)は、実施例8のシミュレーション結果を示す図である。

【図28】図28は、実施例9に係る記憶回路の回路図である。

【図29】図29(a)から図29(d)は、実施例9のシミュレーション結果を示す図である。

【図30】図30は、実施例10に係る記憶回路の回路図である。

【図31】図31は、実施例11に係る記憶回路の回路図である。

【図32】図32は、実施例12に係る記憶回路の回路図である。

20

【図33】図33は、実施例12のタイミングチャートである。

【図34】図34は、実施例13に係るラッチ回路の回路図である。

【図35】図35(a)および図35(b)は、データのストアを説明するための図(その1)である。

【図36】図36(a)および図36(b)は、データのストアを説明するための図(その2)である。

【図37】図37は、データのリストアを説明するための図(その1)である。

【図38】図38(a)から図38(c)は、データのリストアを説明するための図(その2)である。

【図39】図39は、INV1およびINV2を示す図である。

30

【図40】図40(a)および図40(b)は、インバータの入出力特性を示す図である。

【図41】図41(a)から図41(d)は、データのリストアを説明するための図(その3)である。

【図42】図42は、実施例13のタイミングチャートである。

【図43】図43は、シミュレーションに用いた強磁性トンネル接合素子の電流 - 電圧特性を示す図である。

【図44】図44(a)から図44(d)は、実施例13のシミュレーション結果を示す図である。

【図45】図45は、実施例14に係るラッチ回路の回路図である。

40

【図46】図46(a)から図46(d)は、実施例14のシミュレーション結果を示す図(その1)である。

【図47】図47(a)および図47(b)は、実施例14のシミュレーション結果を示す図(その2)である。

【図48】図48(a)および図48(b)は、実施例15に係るラッチ回路の回路図である。

【図49】図49(a)および図49(b)は、実施例16に係るラッチ回路の回路図である。

【図50】図50(a)および図50(b)は、実施例17に係るラッチ回路の回路図である。

50

【図 5 1】図 5 1 は、実施例 1 8 に係るラッチ回路の回路図である。

【図 5 2】図 5 2 は、実施例 1 9 に係るラッチ回路の回路図である。

【図 5 3】図 5 3 は、実施例 1 9 のタイミングチャートである。

【図 5 4】図 5 4 ( a ) から図 5 4 ( d ) は、実施例 1 9 のシミュレーション結果を示す図である。

【図 5 5】図 5 5 は、実施例 2 0 に係るラッチ回路の回路図である。

【図 5 6】図 5 6 ( a ) から図 5 6 ( d ) は、実施例 2 0 のシミュレーション結果を示す図である。

【図 5 7】図 5 7 は、実施例 2 1 に係るラッチ回路の回路図である。

【図 5 8】図 5 8 は、実施例 2 2 に係るラッチ回路の回路図である。

10

【図 5 9】図 5 9 は、実施例 2 3 に係るフリップフロップ回路の回路図である。

【図 6 0】図 6 0 は、実施例 2 4 に係るラッチ回路の回路図である。

【図 6 1】図 6 1 ( a ) および図 6 1 ( b ) は、第 1 論理回路および第 2 論理回路の例を示す回路図である。

【図 6 2】図 6 2 は、実施例 2 5 に係るラッチ回路の回路図である。

【図 6 3】図 6 3 は、実施例 2 5 のタイミングチャートである。

【発明を実施するための最良の形態】

【 0 0 4 8 】

以下、本発明の実施例について図面を参照に説明する。

【実施例 1】

20

【 0 0 4 9 】

図 3 は、実施例 1 に係る記憶回路のブロック図であり、本発明の原理を説明するための図である。実施例 1 に係る記憶回路は、第 1 インバータ回路 1 5、第 2 インバータ回路 2 5、強磁性トンネル接合 ( T M J ) 素子 5 0 および入出力スイッチ 6 0 を有している。第 1 インバータ回路 1 5 と第 2 インバータ回路 2 5 はリング状に接続され双安定回路 3 0 を構成している。第 1 インバータ回路 1 5 および第 2 インバータ回路 2 5 は、例えば図 1 のインバータ 1 0 および 2 0 である。第 1 インバータ回路 1 5 と第 2 インバータ回路 2 5 が接続されたノードがそれぞれノード Q、Q B である。ノード Q とノード Q B とは互いに相補ノードであり、双安定回路 3 0 は、ノード Q およびノード Q B がそれぞれハイレベルおよびローレベル、または、ノード Q およびノード Q B がそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路 3 0 は、安定状態となることにより、データを記憶することができる。強磁性トンネル接合素子 5 0 は、後述するように強磁性電極フリー層の磁化方向に応じ双安定回路 3 0 に記憶されたデータを不揮発的にストアする。また、強磁性トンネル接合素子 5 0 に不揮発的に記憶されたデータは双安定回路 3 0 にリストア可能である。入出力スイッチ 6 0 は入出力線とノード Q とを遮断または導通させる。入出力スイッチ 6 0 が導通することにより、双安定回路 3 0 に入出力線のデータを記憶させることができる。また、双安定回路 3 0 のデータを入出力線に読み出すことができる。

30

【 0 0 5 0 】

実施例 1 によれば、双安定回路 3 0 へのデータの書き込みおよび読み出しは強磁性トンネル接合素子 5 0 の無い回路と同様、高速に書き込みおよび読み出すことができる。双安定回路 3 0 に記憶されたデータを、強磁性トンネル接合素子 5 0 が不揮発的にストアする。これにより、電源が遮断しても強磁性トンネル接合素子 5 0 に不揮発的にストアされたデータを双安定回路 3 0 にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前に記憶されたデータを読み出し可能となる。

40

【 0 0 5 1 】

図 4 ( a ) は、強磁性トンネル接合素子の一例を示す図である。強磁性トンネル接合素子 4 0 は、強磁性電極フリー層 4 2 と、強磁性電極ピン層 4 6 と、強磁性電極フリー層 4 2 と強磁性電極ピン層 4 6 との間に設けられたトンネル絶縁膜 4 4 とを有する。強磁性電極フリー層 4 2 および強磁性電極ピン層 4 6 は、強磁性金属、ハーフメタル強磁性体また

50

は強磁性半導体からなる。強磁性電極フリー層42は、磁化方向を変更することができる。一方、強磁性電極ピン層46は、磁化方向が固定されている。強磁性電極フリー層42と強磁性電極ピン層46との磁化方向が平行な状態を平行磁化、反平行な場合を反平行磁化という。

【0052】

図4(b)は、強磁性トンネル接合素子40の電流-電圧特性を示す図である。図4(a)のように、強磁性電極ピン層46に対し強磁性電極フリー層42に印加される電圧Vおよび強磁性電極フリー層42から強磁性電極ピン層46に流れる電流Iで定義する。このときの強磁性トンネル接合素子40のシンボルを図4(c)のように定義する。図4(b)を参照に、平行磁化状態の強磁性トンネル接合素子40の抵抗 $R_p$ は、反平行磁化状態の強磁性トンネル接合素子40の抵抗 $R_{ap}$ より小さくなる。一般に、 $R_p$ と $R_{ap}$ は強磁性トンネル接合に印加される電圧の関数であるが、以下では近似的には抵抗値が一定の抵抗として取り扱う。 $R_p$ と $R_{ap}$ が一定抵抗でない場合でも以下の議論は同様に成り立つ。反平行磁化状態において、強磁性トンネル接合素子40に印加される電圧Vが大きくなると、電流Iは抵抗 $R_{ap}$ の逆数の傾きで大きくなる(図4(b)のA)。電流Iが閾値電流 $I_{TF}$ を越えると、強磁性電極ピン層46から強磁性電極フリー層42に注入される強磁性電極ピン層46の多数スピンの電子により、強磁性電極フリー層42の磁化が反転し、平行磁化状態となる(図4(b)のB)。これにより、強磁性トンネル接合素子40の抵抗は $R_p$ となる。一方、平行磁化状態で負の電流Iが流れ(図4(b)のC)、閾値電流 $I_{TR}$ を負に越えると、強磁性電極フリー層42から強磁性電極ピン層46に注入される電子のうち、強磁性電極フリー層42の少数スピンの電子は強磁性電極ピン層46によって反射される。これにより、強磁性電極フリー層42の磁化が反転し、反平行磁化状態となる(図4(b)のD)。このように、スピン偏極した電荷の注入により磁化方向を変更させる強磁性電極フリー層の磁化方向を反転させる方法をスピン注入磁化反転法という。スピン注入磁化反転法は、磁界を発生させ磁化方向を変更する方法に比べ、磁化方向の変更に要する消費電力を削減できる可能性がある。また、磁場を発生させ磁化方向を変更する方法に比べると、漏洩磁場の問題がないことから、選択セル以外のセルに誤書き込みや誤消去を発生するディスタープの影響を受け難く、高密度集積化に向いている。

【実施例2】

【0053】

図5は実施例2に係る記憶回路の回路図である。図5を参照に、実施例1に係る記憶回路は、図1のSRAMセルに加え、n型FETm7、m8、強磁性トンネル接合素子MTJ1、MTJ2を有している。ノードQと制御線CTRLとの間にFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にFETm8と強磁性トンネル接合素子MTJ2とが接続されている。FETm7およびm8のゲートはスイッチ線STに接続されている。

【0054】

実施例2に係る記憶回路の動作について説明する。双安定回路30へのデータの書き込みおよび読み出しは、従来のSRAMと同じように行われる。すなわち、ワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30に入出力線DINおよびDINBのデータが書き込まれる。また、入出力線DINおよびDINBを等電位の浮遊状態としワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30のデータを入出力線DINおよびDINBに読み出すことができる。FETm5およびm6を遮断状態とすることにより、双安定回路30のデータが保持される。なお、双安定回路30へのデータの書き込み、読み出し、保持の際、スイッチ線STはローレベルとし、FETm7およびm8は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流を抑制し、消費電力を削減することができる。

【0055】

双安定回路30に記憶されたデータを強磁性トンネル接合素子MTJ1およびMTJ2

に不揮発的にストアする方法を説明する。まず、ノードQがハイレベル“H”、ノードQBがローレベル“L”のデータが保持されている場合について説明する。なお、以降の回路図のうち図6、図7、図9、図11において、導通状態のFET等を実線、非導通状態のFET等は破線で示す。図6(a)および図6(b)を参照に、ワード線WLをローレベルとする。これにより、FET<sub>m5</sub>およびm6は遮断状態となり、双安定回路30にデータが保持される。図6(a)を参照に、スイッチ線STをハイレベルとし制御線CTRLをローレベルとする。ノードQからFET<sub>m7</sub>を介し制御線CTRLに電流 $I_{MTJ1}$ が流れる。電流 $I_{MTJ1}$ が閾値電流 $I_{TR}$ を越えるように設定しておく、強磁性トンネル接合素子MTJ1の抵抗は高抵抗 $R_{ap}$ となる。ノードQBはローレベルのため、強磁性トンネル接合素子MTJ2には電流は流れない。図6(b)を参照に、スイッチ線STをハイレベルとし、制御線CTRLをハイレベルとする。制御線CTRLからノードQBに電流 $I_{MTJ2}$ が流れる。電流 $I_{MTJ2}$ が閾値電流 $I_{TF}$ を越えるように設定しておく、強磁性トンネル接合素子MTJ2の抵抗は低抵抗 $R_p$ となる。ノードQはハイレベルのため、強磁性トンネル接合素子MTJ1には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子MTJ1の抵抗は高抵抗 $R_{ap}$ に、強磁性トンネル接合素子MTJ2の抵抗は低抵抗 $R_p$ になる。なお、図6(a)および図6(b)のいずれのステップを先に行ってもよい。

10

## 【0056】

図7(a)および図7(b)を参照に、ノードQがローレベル、ノードQBがハイレベルのデータが保持されている場合について説明する。図7(a)を参照に、スイッチ線STをハイレベルとし制御線CTRLをローレベルとすると、ノードQBから制御線CTRLに電流 $I_{MTJ2}$ が流れるため、強磁性トンネル接合素子MTJ2は高抵抗 $R_{ap}$ となる。ノードQはローレベルのため、強磁性トンネル接合素子MTJ1には電流は流れない。図7(b)を参照に、スイッチ線STをハイレベルとし制御線CTRLをハイレベルとすると、制御線CTRLからノードQに電流 $I_{MTJ1}$ が流れるため、強磁性トンネル接合素子MTJ1は低抵抗 $R_p$ となる。ノードQBはハイレベルのため、強磁性トンネル接合素子MTJ2には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子MTJ1の抵抗は低抵抗 $R_p$ に、強磁性トンネル接合素子MTJ2の抵抗は高抵抗 $R_{ap}$ になる。以上のようにして、双安定回路30のデータを強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアすることができる。

20

30

## 【0057】

電源Vsupplyが遮断され、双安定回路30のデータが消失した場合であっても、強磁性トンネル接合素子MTJ1およびMTJ2の抵抗は不揮発的に保持される。その後、強磁性トンネル接合素子MTJ1およびMTJ2からデータを双安定回路30にリストアする方法を説明する。図8は、双安定回路30へのデータリストアの際の時間に対するノードQおよびQBの電圧を示した図である。図9(a)から図9(c)はそれぞれ図8の時間t1からt3のときの記憶回路の状態を説明する図である。図9(a)から図9(c)において、ノードQおよびQBには、それぞれ容量 $C_Q$ および $C_{QB}$ が接続されている。容量 $C_Q$ および $C_{QB}$ は例えば、配線容量やトランジスタの寄生容量である。

## 【0058】

図9(a)を参照に、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗 $R_{ap}$ および低抵抗 $R_p$ である。時間t1において、スイッチ線STをハイレベルとする。電源電圧をローレベルからハイレベルに立ち上げる。ノードQおよびQBはローレベルとなっているため、インバータ10、20においては、FET<sub>m1</sub>、m3を介し、電源VsupplyからノードQおよびQBにそれぞれ電流 $I_{m1}$ および $I_{m3}$ が流れる。強磁性トンネル接合素子MTJ1は高抵抗 $R_{ap}$ なため、ノードQからローレベルの制御線CTRLに流れる電流 $I_{MTJ1}$ は小さい。強磁性トンネル接合素子MTJ2は低抵抗 $R_p$ なため、ノードQBからローレベルの制御線CTRLに流れる電流 $I_{MTJ2}$ は大きい。

40

## 【0059】

50

ノードQおよびQBの電圧 $V_Q$ および $V_{QB}$ は、以下の式で表される。

$$V_Q = (I_{m3} - I_{m4} - I_{MTJ1}) dt / C_Q \quad \text{式1}$$

$$V_{QB} = (I_{m1} - I_{m2} - I_{MTJ2}) dt / C_{QB} \quad \text{式2}$$

また、各電流の大きさの関係は以下である。

$$I_{m1} = I_{m3} \gg I_{m2} = I_{m4} \quad \text{式3}$$

$$I_{MTJ1} < I_{MTJ2} \quad \text{式4}$$

また、容量 $C_Q$ および $C_{QB}$ の容量値 $C_Q$ および $C_{QB}$ は以下である。

$$C_Q = C_{QB} \quad \text{式5}$$

以上より、ノードQから容量 $C_Q$ を充電する電流は $I_{m3} - I_{MTJ1}$ であり、ノードQBから容量 $C_{QB}$ を充電する電流は $I_{m1} - I_{MTJ2}$ である。

10

よって、

$$V_Q > V_{QB}$$

となる。

これにより、図8の時間 $t_1$ と時間 $t_2$ の間では、電圧 $V_Q$ および $V_{QB}$ はともに増加するが、 $V_Q$ は $V_{QB}$ より大きい。

【0060】

図9(b)を参照に、図8の時間 $t_2$ において、 $V_Q$ がインバータ10を構成するFET $m_2$ の閾値電圧より高くなると、FET $m_2$ が導通状態となり、FET $m_2$ には電流 $I_{m2}$ が流れる。容量 $C_{QB}$ を充電する電流は、 $I_{m1} - I_{MTJ2} - I_{m2}$ となる。電流 $I_{m2}$ が大きくなると、容量 $C_{QB}$ から放電され、ノードQBの電圧は0になる。

20

【0061】

図9(c)を参照に、図8の時間 $t_3$ において、定常状態となると、 $I_{m3} = I_{MTJ1}$ となり、容量 $C_Q$ は充電された状態となり、容量 $C_{QB}$ は放電された状態となる。以上により、ノードQはハイレベル、ノードQBはローレベルとなり、強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアが完了する。

【0062】

図10は、図8とは逆に、強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ低抵抗 $R_p$ および高抵抗 $R_{ap}$ の場合のデータの双安定回路30へのデータのリストアを示す図である。図11(a)から図11(c)はそれぞれ図10の時間 $t_1$ から $t_3$ のときの記憶回路の状態を説明する図である。

30

【0063】

図11(a)を参照に、電源電圧をローレベルからハイレベルに立ち上げると、電圧 $V_Q$ および $V_{QB}$ はともに増加するが、 $V_{QB}$ は $V_Q$ より大きい。図11(b)を参照に、 $V_{QB}$ がインバータ20を構成するFET $m_4$ の閾値電圧より高くなるとFET $m_4$ が導通状態となり電流 $I_{m4}$ が流れる。ノードQの電圧 $V_Q$ は低下する。図11(c)を参照に、定常状態となると、ノードQはローレベル、ノードQBはハイレベルとなる。以上により、強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアが完了する。

【0064】

次に、インバータに着目して強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータの復帰について説明する。図12のように、インバータ10と強磁性トンネル接合素子MTJ1からなる回路をインバータINV1、インバータ20と強磁性トンネル接合素子MTJ1からなる回路をインバータINV2、強磁性トンネル接合素子が付加されていないインバータ10または20をインバータINV0とする。

40

【0065】

図13(a)は、強磁性トンネル接合素子MTJ1が高抵抗 $R_{ap}$ 、強磁性トンネル接合素子MTJ2が低抵抗 $R_p$ の場合のインバータの入出力特性を示した概念図である。強磁性トンネル接合素子が付加されていないインバータINV0に対し、強磁性トンネル接合素子が付加されたインバータINV1およびINV2は論理閾値が低くなる。強磁性トンネル接合素子MTJ2が低抵抗 $R_p$ のインバータINV1は強磁性トンネル接合素子M

50



T J 1 が高抵抗  $R_{ap}$  のインバータ I N V 2 に対し論理閾値がさらに低くなる。図 1 3 ( b ) を参照に、強磁性トンネル接合素子 M T J 1 が低抵抗  $R_p$ 、強磁性トンネル接合素子 M T J 2 が高抵抗  $R_{ap}$  の場合、インバータ I N V 2 はインバータ I N V 1 に対し論理閾値が低くなる。

【 0 0 6 6 】

図 1 4 ( a ) は、強磁性トンネル接合素子が接続されていないインバータ I N V 0、I N V 0' からなる双安定回路の特性曲線の概念図である。インバータ I N V 0、I N V 0' の特性は等しいため、双安定回路 3 0 のスイッチ点 C' は  $V_Q = V_{Q_B}$  上にある。  $V_{Q_B}$  が電源電圧  $V_{sp3}$  のときの点 A' とスイッチ点 C' 間の特性曲線のループと、  $V_Q$  が電源電圧  $V_{sp3}$  のときの点 B' と点 C' 間の特性曲線のループと、は対称である。

10

【 0 0 6 7 】

図 1 4 ( b ) は、強磁性トンネル接合素子 M T J 1 が高抵抗  $R_{ap}$ 、強磁性トンネル接合素子 M T J 2 が低抵抗  $R_p$  の場合の双安定回路 3 0 の特性曲線の概念図である。インバータ I N V 1 と I N V 2 の入出力特性が非対称なため、双安定回路 3 0 のスイッチ点 C は  $V_Q = V_{Q_B}$  の直線より上側にある。  $V_{Q_B}$  が電源電圧  $V_{sp1}$  のときの点 A とスイッチ点 C 間の特性曲線のループは、  $V_Q$  が電源電圧  $V_{sp1}$  のときの点 B と点 C 間の特性曲線のループより小さくなる。電源電圧  $V_{supply}$  を接地電圧 0 V から電圧  $V_{sp1}$ 、  $V_{sp1}$  に立ち上げる過程を考える。このとき、強磁性トンネル接合素子 M T J 2 に流れる電流  $I_{MTJ2}$  は閾値電流  $I_{TR}$  を越えないようにする。電源電圧  $V_{supply}$  がインバータに使用されている p 型 M O S F E T の閾値電圧の絶対値を少し越えた電圧  $V_{sp5}$ 、  $V_{sp5}$  の場合、インバータ I N V 1 およびインバータ I N V 2 の特性曲線は I N V 1' および I N V 2' となる。インバータ I N V 2 はインバータ I N V 1 より閾値電圧が低い。すなわち、インバータ I N V 1、I N V 2 への入力電圧（インバータ I N V 1 の場合ノード Q の電圧、インバータ I N V 1 の場合ノード Q B の電圧）が同じ場合、インバータ I N V 2 の方が出力ノード（インバータ I N V 1 の場合ノード Q B、インバータ I N V 1 の場合ノード Q B）からグランドへ多くの電流が流れる。よって、入力電圧が 0 V のときの出力電圧もインバータ I N V 1 よりもインバータ I N V 2 の方が低くなる。したがって、双安定回路の動的動作点は電源電圧  $V_{supply}$  の立ち上げ速度等に依存するものの、静的安定点が常に  $V_Q = V_{Q_B}$  の下側に存在するので、点線矢印の軌跡をたどり点 B に収束する。

20

30

【 0 0 6 8 】

図 1 4 ( c ) は、強磁性トンネル接合素子 M T J 1 が低抵抗  $R_p$ 、強磁性トンネル接合素子 M T J 2 が高抵抗  $R_{ap}$  の場合の双安定回路 3 0 の特性曲線の概念図である。双安定回路 3 0 のスイッチ点 C' は  $V_Q = V_{Q_B}$  の直線より下側にある。  $V_{Q_B}$  が電源電圧  $V_{sp2}$  のときの点 A' とスイッチ点 C' 間の特性曲線のループは、  $V_Q$  が電源電圧  $V_{sp2}$  のときの点 B' と点 C' 間の特性曲線のループより大きくなる。このとき、強磁性トンネル接合素子 M T J 1 に流れる電流  $I_{MTJ1}$  が閾値電流  $I_{TR}$  を越えないように電源電圧  $V_{supply}$  を 0 V から  $V_{sp2}$ 、  $V_{sp2}$  に立ち上げる。双安定回路 3 0 の動的動作点は、静的安定点が常に  $V_Q = V_{Q_B}$  の上側にあるため、点線矢印の軌跡をたどり点 A' に収束する。

40

【 0 0 6 9 】

図 1 4 ( b ) および図 1 4 ( c ) において、電源電圧を立ち上げる際に、動的な動作点が  $V_Q = V_{Q_B}$  となったとしても、その直前まで  $V_Q = V_{Q_B}$  の直線の上側又は下側の特性ループ内にあるため、収束する動作点の方向は変わらず、点 B または点 A' に収束する。

【 0 0 7 0 】

図 1 4 ( b ) または図 1 4 ( c ) において、強磁性トンネル接合素子 M T J 1 または M T J 2 の電流  $I_{MTJ1}$  または  $I_{MTJ2}$  が閾値電流  $I_{TR}$  を一度でも越えると、強磁性トンネル接合素子 M T J 1 および M T J 2 は高抵抗  $R_{ap}$  となる。よって、図 1 4 ( d )

50

のように、インバータ  $INV1$  と  $INV2$  の論理閾値は同じとなり、スイッチ点  $C''''$  は  $V_Q = V_{QB}$  上となる。このため、電源電圧  $V_{supply}$  を  $0V$  から電圧  $V_{sp4}$ 、 $V_{sp4}'$  に立ち上げた場合、静的安定点は、点  $A''''$  に収束するか点  $B''''$  に収束するか確定しなくなってしまう。以上のように、データを復帰させる際は、電流  $I_{MTJ1}$  および  $I_{MTJ2}$  が閾値電流  $I_{TR}$  を越えないようにすることが好ましい。

#### 【0071】

図15は、実施例2に係る記憶回路の制御を示すタイミングチャートである。なお、ハッチ領域はハイレベルかローレベルか定かではないことを示す。図15を参照に、電源電圧  $V_{supply}$  が供給され、制御線  $CTRL$  およびスイッチ線  $ST$  はローレベルである。双安定回路30へのデータの書き込みは、ワード線  $WL$  をハイレベル、入出力線  $DIN$ 、 $DINB$  をハイレベルまたはローレベルとすることにより行われる。双安定回路30から強磁性トンネル接合素子  $MTJ1$ 、 $MTJ2$  へのデータのストアは、期間  $T1$  においてスイッチ線  $ST$  および制御線  $CTRL$  をハイレベルとし（図6(b)および図7(b)に相当）、期間  $T2$  において、スイッチ線  $ST$  をハイレベルとし制御線  $CTRL$  をローレベルとする（図6(a)および図7(a)に相当）ことにより行われる。

10

#### 【0072】

その後、電源電圧  $V_{supply}$  を  $0V$  とすることにより、記憶回路はスリープ状態となる。このとき、記憶回路に電流が流れないため、消費電力を抑制することができる。強磁性トンネル接合素子  $MTJ1$  および  $MTJ2$  から双安定回路30へのデータのリストアは、期間  $T3$  において制御線  $CTRL$  をローレベルとしスイッチ線  $ST$  をハイレベルとした状態で電源電圧  $V_{supply}$  を  $0V$  から立ち上げる（図8から図11(c)に相当）ことにより行われる。双安定回路30からのデータの読み出しは、ワード線  $WL$  をハイレベルとすることにより行われる。

20

#### 【0073】

次に、実施例2に係る記憶回路のシミュレーションを行った。図16は、シミュレーションに用いた強磁性トンネル接合素子の電流電圧特性を示す図である。閾値電流  $I_{TF}$  および  $I_{TR}$  はそれぞれ  $30\mu A$  および  $-30\mu A$ 、抵抗  $R_{ap}$  および  $R_p$  はそれぞれ  $16.7k$  および  $8.33k$  とした。各  $FET$  のチャンネル長  $L = 0.07\mu m$  であり、 $n$  型  $FET$  のチャンネル幅  $W_n = 1.0\mu m$ 、 $p$  型  $FET$  のチャンネル幅  $W_p = 1.5\mu m$  とした。

30

#### 【0074】

図17(a)から図17(d)は、シミュレーション結果を示すタイミングチャートである。図17(a)は、ノード  $Q$  がハイレベルのときにストアする際のタイミングチャート、図17(b)は、図17(a)後にリストアする際のタイミングチャートである。図17(c)は、ノード  $Q$  がローレベルのときにストアする際のタイミングチャート、図17(d)は、図17(c)後にリストアする際のタイミングチャートである。各図では、ノード  $Q$  のレベルに  $1.5V$ 、スイッチ線  $ST$  のレベルに  $3V$ 、制御線  $CTRL$  のレベルに  $4.5V$ 、電源電圧  $V_{supply}$  に  $6V$ 、ワード線  $WL$  のレベルに  $7.5V$  を加え表示している。ストアの方法、リストアの方法は前述の通りである。

#### 【0075】

図17(a)において、ノード  $Q$  がハイレベル、ノード  $QB$  がローレベルの状態を強磁性トンネル接合素子にストアする。図17(b)において、ノード  $Q$  にハイレベル、ノード  $QB$  にローレベルがリストアされている。同様に、図17(c)において、ノード  $Q$  がローレベル、ノード  $QB$  がハイレベルの状態を強磁性トンネル接合素子にストアする。図17(d)において、ノード  $Q$  にローレベル、ノード  $QB$  にハイレベルがリストアされている。以上のように、実施例2に係る記憶回路においては、強磁性トンネル接合素子  $MTJ1$  および  $MTJ2$  にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

40

#### 【実施例3】

#### 【0076】

50

図18は、実施例3に係る記憶回路の回路図である。実施例3においては、実施例2の図に対し、FETm7およびFETm8が設けられていない。このように、FETm7(第1スイッチ)およびFETm8(第2スイッチ)はなくてもよい。しかしながら、双安定回路30から制御線CTRLに流れる電流を抑制するためには、FETm7およびFETm8を設ける方が好ましい。

【0077】

図19(a)から図19(d)は、実施例3に係る記憶回路について、実施例2の図17(a)から図17(d)と同じシミュレーションを行った結果を示す図である。なお、各図では、ノードQのレベルに1.5V、制御線CTRLのレベルに3V、電源電圧Vsupplyに4.5V、ワード線WLのレベルに6Vを加え表示している。

10

【0078】

図19(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図19(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図19(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図19(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例3に係る記憶回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

【0079】

20

図20(a)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapであり強磁性トンネル接合素子MTJ2が低抵抗Rpの場合の双安定回路30のシミュレーション特性曲線を示している。図20(b)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1が低抵抗Rpであり強磁性トンネル接合素子MTJ2が高抵抗Rapの場合の双安定回路30のシミュレーション特性曲線を示している。実線はインバータINV1に相当する曲線、破線はインバータINV2に相当する曲線であり、それぞれの入出力を切り離した状態のインバータ単体でシミュレーションを行っている。矢印は掃印方向を示している。電源電圧Vsupplyが1.0V、0.5Vおよび0.3Vのときの曲線を示している。点線の矢印は、インバータINV1とインバータINV2の入出力を相互に接続性し双安定回路30を構成して、電源電圧を0Vから1.0Vまで立ち上げたとき(図19(b)および図19(d)においてリストアを行ったとき)の動的動作点の軌跡を示している。

30

【0080】

図20(a)および図20(b)を参照に、電源電圧Vsupplyが0.3V、0.5Vのとき特性曲線は非対称である。これにより、電源電圧Vsupplyが高くなると、図20(a)では動的安定点はノードQがローレベルにノードQBがハイレベルに収束する。図20(b)では動的動作点はノードQがハイレベルにノードQBがローレベルに収束する。電源電圧Vsupplyが1.0V固定のときは、図20(a)にあってはインバータINV2の入力電圧、図20(b)にあってはインバータINV1の入力電圧をそれぞれ0Vから1V、1Vから0Vまで掃印すると、強磁性トンネル接合素子MTJ1またはMTJ2を流れる電流 $I_{MTJ1}$ または $I_{MTJ2}$ が閾値電流 $I_{TR}$ を越えるため、特性曲線は対称になってしまう。このように、電流 $I_{MTJ1}$ または $I_{MTJ2}$ が閾値電流 $I_{TR}$ をリストア動作中に越えないように、電源電圧Vsupply、強磁性トンネル接合素子MTJ1およびMTJ2の抵抗値RpおよびRapなどを設定することが好ましい。

40

【実施例4】

【0081】

実施例2および実施例3のように、強磁性トンネル接合素子にストアしたデータを双安定回路30のデータにリストアできるのは、図12のインバータINV1とINV2の論理閾値がストアされたデータに応じ逆転するためである(図13(a)および図13(b)

50

参照)。よって、双安定回路30を構成するインバータ10とインバータ20に強磁性トンネル接合素子MTJ1を付加したインバータINV2との論理閾値がストアされたデータに応じ異なるようにすれば、強磁性トンネル接合素子が1つの構成においても、データのリストアが可能となる。以下に、強磁性トンネル接合素子が1つの構成の例を説明する。

#### 【0082】

図21(a)および図21(b)は実施例4に係る記憶回路の回路図である。実施例4においては、実施例2および実施例3に対し、インバータ20のFETm4'のチャネル幅をインバータ10のFETm3のチャネル幅より狭くしている。また、強磁性トンネル接合素子MTJ2およびFETm8が設けられていない。これにより、強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapの場合と低抵抗Rpの場合とで、インバータ10の入出力特性とインバータINV2の入出力特性とで、論理閾値が逆転する。よって、実施例2および実施例3と同様に、強磁性トンネル接合素子MTJ1にストアされたデータを双安定回路30にリストアすることができる。FETm7は図21(a)のように、設けてもよいし、図21(b)のように設けなくてもよい。

10

#### 【実施例5】

#### 【0083】

図22(a)および図22(b)は実施例5に係る記憶回路の回路図である。実施例5においては、実施例2および実施例3に対し、強磁性トンネル接合素子MTJ2が抵抗R1に置き換わっている。抵抗R1は強磁性トンネル接合素子MTJ1の高抵抗Rapと低抵抗Rpとの間になるように設定する。これにより、強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapの場合と低抵抗Rpの場合とで、インバータ10に抵抗R1を付加したインバータINV1の入出力特性とインバータINV2の入出力特性とで、論理閾値が逆転する。よって、実施例2および実施例3と同様に、強磁性トンネル接合素子MTJ1にストアされたデータを双安定回路30にリストアすることができる。FETm7およびFETm8は、図22(a)のように、設けてもよいし、図22(b)のように設けなくてもよい。

20

#### 【実施例6】

#### 【0084】

図23(a)および図23(b)は実施例6に係る記憶回路の回路図である。実施例6においては、実施例5に対し、抵抗R1が接地されている。双安定回路30のデータを強磁性トンネル接合素子MTJ1にストアするため、制御線CTRLをハイレベルにした場合に抵抗R1に電流が流れなくてもよい。よって、抵抗R1は接地してもよい。実施例5と同じように抵抗R1は強磁性トンネル接合素子MTJ1の高抵抗Rapと低抵抗Rpとの間になるように設定する。また、FETm7およびFETm8は、図23(a)のように、設けてもよいし、図23(b)のように設けなくてもよい。

30

#### 【実施例7】

#### 【0085】

図24は実施例7に係る記憶回路の回路図である。実施例7においては、実施例2の図5の制御線CTRLにFETm9からm12よりなるインバータ2段の増幅回路70の出力が接続されている。増幅回路70の入力は外部制御線EXT-CTRLが接続されている。制御線CTRLにより多くの記憶回路を同時に制御すると、動作が遅くなってしまう。実施例7によれば、増幅回路70により外部制御線EXT-CTRLの信号を増幅するため、記憶回路におけるストアおよびリストアを高速に行うことができる。

40

#### 【実施例8】

#### 【0086】

図25は、実施例8に係る記憶回路の回路図である。実施例8においては、n型MOSFETm13が制御線CTRLとグランドとの間に接続され、FETm13のゲートが第2制御線RCLに接続されている。図26は、実施例8に係る記憶回路のタイミングチャートである。ストアの際は、第2制御線RCLのレベルをローレベルとする。FETm1

50

3は遮断状態となる。よって、ノードQとQBのどちらかがハイレベルの電位、もう一方がローレベルの電位であるから、強磁性トンネル接合素子MTJ1と強磁性トンネル接合素子MTJ2との間に電流が流れ、双安定回路30のデータが強磁性トンネル接合素子MTJ1とMTJ2にストアされる。このとき、制御線CTRLの電圧はハイレベルとローレベルとの中間となる。リストアの際は、第2制御線RCLを導通状態とする。制御線CTRLはローレベルとなり、実施例2と同様にリストアすることができる。これにより、制御線CTRLの駆動能力によらず、記憶回路におけるストアおよびリストアを高速に行うことができる。

【0087】

図27(a)から図27(d)は、実施例8に係る記憶回路について、実施例2の図17(a)から図17(d)と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の閾値電流 $I_{TF}$ および $I_{TR}$ をそれぞれ $15\mu A$ および $-15\mu A$ とし、その他のパラメータは実施例2と同じとした。各図では、ノードQのレベルに $1.5V$ 、制御線CTRLのレベルに $3V$ 、第2制御線RCLに $4.5V$ 、スイッチ線STに $6V$ 、電源電圧 $V_{supply}$ に $7.5V$ 、ワード線WLのレベルに $9V$ を加え表示している。

【0088】

図27(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図27(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図27(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図27(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例8に係る記憶回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

【実施例9】

【0089】

図28は、実施例9に係る記憶回路の回路図である。実施例9においては、実施例8に対しFETm7およびm8が設けられていない。その他の構成は実施例8と同じである。図29(a)から図29(d)は、実施例9に係る記憶回路について、実施例8の図27(a)から図27(d)と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の閾値電流 $I_{TF}$ および $I_{TR}$ をそれぞれ $6\mu A$ および $-6\mu A$ とし、高抵抗値 $R_{ap}$ および低抵抗値 $R_p$ をそれぞれ $50k$ および $25k$ とし、その他のパラメータは実施例2と同じとした。

【0090】

図29(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図29(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図29(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図29(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、FETm7およびm8を設けない実施例9に係る記憶回路においても、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

【実施例10】

【0091】

図30は実施例10に係る記憶回路の回路図である。実施例10においては、実施例2の図5に対し、相補的なワード線WLおよびWLBが設けられている。ノードQと入出力線DINとの間にはパルゲートm5'、ノードQBと入出力線DINBとの間にはパルゲートm6'が接続されている。パルゲートm5'およびm6'は、n型FETおよびp型FETのソースとドレイン同士を接続した構成である。

10

20

30

40

50

## 【実施例 1 1】

## 【0092】

図 3 1 は実施例 1 1 に係る記憶回路の回路図である。実施例 1 1 においては、実施例 2 の図 5 に対し、強磁性トンネル接合素子 M T J 1 および F E T m 7 がスピン F E T 1 に、強磁性トンネル接合素子 M T J 2 および F E T m 8 がスピン F E T 2 に、置き換わっている。このように、強磁性トンネル接合素子はスピン F E T を用いてもよい。なお、スピン F E T は、磁化方向によりコンダクタンスを不揮発的に変更できるトランジスタであり、ゲート等の制御端子によりスイッチング機能も有している。例えば、国際公開第 2 0 0 4 / 0 7 9 8 2 7 パンフレットまたは電子情報通信学会誌 V o l . 8 8 . N o . 7 . 2 0 0 5 P P . 5 4 1 - 5 5 0 に記載されているスピン F E T を用いることができる。

10

## 【実施例 1 2】

## 【0093】

図 3 2 は実施例 1 2 に係る記憶回路の回路図である。実施例 1 2 は実施例 2 に対し、インバータ 1 0 および 2 0 が電源線 V D D と V S S との間に接続されている。また、強磁性トンネル接合素子 M T J 1 および M T J 2 の極性が実施例 2 とは逆である。これにより、ノード Q または Q B から制御線 C T R L に電流が流れることにより、強磁性トンネル接合素子 M T J 1 または M T J 2 は低抵抗 R p となり、制御線 C T R L からノード Q または Q B に電流が流れることにより、強磁性トンネル接合素子 M T J 1 または M T J 2 は高抵抗 R a p となる。さらに、F E T m 7 および m 8 が p 型 M O S F E T である。その他の構成は実施例 2 の図 5 と同じである。

20

## 【0094】

図 3 3 は実施例 1 2 のタイミングチャートである。実施例 1 2 では、電源の遮断は V S S をハイレベル ( V D D のレベル ) とすることにより行われる。制御線 C T R L のレベルおよびスイッチ線 S T のレベルは書き込み、スリープおよび読み出しの際はハイレベルである。ストアの際の期間 T 1 において、スイッチ線 S T および制御線 C T R L がローレベルとなり、期間 T 2 において、スイッチ線 S T がローレベル、制御線 C T R L がハイレベルとなる。これにより、双安定回路 3 0 のデータが強磁性トンネル接合素子 M T J 1 および M T J 2 にストアされる。リストアの際の期間 T 3 において、スイッチ線 S T をローレベルとすることにより、強磁性トンネル接合素子 M T J 1 および M T J 2 のデータが双安定回路 3 0 にリストアされる。

30

## 【0095】

実施例 1 2 において、強磁性トンネル接合素子 M T J 1 および M T J 2 の極性を実施例 2 と逆にする理由は以下による。例えば、ノード Q をハイレベルにする場合、F E T m 2 および m 4 の放電電流に対し、ノード Q を制御線 C T R L から充電するため、強磁性トンネル接合素子 M T J 1 は低抵抗 R p であることが好ましい。しかるに、強磁性トンネル接合素子 M T J 1 が実施例 2 と同じ極性であると、高抵抗 R a p となってしまうためである。また、F E T m 7 および m 8 を p M O S F E T とする理由は以下である。リストアの初期段階において、F E T m 7 および m 8 のソースおよびドレインはともにハイレベルに近い。このとき、F E T m 7 および m 8 が p M O S F E T であると、スイッチ線 S T をローレベルとすることにより、F E T m 7 および m 8 を確実に導通状態とすることができる。

40

## 【0096】

実施例 3 から実施例 1 1 においても、インバータ 1 0 および 2 0 を電源線 V D D と V S S との間に接続し、強磁性トンネル接合素子 M T J 1 または M T J 2 の極性を実施例 1 2 と同じとすることもできる。

## 【0097】

実施例 2 から実施例 1 2 によれば、強磁性トンネル接合素子 M T J 1 または M T J 2 は、ノード Q または Q B と制御線 C T R L との間に接続されている。強磁性トンネル接合素子 M T J 1 または M T J 2 は、ノード Q または Q B と制御線 C T R L との間に電流が流れることにより高抵抗となり、反対方向に電流が流れることにより低抵抗となる。これにより、ノード Q または Q B のレベルに応じ制御線 C T R L とノード Q または Q B との間に電

50

流を流すことにより、双安定回路30のデータを強磁性トンネル接合素子にストアすることができる。

【0098】

また、図15および図33のように、データを双安定回路30にストアさせる際に、制御線CTRLは強磁性トンネル接合素子MTJ1またはMTJ2にハイレベルの電圧とローレベルの電圧を交互に印加する。これにより、双安定回路30に記憶されたデータを強磁性トンネル接合素子MTJ1またはMTJ2にストアすることができる。

【0099】

データを強磁性トンネル接合素子MTJ1またはMTJ2から双安定回路30にリストアさせる際に、制御線CTRLは電源遮断方法とその対応回路に応じ、強磁性トンネル接合素子MTJ1またはMTJ2にローレベルまたはハイレベルの電圧を印加する。すなわち、実施例1から実施例11においては、制御線CTRLは、強磁性トンネル接合素子MTJ1またはMTJ2にローレベルの電圧を印加し、実施例12においては、ハイレベルの電圧を印加する。これにより、強磁性トンネル接合素子MTJ1またはMTJ2にストアされたデータを双安定回路30にリストアすることができる。

10

【0100】

実施例2、実施例4の図21(a)、実施例5の図22(a)、実施例6の図23(a)、実施例7、実施例8、実施例10および実施例12のように、記憶回路は、ノードQまたはQBと強磁性トンネル接合素子MTJ1またはMTJ2との間に接続されたスイッチ(FETm7またはm8に相当する)を有してもよい。このスイッチは、ストアおよびリストアの際に導通し、ストアおよびリストア以外に遮断状態となる。これにより、記憶回路の消費電力を削減することができる。

20

【0101】

実施例2、実施例3、実施例7から実施例10、実施例12のように、ノードQを第1ノードQ、ノードQBを第2ノードQBとし、第1ノードQと制御線CTRLとの間に接続された強磁性トンネル接合素子MTJ1を第1強磁性トンネル接合素子とし、第2ノードQBと制御線CTRLとの間に接続された強磁性トンネル接合素子MTJ2を第2強磁性トンネル接合素子とすることができる。このように2つの強磁性トンネル接合素子を用いることにより、強磁性トンネル接合素子をノードQおよびQBの一方に接続する場合に比べ、インバータ10および第2強磁性トンネル接合素子MTJ2からなるインバータINV1とインバータ20および第1強磁性トンネル接合素子MTJ1からなるインバータINV2との論理閾値の差を大きくすることができる。よって、動作速度やノイズマージンの観点から有利であり、より安定に動作することができる。

30

【0102】

実施例2、実施例7、実施例8、実施例10および実施例12のように、記憶回路は、スイッチとして、第1ノードQと第1強磁性トンネル接合素子MTJ1との間に接続され、データのストアおよびリストアの際に導通する第1スイッチ(FETm7に相当する)と、第2ノードQBと第2強磁性トンネル接合素子MTJ2との間に接続された第2スイッチ(FETm8に相当する)と、を含んでいる。第1スイッチおよび第2スイッチは、データをストアおよびリストアする際に導通し、ストアおよびリストア以外の際に遮断状態となる。このように、第1強磁性トンネル接合素子MTJ1および第2強磁性トンネル接合素子MTJ2とノードQおよびQBとの間両方に、第1スイッチおよび第2スイッチを接続することにより、消費電力をより抑制することができる。

40

【0103】

実施例8および実施例9のように、記憶回路は、制御線CTRLとローレベルの電力線であるグランドとの間に接続された第3スイッチ(FETm13に相当する)を有している。図26のように、第3スイッチは、データをストアする際に遮断状態となり、データをリストアする際に導通する。これにより、ストアの際に、2つの強磁性トンネル接合素子MTJ1およびMTJ2の間を電流が流れるため、実施例7のような増幅回路70を設けなくとも、ストアを高速に行うことができる。なお、インバータ10および20を電源

50

線VDDとVSSとの間に接続し、強磁性トンネル接合素子MTJ1またはMTJ2の極性を実施例12と同じとする場合は、第3スイッチが接続する電力線はハイレベルであり、第3スイッチにMOSFETを用いる場合はp型MOSFETが好ましい。

【0104】

実施例2から実施例12のように、記憶回路は、ノードQまたはQBにデータを入出力するための入出力スイッチ(FETm5もしくはm6またはパスゲートm5'またはパスゲートm6'に相当する)を有している。また、入出力スイッチはワード線WLのレベルに応じ、ノードQまたはQBにデータを入出力する。このように、記憶回路をSRAMメモリのメモリセルとして用いることができる。

【0105】

入出力スイッチは、第1ノードQにデータを入出力するための第1入出力スイッチ(FETm5またはパスゲートm5'に相当する)と、第2ノードQBにデータを入出力するための第2入出力スイッチ(FETm6またはパスゲートm6'に相当する)とを有する。このように、第1ノードQおよび第2ノードQBの両方に入出力スイッチを接続することが好ましい。このように、ノードQまたはQBにデータを入出力するための入出力スイッチは、第1ノードQにデータを入出力するための1つ以上のスイッチと、第2ノードQBにデータを入出力するための1つ以上のスイッチと、を有する構成とすることができる。入出力スイッチを多数のスイッチを接続し構成した場合には、外部読み出しおよび書き込み回路の高速化を図ることができる。

【実施例13】

【0106】

図34は実施例13に係るラッチ回路の回路図である。図34を参照に、実施例13に係るラッチ回路は、図2のDラッチ回路に加え、n型FETm9、m10、強磁性トンネル接合素子MTJ1、MTJ2を有している。ノードQと制御線CTRLとの間にFETm9と強磁性トンネル接合素子MTJ1が接続され、ノードQBと制御線CTRLとの間にFETm10と強磁性トンネル接合素子MTJ2が接続されている。FETm9、m10のゲートはスイッチ線STに接続されている。

【0107】

実施例13に係るラッチ回路の動作について説明する。双安定回路30へのデータの書き込みおよびデータの保持は、従来のDラッチ回路と同じように行われる。すなわち、クロック信号CLKをハイレベルとしパスゲート80を導通状態とすることにより、双安定回路30に入力線DINのデータが書き込まれる。また、クロック信号CLKをローレベルとしパスゲート90を導通状態とすることにより、双安定回路30はデータを保持する。なお、双安定回路30から強磁性トンネル接合素子MTJ1およびMTJ2へのストア動作、および強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストア動作以外の際(データの書き込み、出力、保持の際)、スイッチ線STはローレベルとし、FETm9およびm10は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流を抑制し、消費電力を削減することができる。

【0108】

双安定回路30に記憶されたデータを強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアする方法を説明する。まず、ノードQがハイレベル“H”、ノードQBがローレベル“L”のデータが保持されている場合について説明する。なお、以降の回路図のうち図35、図36および図38において、導通状態のFET等は実線、非導通状態のFET等は破線で示す。図35(a)および図35(b)を参照に、クロック信号CLKがローレベルとなり、双安定回路30にデータが保持される。図35(a)を参照に、スイッチ線STをハイレベルとし制御線CTRLをローレベルとする。ノードQからFETm9を介し制御線CTRLに電流 $I_{MTJ1}$ が流れる。電流 $I_{MTJ1}$ が閾値電流 $I_{TR}$ を越えるように設定しておくこと、強磁性トンネル接合素子MTJ1の抵抗は高抵抗 $R_{ap}$ となる。ノードQBはローレベルのため、強磁性トンネル接合素子MTJ2には電流

10

20

30

40

50



は流れない。図35(b)を参照に、スイッチ線STをハイレベルとし、制御線CTRLをハイレベルとする。制御線CTRLからノードQBに電流 $I_{MTJ2}$ が流れる。電流 $I_{MTJ2}$ が閾値電流 $I_{TF}$ を越えるように設定しておくこと、強磁性トンネル接合素子MTJ2の抵抗は低抵抗 $R_p$ となる。ノードQはハイレベルのため、強磁性トンネル接合素子MTJ1には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子MTJ1の抵抗は高抵抗 $R_{ap}$ に、強磁性トンネル接合素子MTJ2の抵抗は低抵抗 $R_p$ になる。なお、図35(a)および図35(b)のいずれのステップを先に行ってもよい。

【0109】

図36(a)および図36(b)を参照に、ノードQがローレベル、ノードQBがハイレベルのデータが保持されている場合について説明する。図36(a)を参照に、スイッチ線STをハイレベルとし制御線CTRLをローレベルとすると、ノードQBから制御線CTRLに電流 $I_{MTJ2}$ が流れるため、強磁性トンネル接合素子MTJ2は高抵抗 $R_{ap}$ となる。ノードQはローレベルのため、強磁性トンネル接合素子MTJ1には電流は流れない。図36(b)を参照に、スイッチ線STをハイレベルとし制御線CTRLをハイレベルとすると、制御線CTRLからノードQに電流 $I_{MTJ1}$ が流れるため、強磁性トンネル接合素子MTJ1は低抵抗 $R_p$ となる。ノードQBはハイレベルのため、強磁性トンネル接合素子MTJ2には電流は流れない。上記一連の動作が完了すると、強磁性トンネル接合素子MTJ1の抵抗は低抵抗 $R_p$ に、強磁性トンネル接合素子MTJ2の抵抗は高抵抗 $R_{ap}$ になる。以上のようにして、双安定回路30のデータを強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアすることができる。

【0110】

電源Vsupplyが遮断され、双安定回路30のデータが消失した場合であっても、強磁性トンネル接合素子MTJ1およびMTJ2の抵抗は不揮発的に保持される。その後、強磁性トンネル接合素子MTJ1およびMTJ2からデータを双安定回路30にリストアする方法を説明する。図37は、双安定回路30へのデータリストアの際の時間に対するノードQおよびQBの電圧を示した図である。図38(a)から図38(c)はそれぞれ図37の時間t1からt3のときのラッチ回路の状態を説明する図である。図38(a)から図38(c)において、ノードQおよびQBには、それぞれ容量 $C_Q$ および $C_{QB}$ が接続されている。容量 $C_Q$ および $C_{QB}$ は例えば、配線容量やトランジスタの寄生容量である。

【0111】

図38(a)を参照に、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗 $R_{ap}$ および低抵抗 $R_p$ である。クロック信号CLKはローレベルとなっており、パスゲート80は遮断状態、パスゲート90は導通状態である。時間t1において、スイッチ線STをハイレベルとする。電源電圧をローレベルからハイレベルに立ち上げる。ノードQおよびQBはローレベルとなっているため、インバータ10、20においては、FETm1、m3を介し、電源VsupplyからノードQおよびQBにそれぞれ電流 $I_{m1}$ および $I_{m3}$ が流れる。強磁性トンネル接合素子MTJ1は高抵抗 $R_{ap}$ なため、ノードQからローレベルの制御線CTRLに流れる電流 $I_{MTJ1}$ は小さい。強磁性トンネル接合素子MTJ2は低抵抗 $R_p$ なため、ノードQBからローレベルの制御線CTRLに流れる電流 $I_{MTJ2}$ は大きい。

【0112】

ノードQおよびQBの電圧 $V_Q$ および $V_{QB}$ は、以下の式で表される。

$$V_Q = (I_{m3} - I_{m4} - I_{MTJ1}) dt / C_Q \quad \text{式6}$$

$$V_{QB} = (I_{m1} - I_{m2} - I_{MTJ2}) dt / C_{QB} \quad \text{式7}$$

また、各電流の大きさの関係は以下である。

$$I_{m1} = I_{m3} \gg I_{m2} = I_{m4} \quad \text{式8}$$

$$I_{MTJ1} < I_{MTJ2} \quad \text{式9}$$

また、容量 $C_Q$ および $C_{QB}$ の容量値 $C_Q$ および $C_{QB}$ は以下である。

$$C_Q = C_{QB} \quad \text{式10}$$

10

20

30

40

50

以上より、ノードQから容量 $C_Q$ を充電する電流は $I_{m3} - I_{MTJ1}$ であり、ノードQBから容量 $C_{QB}$ を充電する電流は $I_{m1} - I_{MTJ2}$ である。

よって、

$$V_Q > V_{QB}$$

となる。

これにより、図37の時間 $t_1$ と時間 $t_2$ の間では、電圧 $V_Q$ および $V_{QB}$ はともに増加するが、 $V_Q$ は $V_{QB}$ より大きい。

【0113】

図38(b)を参照に、図37の時間 $t_2$ において、 $V_Q$ がインバータ10を構成するFET $m_2$ の閾値電圧より高くなると、FET $m_2$ が導通状態となり、FET $m_2$ には電流 $I_{m2}$ が流れる。容量 $C_{QB}$ を充電する電流は、 $I_{m1} - I_{MTJ2} - I_{m2}$ となる。電流 $I_{m2}$ が大きくなると、容量 $C_{QB}$ から放電され、ノードQBの電圧は0になる。

10

【0114】

図38(c)を参照に、図37の時間 $t_3$ において、定常状態となると、 $I_{m3} = I_{MTJ1}$ となり、容量 $C_Q$ は充電された状態となり、容量 $C_{QB}$ は放電された状態となる。以上により、ノードQはハイレベル、ノードQBはローレベルとなり、強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアが完了する。

【0115】

強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ低抵抗 $R_p$ および高抵抗 $R_{ap}$ の場合のデータの双安定回路30へのリストアも図37から図38(c)のノードQおよびQBが入れ替わる以外は同様に行うことができる。

20

【0116】

次に、インバータに着目して強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータの復帰について説明する。図39のように、インバータ10と強磁性トンネル接合素子MTJ2からなる回路をインバータINV1、インバータ20と強磁性トンネル接合素子MTJ1からなる回路をインバータINV2、強磁性トンネル接合素子が付加されていないインバータ10または20をインバータINV0とする。

【0117】

図40(a)は、強磁性トンネル接合素子MTJ1が高抵抗 $R_{ap}$ 、強磁性トンネル接合素子MTJ2が低抵抗 $R_p$ の場合のインバータの入出力特性を示した概念図である。強磁性トンネル接合素子が付加されていないインバータINV0に対し、強磁性トンネル接合素子が付加されたインバータINV1、INV2は論理閾値が低くなる。強磁性トンネル接合素子MTJ2が低抵抗 $R_p$ のインバータINV1は強磁性トンネル接合素子MTJ1が高抵抗 $R_{ap}$ のインバータINV2に対し論理閾値がさらに低くなる。図40(b)を参照に、強磁性トンネル接合素子MTJ1が低抵抗 $R_p$ 、強磁性トンネル接合素子MTJ2が高抵抗 $R_{ap}$ の場合、インバータINV2はインバータINV1に対し論理閾値が低くなる。

30

【0118】

図41(a)は、強磁性トンネル接合素子が接続されていないインバータINV0、INV0'からなる双安定回路の特性曲線の概念図である。インバータINV0、INV0'の特性は等しいため、双安定回路30のスイッチ点C'は $V_Q = V_{QB}$ 上にある。 $V_{QB}$ が電源電圧 $V_{sp3}$ のときの点A'とスイッチ点C'間の特性曲線のループと、 $V_Q$ が電源電圧 $V_{sp3}$ 'のときの点B'と点C'間の特性曲線のループと、は対称である。

40

【0119】

図41(b)は、強磁性トンネル接合素子MTJ1が高抵抗 $R_{ap}$ 、強磁性トンネル接合素子MTJ2が低抵抗 $R_p$ の場合の双安定回路30の特性曲線の概念図である。インバータINV1とINV2の入出力特性が非対称なため、双安定回路30のスイッチ点Cは $V_Q = V_{QB}$ の直線より上側にある。 $V_{QB}$ が電源電圧 $V_{sp1}$ のときの点Aとスイッチ点C間の特性曲線のループは、 $V_Q$ が電源電圧 $V_{sp1}$ 'のときの点Bと点C間の特性曲

50

線のループより小さくなる。電源電圧  $V_{supply}$  を接地電圧  $0V$  から電圧  $V_{sp1}$ 、 $V_{sp1}$  に立ち上げる過程を考える。このとき、強磁性トンネル接合素子  $MTJ_2$  に流れる電流  $I_{MTJ_2}$  は閾値電流  $I_{TR}$  を越えないようにする。電源電圧  $V_{supply}$  がインバータに使用されている  $p$  型  $MOSFET$  の閾値電圧の絶対値を少し越えた電圧  $V_{sp5}$ 、 $V_{sp5}$  の場合、インバータ  $INV_1$  およびインバータ  $INV_2$  の特性曲線は  $INV_1'$  および  $INV_2'$  となる。インバータ  $INV_2$  はインバータ  $INV_1$  より閾値電圧が低い。すなわち、インバータ  $INV_1$ 、 $INV_2$  への入力電圧（インバータ  $INV_1$  の場合ノード  $Q$  の電圧、インバータ  $INV_1$  の場合ノード  $QB$  の電圧）が同じ場合、インバータ  $INV_2$  の方が出力ノード（インバータ  $INV_1$  の場合ノード  $QB$ 、インバータ  $INV_1$  の場合ノード  $QB$ ）からグランドへ多くの電流が流れる。よって、入力電圧が  $0V$  のときの出力電圧もインバータ  $INV_1$  よりもインバータ  $INV_2$  の方が低くなる。したがって、双安定回路の動的動作点は電源電圧  $V_{supply}$  の立ち上げ速度等に依存するものの、静的安定点が常に  $V_Q = V_{QB}$  の下側に存在するので、点線矢印の軌跡をたどり点  $B$  に収束する。

10

#### 【0120】

図 4 1 (c) は、強磁性トンネル接合素子  $MTJ_1$  が低抵抗  $R_p$ 、強磁性トンネル接合素子  $MTJ_2$  が高抵抗  $R_{ap}$  の場合の双安定回路 30 の特性曲線の概念図である。双安定回路 30 のスイッチ点  $C'$  は  $V_Q = V_{QB}$  の直線より下側にある。 $V_{QB}$  が電源電圧  $V_{sp2}$  のときの点  $A'$  とスイッチ点  $C'$  間の特性曲線のループは、 $V_Q$  が電源電圧  $V_{sp2}$  のときの点  $B'$  と点  $C'$  間の特性曲線のループより大きくなる。このとき、強磁性トンネル接合素子  $MTJ_1$  に流れる電流  $I_{MTJ_1}$  が閾値電流  $I_{TR}$  を越えないように電源電圧  $V_{supply}$  を  $0V$  から  $V_{sp2}$ 、 $V_{sp2}$  に立ち上げる。双安定回路 30 の動的動作点は、静的安定点が常に  $V_Q = V_{QB}$  の上側にあるため、点線矢印の軌跡をたどり点  $A'$  に収束する。

20

#### 【0121】

図 4 1 (b) および図 4 1 (c) において、電源電圧を立ち上げる際に、動的な動作点が  $V_Q = V_{QB}$  となったとしても、その直前まで  $V_Q = V_{QB}$  の直線の上側又は下側の特性ループ内にあるため、収束する安定点の方向は変わらず、点  $B$  または点  $A'$  に収束する。

#### 【0122】

図 4 1 (b) または図 4 1 (c) において、強磁性トンネル接合素子  $MTJ_1$  または  $MTJ_2$  の電流  $I_{MTJ_1}$  または  $I_{MTJ_2}$  が閾値電流  $I_{TR}$  を一度でも越えると、強磁性トンネル接合素子  $MTJ_1$  および  $MTJ_2$  は高抵抗  $R_{ap}$  となる。よって、図 4 1 (d) のように、インバータ  $INV_1$  と  $INV_2$  の論理閾値は同じとなり、スイッチ点  $C''$  は  $V_Q = V_{QB}$  上となる。このため、電源電圧  $V_{supply}$  を  $0V$  から電圧  $V_{sp4}$ 、 $V_{sp4}$  に立ち上げた場合、静的安定点は、点  $A''$  に収束するか点  $B''$  に収束するか確定しなくなってしまう。以上のように、データを復帰させる際は、電流  $I_{MTJ_1}$  および  $I_{MTJ_2}$  が閾値電流  $I_{TR}$  を越えないようにすることが好ましい。

30

#### 【0123】

図 4 2 は、実施例 1 3 に係るラッチ回路の制御を示すタイミングチャートである。なお、ハッチ領域はハイレベルかローレベルか定かではないことを示す。図 4 2 を参照に、電源電圧  $V_{supply}$  が供給され、制御線  $CTRL$  およびスイッチ線  $ST$  はローレベルである。双安定回路 30 へのデータの書き込みは、クロック信号  $CLK$  をハイレベル、入力線  $DIN$  をハイレベルまたはローレベルとすることにより行われる。双安定回路 30 から強磁性トンネル接合素子  $MTJ_1$ 、 $MTJ_2$  へのデータのストアは、期間  $T_1$  においてスイッチ線  $ST$  および制御線  $CTRL$  をハイレベルとし（図 3 5 (b) および図 3 6 (b) に相当）、期間  $T_2$  において、スイッチ線  $ST$  をハイレベルとし制御線  $CTRL$  をローレベルとする（図 3 5 (a) および図 3 6 (a) に相当）ことにより行われる。

40

#### 【0124】

その後、電源電圧  $V_{supply}$  を  $0V$  とすることにより、ラッチ回路はスリープ状態

50

となる。このとき、ラッチ回路に電流が流れないため、消費電力を抑制することができる。強磁性トンネル接合素子  $MTJ1$  および  $MTJ2$  から双安定回路 30 へのデータのリストアは、期間  $T3$  において制御線  $CTRL$  をローレベルとしスイッチ線  $ST$  をハイレベルとしクロック信号  $CLK$  をローレベルとしクロック補信号  $CLKB$  をハイレベルとした状態で電源電圧  $Vsupply$  を  $0V$  から立ち上げる (図 37 から図 38 (c) に相当) ことにより行われる。

#### 【0125】

次に、実施例 13 に係るラッチ回路のシミュレーションを行った。図 43 は、シミュレーションに用いた強磁性トンネル接合素子の電流電圧特性を示す図である。閾値電流  $I_{TF}$  および  $I_{TR}$  はそれぞれ  $30\mu A$  および  $-30\mu A$ 、抵抗  $R_{ap}$  および  $R_p$  はそれぞれ  $16.7k$  および  $8.33k$  とした。各  $FET$  のチャネル長  $L = 0.07\mu m$  であり、 $n$  型  $FET$  のチャネル幅  $W_n = 1.0\mu m$ 、 $p$  型  $FET$  のチャネル幅  $W_p = 1.5\mu m$  とした。

10

#### 【0126】

図 44 (a) から図 44 (d) は、シミュレーション結果を示すタイミングチャートである。図 44 (a) は、ノード  $Q$  がハイレベルのときにストアする際のタイミングチャート、図 44 (b) は、図 44 (a) 後にリストアする際のタイミングチャートである。図 44 (c) は、ノード  $Q$  がローレベルのときにストアする際のタイミングチャート、図 44 (d) は、図 44 (c) 後にリストアする際のタイミングチャートである。各図では、ノード  $Q$  のレベルに  $1.5V$ 、スイッチ線  $ST$  のレベルに  $3V$ 、制御線  $CTRL$  のレベルに  $4.5V$ 、電源電圧  $Vsupply$  に  $6V$ 、クロック補信号  $CLKB$  のレベルに  $7.5V$ 、クロック信号  $CLK$  のレベルに  $9.0V$  を加え表示している。ストアの方法、リストアの方法は前述の通りである。

20

#### 【0127】

図 44 (a) において、ノード  $Q$  がハイレベル、ノード  $QB$  がローレベルの状態を強磁性トンネル接合素子にストアする。図 44 (b) において、ノード  $Q$  にハイレベル、ノード  $QB$  にローレベルがリストアされている。同様に、図 44 (c) において、ノード  $Q$  がローレベル、ノード  $QB$  がハイレベルの状態を強磁性トンネル接合素子にストアする。図 44 (d) において、ノード  $Q$  にローレベル、ノード  $QB$  にハイレベルがリストアされている。以上のように、実施例 13 に係るラッチ回路においては、強磁性トンネル接合素子  $MTJ1$  および  $MTJ2$  にストアしたデータを、電源再投入後に双安定回路 30 にリストアできることが確認できた。

30

#### 【実施例 14】

#### 【0128】

図 45 は、実施例 14 に係るラッチ回路の回路図である。実施例 14 においては、実施例 13 の図 3 に対し、 $FETm9$  および  $FETm10$  が設けられていない。このように、 $FETm9$  (第 1 スイッチ) および  $FETm10$  (第 2 スイッチ) はなくてもよい。しかしながら、双安定回路 30 から制御線  $CTRL$  に流れる電流を抑制するためには、 $FETm9$  および  $FETm10$  を設ける方が好ましい。

40

#### 【0129】

図 46 (a) から図 46 (d) は、実施例 14 に係るラッチ回路について、実施例 13 の図 44 (a) から図 44 (d) と同じシミュレーションを行った結果を示す図である。なお、各図では、ノード  $Q$  のレベルに  $1.5V$ 、制御線  $CTRL$  のレベルに  $3V$ 、電源電圧  $Vsupply$  に  $4.5V$ 、クロック補信号  $CLKB$  のレベルに  $6V$ 、クロック信号  $CLK$  に  $7.5V$  を加え表示している。

#### 【0130】

図 46 (a) において、ノード  $Q$  がハイレベル、ノード  $QB$  がローレベルの状態を強磁性トンネル接合素子にストアする。図 46 (b) において、ノード  $Q$  にハイレベル、ノード  $QB$  にローレベルがリストアされている。同様に、図 46 (c) において、ノード  $Q$  がローレベル、ノード  $QB$  がハイレベルの状態を強磁性トンネル接合素子にストアする。図

50

46 (d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例14に係るラッチ回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

#### 【0131】

図47(a)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1の抵抗が高抵抗 $R_{ap}$ であり強磁性トンネル接合素子MTJ2が低抵抗 $R_p$ の場合の双安定回路30のシミュレーション特性曲線を示している。図47(b)は、シミュレーション開始時の強磁性トンネル接合素子MTJ1が低抵抗 $R_p$ であり強磁性トンネル接合素子MTJ2が高抵抗 $R_{ap}$ の場合の双安定回路30のシミュレーション特性曲線を示している。実線はインバータINV1に相当する曲線、破線はインバータINV2に相当する曲線であり、それぞれの入出力を切り離れた状態のインバータ単体でシミュレーションを行っている。矢印は掃印方向を示している。電源電圧 $V_{supply}$ が1.0V、0.5Vおよび0.3Vのときの曲線を示している。点線の矢印は、インバータINV1とインバータINV2の入出力を相互に接続性し双安定回路30を構成して、電源電圧を0Vから1.0Vまで立ち上げたとき(図46(b)および図46(d)においてリストアを行ったとき)の動的動作点の軌跡を示している。

10

#### 【0132】

図47(a)および図47(b)を参照に、電源電圧 $V_{supply}$ が0.3V、0.5Vのとき特性曲線は非対称である。これにより、電源電圧 $V_{supply}$ が高くなると、図47(a)では動的動作点はノードQがローレベルにノードQBがハイレベルに収束する。図47(b)では動的動作点はノードQがハイレベルにノードQBがローレベルに収束する。電源電圧 $V_{supply}$ が1.0V固定のときは図47(a)にあってはインバータINV2の入力電圧、図47(b)にあってはインバータINV1の入力電圧をそれぞれ0Vから1V、1Vから0Vまで掃印すると、強磁性トンネル接合素子MTJ1またはMTJ2を流れる電流 $I_{MTJ1}$ または $I_{MTJ2}$ が閾値電流 $I_{TR}$ を越えるため、特性曲線は対称になってしまう。このように、電流 $I_{MTJ1}$ または $I_{MTJ2}$ が閾値電流 $I_{TR}$ をリストア動作中に越えないように、電源電圧 $V_{supply}$ 、強磁性トンネル接合素子MTJ1およびMTJ2の抵抗値 $R_p$ および $R_{ap}$ などを設定することが好ましい。

20

30

#### 【実施例15】

#### 【0133】

実施例13および実施例14のように、強磁性トンネル接合素子にストアしたデータを双安定回路30のデータにリストアできるのは、図39のインバータINV1とINV2の論理閾値がストアされたデータに応じ逆転するためである(図40(a)および図40(b)参照)。よって、双安定回路30を構成するインバータ10とインバータ20に強磁性トンネル接合素子MTJ1を付加したインバータINV2との論理閾値がストアされたデータに応じ異なるようにすれば、強磁性トンネル接合素子が1つの構成においても、データのリストアが可能となる。以下に、強磁性トンネル接合素子が1つの構成の例を説明する。

40

#### 【0134】

図48(a)および図48(b)は実施例15に係るラッチ回路の回路図である。実施例15においては、実施例13および実施例14に対し、インバータ20のFETm4のチャネル幅をインバータ10のFETm3のチャネル幅より狭くしている。また、強磁性トンネル接合素子MTJ2およびFETm10が設けられていない。これにより、強磁性トンネル接合素子MTJ1の抵抗が高抵抗 $R_{ap}$ の場合と低抵抗 $R_p$ の場合とで、インバータ10の入出力特性とインバータINV2の入出力特性とで、論理閾値が逆転する。よって、実施例13および実施例14と同様に、強磁性トンネル接合素子MTJ1にストアされたデータを双安定回路30にリストアすることができる。FETm9は図48(a)のように、設けてもよいし、図48(b)のように設けなくてもよい。

50

## 【実施例 16】

## 【0135】

図49(a)および図49(b)は実施例16に係るラッチ回路の回路図である。実施例16においては、実施例13および実施例14に対し、強磁性トンネル接合素子MTJ2が抵抗R1に置き換わっている。抵抗R1は強磁性トンネル接合素子MTJ1の高抵抗Rapと低抵抗Rpとの間になるように設定する。これにより、強磁性トンネル接合素子MTJ1の抵抗が高抵抗Rapの場合と低抵抗Rpの場合とで、インバータ10に抵抗R1を付加したインバータINV1の入出力特性とインバータINV2の入出力特性とで、論理閾値が逆転する。よって、実施例13および実施例14と同様に、強磁性トンネル接合素子MTJ1にストアされたデータを双安定回路30にリストアすることができる。FETm9およびFETm10は、図49(a)のように、設けてもよいし、図49(b)のように設けなくてもよい。

10

## 【実施例 17】

## 【0136】

図50(a)および図50(b)は実施例17に係るラッチ回路の回路図である。実施例17においては、実施例16に対し、抵抗R1が接地されている。双安定回路30のデータを強磁性トンネル接合素子MTJ1にストアするため、制御線CTRLをハイレベルにした場合に抵抗R1に電流が流れなくてもよい。よって、抵抗R1は接地してもよい。実施例16と同じように抵抗R1は強磁性トンネル接合素子MTJ1の高抵抗Rapと低抵抗Rpとの間になるように設定する。また、FETm9およびFETm10は、図50(a)のように、設けてもよいし、図50(b)のように設けなくてもよい。

20

## 【実施例 18】

## 【0137】

図51は実施例18に係るラッチ回路の回路図である。実施例18においては、実施例13の図3の制御線CTRLにFETm11からm14よりなるインバータ2段の増幅回路の出力が接続されている。増幅回路70の入力は外部制御線EXT-CTRLが接続されている。制御線CTRLにより多くのラッチ回路を同時に制御すると、動作が遅くなってしまふ。実施例18によれば、増幅回路70により外部制御線EXT-CTRLの信号を増幅するため、ラッチ回路におけるストアおよびリストアを高速に行うことができる。

30

## 【実施例 19】

## 【0138】

図52は、実施例19に係るラッチ回路の回路図である。実施例19においては、n型MOSFETm15が制御線CTRLとグランドとの間に接続され、FETm15のゲートが第2制御線RCLに接続されている。図53は、実施例19に係るラッチ回路のタイミングチャートである。ストアの際は、第2制御線RCLのレベルをローレベルとする。FETm15は遮断状態となる。よって、ノードQとQBのどちらかがハイレベルの電位、もう一方がローレベルの電位であるから、強磁性トンネル接合素子MTJ1と強磁性トンネル接合素子MTJ2との間に電流が流れ、双安定回路30のデータが強磁性トンネル接合素子MTJ1とMTJ2にストアされる。制御線CTRLのレベルはハイレベルとローレベルとの間となる。リストアの際は、第2制御線RCLを導通状態とする。制御線CTRLはローレベルとなり、実施例13と同様にリストアすることができる。これにより、制御線CTRLの駆動能力によらず、ラッチ回路におけるストアおよびリストアを高速に行うことができる。

40

## 【0139】

図54(a)から図54(d)は、実施例19に係るラッチ回路について、実施例13の図44(a)から図44(d)と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の高抵抗値Raおよび低抵抗値Rpをそれぞれ6.67k および3.33k とし、その他のパラメータは実施例13と同じとした。各図では、ノードQのレベルに1.5V、第2制御線RCLに3.0V、スイッチ線STに4.5V、電源電圧Vsupplyに6.0V、ク

50

ロック補信号CLKBのレベルに7.5V、クロック信号CLKのレベルに9.0Vを加え表示している。

【0140】

図54(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図54(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図54(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図54(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、実施例20に係るラッチ回路においては、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

10

【実施例20】

【0141】

図55は、実施例20に係るラッチ回路の回路図である。実施例20においては、実施例19に対しFETm9およびm10が設けられていない。その他の構成は実施例19と同じである。図56(a)から図56(d)は、実施例20に係るラッチ回路について、実施例19の図54(a)から図54(d)と同じシミュレーションを行った結果を示す図である。なお、シミュレーションに用いたパラメータのうち、強磁性トンネル接合素子の高抵抗値Rapおよび低抵抗値Rpをそれぞれ10.67kおよび5.33kとし、その他のパラメータは実施例13と同じとした。

20

【0142】

図56(a)において、ノードQがハイレベル、ノードQBがローレベルの状態を強磁性トンネル接合素子にストアする。図56(b)において、ノードQにハイレベル、ノードQBにローレベルがリストアされている。同様に、図56(c)において、ノードQがローレベル、ノードQBがハイレベルの状態を強磁性トンネル接合素子にストアする。図56(d)において、ノードQにローレベル、ノードQBにハイレベルがリストアされている。以上のように、FETm9およびm10を設けない実施例20に係るラッチ回路においても、強磁性トンネル接合素子MTJ1およびMTJ2にストアしたデータを、電源再投入後に双安定回路30にリストアできることが確認できた。

【実施例21】

30

【0143】

図56は実施例21に係るラッチ回路の回路図である。実施例21においては、実施例13の図3に対し、トライステートインバータ21はp型MOSFETm3、m7、n型MOSFETm4およびm8を有している。p型MOSFETm3のドレインとノードQとの間にp型MOSFETm7が接続されている。n型MOSFETm4のドレインとノードQとの間にn型MOSFETm8が接続されている。FETm7およびm8のゲートはそれぞれクロック信号CLKおよびクロック補信号CLKBに接続されている。実施例21においても実施例13と同様の機能を有することができる。

【実施例22】

【0144】

40

図58は実施例22に係るラッチ回路の回路図である。実施例22においては、実施例13の図3に対し、強磁性トンネル接合素子MTJ1およびFETm9がスピンFET1に、強磁性トンネル接合素子MTJ2およびFETm10がスピンFET2に、置き換わっている。このように、強磁性トンネル接合素子はスピンFETを用いてもよい。なお、スピンFETは、磁化方向によりコンダクタンスを不揮発的に変更できるトランジスタであり、ゲート等の制御端子によりスイッチング機能も有している。例えば、国際公開第2004/079827パンフレットまたは電子情報通信学会誌 Vol.88. No.7. 2005 PP.541-550に記載されているスピンFETを用いることができる。

【実施例23】

50

## 【 0 1 4 5 】

実施例 2 3 は D ラッチ回路が複数接続されたマスタスレーブ型フリップフロップ回路の例である。図 5 9 は実施例 2 3 に係るラッチ回路の回路図である。図 2 の D ラッチ回路 1 0 0 b と実施例 1 3 の D ラッチ回路 1 0 0 a が接続されている。D ラッチ回路 1 0 0 b のノード Q B が D ラッチ回路 1 0 0 a のパルゲート 8 0 a に入力する。D ラッチ回路 1 0 0 a と 1 0 0 b とでは、パルゲートに入力するクロック信号 C L K およびクロック補信号 C L K B が逆になっている。このように、マスタスレーブ型フリップフロップの後段の D ラッチ回路 1 0 0 a に強磁性トンネル接合素子 M T J 1 および M T J 2 を設け、データを不揮発的にストアすることができる。また、データをリストアすることができる。強磁性トンネル接合素子 M T J 1 および M T J 2 へのデータのストア、リストア時においては、D ラッチ回路 1 0 0 a のパルゲート 8 0 a は実施例 1 3 と同様に遮断状態である。このため、D ラッチ回路 1 0 0 b の動作は D ラッチ回路 1 0 0 a におけるデータのストアおよびリストアに影響を及ぼさない。

10

## 【 実施例 2 4 】

## 【 0 1 4 6 】

実施例 2 4 は、論理回路を用いて双安定回路を構成する例である。図 6 0 を参照に、双安定回路 3 0 は、第 1 論理回路 1 0 0、第 2 論理回路 1 1 0 を有している。第 1 論理回路 1 0 0 は、1 以上の入力 A 1 ~ A n と 1 以上の出力 C 1 ~ C j とを有している。第 2 論理回路 1 1 0 は、1 以上の入力 B 1 ~ B m と 1 以上の出力 D 1 ~ D k とを有している。第 1 論理回路 1 0 0 の出力 C 1 と第 2 論理回路 1 1 0 の入力 B 1 は第 1 ノード Q に接続されている。第 2 論理回路 1 1 0 の出力 D 1 と第 1 論理回路 1 0 0 の入力 A 1 は第 2 ノード Q B に接続されている。第 1 ノード Q には、F E T m 9 を介し第 1 強磁性トンネル接合素子 M T J 1 が接続され、第 2 ノード Q B には、F E T m 1 0 を介し第 2 強磁性トンネル接合素子 M T J 2 が接続されている。

20

## 【 0 1 4 7 】

双安定回路 3 0 のデータを強磁性トンネル接合素子 M T J 1 または M T J 2 にストアする際には記憶すべき相補的なデータがそれぞれ第 1 論理回路 1 0 0 と第 2 論理回路 1 1 0 から第 1 ノード Q および第 2 ノード Q B に出力される。データを強磁性トンネル接合素子 M T J 1 または M T J 2 から双安定回路 3 0 にリストアする際は、第 1 論理回路 1 0 0 の入力 A 2 ~ A n (すなわち第 2 ノード Q B に接続された入力 A 1 以外の入力)には第 1 論理回路 1 0 0 が第 1 ノード Q に第 2 ノード Q B の論理反転を出力するような信号が入力される。第 2 論理回路 1 1 0 の入力 B 2 ~ B m (すなわち第 1 ノード Q に接続された入力 B 1 以外の入力)には第 2 論理回路 1 1 0 が第 2 ノード Q B に第 1 ノード Q の論理反転を出力するような信号が入力されている。

30

## 【 0 1 4 8 】

このような構成においても、実施例 1 3 と同じ効果を得ることができる。例えば、実施例 2 1 においては、第 1 論理回路 1 0 0 は図 6 1 ( a ) の回路に相当し、第 2 論理回路 1 1 0 は図 6 1 ( b ) の回路に相当する。データのストアおよびリストアの際に、第 1 論理回路 1 0 0 においては、図 6 1 ( a ) 中の入力 A 1 の論理反転が出力 C 1 に出力されるように、入力 A 2 ~ A 4 に信号を印加する。第 2 論理回路 1 1 0 においては、図 6 1 ( b ) のように入力 B 1 の論理反転が出力 D 1 に出力される。このように、実施例 2 1 に係るラッチ回路は、実施例 2 4 に係るラッチ回路に含まれる。

40

## 【 0 1 4 9 】

実施例 2 4 によれば、論理回路を用いて双安定回路を構成することができる。これにより、D ラッチ回路以外にも、セット、リセット機能を有するラッチ回路やフリップフロップ回路に強磁性トンネル接合素子を用い、不揮発性ラッチ回路および不揮発性フリップフロップ回路を実現することもできる。なお、第 1 論理回路 1 0 0 および第 2 論理回路 1 1 0 として C M O S を用いた例を示したが、抵抗負荷や D モード負荷を用いてもよい。また、実施例 1 3 から実施例 2 3 の双安定回路 3 0 を実施例 2 4 ように第 1 論理回路 1 0 0 および第 2 論理回路 1 1 0 を用いた双安定回路とすることもできる。

50



## 【実施例 25】

## 【0150】

図62は実施例25に係るラッチ回路の回路図である。実施例25は実施例13に対し、インバータ10および20が電源線VDDとVSSとの間に接続されている。また、強磁性トンネル接合素子MTJ1およびMTJ2の極性が実施例13とは逆である。これにより、ノードQまたはQBから制御線CTRLに電流が流れることにより、強磁性トンネル接合素子MTJ1またはMTJ2は低抵抗Rpとなり、制御線CTRLからノードQまたはQBに電流が流れることにより、強磁性トンネル接合素子MTJ1またはMTJ2は高抵抗Rapとなる。さらに、FETm9およびm10がp型MOSFETである。その他の構成は実施例13の図3と同じである。

10

## 【0151】

図63は実施例25のタイミングチャートである。実施例25では、電源の遮断はVSSをハイレベル(VDDのレベル)とすることにより行われる。制御線CTRLのレベルおよびスイッチ線STのレベルは書き込みおよびスリープの際はハイレベルである。ストアの際の期間T1において、スイッチ線STおよび制御線CTRLがローレベルとなり、期間T2において、スイッチ線STがローレベル、制御線CTRLがハイレベルとなる。これにより、双安定回路30のデータが強磁性トンネル接合素子MTJ1およびMTJ2にストアされる。リストアの際の期間T3において、スイッチ線STをローレベルとすることにより、強磁性トンネル接合素子MTJ1およびMTJ2のデータが双安定回路30にリストアされる。

20

## 【0152】

実施例25において、強磁性トンネル接合素子MTJ1およびMTJ2の極性を実施例13と逆にする理由は以下による。例えば、ノードQをハイレベルにする場合、FETm2およびm4の放電電流に対し、ノードQを制御線CTRLから充電するため、強磁性トンネル接合素子MTJ1は低抵抗Rpであることが好ましい。しかるに、強磁性トンネル接合素子MTJ1が実施例14と同じ極性であると、高抵抗Rapとなってしまうためである。また、FETm9およびm10をpMOSFETとする理由は以下である。リストアの初期段階において、FETm9およびm10のソースおよびドレインはともにハイレベルに近い。このとき、FETm9およびm10がp型FETであると、スイッチ線STをローレベルとすることにより、FETm9およびm10を確実に導通状態とすることができる。

30

## 【0153】

実施例14から実施例24においても、インバータ10および20を電源線VDDとVSSとの間に接続し、強磁性トンネル接合素子MTJ1またはMTJ2の極性を実施例25と同じとすることもできる。

## 【0154】

実施例13から実施例20、実施例22、実施例23および実施例25によれば、ラッチ回路は、双安定回路30に入力線DINからデータを書き込むためのパスゲート80(第1入力スイッチ)と、パスゲート80と相補的に動作し、双安定回路30のデータを保持するためのパスゲート90(第2入力スイッチ)とを有している。また、ラッチ回路は、双安定回路30に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子MTJ1またはMTJ2と、を有し、強磁性トンネル接合素子MTJ1またはMTJ2に不揮発的に記憶されたデータは双安定回路30にリストア可能である。これにより、双安定回路30へのデータの書き込みおよび出力を高速に行うことができる。また、電源が遮断されても強磁性トンネル接合素子MTJ1またはMTJ2に不揮発的にストアされたデータを双安定回路30にリストアすることが可能である。よって、電源を遮断した後電源を復帰しても電源遮断前のデータを出力可能となる。

40

## 【0155】

強磁性トンネル接合素子MTJ1またはMTJ2は、ノードQまたはQBと制御線CTRLとの間に接続されている。強磁性トンネル接合素子MTJ1またはMTJ2は、ノー

50

ドQまたはQBと制御線CTRLとの間に電流が流れることにより高抵抗となり、反対方向に電流が流れることにより低抵抗となる。これにより、ノードQまたはQBのレベルに応じ制御線CTRLとノードQまたはQBとの間に電流を流すことにより、双安定回路30のデータを強磁性トンネル接合素子にストアすることができる。

【0156】

また、図42および図53のように、データを双安定回路30にストアさせる際に、制御線CTRLは強磁性トンネル接合素子MTJ1またはMTJ2にハイレベルの電圧を印加し、さらにローレベルの電圧を印加する。これにより、双安定回路30に記憶されたデータを強磁性トンネル接合素子MTJ1またはMTJ2にストアすることができる。

【0157】

データを強磁性トンネル接合素子MTJ1またはMTJ2から双安定回路30にリストアさせる際に、制御線CTRLは電源遮断方法とその対応回路に応じ、強磁性トンネル接合素子MTJ1またはMTJ2にローレベルまたはハイレベルの電圧を印加する。すなわち、実施例13から実施例24においては、制御線CTRLは、強磁性トンネル接合素子MTJ1またはMTJ2にローレベルの電圧を印加し、実施例25においては、ハイレベルの電圧を印加する。これにより、強磁性トンネル接合素子MTJ1またはMTJ2にリストアされたデータを双安定回路30にリストアすることができる。

【0158】

実施例13、実施例15の図48(a)、実施例16の図49(a)、実施例17の図50(a)、実施例18、実施例19、実施例21、実施例23から実施例25のように、ラッチ回路は、ノードQまたはQBと強磁性トンネル接合素子MTJ1またはMTJ2との間に接続されたスイッチ(FETm9またはm10に相当する)を有してもよい。このスイッチは、ストアおよびリストアの際に導通し、ストアおよびリストア以外に遮断状態となる。これにより、ラッチ回路の消費電力を削減することができる。

【0159】

実施例13、実施例14、実施例18から実施例21、実施例23から実施例25のように、ノードQを第1ノードQ、ノードQBを第2ノードQBとし、第1ノードQと制御線CTRLとの間に接続された強磁性トンネル接合素子MTJ1を第1強磁性トンネル接合素子とし、第2ノードQBと制御線CTRLとの間に接続された強磁性トンネル接合素子MTJ2を第2強磁性トンネル接合素子とすることができる。このように2つの強磁性トンネル接合素子を用いることにより、強磁性トンネル接合素子をノードQおよびQBの一方に接続する場合に比べ、インバータ10および第2強磁性トンネル接合素子MTJ2からなるインバータINV1とインバータ20および第1強磁性トンネル接合素子MTJ1からなるインバータINV2との論理閾値の差を大きくすることができる。よって、動作速度やノイズマージンの観点から有利であり、より安定に動作することができる。

【0160】

実施例13、実施例18、実施例19、実施例21、実施例23から実施例25のように、ラッチ回路は、スイッチとして、第1ノードQと第1強磁性トンネル接合素子MTJ1との間に接続され、データのストアおよびリストアの際に導通する第1スイッチ(FETm9に相当する)と、第2ノードQBと第2強磁性トンネル接合素子MTJ2との間に接続された第2スイッチ(FETm10に相当する)と、を含んでいる。第1スイッチおよび第2スイッチは、データをストアおよびリストアする際に導通し、ストアおよびリストア以外の際に遮断状態となる。このように、第1強磁性トンネル接合素子MTJ1および第2強磁性トンネル接合素子MTJ2とノードQおよびQBとの間両方に、第1スイッチおよび第2スイッチを接続することにより、消費電力をより抑制することができる。

【0161】

実施例19および実施例20のように、ラッチ回路は、制御線CTRLとローレベルの電力線であるグランドとの間に接続された第3スイッチ(FETm15に相当する)を有している。図53のように、第3スイッチは、データをストアする際に遮断状態となり、データをリストアする際に導通する。これにより、ストアの際に、2つの強磁性トンネル

10

20

30

40

50

接合素子MTJ1およびMTJ2の間を電流が流れるため、実施例18のような増幅回路70を設けなくとも、ストアを高速に行うことができる。なお、インバータ10および20を電源線VDDとVSSとの間に接続し、強磁性トンネル接合素子MTJ1またはMTJ2の極性を実施例25と同じとする場合は、第3スイッチが接続する電力線はハイレベルであり、第3スイッチにMOSFETを用いる場合はp型MOSFETを用いることが好ましい。

【0162】

実施例23のように、実施例13から実施例22、実施例24および実施例25に係るラッチ回路を用いフリップフロップ回路を構成することもできる。

【0163】

なお、インバータ10および20としてCMOSを用いたインバータの例、トリステートインバータ21の例としてCMOSを用いたトリステートインバータの例を示したが、抵抗負荷やDモード負荷を用いたインバータでもよい。第1入力スイッチおよび第2入力スイッチとしてパスゲートを例に説明したが、導通状態と遮断状態とを切り換えることが可能な素子であればよい。また、第1スイッチおよび第2スイッチとしてFETを例に説明したが、導通状態と遮断状態とを切り換えることが可能な素子であればよい。

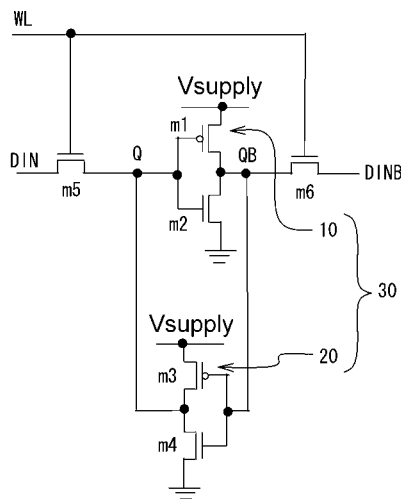
【0164】

以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

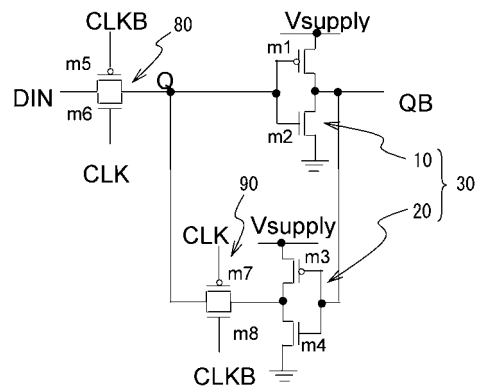
10

20

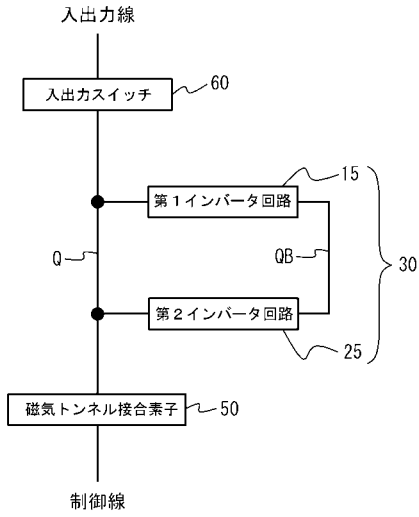
【図1】



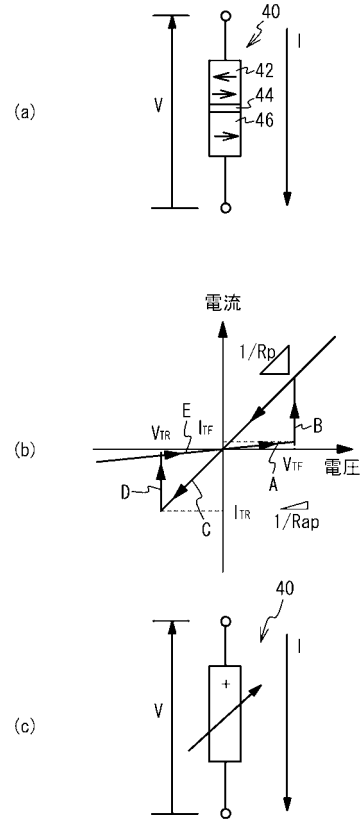
【図2】



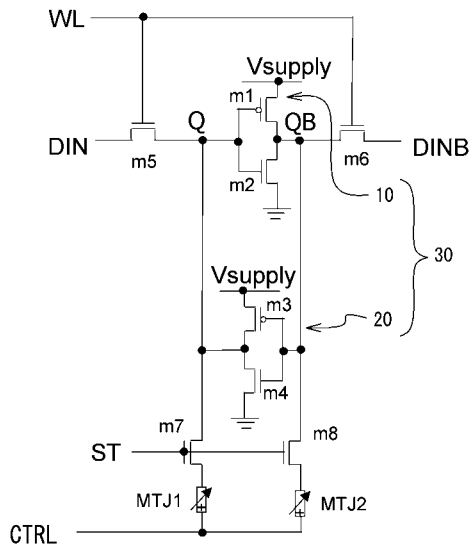
【 図 3 】



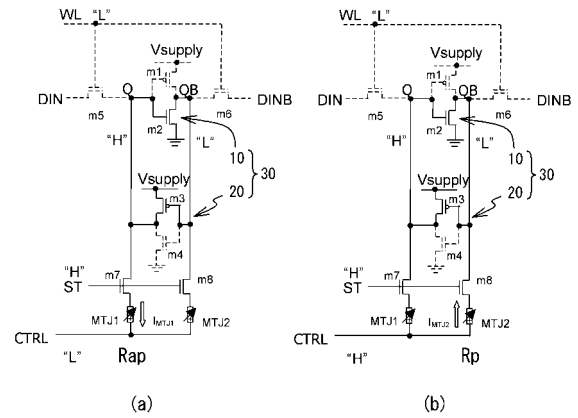
【 図 4 】



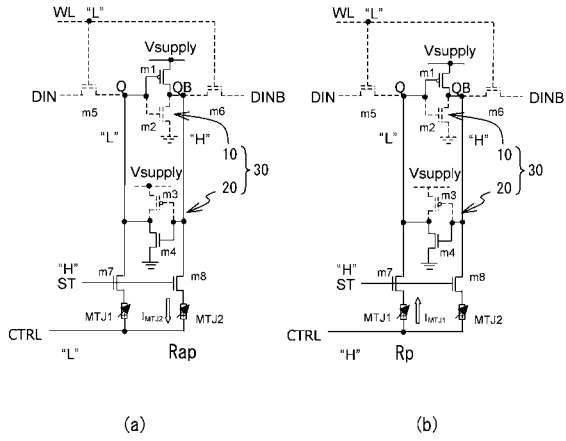
【 図 5 】



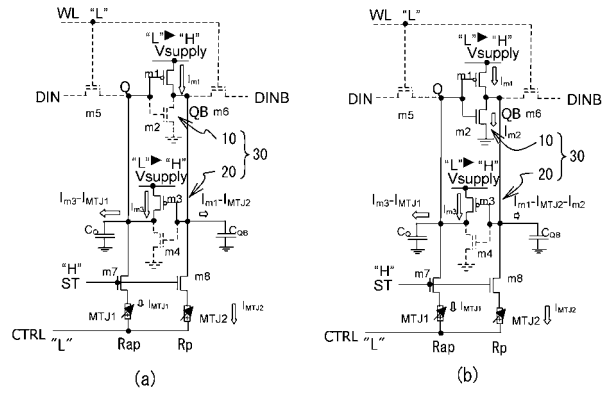
【 図 6 】



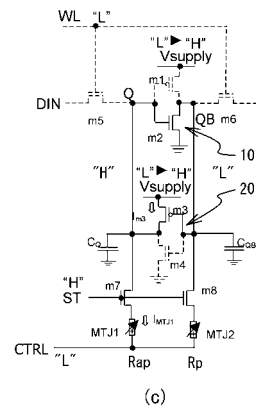
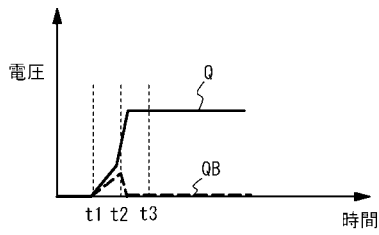
【 図 7 】



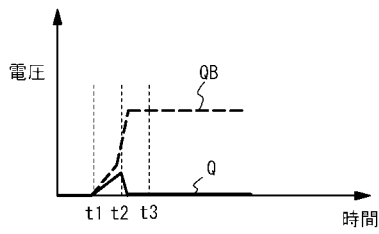
【 図 9 】



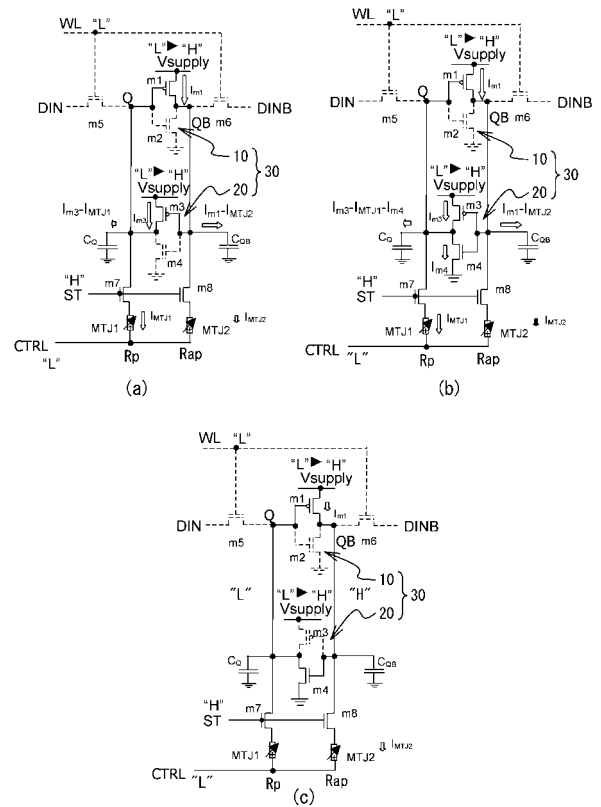
【 図 8 】



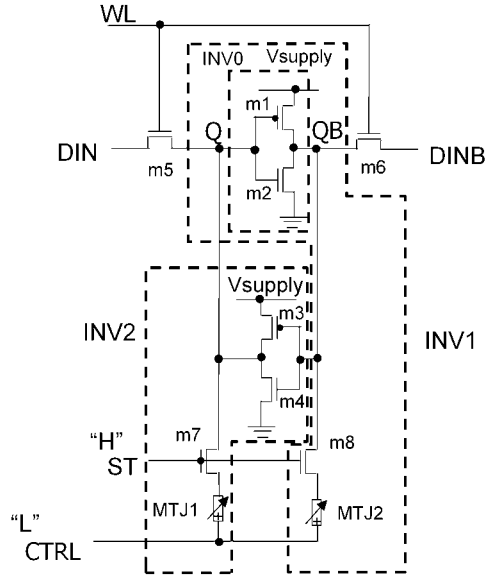
【 図 10 】



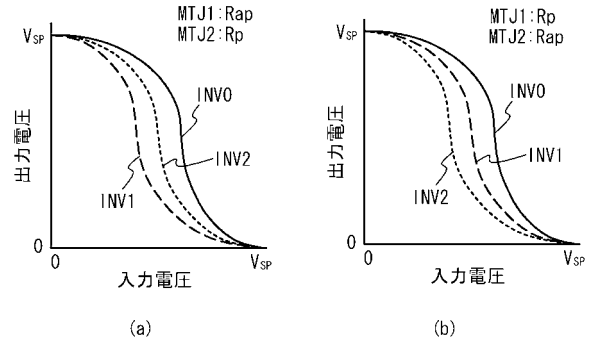
【 図 11 】



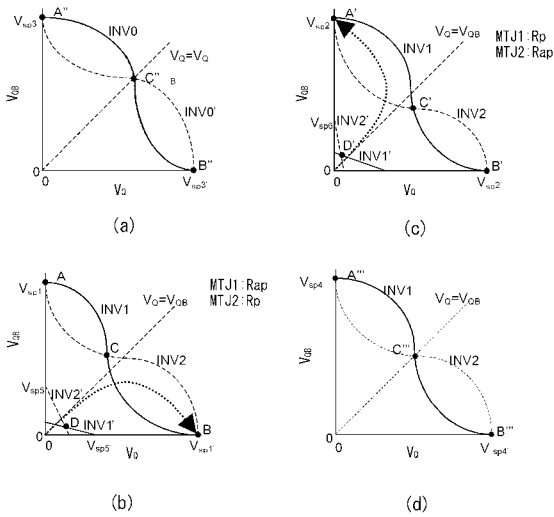
【 図 1 2 】



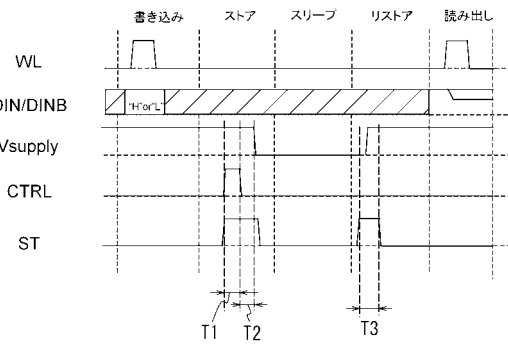
【 図 1 3 】



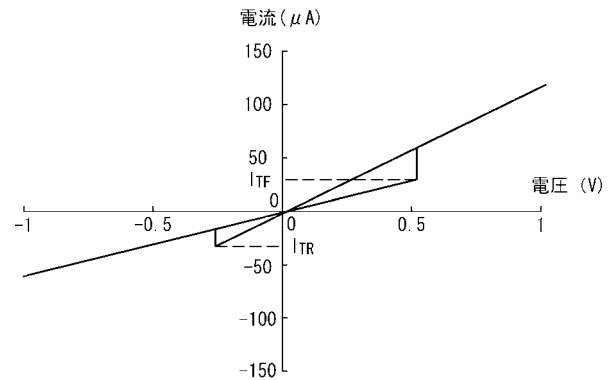
【 図 1 4 】



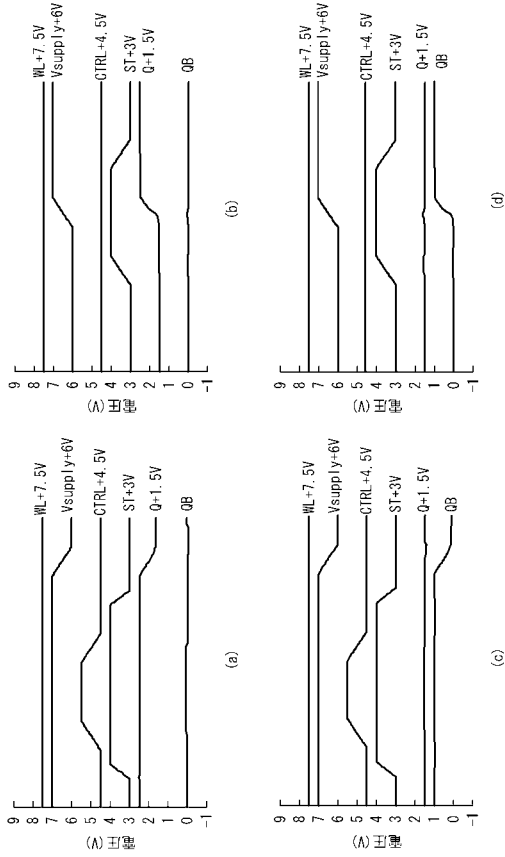
【 図 1 5 】



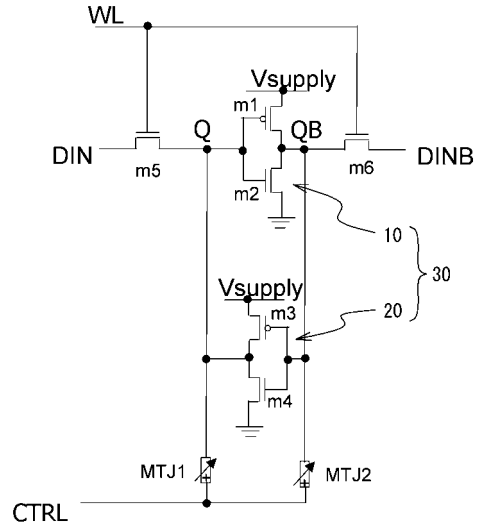
【 図 1 6 】



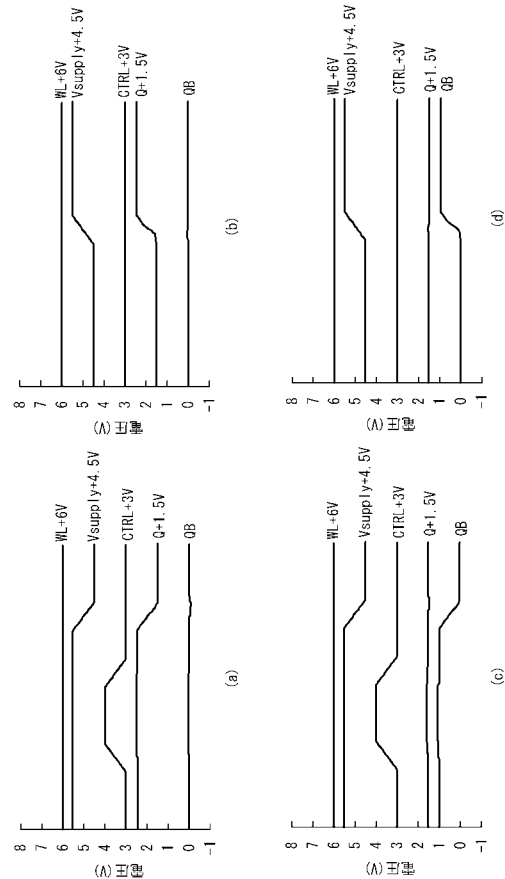
【 図 17 】



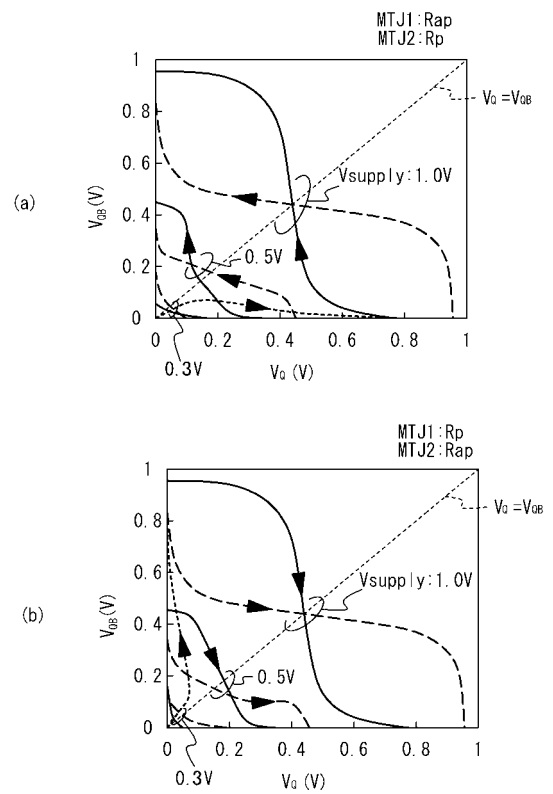
【 図 18 】



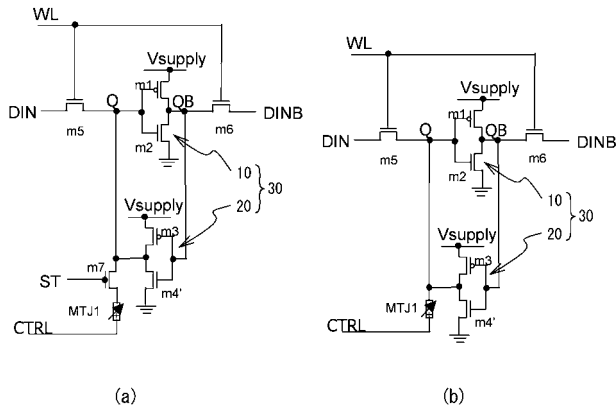
【 図 19 】



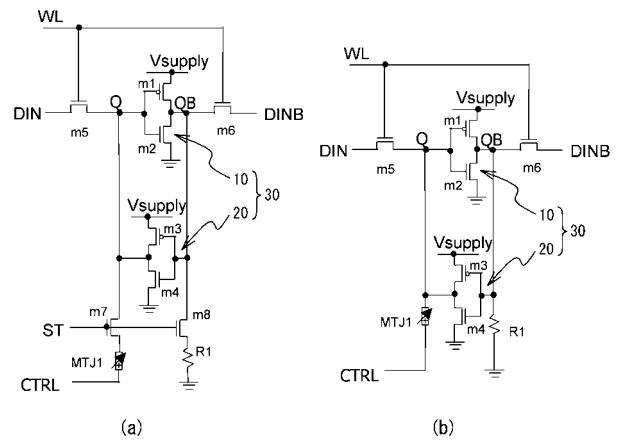
【 図 20 】



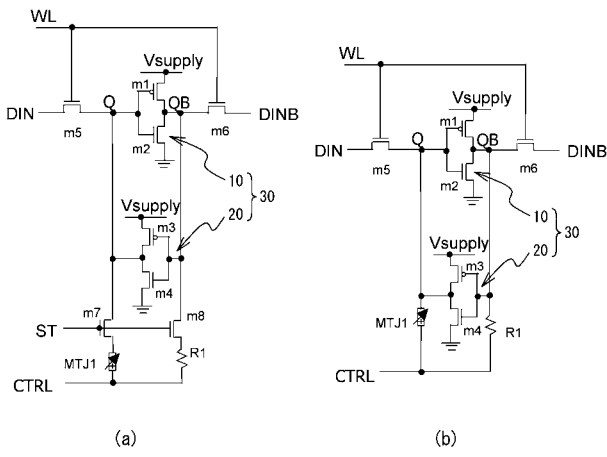
【 図 2 1 】



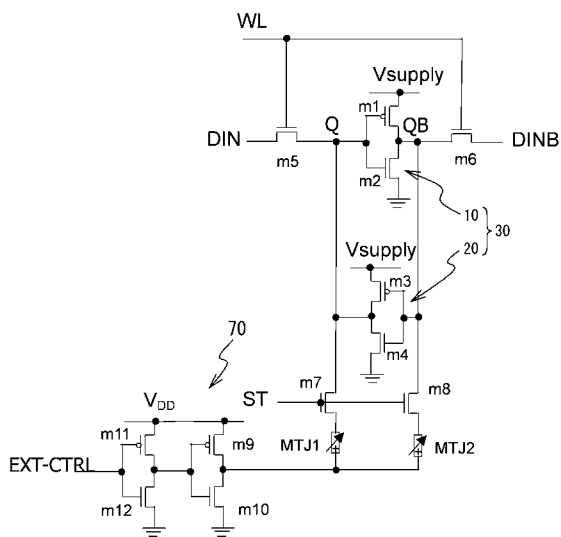
【 図 2 3 】



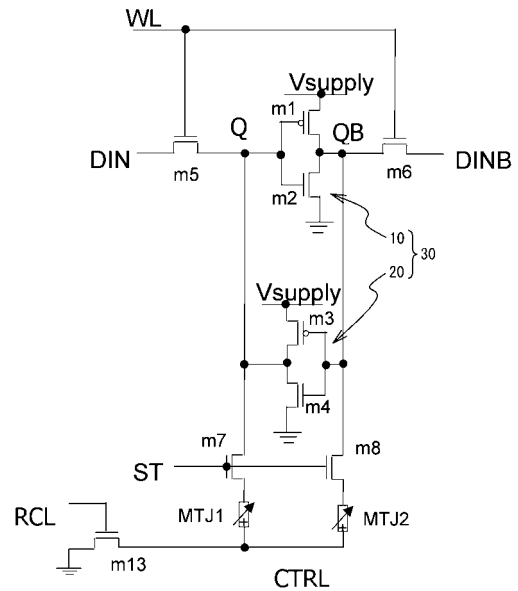
【 図 2 2 】



【 図 2 4 】

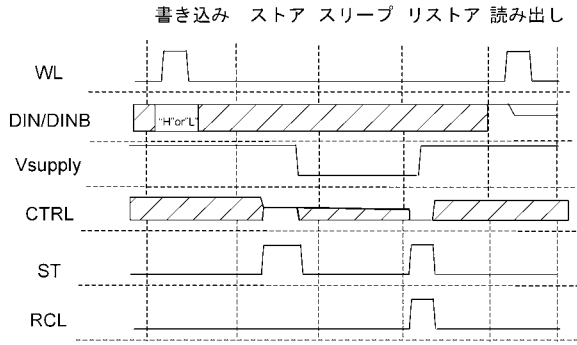


【 図 2 5 】

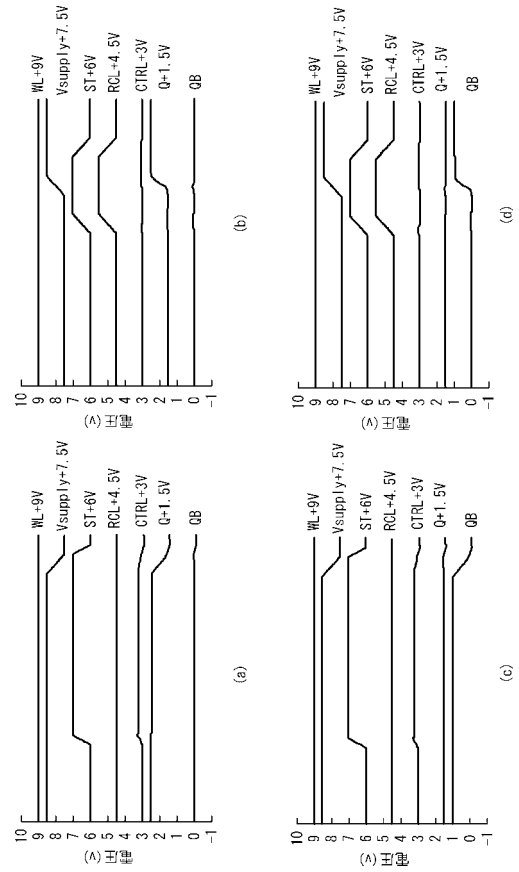




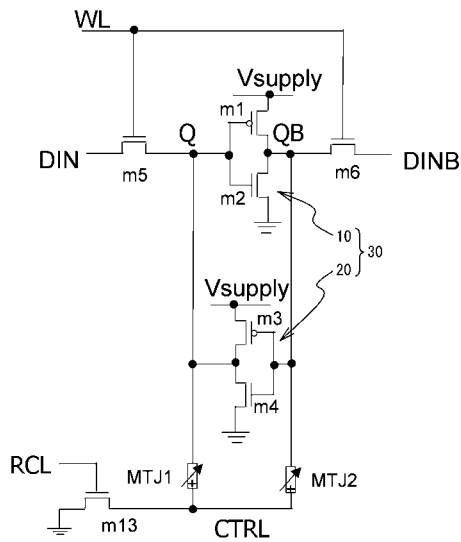
【図 26】



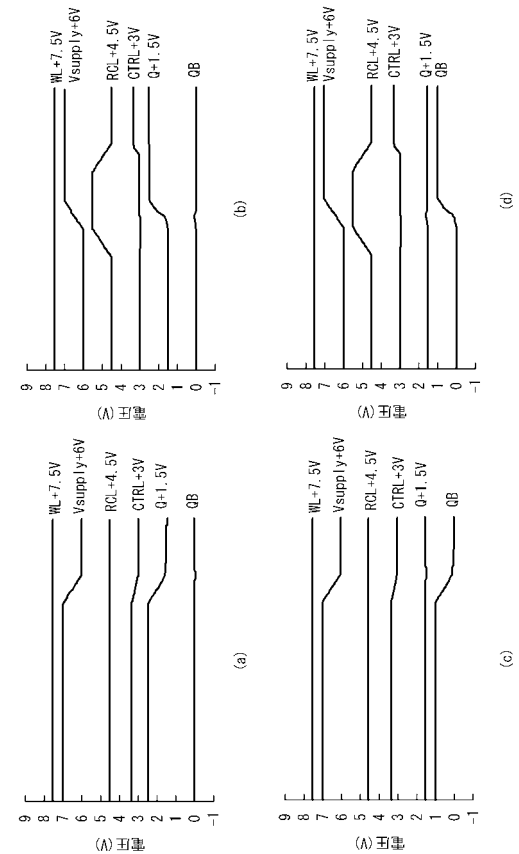
【図 27】



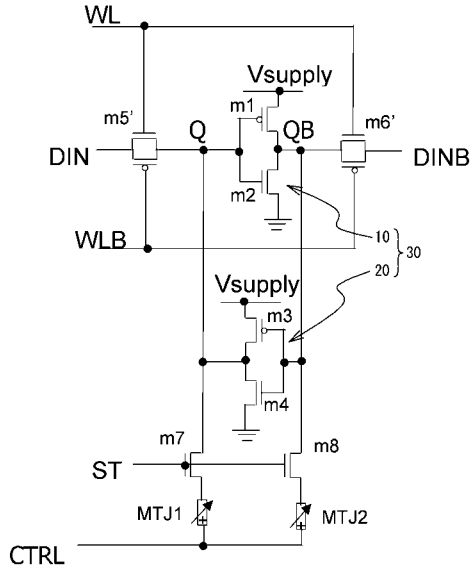
【図 28】



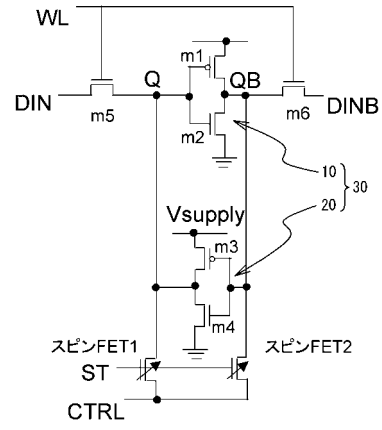
【図 29】



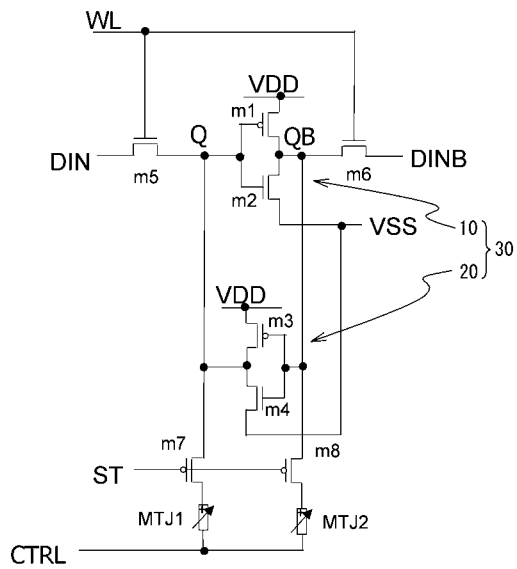
【図 3 0】



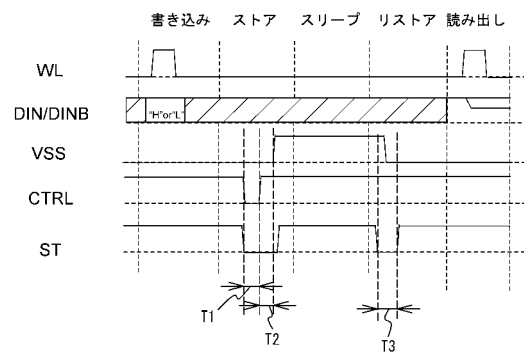
【図 3 1】



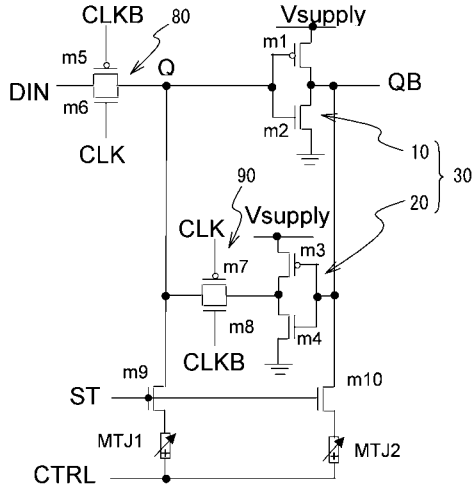
【図 3 2】



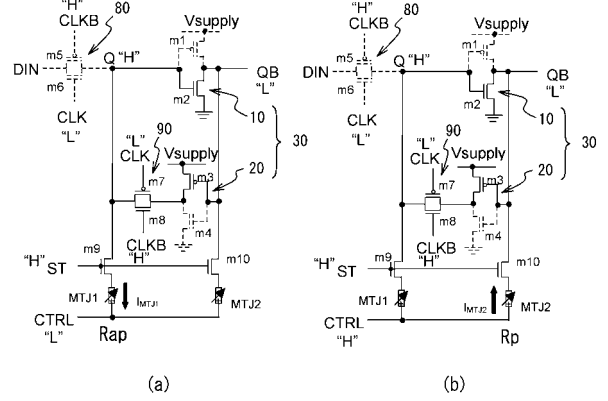
【図 3 3】



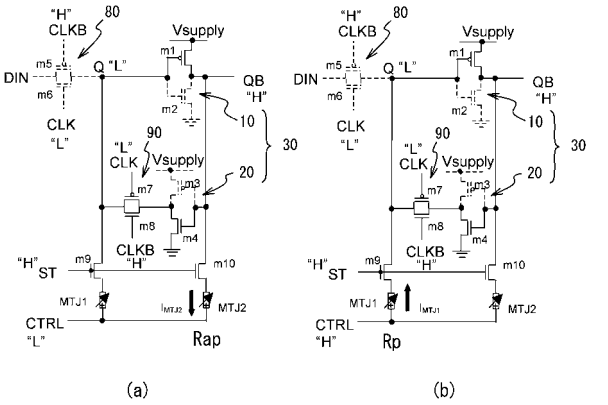
【 図 3 4 】



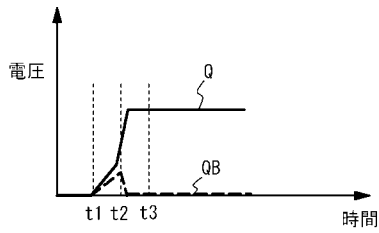
【 図 3 5 】



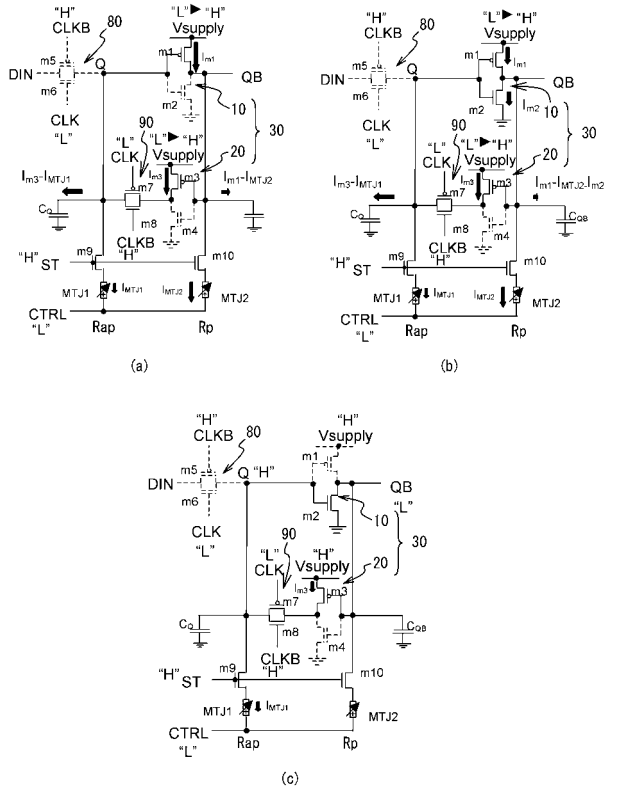
【 図 3 6 】



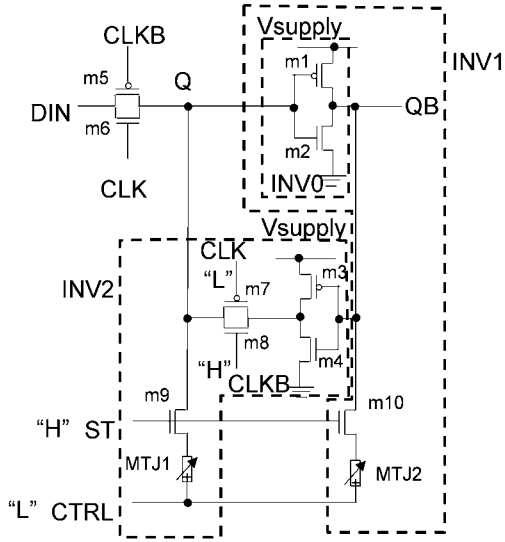
【 図 3 7 】



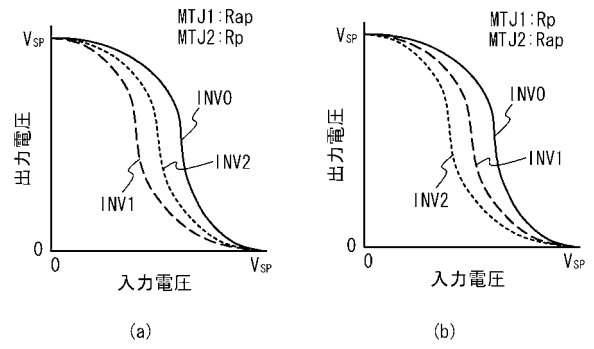
【 図 3 8 】



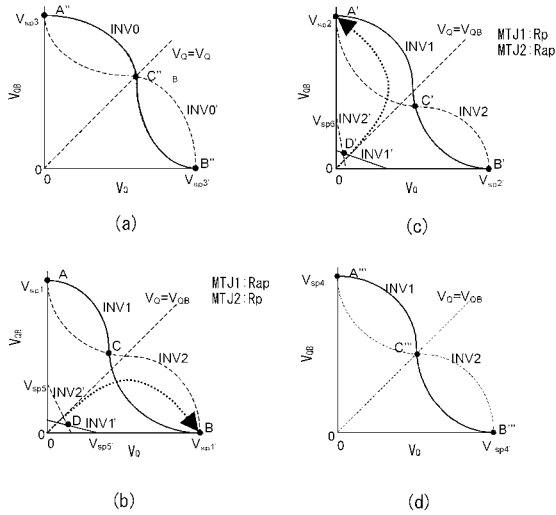
【 図 3 9 】



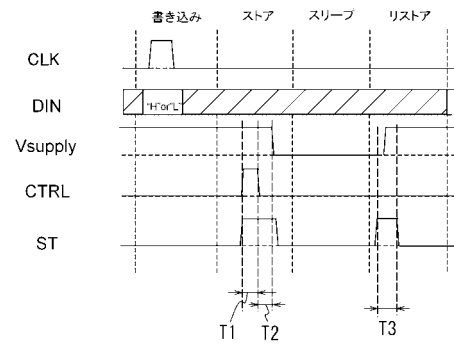
【 図 4 0 】



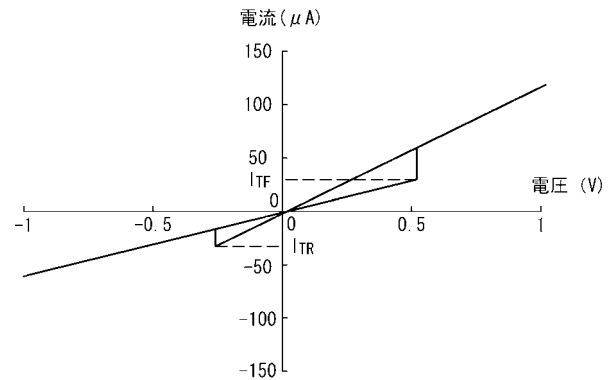
【 図 4 1 】



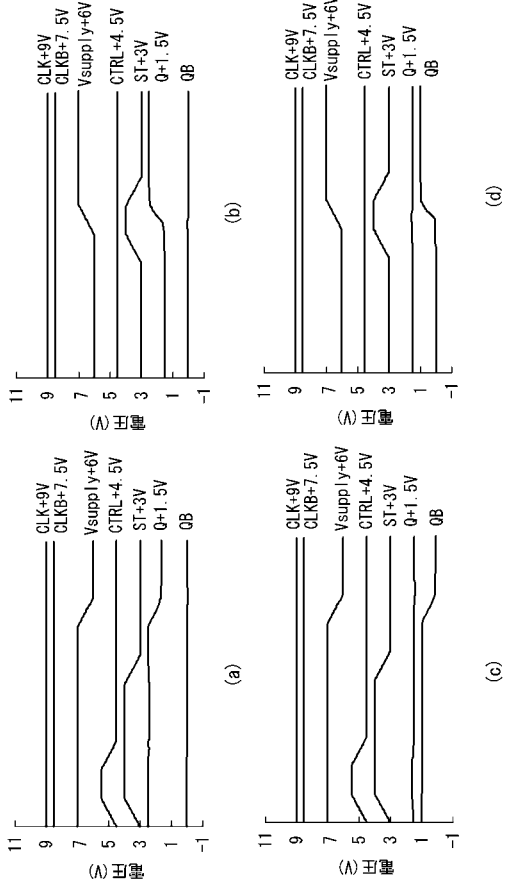
【 図 4 2 】



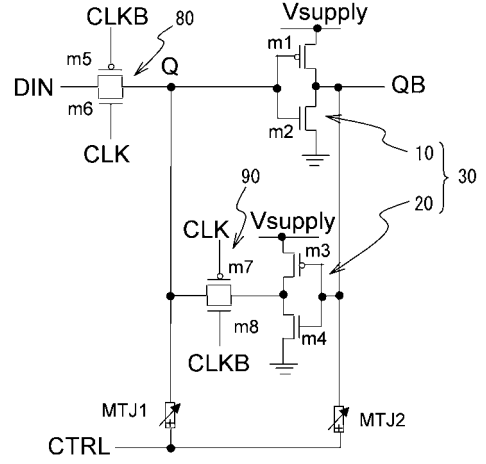
【 図 4 3 】



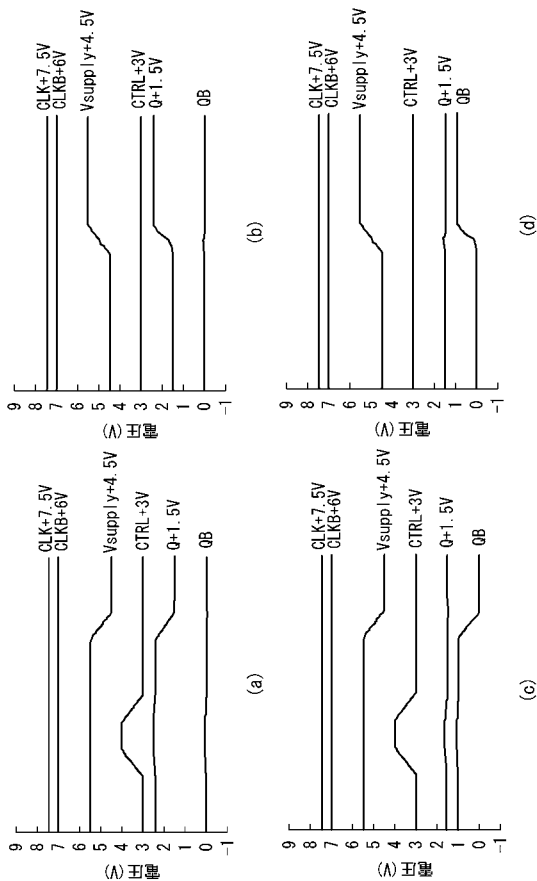
【 図 4 4 】



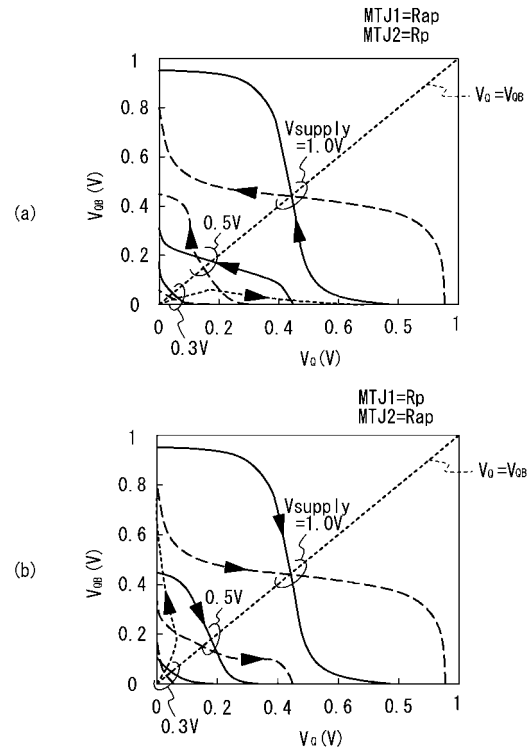
【 図 4 5 】



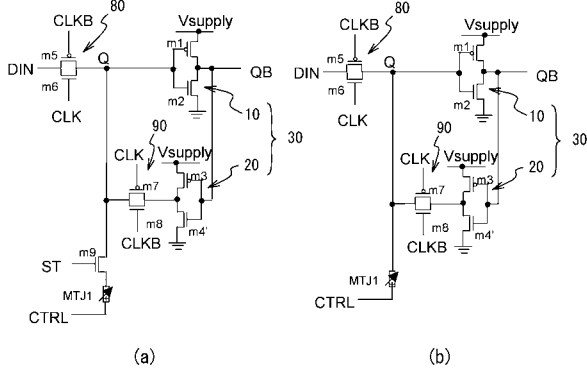
【 図 4 6 】



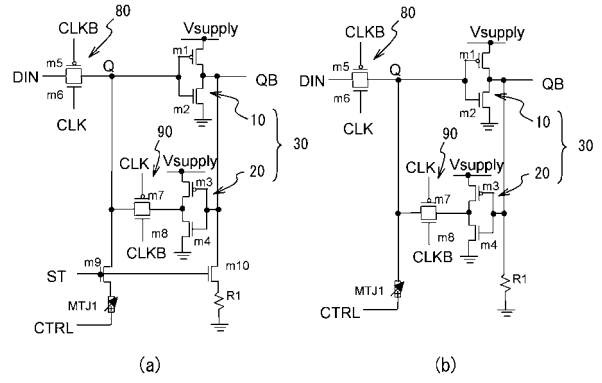
【 図 4 7 】



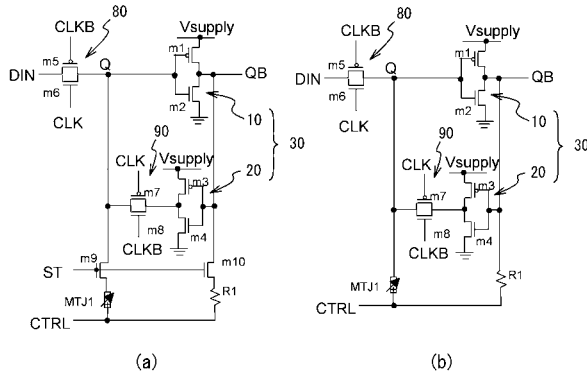
【 図 4 8 】



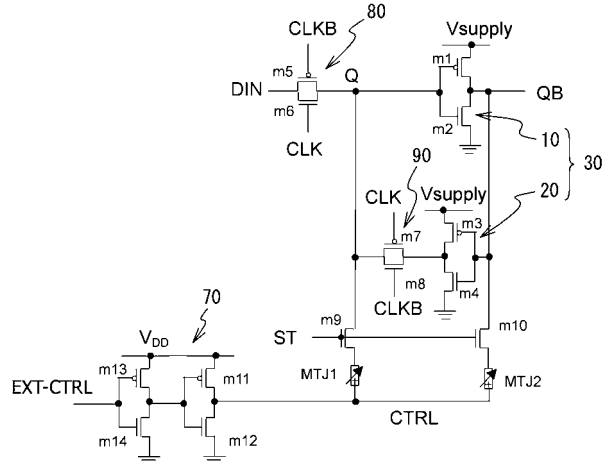
【 図 5 0 】



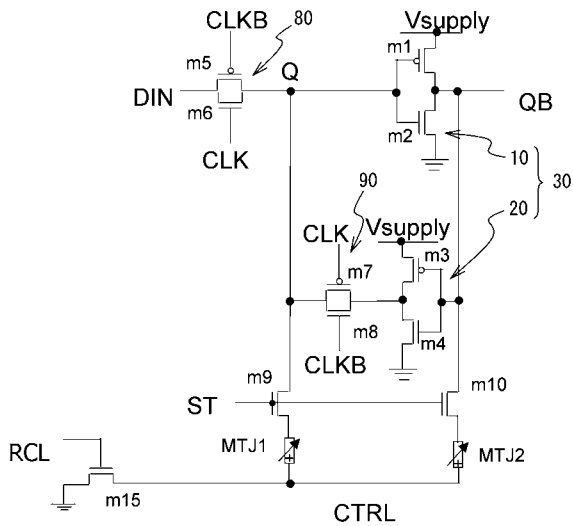
【 図 4 9 】



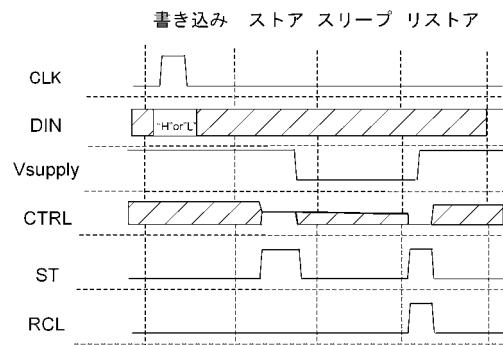
【 図 5 1 】



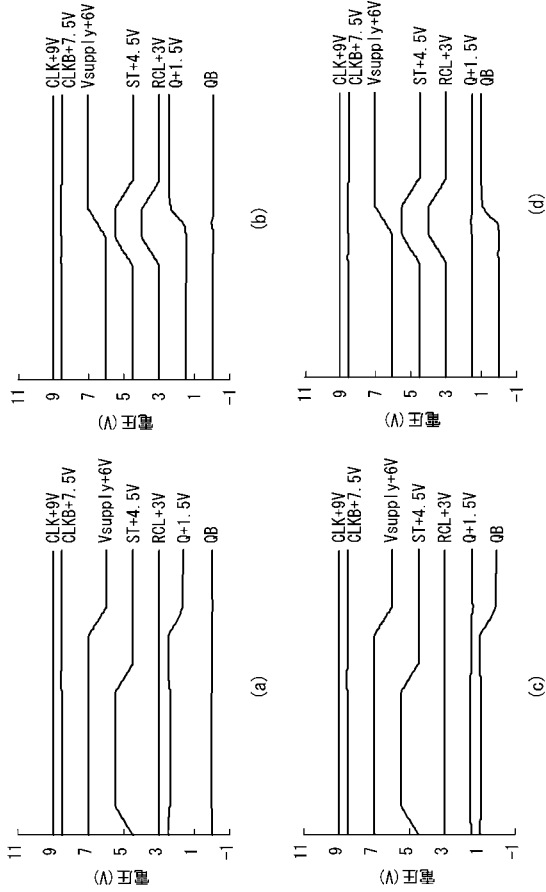
【 図 5 2 】



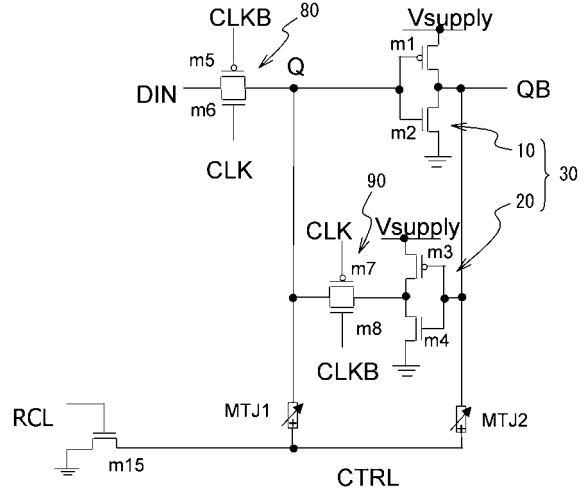
【 図 5 3 】



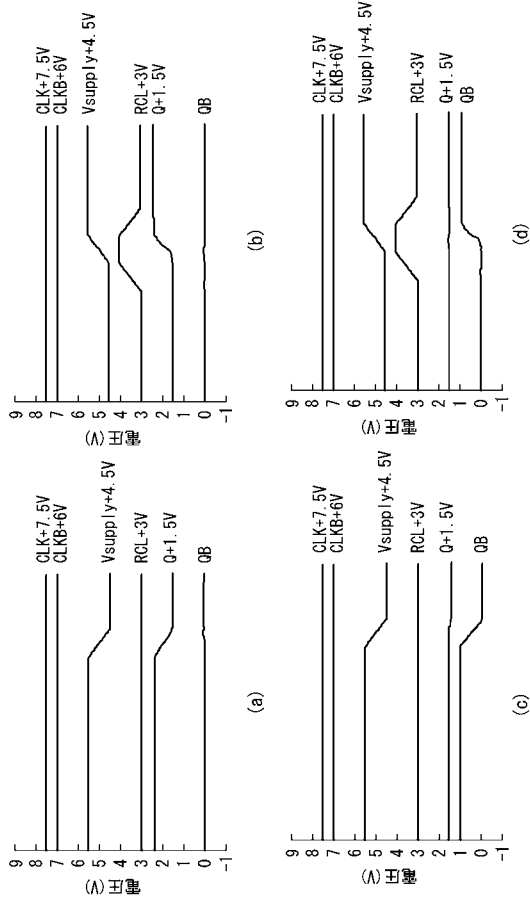
【 図 5 4 】



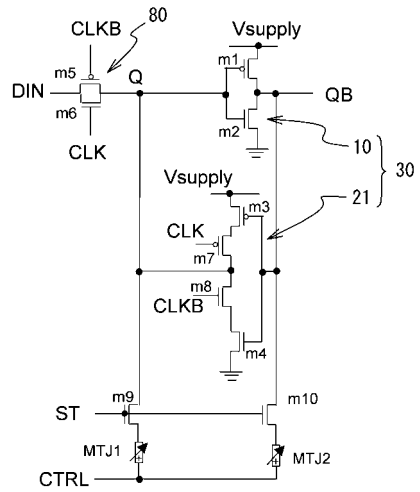
【 図 5 5 】



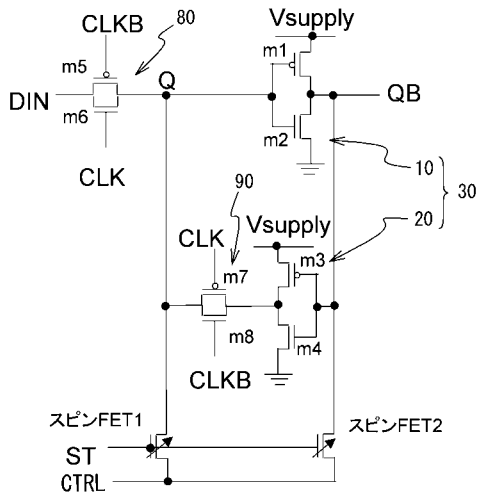
【 図 5 6 】



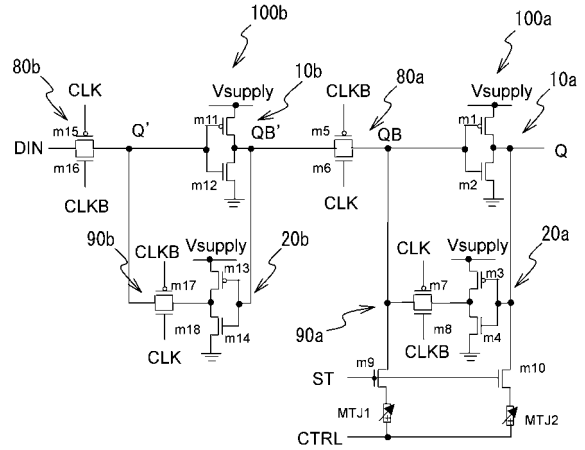
【 図 5 7 】



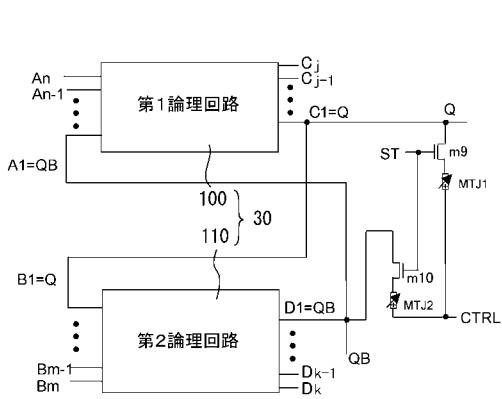
【 図 5 8 】



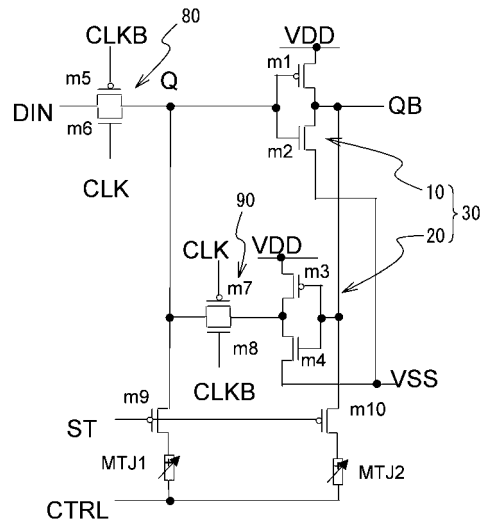
【 図 5 9 】



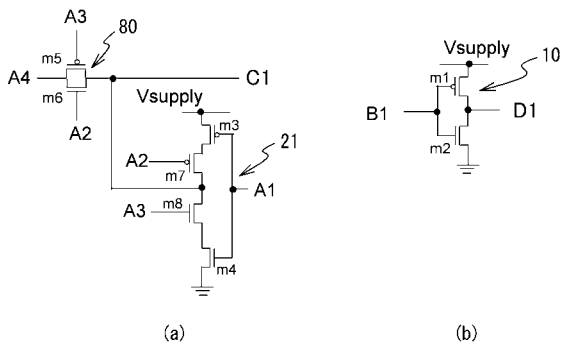
【 図 6 0 】



【 図 6 2 】

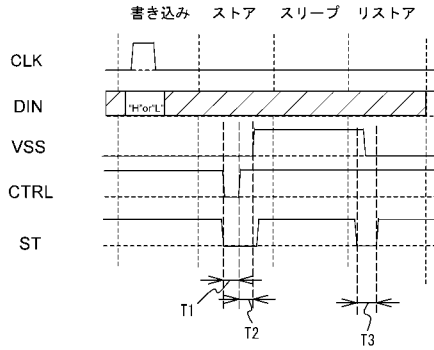


【 図 6 1 】





【図 6 3】



## 【手続補正書】

【提出日】平成20年12月22日(2008.12.22)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データを記憶する双安定回路と、

前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、

前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であり、

前記双安定回路は、第1インバータ回路と第2インバータ回路とがリング状に接続されており、

前記強磁性トンネル接合素子は前記第1インバータ回路と前記第2インバータ回路とが接続されるノードに接続され、

前記強磁性トンネル接合素子は、前記ノードと制御線との間に接続され、前記ノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となることを特徴とする記憶回路。

【請求項2】

前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層の磁化方向を変更することを特徴とする請求項1記載の記憶回路。

【請求項3】

(削除)

【請求項 4】

(削除)

【請求項 5】

前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加することを特徴とする請求項 1 記載の記憶回路。

【請求項 6】

前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加することを特徴とする請求項 1 または 5 記載の記憶回路。

【請求項 7】

前記ノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備することを特徴とする請求項 1、2、5 および 6 のいずれか一項記載の記憶回路。

【請求項 8】

前記スイッチは、MOSFET を含むことを特徴とする請求項 7 記載の記憶回路。

【請求項 9】

前記ノードは互いに相補ノードである第 1 ノードと第 2 ノードを含み、

前記強磁性トンネル接合素子は、前記第 1 ノードと前記制御線との間に接続された第 1 強磁性トンネル接合素子と、前記第 2 ノードと前記制御線との間に接続された第 2 強磁性トンネル接合素子とを含むことを特徴とする請求項 1、2、5 から 8 のいずれか一項記載の記憶回路。

【請求項 10】

前記第 1 ノードと前記第 1 強磁性トンネル接合素子との間に、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子にストアする際および前記データを前記第 1 トンネル接合素子から前記双安定回路にリストアする際に導通する第 1 スwitch と、

前記第 2 ノードと前記第 2 強磁性トンネル接合素子との間に、前記データを前記第 2 強磁性トンネル接合素子から前記双安定回路にストアする際および前記データを前記第 2 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第 2 スwitch と、を具備することを特徴とする請求項 9 記載の記憶回路。

【請求項 11】

前記第 1 スwitch および前記第 2 スwitch は、それぞれ MOSFET を含むことを特徴とする請求項 10 記載の記憶回路。

【請求項 12】

前記制御線とローレベルまたはハイレベルの電力線との間に接続された第 3 スwitch を具備し、

前記第 3 スwitch は、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを特徴とする請求項 9 または 10 記載の記憶回路。

【請求項 13】

前記ノードにデータを入出力するための入出力スイッチを具備することを特徴とする請求項 1、2、5 から 12 のいずれか一項記載の記憶回路。

【請求項 14】

前記入出力スイッチはワード線のレベルに応じ、前記ノードにデータを入出力することを特徴とする請求項 13 記載の記憶回路。

【請求項 15】

前記入出力スイッチは、前記第 1 ノードにデータを入出力するための第 1 入出力スイッチ

と、前記第 2 ノードにデータを入出力するための第 2 入出力スイッチとを有することを特徴とする請求項 9 から 12 のいずれか一項記載の記憶回路。

【請求項 16】

前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有することを特徴とする請求項 1、2、5 から 15 のいずれか一項記載の記憶回路。

【請求項 17】

1 以上の入力と 1 以上の出力を有する第 1 論理回路と、1 以上の入力と 1 以上の出力を有する第 2 論理回路と、を有し、データを記憶する双安定回路と、

前記第 1 論理回路の出力のうち 1 つと前記第 2 論理回路の入力のうち 1 つとが接続された第 1 ノードと、

前記第 2 論理回路の出力のうち 1 つと前記第 1 論理回路の入力のうち 1 つとが接続された第 2 ノードと、

前記第 1 ノードおよび前記第 2 ノードの少なくとも一方に接続され、前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、

前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際には記憶すべき相補的なデータがそれぞれ前記第 1 論理回路と前記第 2 論理回路から前記第 1 ノードおよび前記第 2 ノードに出力され、前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際は、前記第 1 論理回路の前記第 2 ノードに接続された入力以外の入力には前記第 1 論理回路が前記第 1 ノードに前記第 2 ノードの論理反転を出力するような信号が入力され、前記第 2 論理回路の前記第 1 ノードに接続された入力以外の入力には前記第 2 論理回路が前記第 2 ノードに前記第 1 ノードの論理反転を出力するような信号が入力されており、

前記強磁性トンネル接合素子は、前記第 1 ノードおよび前記第 2 ノードの少なくとも一方のノードに接続されており、

前記強磁性トンネル接合素子は、前記少なくとも一方のノードと制御線との間に接続され、前記少なくとも一方のノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となることを特徴とするラッチ回路。

【請求項 18】

第 1 インバータ回路と第 2 インバータ回路とがリング状に接続され、データを記憶する双安定回路と、

前記第 1 インバータ回路と前記第 2 インバータ回路とが接続され互いに相補ノードである第 1 ノードおよび第 2 ノードと、

前記双安定回路に入力線から前記データを書き込むための第 1 入力スイッチと、

前記第 1 入力スイッチと相補的に動作し、前記双安定回路のデータを保持するための第 2 入力スイッチと、

前記双安定回路に記憶されたデータを強磁性電極フリー層の磁化方向に応じ不揮発的にストアする強磁性トンネル接合素子と、を具備し、

前記強磁性トンネル接合素子に不揮発的に記憶されたデータを前記双安定回路にリストア可能であり、

前記強磁性トンネル接合素子は、前記第 1 ノードおよび前記第 2 ノードの少なくとも一方のノードに接続されており、

前記強磁性トンネル接合素子は、前記少なくとも一方のノードと制御線との間に接続され、前記少なくとも一方のノードと前記制御線との間に電流が流れることにより高抵抗となり、前記電流と反対方向に電流が流れることにより低抵抗となることを特徴とするラッチ回路。

【請求項 19】

前記強磁性トンネル接合素子は、スピン注入磁化反転法により、前記強磁性電極フリー層

の磁化方向を変更することを特徴とする請求項 17 または 18 記載のラッチ回路。

【請求項 20】

(削除)

【請求項 21】

(削除)

【請求項 22】

前記データを前記双安定回路から前記強磁性トンネル接合素子にデータをストアする際に、前記制御線は前記強磁性トンネル接合素子にハイレベルの電圧を印加しさらにローレベルの電圧を印加することを特徴とする請求項 17 または 18 記載のラッチ回路。

【請求項 23】

前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に、前記制御線は前記強磁性トンネル接合素子にローレベルまたはハイレベルの電圧を印加することを特徴とする請求項 17、18 および 22 のいずれか一項記載のラッチ回路。

【請求項 24】

前記少なくとも一方のノードと前記強磁性トンネル接合素子との間に接続され、前記データを前記双安定回路から前記強磁性トンネル接合素子にストアする際および前記データを前記強磁性トンネル接合素子から前記双安定回路にリストアする際に導通するスイッチを具備することを特徴とする請求項 17、18、22 および 23 のいずれか一項記載のラッチ回路。

【請求項 25】

前記スイッチは、MOSFET を含むことを特徴とする請求項 24 記載の記憶回路。

【請求項 26】

前記強磁性トンネル接合素子は、前記第 1 ノードと前記制御線との間に接続された第 1 強磁性トンネル接合素子と、前記第 2 ノードと前記制御線との間に接続された第 2 強磁性トンネル接合素子とを含むことを特徴とする請求項 17、18、22 から 25 のいずれか一項記載のラッチ回路。

【請求項 27】

前記第 1 ノードと前記第 1 強磁性トンネル接合素子との間に設けられ、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子にストアする際および前記データを前記第 1 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通する第 1 スwitch と、

前記第 2 ノードと前記第 2 強磁性トンネル接合素子との間に設けられ、前記データを前記第 2 強磁性トンネル接合素子にストアさせる際および前記データを前記双安定回路にリストアする際に導通する第 2 スwitch と、を具備することを特徴とする請求項 26 記載のラッチ回路。

【請求項 28】

前記第 1 スwitch および前記第 2 スwitch は、それぞれ MOSFET を含むことを特徴とする請求項 26 記載の記憶回路。

【請求項 29】

前記制御線とローレベルまたはハイレベルの電力線との間に接続された第 3 スwitch を具備し、

前記第 3 スwitch は、前記データを前記双安定回路から前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子にストアする際に遮断し、前記データを前記第 1 強磁性トンネル接合素子および第 2 強磁性トンネル接合素子から前記双安定回路にリストアする際に導通することを特徴とする請求項 26 から 28 のいずれか一項記載のラッチ回路。

【請求項 30】

前記強磁性トンネル接合素子は、強磁性電極フリー層と、強磁性電極ピン層と、前記強磁性電極フリー層と前記強磁性電極ピン層との間に設けられたトンネル絶縁膜とを有することを特徴とする請求項 17、18、22 から 29 のいずれか一項記載のラッチ回路。

**【請求項 31】**

請求項 17、18、22 から 30 に記載のラッチ回路を有するフリップフロップ回路。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/063787

A. CLASSIFICATION OF SUBJECT MATTER G11C11/15(2006.01) i, G11C11/41(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C11/15, G11C11/41		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Keiko Abe, Shinobu Fujita, Thomas H.Lee, 'Novel Nonvolatile Logic Circuits with Three-Dimensionally Stacked Nanoscale Memory Device', Technical Proceedings of the 2005 NSTI Nanotechnology Conference and Trade Show, 2005.05.12, Vol.3, P.203-206	1-3, 13, 16, 17, 20, 30, 31
Y		9, 14, 15, 18, 19, 26
A		4-8, 10-12, 21-25, 27-29
Y		9, 14, 15, 18, 19, 26
P, A	JP 2004-103174 A (Renesas Technology Corp.), 02 April, 2004 (02.04.04), Figs. 1 to 3; Par. Nos. [0015] to [0043] & US 2004/0052106 A1	
	JP 2008-085770 A (Toshiba Corp.), 10 April, 2008 (10.04.08), Full text; all drawings & US 2008/0080231 A1	1-31
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 14 August, 2008 (14.08.08)		Date of mailing of the international search report 26 August, 2008 (26.08.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2008/063787	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C11/15(2006.01)i, G11C11/41(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C11/15, G11C11/41			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2008年 日本国実用新案登録公報 1996-2008年 日本国登録実用新案公報 1994-2008年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	Keiko Abe, Shinobu Fujita, Thomas H. Lee, 'Novel Nonvolatile Logic Circuits with Three-Dimensionally Stacked Nanoscale Memory Device', Technical Proceedings of the 2005 NSTI Nanotechnology Conference and Trade Show, 2005.05.12, Vol. 3, P.203-206	1-3, 13, 16, 17, 20, 30, 31	
Y		9, 14, 15, 18, 19, 26	
A		4-8, 10-12, 21 -25, 27-29	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 14.08.2008		国際調査報告の発送日 26.08.2008	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 滝谷 亮一	5N 3135
		電話番号 03-3581-1101 内線 3586	

国際調査報告

国際出願番号 PCT/JP2008/063787

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-103174 A (株式会社ルネサステクノロジ) 2004.04.02, 第 1-3図, 段落【0015】-【0043】 & US 2004/0052106 A1	9, 14, 15, 18, 19, 26
P, A	JP 2008-085770 A (株式会社東芝) 2008.04.10, 全文、全図 & US 2008/0080231 A1	1-31

様式PCT/ISA/210 (第2ページの続き) (2007年4月)



## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。