

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6608645号  
(P6608645)

(45) 発行日 令和1年11月20日(2019.11.20)

(24) 登録日 令和1年11月1日(2019.11.1)

(51) Int. Cl.		F I			
<b>H03F</b>	<b>3/34</b>	<b>(2006.01)</b>	H03F	3/34	210
<b>H03K</b>	<b>5/08</b>	<b>(2006.01)</b>	H03F	3/34	220
			H03K	5/08	S

請求項の数 4 (全 23 頁)

(21) 出願番号	特願2015-159016 (P2015-159016)	(73) 特許権者	591141784
(22) 出願日	平成27年8月11日 (2015. 8. 11)		学校法人大阪産業大学
(65) 公開番号	特開2017-38269 (P2017-38269A)		大阪府大東市中垣内3丁目1番1号
(43) 公開日	平成29年2月16日 (2017. 2. 16)	(74) 代理人	100098305
審査請求日	平成30年5月21日 (2018. 5. 21)		弁理士 福島 祥人
		(74) 代理人	100187931
			弁理士 澤村 英幸
		(72) 発明者	熊本 敏夫
			大阪府大東市中垣内三丁目1番1号 学校 法人 大阪産業大学内
		審査官	工藤 一光

最終頁に続く

(54) 【発明の名称】 積分回路、電圧比較回路および電圧時間変換回路

(57) 【特許請求の範囲】

【請求項1】

第1の入力端子、第2の入力端子および第1の出力端子を有し、前記第1の入力端子の電圧と前記第2の入力端子の電圧との差を増幅して前記第1の出力端子に出力する第1の増幅器と、

第3の入力端子、第4の入力端子および第2の出力端子を有し、前記第3の入力端子の電圧と前記第4の入力端子の電圧との差を増幅して前記第2の出力端子に出力する第2の増幅器と、

前記第1の増幅器の前記第1の出力端子と前記第2の増幅器の前記第3の入力端子との間に接続される第1の容量素子と、

前記第1の増幅器の前記第1の出力端子と前記第2の増幅器の前記第2の出力端子との間に接続される第2の容量素子と、

前記第1の増幅器の前記第1および第2の入力端子に接続される電圧切り替え手段と、  
前記第2の増幅器の前記第3の入力端子と前記第2の出力端子との間に接続されるスイッチ手段とを備え、

前記第1の容量素子の一端および前記第2の容量素子の一端は前記第1の増幅器の前記第1の出力端子に接続され、

前記電圧切り替え手段は、第1の期間において前記第1および第2の入力端子に共通電圧を与え、前記第1の期間に続く第2の期間において前記第1の入力端子に第1の入力電圧を与えるとともに前記第2の入力端子に第2の入力電圧を与えるように構成され、

前記スイッチ手段は、前記第 1 の期間においてオンし、前記第 2 の期間においてオフするように構成され、

前記第 2 の増幅器の前記第 4 の入力端子には、前記第 1 および第 2 の期間において第 3 の入力電圧が与えられる、積分回路。

【請求項 2】

第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、前記第 1 の入力端子の電圧と前記第 2 の入力端子の電圧との差を増幅して前記第 1 の出力端子に出力する第 1 の増幅器と、

第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、前記第 3 の入力端子の電圧と前記第 4 の入力端子の電圧との差を増幅して前記第 2 の出力端子に出力する第 2 の増幅器と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 3 の入力端子との間に接続される第 1 の容量素子と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 2 の出力端子との間に接続される第 2 の容量素子と、

前記第 1 の増幅器の前記第 1 および第 2 の入力端子に接続される電圧切り替え手段と、前記第 2 の増幅器の前記第 3 の入力端子と前記第 2 の出力端子との間に接続されるスイッチ手段と、

電圧比較器とを備え、

前記第 1 の容量素子の一端および前記第 2 の容量素子の一端は前記第 1 の増幅器の前記第 1 の出力端子に接続され、

前記電圧切り替え手段は、第 1 の期間において前記第 1 および第 2 の入力端子に共通電圧を与え、前記第 1 の期間に続く第 2 の期間において前記第 1 の入力端子に第 1 の入力電圧を与えるとともに前記第 2 の入力端子に第 2 の入力電圧を与えるように構成され、

前記スイッチ手段は、前記第 1 の期間においてオンし、前記第 2 の期間においてオフするように構成され、

前記第 2 の増幅器の前記第 4 の入力端子には、前記第 1 および第 2 の期間において第 3 の入力電圧が与えられ、

前記電圧比較器は、前記第 2 の増幅器の前記第 2 の出力端子の電圧と第 4 の入力電圧との比較結果を示す電圧を出力するように構成される、電圧比較回路。

【請求項 3】

第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、前記第 1 の入力端子の電圧と前記第 2 の入力端子の電圧との差を増幅して前記第 1 の出力端子に出力する第 1 の増幅器と、

第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、前記第 3 の入力端子の電圧と前記第 4 の入力端子の電圧との差を増幅して前記第 2 の出力端子に出力する第 2 の増幅器と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 3 の入力端子との間に接続される第 1 の容量素子と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 2 の出力端子との間に接続される第 2 の容量素子と、

前記第 1 の増幅器の前記第 1 および第 2 の入力端子に接続される電圧切り替え手段と、第 5 の入力端子、第 6 の入力端子および第 3 の出力端子を有し、前記第 5 の入力端子の電圧と前記第 6 の入力端子の電圧との差を増幅して前記第 3 の出力端子に出力する第 3 の増幅器と、

前記第 3 の増幅器の前記第 5 の入力端子と前記第 3 の出力端子との間に接続される第 1 のスイッチ手段と、

第 1 導電型チャネルトランジスタおよび第 2 導電型チャネルトランジスタにより構成されるインバータと、

前記第 3 の増幅器の前記第 3 の出力端子と前記インバータの入力端子との間に接続され

10

20

30

40

50

る第3の容量素子と、

前記インバータの入力端子と前記インバータの出力端子との間に接続される第2のスイッチ手段と、

前記インバータの前記出力端子の電圧を保持する電圧保持手段とを備え、

前記第1の容量素子の一端および前記第2の容量素子の一端は前記第1の増幅器の前記第1の出力端子に接続され、

前記第3の増幅器の前記第5の入力端子は前記第2の増幅器の前記第3の入力端子に接続され、

前記第3の増幅器の前記第6の入力端子は前記第2の増幅器の出力端子に接続され、

前記電圧切り替え手段は、第1の期間において前記第1および第2の入力端子に共通電圧を与え、前記第1の期間に続く第2の期間において前記第1の入力端子に第1の入力電圧を与えるとともに前記第2の入力端子に第2の入力電圧を与えるように構成され、

前記第1および第2のスイッチ手段は、前記第1の期間においてオンし、前記第2の期間においてオフするように構成され、

前記第2の増幅器の前記第4の入力端子には、前記第1および第2の期間において第3の入力電圧が与えられる、電圧比較回路。

【請求項4】

請求項2または3に記載の電圧比較回路と、

前記電圧比較回路の出力信号が予め定められた論理レベル以上または以下にある期間を測定する測定手段とを備える、電圧時間変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積分回路、電圧比較回路および電圧時間変換回路に関する。

【背景技術】

【0002】

例えば、赤外線アレイセンサ等の各種センサの微弱な信号を読み出すための読み出し回路には、複数の増幅器が用いられる。複数の増幅器を用いた回路では、各増幅器のオフセット電圧が信号の検出精度に大きな影響を与える。そのため、増幅器のオフセット電圧を低減するための技術が開発されている。増幅器のオフセット電圧を低減する技術としては、オートゼロ技術およびチョッピング技術がある。特許文献1には、オートゼロ技術を用いた増幅回路が記載されている。また、特許文献2には、チョッピング技術を用いた演算増幅回路が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2015-19280号公報

【特許文献2】特開2014-147050号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来のオートゼロ技術およびチョッピング技術を用いて増幅器のオフセット電圧を低減する場合、回路構成が複雑化するとともに素子数が増加する。そこで、回路構成の複雑化および素子数の増加を抑制しつつ増幅器のオフセット電圧が出力電圧に与える影響を低減することが望まれる。

【0005】

本発明の目的は、回路構成の複雑化および素子数の増加を抑制しつつ増幅器のオフセット電圧の影響を低減することが可能な積分回路、電圧比較回路および電圧時間変換回路を提供することである。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 1 1 】

( 1 ) 第 1 の発明に係る積分回路は、第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、第 1 の入力端子の電圧と第 2 の入力端子の電圧との差を増幅して第 1 の出力端子に出力する第 1 の増幅器と、第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、第 3 の入力端子の電圧と第 4 の入力端子の電圧との差を増幅して第 2 の出力端子に出力する第 2 の増幅器と、第 1 の増幅器の第 1 の出力端子と第 2 の増幅器の第 3 の入力端子との間に接続される第 1 の容量素子と、第 1 の増幅器の第 1 の出力端子と第 2 の増幅器の第 2 の出力端子との間に接続される第 2 の容量素子と、第 1 の増幅器の第 1 および第 2 の入力端子に接続される電圧切り替え手段と、第 2 の増幅器の第 3 の入力端子と第 2 の出力端子との間に接続されるスイッチ手段とを備え、第 1 の容量素子の一端および第 2 の容量素子の一端は第 1 の増幅器の第 1 の出力端子に接続され、電圧切り替え手段は、第 1 の期間において第 1 および第 2 の入力端子に共通電圧を与え、第 1 の期間に続く第 2 の期間において第 1 の入力端子に第 1 の入力電圧を与えるとともに第 2 の入力端子に第 2 の入力電圧を与えるように構成され、スイッチ手段は、第 1 の期間においてオンし、第 2 の期間においてオフするように構成され、第 2 の増幅器の第 4 の入力端子には、第 1 および第 2 の期間において第 3 の入力電圧が与えられる。

10

## 【 0 0 1 2 】

この積分回路においては、第 1 の期間において、第 1 の増幅器の第 1 および第 2 の入力端子に共通電圧が与えられることにより、第 1 の出力端子に出力換算オフセット電圧が出力される。それにより、第 1 の容量素子の入力側端子が出力換算オフセット電圧により充電される。また、スイッチ手段がオンすることにより、第 2 の増幅器がバッファ接続され、第 2 の増幅器の入力換算オフセット電圧により第 1 の容量素子の出力側端子が充電される。

20

## 【 0 0 1 3 】

第 2 の期間において、第 1 の増幅器により第 1 の入力電圧と第 2 の入力電圧との差が増幅され、増幅された電圧と出力換算オフセット電圧との加算電圧が第 1 の出力端子に出力される。このとき、第 1 の容量素子に保持される電圧の変化分は、第 1 の増幅器により増幅された電圧であるので、第 2 の増幅器の第 3 の入力端子に出力換算オフセット電圧が与えられない。したがって、第 1 の増幅器の出力換算オフセット電圧がキャンセルされる。

30

## 【 0 0 1 4 】

また、第 2 の増幅器により第 3 の入力端子の電圧と第 3 の入力電圧との差が増幅されるとともに第 2 の容量素子により積分される。このとき、第 1 の容量素子の出力側端子が出力換算オフセット電圧により充電されているので、第 2 の増幅器の入力換算オフセット電圧が第 1 の容量素子の出力側端子に保持された入力換算オフセット電圧によりキャンセルされる。

## 【 0 0 1 5 】

これらの結果、回路構成の複雑化および素子数の増加を抑制しつつ第 1 の増幅器のオフセット電圧および第 2 の増幅器のオフセット電圧の影響を低減することが可能となる。

## 【 0 0 1 6 】

( 2 ) 第 2 の発明に係る電圧比較回路は、第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、第 1 の入力端子の電圧と第 2 の入力端子の電圧との差を増幅して第 1 の出力端子に出力する第 1 の増幅器と、第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、第 3 の入力端子の電圧と第 4 の入力端子の電圧との差を増幅して第 2 の出力端子に出力する第 2 の増幅器と、第 1 の増幅器の第 1 の出力端子と第 2 の増幅器の第 3 の入力端子との間に接続される第 1 の容量素子と、第 1 の増幅器の第 1 の出力端子と第 2 の増幅器の第 2 の出力端子との間に接続される第 2 の容量素子と、第 1 の増幅器の第 1 および第 2 の入力端子に接続される電圧切り替え手段と、第 2 の増幅器の第 3 の入力端子と第 2 の出力端子との間に接続されるスイッチ手段と、電圧比較器とを備え、第 1 の容量素子の一端および第 2 の容量素子の一端は第 1 の増幅器の第 1 の出力端子に接続され、電圧切り替え手段は、第 1 の期間において第 1 および第 2 の入力端子に共通電圧を与え、第 1

40

50

の期間に続く第2の期間において第1の入力端子に第1の入力電圧を与えるととも第2の入力端子に第2の入力電圧を与えるように構成され、スイッチ手段は、第1の期間においてオンし、第2の期間においてオフするように構成され、第2の増幅器の第4の入力端子には、第1および第2の期間において第3の入力電圧が与えられ、電圧比較器は、第2の増幅器の第2の出力端子の電圧と第4の入力電圧との比較結果を示す電圧を出力するように構成される。

【0017】

この電圧比較回路においては、第1の期間において、第1の増幅器の第1および第2の入力端子に共通電圧が与えられることにより、第1の出力端子に出力換算オフセット電圧が出力される。それにより、第1の容量素子の入力側端子が出力換算オフセット電圧により充電される。また、スイッチ手段がオンすることにより、第2の増幅器がバッファ接続され、第2の増幅器の入力換算オフセット電圧により第1の容量素子の出力側端子が充電される。

10

【0018】

第2の期間において、第1の増幅器により第1の入力電圧と第2の入力電圧との差が増幅され、増幅された電圧と出力換算オフセット電圧との加算電圧が第1の出力端子に出力される。このとき、第1の容量素子に保持される電圧の変化分は、第1の増幅器により増幅された電圧であるので、第2の増幅器の第3の入力端子には出力換算オフセット電圧が与えられない。したがって、第1の増幅器の出力換算オフセット電圧がキャンセルされる。

20

【0019】

また、第2の増幅器により第3の入力端子の電圧と第3の入力電圧との差が増幅されるとともに第2の容量素子により積分される。このとき、第1の容量素子の出力側端子が入力換算オフセット電圧により充電されているので、第2の増幅器の入力換算オフセット電圧が第1の容量素子の出力側端子に保持された入力換算オフセット電圧によりキャンセルされる。

【0020】

さらに、第2の増幅器の第2の出力端子の電圧と第4の入力電圧との比較結果を示す電圧が出力される。

【0021】

これらの結果、回路構成の複雑化および素子数の増加を抑制しつつ第1の増幅器のオフセット電圧および第2の増幅器のオフセット電圧の影響を低減することが可能となる。

30

【0022】

(3) 第3の発明に係る電圧比較回路は、第1の入力端子、第2の入力端子および第1の出力端子を有し、第1の入力端子の電圧と第2の入力端子の電圧との差を増幅して第1の出力端子に出力する第1の増幅器と、第3の入力端子、第4の入力端子および第2の出力端子を有し、第3の入力端子の電圧と第4の入力端子の電圧との差を増幅して第2の出力端子に出力する第2の増幅器と、第1の増幅器の第1の出力端子と第2の増幅器の第3の入力端子との間に接続される第1の容量素子と、第1の増幅器の第1の出力端子と第2の増幅器の第2の出力端子との間に接続される第2の容量素子と、第1の増幅器の第1および第2の入力端子に接続される電圧切り替え手段と、第5の入力端子、第6の入力端子および第3の出力端子を有し、第5の入力端子の電圧と第6の入力端子の電圧との差を増幅して第3の出力端子に出力する第3の増幅器と、第3の増幅器の第5の入力端子と第3の出力端子との間に接続される第1のスイッチ手段と、第1導電型チャネルトランジスタおよび第2導電型チャネルトランジスタにより構成されるインバータと、第3の増幅器の第3の出力端子とインバータの入力端子との間に接続される第3の容量素子と、インバータの入力端子とインバータの出力端子との間に接続される第2のスイッチ手段と、インバータの出力端子の電圧を保持する電圧保持手段とを備え、第1の容量素子の一端および第2の容量素子の一端は第1の増幅器の第1の出力端子に接続され、第3の増幅器の第5の入力端子は第2の増幅器の第3の入力端子に接続され、第3の増幅器の第6の入力端子は

40

50

第2の増幅器の出力端子に接続され、電圧切り替え手段は、第1の期間において第1および第2の入力端子に共通電圧を与え、第1の期間に続く第2の期間において第1の入力端子に第1の入力電圧を与えるとともに第2の入力端子に第2の入力電圧を与えるように構成され、第1および第2のスイッチ手段は、第1の期間においてオンし、第2の期間においてオフするように構成され、第2の増幅器の第4の入力端子には、第1および第2の期間において第3の入力電圧が与えられる。

【0023】

この電圧比較回路においては、第1の期間において、第1の増幅器の第1および第2の入力端子に共通電圧が与えられることにより、第1の出力端子に出力換算オフセット電圧が出力される。それにより、第1の容量素子の入力側端子が出力換算オフセット電圧により充電される。また、第1のスイッチ手段がオンすることにより、第3の増幅器がバッファ接続される。それにより、第2の増幅器の第2の出力端子に第3の入力電圧と第2の増幅器の入力換算オフセット電圧との加算電圧から第3の増幅器の入力換算オフセット電圧を減算した電圧が出力される。さらに、第3の増幅器の第3の出力端子に第3の入力電圧と第2の増幅器の入力換算オフセット電圧との加算電圧が出力される。第1の容量素子の出力側端子は第3の出力端子の電圧により充電される。また、第2のスイッチ手段がオンすることにより、インバータの入力端子および出力端子の電圧が中間電圧となる。

10

【0024】

第2の期間において、第1の増幅器により第1の入力電圧と第2の入力電圧との差が増幅され、増幅された電圧と出力換算オフセット電圧との加算電圧が第1の出力端子に出力される。このとき、第1の容量素子に保持される電圧の変化分は、第1の増幅器により増幅された電圧であるので、第2の増幅器の第3の入力端子には出力換算オフセット電圧が与えられない。したがって、第1の増幅器の出力換算オフセット電圧がキャンセルされる。

20

【0025】

また、第2の増幅器により第3の入力端子の電圧と第3の入力電圧との差が増幅されるとともに第1の容量素子により積分される。このとき、第1の容量素子の出力側端子が第2の増幅器の入力換算オフセット電圧により充電されているので、第2の増幅器の入力換算オフセット電圧が第1の容量素子の出力側端子に保持された入力換算オフセット電圧によりキャンセルされる。

30

【0026】

さらに、第3の増幅器により第5の入力端子の電圧と第2の増幅器の第2の出力端子の電圧との差が増幅される。このとき、第2の増幅器の第2の出力端子の電圧は、第3の入力電圧と第2の増幅器の入力換算オフセット電圧との加算電圧から第3の増幅器の入力換算オフセット電圧を減算した電圧であるので、第3の増幅器の入力換算オフセット電圧がキャンセルされるとともに、第2の増幅器の入力換算オフセット電圧が第2の出力端子の電圧によりキャンセルされる。

【0027】

また、第3の容量素子に保持される電圧の変化分は、第2の期間に第3の増幅器から出力される電圧であるので、第3の容量素子の出力側端子には第2の増幅器の入力換算オフセット電圧は出力されない。それにより、第2の増幅器の入力換算オフセット電圧がキャンセルされる。

40

【0028】

さらに、第3の容量素子の出力側端子の電圧の変化分と中間電圧との差がインバータにより増幅される。それにより、第3の増幅器により増幅された電圧と中間電圧との比較結果を示す電圧が出力される。

【0029】

これらの結果、回路構成の複雑化および素子数の増加を抑制しつつ第1の増幅器のオフセット電圧、第2の増幅器のオフセット電圧および第3の増幅器のオフセット電圧の影響を低減することが可能となる。

50

## 【 0 0 3 0 】

( 4 ) 第 4 の発明に係る電圧時間変換回路は、第 2 または第 3 の発明に係る電圧比較回路と、電圧比較回路の出力信号が予め定められた論理レベル以上または以下にある期間を測定する測定手段とを備える。

## 【 0 0 3 1 】

この電圧時間変換回路においては、第 1 の入力電圧と第 2 の入力電圧との差が時間に変換される。この場合、回路構成の複雑化および素子数の増加を抑制しつつ少なくとも第 1 の増幅器のオフセット電圧および第 2 の増幅器のオフセット電圧の影響を低減することが可能となる。

## 【 発明の効果 】

10

## 【 0 0 3 2 】

本発明によれば、回路構成の複雑化および素子数の増加を抑制しつつ増幅器のオフセット電圧の影響を低減することが可能となる。

## 【 図面の簡単な説明 】

## 【 0 0 3 3 】

【 図 1 】 本発明の第 1 の実施の形態に係るシングルエンド構成の増幅回路の回路図である。

【 図 2 】 本発明の第 2 の実施の形態に係るシングルエンド構成の積分回路の回路図である。

【 図 3 】 本発明の第 3 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。

20

【 図 4 】 本発明の第 4 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。

【 図 5 】 図 4 の電圧比較回路の動作を説明するための電圧波形図である。

【 図 6 】 本発明の第 5 の実施の形態に係る差動構成の電圧比較回路の回路図である。

【 図 7 】 図 6 の電圧比較回路の動作を説明するための電圧波形図である。

【 図 8 】 本発明の第 6 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。

【 図 9 】 ( a ) はインバータの構成を示す回路図であり、( b ) はインバータの入力電圧と出力電圧との関係を示す図である

30

【 図 1 0 】 本発明の第 7 の実施の形態に係る電圧時間変換回路の回路図である。

【 図 1 1 】 本発明の第 8 の実施の形態に係るセンサ出力読み出し回路の回路図である。

【 図 1 2 】 図 1 1 のセンサ出力読み出し回路の動作を説明するための電圧波形図である。

【 図 1 3 】 本発明の第 9 の実施の形態に係るセンサ出力読み出し回路の回路図である。

【 図 1 4 】 図 1 3 のセンサ出力読み出し回路の主要部の動作を説明するための回路図である。

【 図 1 5 】 図 1 3 のセンサ出力読み出し回路の主要部の電圧波形図である。

## 【 発明を実施するための形態 】

## 【 0 0 3 4 】

以下、図面を参照しながら本発明の実施の形態に係る増幅回路、積分回路、電圧比較回路および電圧時間変換回路について詳細に説明する。

40

## 【 0 0 3 5 】

## ( 1 ) 第 1 の実施の形態

図 1 は本発明の第 1 の実施の形態に係るシングルエンド構成の増幅回路の回路図である。図 1 の増幅回路 1 は、増幅器 A M 1 , A M 2、キャパシタ C 1、スイッチ S W、電圧切り替え回路 1 1 およびスイッチ制御回路 1 2 を含む。

## 【 0 0 3 6 】

増幅器 A M 1 は、非反転入力端子 I 1、反転入力端子 I 2 および出力端子 O 1 を有する。増幅器 A M 2 は、反転入力端子 I 3、非反転入力端子 I 4 および出力端子 O 2 を有する。増幅器 A M 1 , A M 2 は演算増幅器からなる。増幅器 A M 2 の利得 A 2 は増幅器 A M 1

50

の利得  $A_1$  に比べて高い。

【0037】

電圧切り替え回路 11 は、スイッチ  $S_1 \sim S_4$  を含み、増幅器  $AM_1$  の非反転入力端子  $I_1$  および反転入力端子  $I_2$  に接続される。非反転入力端子  $I_1$  には、スイッチ  $S_1$  を通じて入力電圧  $V_{in1}$  が与えられ、スイッチ  $S_2$  を通じて共通電圧  $V_{com}$  が与えられる。反転入力端子  $I_2$  には、スイッチ  $S_3$  を通じて共通電圧  $V_{com}$  が与えられ、スイッチ  $S_4$  を通じて入力電圧  $V_{in2}$  が与えられる。

【0038】

増幅器  $AM_1$  の出力端子  $O_1$  と増幅器  $AM_2$  の反転入力端子  $I_3$  との間には、キャパシタ  $C_1$  が接続される。増幅器  $AM_2$  の反転入力端子  $I_3$  と出力端子  $O_2$  との間にはスイッチ  $SW$  が接続される。増幅器  $AM_2$  の非反転入力端子  $I_4$  には、入力電圧  $V_{in3}$  が与えられる。

10

【0039】

スイッチ制御回路 12 は、電圧切り替え回路 11 およびスイッチ  $SW$  を制御するための制御信号  $\phi_1, \phi_2$  を発生する。電圧切り替え回路 11 のスイッチ  $S_1 \sim S_4$  は制御信号  $\phi_1$  に応答してオンまたはオフする。スイッチ  $SW$  は、制御信号  $\phi_2$  に応答してオンまたはオフする。

【0040】

増幅器  $AM_1, AM_2$  はそれぞれオフセット電圧を有する。図 1 には、増幅器  $AM_1$  のオフセット電圧が出力換算オフセット電圧  $V_{os1}$  として示され、増幅器  $AM_2$  はオフセット電圧が入力換算オフセット電圧  $V_{os2}$  として示される。

20

【0041】

次に、図 1 の増幅回路 1 の動作について説明する。第 1 の期間（リセット期間）には、制御信号  $\phi_1$  に応答して電圧切り替え回路 11 のスイッチ  $S_2, S_3$  がオンし、スイッチ  $S_1, S_4$  がオフする。それにより、増幅回路 1 の非反転入力端子  $I_1$  および反転入力端子  $I_2$  に共通電圧  $V_{com}$  が与えられる。すなわち、非反転入力端子  $I_1$  と反転入力端子  $I_2$  とが短絡される。その結果、増幅器  $AM_1$  の出力端子  $O_1$  に出力換算オフセット電圧  $V_{os1}$  が出力される。この場合、キャパシタ  $C_1$  の入力側端子が出力換算オフセット電圧  $V_{os1}$  により充電される。ただし、正確にはここでいう出力換算オフセット電圧  $V_{os1}$  にはオフセット電圧がない場合の出力 DC バイアス電圧も含んでいる。以下の動作説明においてこの DC バイアス電圧の議論は不要なためあえて含めていない。

30

【0042】

また、第 1 の期間には、制御信号  $\phi_2$  に応答してスイッチ  $SW$  がオンする。それにより、増幅器  $AM_2$  がバッファ接続される。ここで、第 1 の期間における出力端子  $O_2$  の電圧を  $V_0$  とすると、次式が成り立つ。

【0043】

$$\{ (V_{in3} + V_{os2}) - V_0 \} \cdot A_2 = V_0 \quad \dots (1)$$

上式より、次式が導かれる。

【0044】

$$V_0 = (V_{in3} + V_{os2}) \cdot A_2 / (1 + A_2) \quad \dots (2)$$

40

上記のように、増幅器  $AM_2$  の利得  $A_2$  は高いため、電圧  $V_0$  は次式のように近似される。

【0045】

$$V_0 = (V_{in3} + V_{os2}) \cdot A_2 / (1 + A_2) \approx V_{in3} + V_{os2} \quad \dots (3)$$

したがって、増幅器  $AM_2$  の出力端子  $O_2$  の電圧  $V_0$  および反転入力端子  $I_3$  の電圧は  $(V_{in3} + V_{os2})$  となる。その結果、キャパシタ  $C_1$  の出力側端子が電圧  $(V_{in3} + V_{os2})$  により充電される。

【0046】

第 1 の期間に続く第 2 の期間（増幅期間）には、制御信号  $\phi_1$  に応答して電圧切り替え

50



回路 11 のスイッチ  $S_2$  ,  $S_3$  がオフし、スイッチ  $S_1$  ,  $S_4$  がオンする。それにより、増幅器  $AM_1$  の非反転入力端子  $I_1$  および反転入力端子  $I_2$  にそれぞれ入力電圧  $V_{in1}$  ,  $V_{in2}$  が与えられる。増幅器  $AM_1$  は、入力電圧  $V_{in1}$  ,  $V_{in2}$  の差  $V_1$  を利得  $A_1$  で増幅し、増幅された電圧  $V_1 \cdot A_1$  に出力換算オフセット電圧  $V_{os1}$  が加算された電圧 ( $V_1 \cdot A_1 + V_{os1}$ ) を出力端子  $O_1$  に出力する。それにより、キャパシタ  $C_1$  の入力側端子の電圧は  $V_{os1}$  から ( $V_{os1} + V_1 \cdot A_1$ ) に変化する。この場合、キャパシタ  $C_1$  に保持される電圧の変化分は  $V_1 \cdot A_1$  である。したがって、出力換算オフセット電圧  $V_{os1}$  はキャパシタ  $C_1$  の出力側端子に伝達されない。このようにして、出力換算オフセット電圧  $V_{os1}$  がキャンセルされる。

【0047】

10

また、第 2 の期間には、制御信号 2 に応答してスイッチ  $SW$  がオフする。このとき、上記のようにキャパシタ  $C_1$  に保持される電圧が  $V_1 \cdot A_1$  変化する。増幅器  $AM_2$  の反転入力端子  $I_3$  の電圧は ( $V_{in3} + V_{os2} + V_1 \cdot A_1$ ) となる。したがって、増幅器  $AM_2$  は、非反転入力端子  $I_4$  に与えられる入力電圧  $V_{in3}$  に入力換算オフセット電圧  $V_{os2}$  が加算された電圧 ( $V_{in3} + V_{os2}$ ) と反転入力端子  $I_3$  の電圧 ( $V_{in3} + V_{os2} + V_1 \cdot A_1$ ) との差  $V_2$  を利得  $A_2$  で増幅する。それにより、出力端子  $O_2$  の電圧は  $V_2 \cdot A_2 = - V_1 \cdot A_1 \cdot A_2$  となる。このようにして、入力換算オフセット電圧  $V_{os2}$  がキャンセルされる。

【0048】

本実施の形態に係る増幅器  $AM_1$  においては、キャパシタ  $C_1$  により増幅器  $AM_1$  の出力換算オフセット電圧  $V_{os1}$  および増幅器  $AM_2$  の入力換算オフセット電圧  $V_{os2}$  がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつつ増幅器  $AM_1$  のオフセット電圧および増幅器  $AM_2$  のオフセット電圧の影響を低減することが可能となる。

20

【0049】

(2) 第 2 の実施の形態

図 2 は本発明の第 2 の実施の形態に係るシングルエンド構成の積分回路の回路図である。図 2 の積分回路 2 が図 1 の増幅回路 1 と異なるのは、キャパシタ  $C_2$  をさらに含む点である。キャパシタ  $C_2$  は、増幅器  $AM_1$  の出力端子  $O_1$  と増幅器  $AM_2$  の出力端子  $O_2$  との間に接続される。

30

【0050】

図 2 の積分回路 2 においても、第 1 の期間にスイッチ  $S_2$  ,  $S_3$  ,  $SW$  がオンし、スイッチ  $S_1$  ,  $S_4$  がオフする。その後、第 2 の期間にスイッチ  $S_2$  ,  $S_3$  ,  $SW$  がオフし、スイッチ  $S_1$  ,  $S_4$  がオンする。それにより、増幅器  $AM_2$  およびキャパシタ  $C_2$  により出力端子  $O_1$  の電圧が積分され、積分された出力電圧  $V_{out}$  が出力端子  $O_2$  に出力される。

【0051】

本実施の形態に係る積分回路 2 においては、第 1 の実施の形態に係る増幅回路 1 と同様に、キャパシタ  $C_1$  により増幅器  $AM_1$  の出力換算オフセット電圧  $V_{os1}$  および増幅器  $AM_2$  の入力換算オフセット電圧  $V_{os2}$  がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつつ増幅器  $AM_1$  のオフセット電圧および増幅器  $AM_2$  のオフセット電圧の影響を低減することが可能となる。

40

【0052】

(3) 第 3 の実施の形態

図 3 は本発明の第 3 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。図 3 の電圧比較回路 3a が図 2 の積分回路 2 と異なるのは、比較器  $CMP$  をさらに含む点である。比較器  $CMP$  は、例えば演算増幅器からなり、非反転入力端子  $I_7$ 、反転入力端子  $I_8$  および出力端子  $O_4$  を有する。比較器  $CMP$  の非反転入力端子  $I_7$  は増幅器  $AM_2$  の出力端子  $O_2$  に接続され、比較器  $CMP$  の反転入力端子  $I_8$  には入力電圧  $V_{in4}$  が与えられる。

50

## 【 0 0 5 3 】

図3の電圧比較回路3aにおいても、第1の期間にスイッチS2, S3, SWがオンし、スイッチS1, S4がオフする。その後、第2の期間にスイッチS2, S3, SWがオフし、スイッチS1, S4がオンする。それにより、増幅器AM2およびキャパシタC2により積分された出力電圧Voutが出力端子O1に出力される。比較器CMPは、出力端子O2の出力電圧Voutと入力電圧Vin4とを比較し、比較結果を示す出力信号Vcmpを出力端子O4に出力する。出力端子O2の出力電圧Voutが入力電圧Vin4よりも高い場合には、出力信号Vcmpがハイレベルとなり、出力端子O2の出力電圧Voutが入力電圧Vin4以下の場合には、出力信号Vcmpがローレベルとなる。

## 【 0 0 5 4 】

本実施の形態に係る電圧比較回路3aにおいては、第1の実施の形態に係る増幅回路1および第2の実施の形態に係る積分回路2と同様に、キャパシタC1により増幅器AM1の出力換算オフセット電圧Vos1および増幅器AM2の入力換算オフセット電圧Vos2がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつつ増幅器AM1のオフセット電圧および増幅器AM2のオフセット電圧の影響を低減することが可能となる。

## 【 0 0 5 5 】

## (4) 第4の実施の形態

図4は本発明の第4の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。図4の電圧比較回路3bが図3の電圧比較回路3aと異なるのは、電圧切り替え回路11の代わりに電圧切り替え回路11aが設けられる点である。

## 【 0 0 5 6 】

電圧切り替え回路11aは、スイッチSR1, SA1, SB1, SR2, SA2, SB2を含み、増幅器AM1の非反転入力端子I1および反転入力端子I2に接続される。非反転入力端子I1には、スイッチSR1, SA1, SB1を通して共通電圧Vcomが与えられる。反転入力端子I2には、スイッチSR2, SA2, SB2を通してそれぞれ共通電圧Vcom、入力電圧Vinおよび基準電圧Vrが与えられる。基準電圧Vrは共通電圧Vcomよりも低く、入力電圧Vinは共通電圧Vcomよりも高い。また、増幅器AM2の非反転入力端子I4および比較器CMPの反転入力端子I8には共通電圧Vcomが与えられる。

## 【 0 0 5 7 】

図5は図4の電圧比較回路3bの動作を説明するための電圧波形図である。第1の期間T1において、スイッチSR1, SR2, SWがオンし、スイッチSA1, SB1, SA2, SB2はオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2に共通電圧Vcomが与えられる。その結果、増幅器AM2の出力電圧Voutは共通電圧Vcomとなる。また、第1の期間T1には、スイッチSWがオンする。

## 【 0 0 5 8 】

第2の期間T2において、スイッチSA1, SA2がオンし、スイッチSR1, SR2, SB1, SB2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび入力電圧Vinが与えられる。増幅器AM2およびキャパシタC2の積分動作により増幅器AM2の出力電圧Voutが直線的に低下する。ここで、第2の期間T2の長さは一定である。そのため、入力電圧Vinが高いほど、出力電圧Voutの傾斜角度が大きくなり、第2の期間T2の終了時点での出力電圧Voutはより低くなる。第2の期間T2においては、出力電圧Voutが共通電圧Vcomよりも低いため、比較器CMPの出力信号Vcmpはローレベルとなる。

## 【 0 0 5 9 】

第3の期間T3において、スイッチSB1, SB2がオンし、スイッチSR1, SR2, SA1, SA2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび基準電圧Vrが与えられる。増幅器AM2およびキャパシタC2の積分動作により増幅器AM2の出力電圧Voutが直線的に

10

20

30

40

50

上昇する。この場合、基準電圧  $V_r$  は一定であるため、出力電圧  $V_{out}$  の傾斜角度は一定である。出力電圧  $V_{out}$  が共通電圧  $V_{com}$  よりも高くなると、比較器  $CMP$  の出力信号  $V_{cmp}$  はハイレベルとなる。

【0060】

図4の電圧比較回路3bにおいては、異なる極性の二重積分動作が行われる。なお、第2の期間  $T_2$  の開始時点  $t_1$  から比較器  $CMP$  の出力信号  $V_{cmp}$  がハイレベルに立ち上がる時点  $t_2$  までの時間  $t$  は、入力電圧  $V_{in}$  と共通電圧  $V_{com}$  との差に依存する。

【0061】

(5) 第5の実施の形態

図6は本発明の第5の実施の形態に係る差動構成の電圧比較回路の回路図である。図6の電圧比較回路3cが図4の電圧比較回路3bと異なるのは、次の点である。

【0062】

増幅器  $AM_1$  は一对の出力端子  $O_1$  ,  $O_1b$  を有し、増幅器  $AM_2$  は一对の出力端子  $O_2$  ,  $O_2b$  を有する。増幅器  $AM_1$  の出力端子  $O_1b$  と増幅器  $AM_2$  の非反転入力端子  $I_4$  との間にキャパシタ  $C_1b$  が接続され、増幅器  $AM_1$  の出力端子  $O_1b$  と増幅器  $AM_2$  の出力端子  $O_2b$  との間にキャパシタ  $C_2b$  が接続される。増幅器  $AM_2$  の非反転入力端子  $I_4$  と出力端子  $O_2b$  との間にスイッチ  $SWb$  が接続される。増幅器  $AM_2$  の出力端子  $O_2b$  は比較器  $CMP$  の反転入力端子  $I_8$  に接続される。増幅器  $AM_1$  にはコモンモードフィードバック回路15が接続され、増幅器  $AM_2$  にはコモンモードフィードバック回路16が接続される。

【0063】

図7は図6の電圧比較回路3cの動作を説明するための電圧波形図である。第1の期間  $T_1$ 、第2の期間  $T_2$  および第3の期間  $T_3$  におけるスイッチ  $SR_1$  ,  $SA_1$  ,  $SB_1$  ,  $SR_2$  ,  $SA_2$  ,  $SB_2$  の動作は、図4の電圧比較回路3bと同様である。また、第1の期間  $T_1$  においては、スイッチ  $SW$  ,  $SWb$  がオンし、第2の期間  $T_2$  および第3の期間  $T_3$  においては、スイッチ  $SW$  ,  $SWb$  がオフする。

【0064】

図6の電圧比較回路3cの増幅器  $AM_1$  ,  $AM_2$  は差動増幅動作を行う。図7において、増幅器  $AM_2$  の出力端子  $O_2$  の出力電圧  $V_{out}$  を太い実線  $L_1$  で示し、増幅器  $AM_2$  の出力端子  $O_2b$  の出力電圧  $V_{out}$  を太い破線  $L_2$  で示す。比較器  $CMP$  の出力信号  $V_{cmp}$  は、出力電圧  $V_{out}$  が出力電圧  $V_{out}$  よりも高いときにハイレベルとなり、出力電圧  $V_{out}$  が出力電圧  $V_{out}$  以下のときにローレベルとなる。

【0065】

図6の電圧比較回路3cにおいては、異なる極性の二重積分動作が行われる。なお、本実施の形態においても、第2の期間  $T_2$  の開始時点  $t_1$  から比較器  $CMP$  の出力信号  $V_{cmp}$  がハイレベルに立ち上がる時点  $t_2$  までの時間  $t$  は、入力電圧  $V_{in}$  と共通電圧  $V_{com}$  との差に依存する。

【0066】

(6) 第6の実施の形態

図8は本発明の第6の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。図8の電圧比較回路3dが図3の電圧比較回路3aと異なるのは、比較器  $CMP$ 、スイッチ  $SW$  およびスイッチ制御回路12の代わりに増幅器  $AM_3$ 、スイッチ  $SW_1$ 、比較器  $CMP_1$  およびスイッチ制御回路13が設けられる点である。比較器  $CMP_1$  は、キャパシタ  $C_3$ 、インバータ  $IN_1$ 、スイッチ  $SW_1$  および電圧保持回路20を含む。

【0067】

増幅器  $AM_3$  は、反転入力端子  $I_5$ 、非反転入力端子  $I_6$  および出力端子  $O_3$  を有する。増幅器  $AM_3$  の利得  $A_3$  は、増幅器  $AM_1$  の利得  $A_1$  よりも高い。また、増幅器  $AM_3$  はオフセット電圧を有する。図8には、オフセット電圧が入力換算オフセット電圧  $V_{os3}$  として示される。増幅器  $AM_3$  の反転入力端子  $I_5$  は増幅器  $AM_2$  の反転入力端子  $I_3$  に接続され、非反転入力端子  $I_6$  は増幅器  $AM_2$  の出力端子  $O_2$  に接続される。スイッチ

10

20

30

40

50

SW1は増幅器AM3の反転入力端子I5と出力端子O3との間に接続される。

【0068】

比較器CMP1は、キャパシタC3、インバータIN1、スイッチSW2および電圧保持回路20を含む。キャパシタC3は増幅器AM3の出力端子O3とインバータIN1の入力端子I9との間に接続される。スイッチSW2はインバータIN1の入力端子I9と出力端子O9との間に接続される。

【0069】

電圧保持回路20は、インバータIN2, IN7およびラッチ回路LA1, LA2を含む。インバータIN2の入力端子はインバータIN1の出力端子O9に接続される。ラッチ回路LA1は、スイッチSW3, SW4およびインバータIN3, IN4により構成される。ラッチ回路LA2は、スイッチSW5, SW6およびインバータIN5, IN6により構成される。ラッチ回路LA1, LA2は、インバータIN2の出力端子とインバータIN7の入力端子との間に接続される。

10

【0070】

スイッチ制御回路13は、電圧切り替え回路11、スイッチSW1, SW2を制御するための制御信号1, 2を発生し、ラッチ回路LA1, LA2を制御するためのクロック信号fs, /fsを発生する。スイッチSW1は、制御信号2にตอบสนองしてオンまたはオフし、スイッチSW2は、制御信号3にตอบสนองしてオンまたはオフする。さらに、ラッチ回路LA1, LA2のスイッチSW4, SW5はクロック信号fsにตอบสนองしてオンまたはオフし、スイッチSW3, SW6はクロック信号/fsにตอบสนองしてオンまたはオフする。クロック信号/fsは、クロック信号fsの反転信号である。クロック信号fs, /fsの周波数は制御信号1, 2, 3の周波数の例えば1000倍程度である。例えば、制御信号1, 2, 3の周波数は4kHzであり、クロック信号fs, /fsの周波数は4MHzである。

20

【0071】

次に、図8の電圧比較回路3dの動作について説明する。電圧切り替え回路11および増幅器AM1の動作は、図1~図3の電圧切り替え回路11および増幅器AM1の動作と同様である。増幅器AM1の出力換算オフセット電圧Vos1はキャパシタC1によりキャンセルされる。

【0072】

第1の期間には、制御信号2にตอบสนองしてスイッチSW1がオンする。それにより、増幅器AM3がバッファ接続される。ここで、第1の期間における増幅器AM2の出力端子O2の電圧をVo1とし、増幅器AM3の出力端子O3の電圧をVo2とすると、次式が成り立つ。

30

【0073】

$$V_{o2} = \{ A_3 / (1 + A_3) \} \cdot (V_{o1} + V_{os3}) \quad \dots (4)$$

$$V_{o1} = \{ (V_{in3} + V_{os2}) - V_{o2} \} \cdot A_2 \quad \dots (5)$$

上式(4), (5)および利得A3が高いことから次式が導かれる。

【0074】

$$V_{o1} = V_{in3} + V_{os2} - V_{os3} \quad \dots (6)$$

上式(6)を上式(4)に代入すると、次式が得られる。

40

【0075】

$$V_{o2} = \{ A_3 / (1 + A_3) \} \cdot (V_{in3} + V_{os2} - V_{os3} + V_{os3}) = \{ A_3 / (1 + A_3) \} \cdot (V_{in3} + V_{os3}) \quad \dots (7)$$

利得A3が高いため、上式(7)は次式で近似される。

【0076】

$$V_{o2} = V_{in3} + V_{os2} \quad \dots (8)$$

上式(8)より、キャパシタC1の出力側端子が電圧Vo2 (= Vin3 + Vos2)により充電される。また、キャパシタC3の入力側端子が電圧Vo2 (= Vin3 + Vos2)により充電される。さらに、キャパシタC2の出力側端子が電圧Vo1 (= Vin

50

$3 + V_{os2} - V_{os3}$ ) により充電される。

【0077】

第2の期間には、制御信号 2 に応答してスイッチ SW1 がオフする。このとき、第1の実施の形態と同様に、キャパシタ C1 に保持される電圧が  $V_1 \cdot A_1$  変化するので、増幅器 AM2 の反転入力端子 I3 の電圧は  $V_{o2} + V_1 \cdot A_1 (= V_{in3} + V_{os2} + V_1 \cdot A_1)$  となる。したがって、増幅器 AM2 は、非反転入力端子 I4 に与えられる入力電圧  $V_{in3}$  に入力換算オフセット電圧  $V_{os2}$  が加算された電圧 ( $V_{in3} + V_{os2}$ ) と反転入力端子 I3 の電圧 ( $V_{in3} + V_{os2} + V_1 \cdot A_1$ ) との差  $V_2$  を利得  $A_2$  で増幅する。それにより、出力端子 O2 の電圧は  $V_2 \cdot A_2 = - V_1 \cdot A_1 \cdot A_2$  変化する。このようにして、入力換算オフセット電圧  $V_{os2}$  がキャンセルされる。

10

【0078】

このとき、キャパシタ C2 の出力側端子が電圧  $V_{o1}$  により充電されているため、増幅器 AM3 の非反転入力端子 I6 の電圧は  $V_{o1} + V_2 \cdot A_2 (= V_{in3} + V_{os2} - V_{os3} - V_1 \cdot A_1 \cdot A_2)$  となる。また、増幅器 AM3 の反転入力端子 I5 の電圧は、増幅器 AM2 の反転入力端子 I3 の電圧と同様に、 $V_{o2} + V_1 \cdot A_1 = (V_{in3} + V_{os2} + V_1 \cdot A_1)$  となる。

【0079】

したがって、増幅器 AM3 は、非反転入力端子 I6 の電圧 ( $V_{o1} + V_2 \cdot A_2$ ) に入力換算オフセット電圧  $V_{os3}$  が加算された電圧 ( $V_{in3} + V_{os2} - V_1 \cdot A_1 \cdot A_2$ ) と反転入力端子 I5 の電圧 ( $V_{in3} + V_{os2} + V_1 \cdot A_1$ ) との差  $V_3$  を利得  $A_3$  で増幅する。それにより、出力端子 O3 の出力電圧は次式で示される  $V_3 \cdot A_3$  変化する。

20

【0080】

$$\begin{aligned} & V_3 \cdot A_3 \\ &= \{ V_{in3} + V_{os2} - V_1 \cdot A_1 \cdot A_2 - (V_{in3} + V_{os2} + V_1 \cdot A_1) \} \cdot A_3 \\ &= (- V_1 \cdot A_1 \cdot A_2 - V_1 \cdot A_1) \\ &= V_1 \cdot A_1 (A_2 + 1) \quad \dots (9) \end{aligned}$$

上式 (9) のように、入力換算オフセット電圧  $V_{os3}$  がキャンセルされる。

30

【0081】

また、キャパシタ C3 に保持される電圧の変化分は  $V_3 \cdot A_3 (= - V_1 \cdot A_1 (A_2 + 1))$  である。したがって、キャパシタ C3 の出力側端子には入力換算オフセット電圧  $V_{os2}$  は伝達されず、インバータ IN1 の入力端子には、電圧  $V_3 \cdot A_3 (= - V_1 \cdot A_1 (A_2 + 1))$  が入力される。このようにして、入力換算オフセット電圧  $V_{os2}$  がキャンセルされる。

【0082】

図9(a)はインバータ IN1 の構成を示す回路図であり、図9(b)はインバータ IN1 の入力電圧と出力電圧との関係を示す図である。図9に示すように、インバータ IN1 は、Pチャネル MOSFET (金属酸化物半導体電界効果トランジスタ) 21 および Nチャネル MOSFET 22 により構成される。Pチャネル MOSFET 21 および Nチャネル MOSFET 22 のゲートは入力電圧  $V_i$  を受ける入力端子 I9 に接続され、Pチャネル MOSFET 21 および Nチャネル MOSFET 22 のドレインは出力電圧  $V_o$  を出力する出力端子 O9 に接続される。Pチャネル MOSFET 21 のソースには電源電圧  $V_{DD}$  が与えられ、Nチャネル MOSFET 22 のソースにはグランド電圧  $GND$  が与えられる。

40

【0083】

図9(b)に示すように、出力電圧範囲の中間電圧  $V_b$  を中心とする一定範囲では、入力電圧  $V_i$  の増加に対して出力電圧  $V_o$  が直線的に減少する。したがって、インバータ IN1 は、中間電圧  $V_b$  を中心とする一定範囲において、高利得の反転増幅器として働く。

50

## 【 0 0 8 4 】

第1の期間には、制御信号 3 に応答してスイッチ S W 2 がオンする。それにより、インバータ I N 1 の入力端子 I 9 と出力端子 O 9 とが短絡される。その結果、インバータ I N 1 の入力電圧 V i と出力電圧 V o とが中間電圧 V b となる。第2の期間には、制御信号 3 に応答してスイッチ S W 3 がオフする。それにより、インバータ I N 1 の入力端子 I 9 にキャパシタ C 3 の出力側端子の電圧が入力電圧 V i として与えられる。インバータ I N 1 は、入力電圧 V i と中間電圧 V b との差を反転増幅する。

## 【 0 0 8 5 】

電圧保持回路 2 0 のインバータ I N 2 は、インバータ I N 1 の出力電圧 V o のレベルを反転し、ハイレベルまたはローレベルの信号を出力する。

10

## 【 0 0 8 6 】

ラッチ回路 L A 1 , L A 2 は、クロック信号 f s , / f s に応答して入力動作および保持動作を交互に行う。まず、クロック信号 / f s に応答して、スイッチ S W 3 , S W 6 がオンし、クロック信号 f s に応答して、スイッチ S W 4 , S W 5 がオフする。それにより、ラッチ回路 L A 1 が入力動作を行う。この場合、インバータ I N 2 の出力信号がインバータ I N 3 に入力され、インバータ I N 3 の出力信号がインバータ I N 4 に入力される。このとき、ラッチ回路 L A 2 が保持動作を行う。

## 【 0 0 8 7 】

次に、クロック信号 / f s に応答して、スイッチ S W 3 , S W 6 がオフし、クロック信号 f s に応答して、スイッチ S W 4 , S W 5 がオンする。それにより、ラッチ回路 L A 1 が保持動作を行う。それにより、インバータ I N 3 の入力信号および出力信号がラッチ回路 L A 1 に保持される。このとき、ラッチ回路 L A 2 は入力動作を行う。それにより、インバータ I N 3 の出力信号がインバータ I N 5 に入力され、インバータ I N 5 の出力信号がインバータ I N 6 に入力される。

20

## 【 0 0 8 8 】

インバータ I N 7 はラッチ回路 L A 2 のインバータ I N 5 の出力信号のレベルを反転し、出力信号 V c m p を出力する。それにより、クロック信号 f s , / f s の半周期ごとにインバータ I N 1 の出力電圧 V o のレベルに応じて出力信号 V c m p のレベルが確定される。したがって、電圧保持回路 2 0 の出力信号 V c m p は入力電圧 V i と中間電圧 V b との比較結果を表す。具体的には、入力電圧 V i が中間電圧 V b よりも高い場合に出力信号 V c m p はハイレベルとなり、入力電圧 V i が中間電圧 V b 以下の場合に出力信号 c m p はローレベルとなる。

30

## 【 0 0 8 9 】

本実施の形態に係る電圧比較回路 3 d においては、キャパシタ C 1 により増幅器 A M 1 の出力換算オフセット電圧 V o s 1 および増幅器 A M 3 の入力換算オフセット電圧 V o s 3 がキャンセルされ、キャパシタ C 3 により増幅器 A M 2 の入力換算オフセット電圧 V o s 2 がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつつ増幅器 A M 1 のオフセット電圧、増幅器 A M 2 のオフセット電圧および増幅器 A M 3 のオフセット電圧の影響を低減することが可能となる。

## 【 0 0 9 0 】

( 7 ) 第 7 の実施の形態

図 1 0 は本発明の第 7 の実施の形態に係る電圧時間変換回路の回路図である。図 1 0 の電圧時間変換回路 4 が図 8 の電圧比較回路 3 d と異なるのは、カウンタ 3 0 がさらに設けられる点である。

40

## 【 0 0 9 1 】

カウンタ 3 0 には、スイッチ制御回路 1 3 によりクロック信号 f s が与えられる。カウンタ 3 0 は、電圧保持回路 2 0 の出力信号 V c m p に基づいて予め定められた期間においてクロック信号 f s のパルス数をカウントし、カウント値を表すカウント信号 O c n t を出力する。この場合、カウント信号 O c n t の値は予め定められた期間の長さを表す。

## 【 0 0 9 2 】

50

例えば、カウンタ30は、電圧保持回路20の出力信号Vcmpがハイレベルである期間においてクロック信号fsのパルス数をカウントし、カウント値を表すカウント信号Ocntを出力する。この場合、カウント信号Ocntの値は電圧保持回路20の出力信号Vcmpがハイレベルである時間を表す。すなわち、カウント信号Ocntは、入力電圧Viが中間電圧Vbよりも高い期間の長さを表す。なお、カウンタ30は、電圧保持回路20の出力信号Vcmpがローレベルである期間においてクロック信号fsのパルス数をカウントし、カウント値を表すカウント信号Ocntを出力してもよい。

【0093】

さらに、カウンタ30はクロック信号fsまたは/f sのタイミングで出力信号Vcmpがハイレベルまたはローレベルにあることをカウントする構成でもよい。

10

【0094】

このように、図10の電圧時間変換回路4は電圧を時間に変換する機能を有する。本実施の形態に係る電圧時間変換回路4においては、図8の電圧比較回路3dと同様に、回路構成の複雑化および素子数の増加を抑制しつつ増幅器AM1のオフセット電圧、増幅器AM2のオフセット電圧および増幅器AM3のオフセット電圧の影響を低減することが可能となる。

【0095】

(8)第8の実施の形態

図11は本発明の第8の実施の形態に係るセンサ出力読み出し回路の回路図である。図11のセンサ出力読み出し回路100は、電圧発生回路60、センサアレイ70、増幅器AM1~AM3、キャパシタC1, C2、スイッチSR1, SA1, SB1, SR2, SA2, SB2, SR3、比較器CMP1、カウンタ30および減算器40を含む。

20

【0096】

電圧発生回路60は、共通電圧Vcomh、共通電圧Vcomおよび基準電圧Vrを発生する。共通電圧Vcomhは、共通電圧Vcomよりも高く、基準電圧Vrは共通電圧Vcomよりも低い。

【0097】

センサアレイ70は、例えば赤外線センサアレイであり、複数のセンサ素子TPを含む。複数のセンサ素子TPは、高電位端子と低電位端子との間に並列に接続される。センサアレイ70の低電位端子には共通電圧Vcomhが与えられ、高電位端子の電圧が入力電圧Vinとして増幅器AM1に与えられる。

30

【0098】

増幅器AM1は、PチャンネルMOSFET31, 32, 35およびNチャンネルMOSFET33, 34により構成される。PチャンネルMOSFET31, 32のゲートはそれぞれ非反転入力端子I1および反転入力端子I2に接続される。PチャンネルMOSFET31とNチャンネルMOSFET33との接続点は出力端子O1に接続される。増幅器AM1は、電圧/電流変換器として働く。

【0099】

非反転入力端子I1には、スイッチSA1, RB1, SB1を介して共通電圧Vcomが与えられ、反転入力端子I2には、スイッチSA2, SR2, SB2を介してそれぞれ入力電圧Vin、共通電圧Vcomおよび基準電圧Vrが与えられる。比較器CMP1は、図8の比較器CMP1と同様の構成を有する。なお、比較器CMP1の代わりに演算増幅器からなる図3の比較器CMPを用いてもよい。

40

【0100】

図12は図11のセンサ出力読み出し回路100の動作を説明するための電圧波形図である。第1の期間T1において、スイッチSR1, SR2, SR3がオンし、スイッチSA1, SB1, SA2, SB2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2に共通電圧Vcomが与えられる。その結果、増幅器AM3の出力電圧Vout'はVcomとなる。

【0101】

50

第2の期間T2において、スイッチSA1, SA2がオンし、スイッチSR1, SR2, SB1, SB2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび入力電圧Vinが与えられる。この場合、増幅器AM1のPチャンネルMOSFET31およびNチャンネルMOSFET33に実線の矢印で示す電流i1が流れる。増幅器AM2およびキャパシタC2の積分動作により増幅器AM3の出力電圧Vout'が直線的に低下する。ここで、第2の期間T2の長さは一定である。そのため、入力電圧Vinが高いほど、第2の期間T2の終了時点での出力電圧Vout'の値はより低くなる。出力電圧Vout'が基準電圧Vrよりも低いときに、比較器CMP1の出力信号Vcmpはローレベルとなる。

【0102】

10

第3の期間T3において、スイッチSB1, SB2がオンし、スイッチSR1, SR2, SA1, SA2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび基準電圧Vrが与えられる。この場合、増幅器AM1のPチャンネルMOSFET32およびNチャンネルMOSFET34に点線の矢印で示す電流i2が流れる。増幅器AM2およびキャパシタC2の積分動作により増幅器AM3の出力電圧Vout'が直線的に上昇する。出力電圧Vout'が基準電圧Vrよりも高くなると、比較器CMP1の出力信号Vcmpはハイレベルとなる。

【0103】

第2の期間T2の開始時点t1から比較器CMP1の出力信号Vcmpがハイレベルに立ち上がる時点t2までの時間tは、入力電圧Vinと共通電圧Vcomとの差が大きいほど長くなる。

20

【0104】

カウンタ30には、第2の期間T2の開始時点t1から比較器CMP1の出力信号Vcmpがハイレベルに立ち上がる時点t2までの期間において、クロック信号fsのパルス数をカウントし、カウント値を表すカウント信号Ocntを出力する。

【0105】

センサレイ70の全てのセンサ素子TPがオンしているときのカウンタ30のカウント信号Ocntの値Nrが予め求められる。実際の測定時にカウンタ30から出力されるカウント信号Ocntの値をNiとする。減算器40は、値Niから値Nrを減算し、減算値(Ni - Nr)を測定信号CTとして出力する。それにより、センサ出力読み出し回路100の全体のオフセットをキャンセルすることができる。

30

【0106】

図11のセンサ出力読み出し回路100では、図8の電圧比較回路3dと同様に、回路構成の複雑化および素子数の増加を抑制しつつ増幅器AM1のオフセット電圧、増幅器AM2のオフセット電圧および増幅器AM3のオフセット電圧の影響を低減することが可能となる。したがって、センサレイ70の出力を高精度で読み出すことができる。

【0107】

(9)第9の実施の形態

図13は本発明の第9の実施の形態に係るセンサ出力読み出し回路の回路図である。図13のセンサ出力読み出し回路100aが図11のセンサ出力読み出し回路100と異なるのは次の点である。

40

【0108】

図13のセンサ出力読み出し回路100aは、図11の増幅器AM2の代わりにインバータIN8を含み、図11の増幅器AM3および比較器CMP1の代わりにインバータIN9を含む。インバータIN8の入力端子I10はキャパシタC1の出力側端子に接続される。インバータIN8の入力端子I10と出力端子O10との間にスイッチSR4が接続され、増幅器AM1の出力端子O1とインバータIN8の出力端子O10との間にキャパシタC2が接続される。インバータIN8の出力端子O10とカウンタ30の入力端子との間にインバータIN9が接続される。

【0109】

50



図14は図13のセンサ出力読み出し回路100aの主要部の動作を説明するための回路図である。図15は図13のセンサ出力読み出し回路100aの主要部の電圧波形図である。

【0110】

図14のインバータIN8, IN9は、図9のインバータIN1と同様の構成を有する。インバータIN8は高利得の反転増幅器として働く。また、インバータIN9は比較器として働く。

【0111】

図15に示すように、第1の期間T1において、スイッチSR1, SR2がオンし、スイッチSA1, SB1, SA2, SB2はオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2に共通電圧Vcomが与えられる。また、スイッチSR4がオンする。それにより、インバータIN8の入力端子I10の電圧および出力端子O10の電圧が中間電圧Vbとなる。その結果、インバータIN8の出力電圧Vout1は中間電圧Vbとなる。

10

【0112】

第2の期間T2において、スイッチSA1, SA2がオンし、スイッチSB1, SB2, SR1, SR2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび入力電圧Vinが与えられる。インバータIN8およびキャパシタC2の積分動作によりインバータIN8の出力電圧Vout1が直線的に低下する。この場合、出力電圧Vout1が中間電圧Vbよりも低いので、インバータIN9の出力信号Vcmpはローレベルとなる。

20

【0113】

第3の期間T3において、スイッチSB1, SB2がオンし、スイッチSA1, SA2, SR1, SR2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび基準電圧Vrが与えられる。インバータIN8およびキャパシタC2の積分動作によりインバータIN8の出力電圧Vout1が直線的に上昇する。出力電圧Vout1が中間電圧Vbよりも高くなると、インバータIN9の出力信号Vcmpはハイレベルとなる。

【0114】

第2の期間T2の開始時点t1からインバータIN9の出力信号Vcmpがハイレベルに立ち上がる時点t2までの時間tは、入力電圧Vinと共通電圧Vcomとの差が大きいほど長くなる。

30

【0115】

図13のセンサ出力読み出し回路100aの他の動作は、図11のセンサ出力読み出し回路100の動作と同様である。

【0116】

図13のセンサ出力読み出し回路100では、回路構成の複雑化および素子数の増加を抑制しつつ増幅器AM1のオフセット電圧の影響を低減することが可能となる。したがって、センサアレイ70の出力を高精度で読み出すことができる。

【0117】

(10) 他の実施の形態

図1のシングルエンド構成の増幅回路1を差動構成の増幅回路に変更することも可能である。また、図2のシングルエンド構成の積分回路2を差動構成の積分回路に変更することも可能である。

40

【0118】

(11) 請求項の各構成要素と実施の形態の各要素との対応

以下、請求項の各構成要素と実施の形態の各要素との対応の例について説明するが、本発明は下記の例に限定されない。

【0119】

上記実施の形態では、増幅器AM1が第1の増幅器の例であり、増幅器AM2が第2の

50

増幅器の例であり、増幅器 A M 3 が第 3 の増幅器の例であり、非反転入力端子 I 1 が第 1 の入力端子の例であり、反転入力端子 I 2 が第 2 の入力端子の例であり、反転入力端子 I 3 が第 3 の入力端子の例であり、非反転入力端子 I 4 が第 4 の入力端子の例であり、反転入力端子 I 5 が第 5 の入力端子の例であり、非反転入力端子 I 6 が第 6 の入力端子の例であり、出力端子 O 1 が第 1 の出力端子の例であり、出力端子 O 2 が第 2 の出力端子の例であり、出力端子 O 3 が第 3 の出力端子の例である。

【 0 1 2 0 】

電圧切り替え回路 1 1 , 1 1 a が電圧切り替え手段の例であり、キャパシタ C 1 が容量素子または第 1 の容量素子の例であり、キャパシタ C 2 が第 2 の容量素子の例であり、キャパシタ C 3 が第 3 の容量素子の例であり、スイッチ S W がスイッチ手段の例であり、スイッチ S W 1 , S R 3 が第 1 のスイッチ手段の例であり、スイッチ S W 2 が第 2 のスイッチ手段の例であり、比較器 C M P , C M P 1 が電圧比較器の例であり、カウンタ 3 0 が時間測定手段の例である。

10

【 0 1 2 1 】

入力電圧 V i n 1 および共通電圧 V c o m が第 1 の入力電圧の例であり、入力電圧 V i n 2、入力電圧 V i n および基準電圧 V r が第 2 の入力電圧の例であり、入力電圧 V i n 3、共通電圧 V c o m、非反転入力端子 I 4 の電圧 ( 図 6 ) および基準電圧 V r ( 図 1 1 ) が第 3 の入力電圧の例であり、入力電圧 V i n 4、共通電圧 V c o m および非反転入力端子 I 6 の電圧 ( 図 6 ) が第 4 の入力電圧の例である。

【 0 1 2 2 】

請求項の各構成要素として、請求項に記載されている構成または機能を有する他の種々の要素を用いることもできる。

20

【産業上の利用可能性】

【 0 1 2 3 】

本発明は、電圧の増幅、電圧の積分、電圧の比較および電圧時間変換等に利用することができる。

【符号の説明】

【 0 1 2 4 】

- 1 増幅回路
- 2 積分回路
- 3 a , 3 b , 3 c , 3 d 電圧比較回路
- 4 電圧時間変換回路
  - 1 1 , 1 1 a 電圧切り替え回路
  - 1 2 , 1 3 スイッチ制御回路
- 2 0 電圧保持回路
- 2 1 , 3 1 , 3 2 , 3 5 PチャネルMOSFET
- 2 2 , 3 3 , 3 4 NチャネルMOSFET
- 3 0 カウンタ
- 4 0 減算器
- 6 0 電圧発生回路
- 7 0 センサアレイ
  - 1 0 0 , 1 0 0 a センサ出力読み出し回路
- A M 1 ~ A M 3 増幅器
- C 1 ~ C 3 , C 1 b , C 2 b キャパシタ
- C M P , C M P 1 比較器
- I N 1 ~ I N 9 インバータ
- L A 1 , L A 2 ラッチ回路
- I 2 , I 3 , I 5 , I 8 反転入力端子
- I 1 , I 4 , I 6 , I 7 非反転入力端子
- I 9 , I 1 0 入力端子

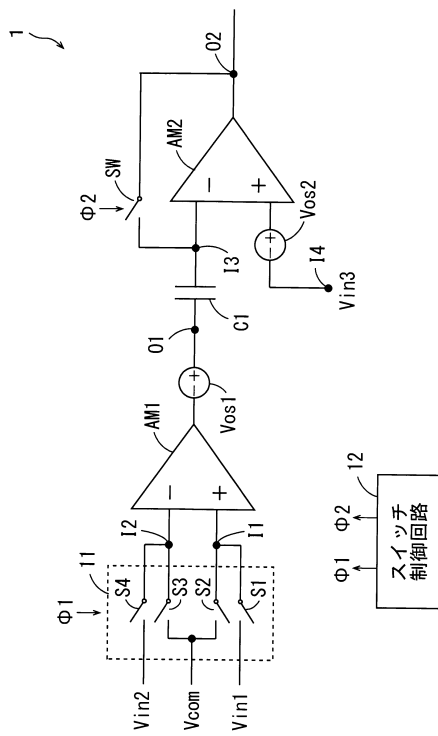
30

40

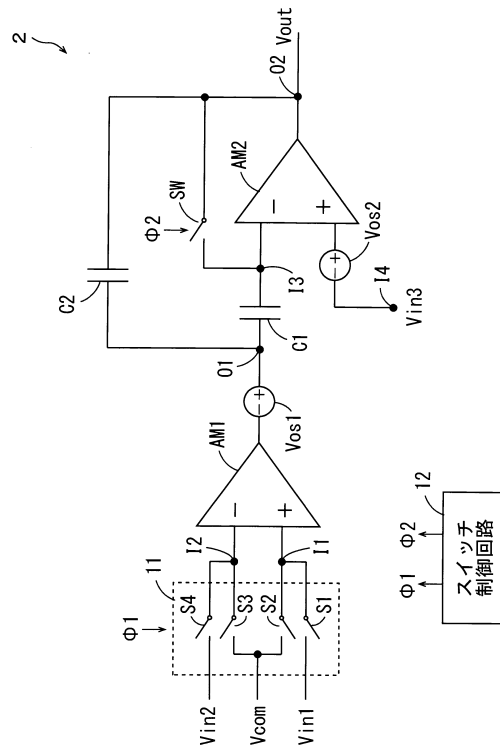
50

O 1 , O 1 b , O 2 , O 2 b , O 3 , O 4 , O 9 , O 1 0 出力端子  
S W , S W 1 ~ S W 6 , S W b , S 1 ~ S 4 , S A 1 , S A 2 , S B 1 , S B 2 , S R  
1 , S R 2 , S R 3 , S R 4 スイッチ

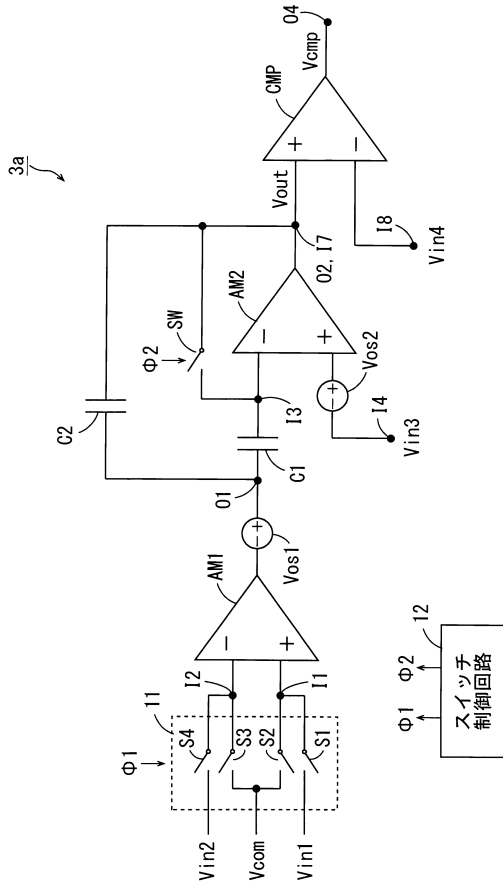
【図1】



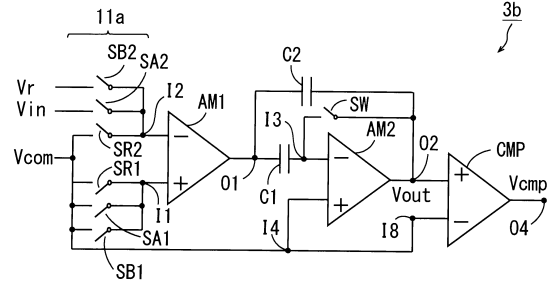
【図2】



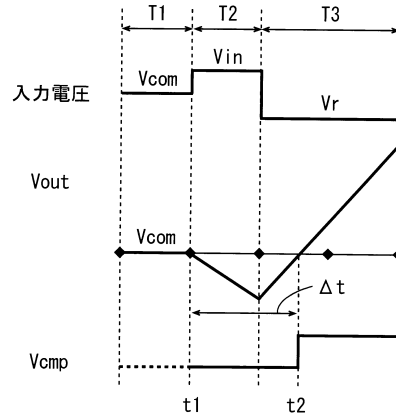
【図3】



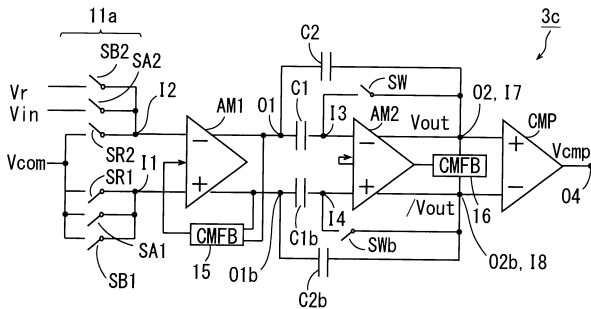
【図4】



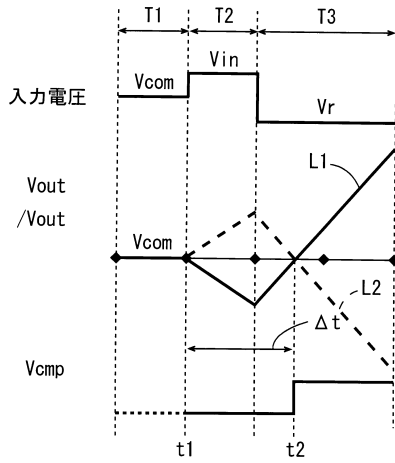
【図5】



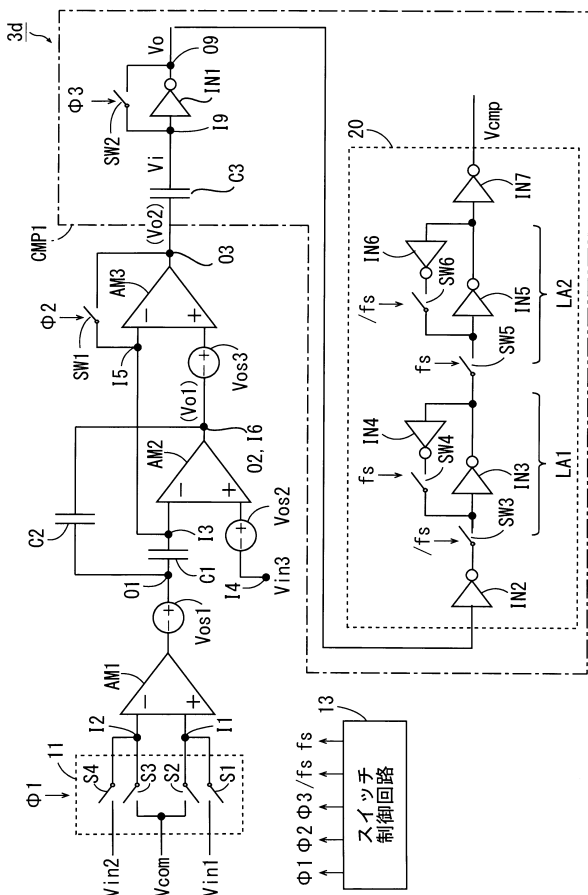
【図6】



【図7】

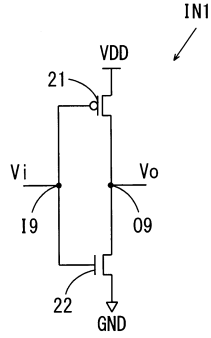


【図8】

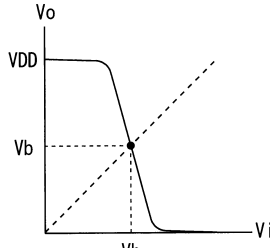


【図9】

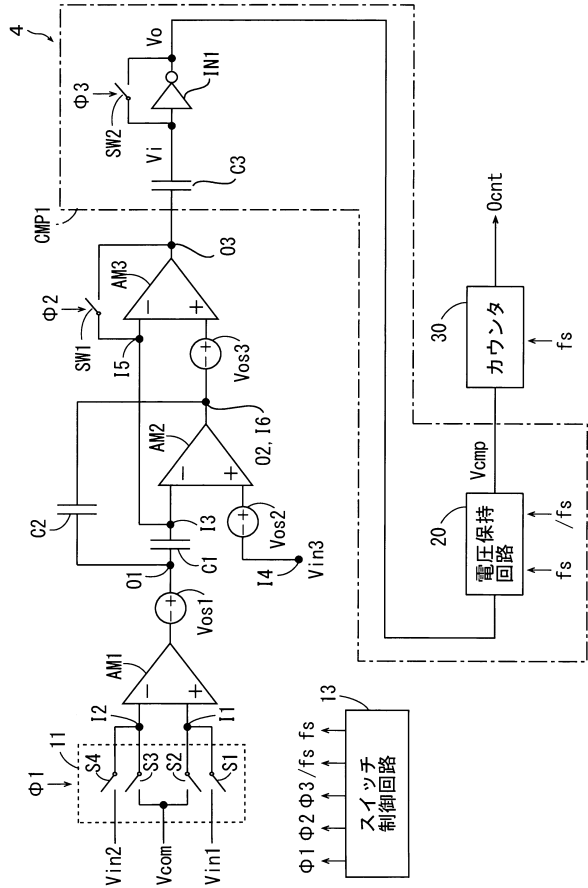
(a)



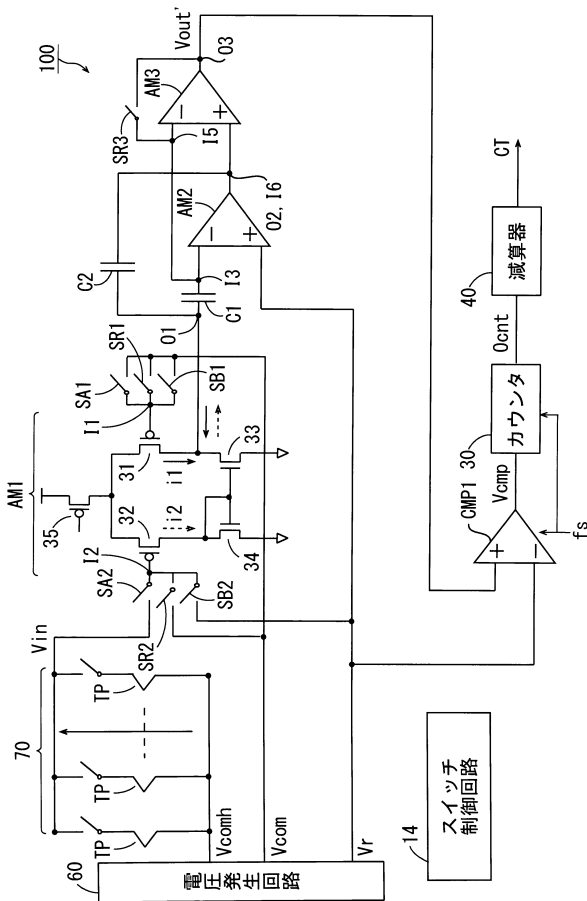
(b)



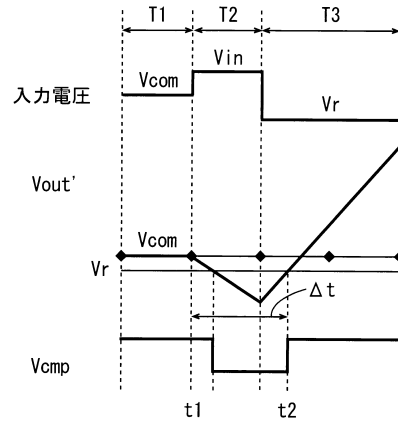
【図10】



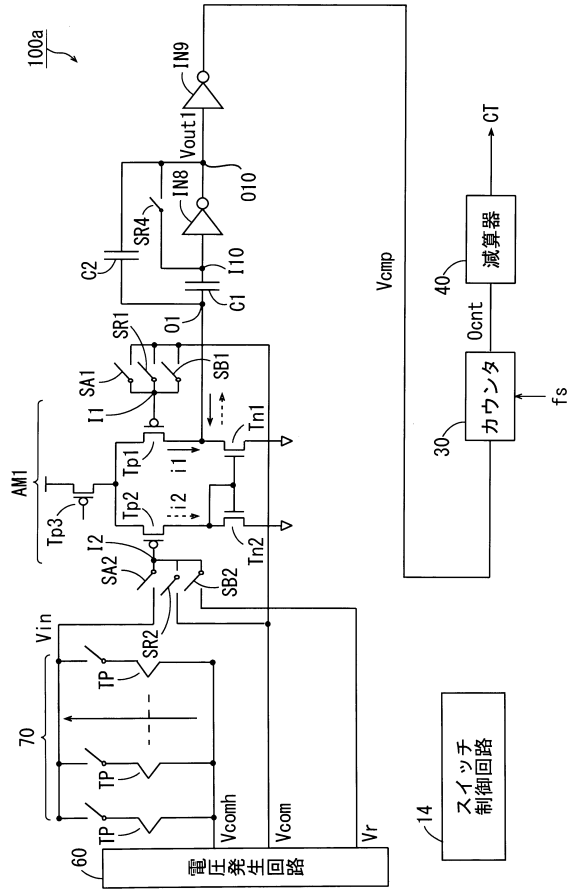
【図11】



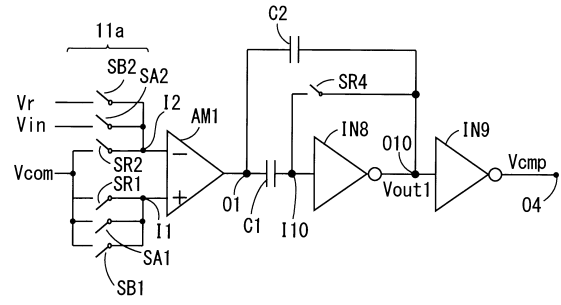
【図12】



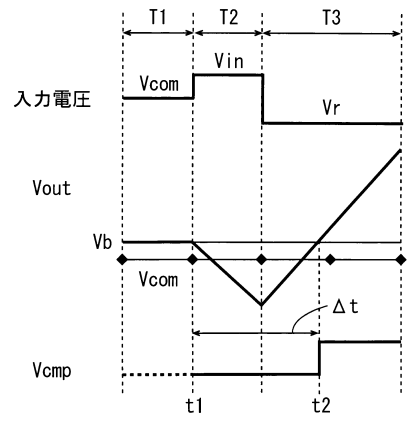
【図 13】



【図 14】



【図 15】



---

フロントページの続き

- (56)参考文献 特開2008-60978(JP,A)  
特開昭57-171831(JP,A)  
特開昭57-13814(JP,A)  
特開昭62-295518(JP,A)  
特開平9-298464(JP,A)  
特開昭58-40686(JP,A)  
特開平11-220340(JP,A)  
特開2008-178079(JP,A)  
米国特許第5113090(US,A)  
米国特許第5592168(US,A)  
米国特許第4395701(US,A)

(58)調査した分野(Int.Cl., DB名)

G01R19/165  
G06G7/186  
H03F3/34  
H03K5/08