

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-38269

(P2017-38269A)

(43) 公開日 平成29年2月16日(2017.2.16)

(51) Int.Cl. F I テーマコード(参考)
H03F 3/34 (2006.01) H03F 3/34 A 5J500
 H03F 3/34 B

審査請求 未請求 請求項の数 5 O L (全 23 頁)

(21) 出願番号 特願2015-159016(P2015-159016)
 (22) 出願日 平成27年8月11日(2015.8.11)

(71) 出願人 591141784
 学校法人大阪産業大学
 大阪府大東市中垣内3丁目1番1号
 (74) 代理人 100098305
 弁理士 福島 祥人
 (74) 代理人 100187931
 弁理士 澤村 英幸
 (72) 発明者 熊本 敏夫
 大阪府大東市中垣内三丁目1番1号 学校
 法人 大阪産業大学内
 Fターム(参考) 5J500 AA03 AA51 AC13 AC92 AF08
 AH10 AH17 AH29 AH38 AK00
 AK03 AK17 AK31 AM08 AS00
 AT01 AT06

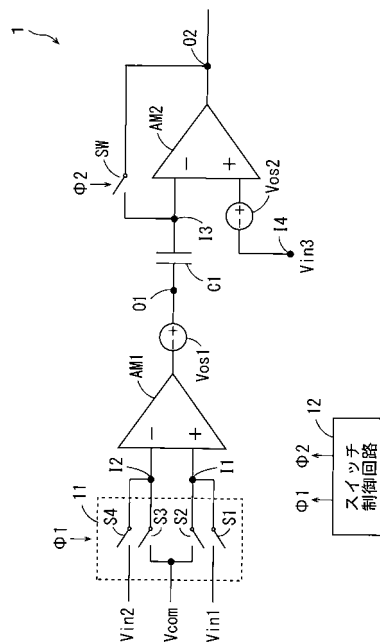
(54) 【発明の名称】 増幅回路、積分回路、電圧比較回路および電圧時間変換回路

(57) 【要約】

【課題】回路構成の複雑化および素子数の増加を抑制しつつ増幅器のオフセット電圧の影響を低減することが可能な増幅回路、積分回路、電圧比較回路および電圧時間変換回路を提供する。

【解決手段】増幅器AM1の出力端子O1と増幅器AM2の反転入力端子I3との間にはキャパシタC1が接続される。増幅器AM2の反転入力端子I3と出力端子O2との間にはスイッチSWが接続される。増幅器AM2の非反転入力端子I4には入力電圧Vin3が与えられる。第1の期間には、スイッチS2、S3を通して増幅器AM1の非反転入力端子I1および反転入力端子I2に共通電圧Vcomが与えられ、スイッチSWがオンする。第2の期間には、スイッチS1、S4を通して増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ入力電圧Vin1、Vin2が与えられ、スイッチSWがオフする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、前記第 1 の入力端子の電圧と前記第 2 の入力端子の電圧との差を増幅して前記第 1 の出力端子に出力する第 1 の増幅器と、

第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、前記第 3 の入力端子の電圧と前記第 4 の入力端子の電圧との差を増幅して前記第 2 の出力端子に出力する第 2 の増幅器と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 3 の入力端子との間に接続される容量素子と、

前記第 1 の増幅器の前記第 1 および第 2 の入力端子に接続される電圧切り替え手段と、前記第 2 の増幅器の前記第 3 の入力端子と前記第 2 の出力端子との間に接続されるスイッチ手段とを備え、

前記電圧切り替え手段は、第 1 の期間において前記第 1 および第 2 の入力端子を等電位にし、前記第 1 の期間に続く第 2 の期間において前記第 1 の入力端子に第 1 の入力電圧を与えるとともに前記第 2 の入力端子に第 2 の入力電圧を与えるように構成され、

前記スイッチ手段は、前記第 1 の期間においてオンし、前記第 2 の期間においてオフするように構成され、

前記第 2 の増幅器の前記第 4 の入力端子には、前記第 1 および第 2 の期間において第 3 の入力電圧が与えられる、増幅回路。

10

20

【請求項 2】

第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、前記第 1 の入力端子の電圧と前記第 2 の入力端子の電圧との差を増幅して前記第 1 の出力端子に出力する第 1 の増幅器と、

第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、前記第 3 の入力端子の電圧と前記第 4 の入力端子の電圧との差を増幅して前記第 2 の出力端子に出力する第 2 の増幅器と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 3 の入力端子との間に接続される第 1 の容量素子と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 2 の出力端子との間に接続される第 2 の容量素子と、

前記第 1 の増幅器の前記第 1 および第 2 の入力端子に接続される電圧切り替え手段と、前記第 2 の増幅器の前記第 3 の入力端子と前記第 2 の出力端子との間に接続されるスイッチ手段とを備え、

前記電圧切り替え手段は、第 1 の期間において前記第 1 および第 2 の入力端子を等電位にし、前記第 1 の期間に続く第 2 の期間において前記第 1 の入力端子に第 1 の入力電圧を与えるとともに前記第 2 の入力端子に第 2 の入力電圧を与えるように構成され、

前記スイッチ手段は、前記第 1 の期間においてオンし、前記第 2 の期間においてオフするように構成され、

前記第 2 の増幅器の前記第 4 の入力端子には、前記第 1 および第 2 の期間において第 3 の入力電圧が与えられる、積分回路。

30

40

【請求項 3】

第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、前記第 1 の入力端子の電圧と前記第 2 の入力端子の電圧との差を増幅して前記第 1 の出力端子に出力する第 1 の増幅器と、

第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、前記第 3 の入力端子の電圧と前記第 4 の入力端子の電圧との差を増幅して前記第 2 の出力端子に出力する第 2 の増幅器と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 3 の入力端子との間に接続される第 1 の容量素子と、

50

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 2 の出力端子との間に接続される第 2 の容量素子と、

前記第 1 の増幅器の前記第 1 および第 2 の入力端子に接続される電圧切り替え手段と、
前記第 2 の増幅器の前記第 3 の入力端子と前記第 2 の出力端子との間に接続されるスイッチ手段と、

電圧比較器とを備え、

前記電圧切り替え手段は、第 1 の期間において前記第 1 および第 2 の入力端子を等電位にし、前記第 1 の期間に続く第 2 の期間において前記第 1 の入力端子に第 1 の入力電圧を与えるとともに前記第 2 の入力端子に第 2 の入力電圧を与えるように構成され、

前記スイッチ手段は、前記第 1 の期間においてオンし、前記第 2 の期間においてオフするように構成され、

前記第 2 の増幅器の前記第 4 の入力端子には、前記第 1 および第 2 の期間において第 3 の入力電圧が与えられ、

前記電圧比較器は、前記第 2 の増幅器の前記第 2 の出力端子の電圧と第 4 の入力電圧との比較結果を示す電圧を出力するように構成される、電圧比較回路。

【請求項 4】

第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、前記第 1 の入力端子の電圧と前記第 2 の入力端子の電圧との差を増幅して前記第 1 の出力端子に出力する第 1 の増幅器と、

第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、前記第 3 の入力端子の電圧と前記第 4 の入力端子の電圧との差を増幅して前記第 2 の出力端子に出力する第 2 の増幅器と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 3 の入力端子との間に接続される第 1 の容量素子と、

前記第 1 の増幅器の前記第 1 の出力端子と前記第 2 の増幅器の前記第 2 の出力端子との間に接続される第 2 の容量素子と、

前記第 1 の増幅器の前記第 1 および第 2 の入力端子に接続される電圧切り替え手段と、

第 5 の入力端子、第 6 の入力端子および第 3 の出力端子を有し、前記第 5 の入力端子の電圧と前記第 6 の入力端子の電圧との差を増幅して前記第 3 の出力端子に出力する第 3 の増幅器と、

前記第 3 の増幅器の前記第 5 の入力端子と前記第 3 の出力端子との間に接続される第 1 のスイッチ手段と、

第 1 導電型チャンネルトランジスタおよび第 2 導電型チャンネルトランジスタにより構成されるインバータと、

前記第 3 の増幅器の前記第 3 の出力端子と前記インバータの入力端子との間に接続される第 3 の容量素子と、

前記インバータの入力端子と前記インバータの出力端子との間に接続される第 2 のスイッチ手段と、

前記インバータの前記出力端子の電圧を保持する電圧保持手段とを備え、

前記第 3 の増幅器の前記第 5 の入力端子は前記第 2 の増幅器の前記第 3 の入力端子に接続され、

前記第 3 の増幅器の前記第 6 の入力端子は前記第 2 の増幅器の出力端子に接続され、

前記電圧切り替え手段は、第 1 の期間において前記第 1 および第 2 の入力端子を等電位にし、前記第 1 の期間に続く第 2 の期間において前記第 1 の入力端子に第 1 の入力電圧を与えるとともに前記第 2 の入力端子に第 2 の入力電圧を与えるように構成され、

前記第 1 および第 2 のスイッチ手段は、前記第 1 の期間においてオンし、前記第 2 の期間においてオフするように構成され、

前記第 2 の増幅器の前記第 4 の入力端子には、前記第 1 および第 2 の期間において第 3 の入力電圧が与えられる、電圧比較回路。

【請求項 5】

請求項 3 または 4 に記載の電圧比較回路と、

前記電圧比較回路の出力信号が予め定められた論理レベル以上または以下にある期間を測定する測定手段とを備える、電圧時間変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅回路、積分回路、電圧比較回路および電圧時間変換回路に関する。

【背景技術】

【0002】

例えば、赤外線アレイセンサ等の各種センサの微弱な信号を読み出すための読み出し回路には、複数の増幅器が用いられる。複数の増幅器を用いた回路では、各増幅器のオフセット電圧が信号の検出精度に大きな影響を与える。そのため、増幅器のオフセット電圧を低減するための技術が開発されている。増幅器のオフセット電圧を低減する技術としては、オートゼロ技術およびチョッピング技術がある。特許文献 1 には、オートゼロ技術を用いた増幅回路が記載されている。また、特許文献 2 には、チョッピング技術を用いた演算増幅回路が記載されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2015 - 19280 号公報

20

【特許文献 2】特開 2014 - 147050 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来のオートゼロ技術およびチョッピング技術を用いて増幅器のオフセット電圧を低減する場合、回路構成が複雑化するとともに素子数が増加する。そこで、回路構成の複雑化および素子数の増加を抑制しつつ増幅器のオフセット電圧が出力電圧に与える影響を低減することが望まれる。

【0005】

本発明の目的は、回路構成の複雑化および素子数の増加を抑制しつつ増幅器のオフセット電圧の影響を低減することが可能な増幅回路、積分回路、電圧比較回路および電圧時間変換回路を提供することである。

30

【課題を解決するための手段】

【0006】

(1) 第 1 の発明に係る増幅回路は、第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、第 1 の入力端子の電圧と第 2 の入力端子の電圧との差を増幅して第 1 の出力端子に出力する第 1 の増幅器と、第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、第 3 の入力端子の電圧と第 4 の入力端子の電圧との差を増幅して第 2 の出力端子に出力する第 2 の増幅器と、第 1 の増幅器の第 1 の出力端子と第 2 の増幅器の第 3 の入力端子との間に接続される容量素子と、第 1 の増幅器の第 1 および第 2 の入力端子に接続される電圧切り替え手段と、第 2 の増幅器の第 3 の入力端子と第 2 の出力端子との間に接続されるスイッチ手段とを備え、電圧切り替え手段は、第 1 の期間において第 1 および第 2 の入力端子を等電位にし、第 1 の期間に続く第 2 の期間において第 1 の入力端子に第 1 の入力電圧を与えると同時に第 2 の入力端子に第 2 の入力電圧を与えるように構成され、スイッチ手段は、第 1 の期間においてオンし、第 2 の期間においてオフするように構成され、第 2 の増幅器の第 4 の入力端子には、第 1 および第 2 の期間において第 3 の入力電圧が与えられる。

40

【0007】

この増幅回路においては、第 1 の期間において、第 1 の増幅器の第 1 および第 2 の入力端子が等電位にされることにより、第 1 の出力端子に出力換算オフセット電圧が出力され

50

る。それにより、容量素子の入力側端子が出力換算オフセット電圧により充電される。また、スイッチ手段がオンすることにより、第2の増幅器がバッファ接続され、第2の増幅器の入力換算オフセット電圧により容量素子の出力側端子が充電される。

【0008】

第2の期間において、第1の増幅器により第1の入力電圧と第2の入力電圧との差が増幅され、増幅された電圧と出力換算オフセット電圧との加算電圧が第1の出力端子に出力される。このとき、容量素子に保持される電圧の変化分は、第1の増幅器により増幅された電圧であるので、第2の増幅器の第3の入力端子には出力換算オフセット電圧が与えられない。したがって、第1の増幅器の出力換算オフセット電圧がキャンセルされる。

【0009】

また、第2の増幅器により第3の入力端子の電圧と第3の入力電圧との差が増幅される。このとき、容量素子の出力側端子が入力換算オフセット電圧により充電されているので、第2の増幅器の入力換算オフセット電圧が容量素子の出力側端子に保持された入力換算オフセット電圧によりキャンセルされる。

【0010】

これらの結果、回路構成の複雑化および素子数の増加を抑制しつつ第1の増幅器のオフセット電圧および第2の増幅器のオフセット電圧の影響を低減することが可能となる。

【0011】

(2) 第2の発明に係る積分回路は、第1の入力端子、第2の入力端子および第1の出力端子を有し、第1の入力端子の電圧と第2の入力端子の電圧との差を増幅して第1の出力端子に出力する第1の増幅器と、第3の入力端子、第4の入力端子および第2の出力端子を有し、第3の入力端子の電圧と第4の入力端子の電圧との差を増幅して第2の出力端子に出力する第2の増幅器と、第1の増幅器の第1の出力端子と第2の増幅器の第3の入力端子との間に接続される第1の容量素子と、第1の増幅器の第1の出力端子と第2の増幅器の第2の出力端子との間に接続される第2の容量素子と、第1の増幅器の第1および第2の入力端子に接続される電圧切り替え手段と、第2の増幅器の第3の入力端子と第2の出力端子との間に接続されるスイッチ手段とを備え、電圧切り替え手段は、第1の期間において第1および第2の入力端子を等電位にし、第1の期間に続く第2の期間において第1の入力端子に第1の入力電圧を与えるとともに第2の入力端子に第2の入力電圧を与えるように構成され、スイッチ手段は、第1の期間においてオンし、第2の期間においてオフするように構成され、第2の増幅器の第4の入力端子には、第1および第2の期間において第3の入力電圧が与えられる。

【0012】

この積分回路においては、第1の期間において、第1の増幅器の第1および第2の入力端子が等電位にされることにより、第1の出力端子に出力換算オフセット電圧が出力される。それにより、第1の容量素子の入力側端子が出力換算オフセット電圧により充電される。また、スイッチ手段がオンすることにより、第2の増幅器がバッファ接続され、第2の増幅器の入力換算オフセット電圧により第1の容量素子の出力側端子が充電される。

【0013】

第2の期間において、第1の増幅器により第1の入力電圧と第2の入力電圧との差が増幅され、増幅された電圧と出力換算オフセット電圧との加算電圧が第1の出力端子に出力される。このとき、第1の容量素子に保持される電圧の変化分は、第1の増幅器により増幅された電圧であるので、第2の増幅器の第3の入力端子に出力換算オフセット電圧が与えられない。したがって、第1の増幅器の出力換算オフセット電圧がキャンセルされる。

【0014】

また、第2の増幅器により第3の入力端子の電圧と第3の入力電圧との差が増幅されるとともに第2の容量素子により積分される。このとき、第1の容量素子の出力側端子が入力換算オフセット電圧により充電されているので、第2の増幅器の入力換算オフセット電圧が第1の容量素子の出力側端子に保持された入力換算オフセット電圧によりキャンセルされる。

10

20

30

40

50

【 0 0 1 5 】

これらの結果、回路構成の複雑化および素子数の増加を抑制しつつ第 1 の増幅器のオフセット電圧および第 2 の増幅器のオフセット電圧の影響を低減することが可能となる。

【 0 0 1 6 】

(3) 第 3 の発明に係る電圧比較回路は、第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、第 1 の入力端子の電圧と第 2 の入力端子の電圧との差を増幅して第 1 の出力端子に出力する第 1 の増幅器と、第 3 の入力端子、第 4 の入力端子および第 2 の出力端子を有し、第 3 の入力端子の電圧と第 4 の入力端子の電圧との差を増幅して第 2 の出力端子に出力する第 2 の増幅器と、第 1 の増幅器の第 1 の出力端子と第 2 の増幅器の第 3 の入力端子との間に接続される第 1 の容量素子と、第 1 の増幅器の第 1 の出力端子と第 2 の増幅器の第 2 の出力端子との間に接続される第 2 の容量素子と、第 1 の増幅器の第 1 および第 2 の入力端子に接続される電圧切り替え手段と、第 2 の増幅器の第 3 の入力端子と第 2 の出力端子との間に接続されるスイッチ手段と、電圧比較器とを備え、電圧切り替え手段は、第 1 の期間において第 1 および第 2 の入力端子を等電位にし、第 1 の期間に続く第 2 の期間において第 1 の入力端子に第 1 の入力電圧を与えるとともに第 2 の入力端子に第 2 の入力電圧を与えるように構成され、スイッチ手段は、第 1 の期間においてオンし、第 2 の期間においてオフするように構成され、第 2 の増幅器の第 4 の入力端子には、第 1 および第 2 の期間において第 3 の入力電圧が与えられ、電圧比較器は、第 2 の増幅器の第 2 の出力端子の電圧と第 4 の入力電圧との比較結果を示す電圧を出力するように構成される。

【 0 0 1 7 】

この電圧比較回路においては、第 1 の期間において、第 1 の増幅器の第 1 および第 2 の入力端子が等電位にされることにより、第 1 の出力端子に出力換算オフセット電圧が出力される。それにより、第 1 の容量素子の入力側端子が出力換算オフセット電圧により充電される。また、スイッチ手段がオンすることにより、第 2 の増幅器がバッファ接続され、第 2 の増幅器の入力換算オフセット電圧により第 1 の容量素子の出力側端子が充電される。

【 0 0 1 8 】

第 2 の期間において、第 1 の増幅器により第 1 の入力電圧と第 2 の入力電圧との差が増幅され、増幅された電圧と出力換算オフセット電圧との加算電圧が第 1 の出力端子に出力される。このとき、第 1 の容量素子に保持される電圧の変化分は、第 1 の増幅器により増幅された電圧であるので、第 2 の増幅器の第 3 の入力端子には出力換算オフセット電圧が与えられない。したがって、第 1 の増幅器の出力換算オフセット電圧がキャンセルされる。

【 0 0 1 9 】

また、第 2 の増幅器により第 3 の入力端子の電圧と第 3 の入力電圧との差が増幅されるとともに第 2 の容量素子により積分される。このとき、第 1 の容量素子の出力側端子が出力換算オフセット電圧により充電されているので、第 2 の増幅器の入力換算オフセット電圧が第 1 の容量素子の出力側端子に保持された入力換算オフセット電圧によりキャンセルされる。

【 0 0 2 0 】

さらに、第 2 の増幅器の第 2 の出力端子の電圧と第 4 の入力電圧との比較結果を示す電圧が出力される。

【 0 0 2 1 】

これらの結果、回路構成の複雑化および素子数の増加を抑制しつつ第 1 の増幅器のオフセット電圧および第 2 の増幅器のオフセット電圧の影響を低減することが可能となる。

【 0 0 2 2 】

(4) 第 4 の発明に係る電圧比較回路は、第 1 の入力端子、第 2 の入力端子および第 1 の出力端子を有し、第 1 の入力端子の電圧と第 2 の入力端子の電圧との差を増幅して第 1 の出力端子に出力する第 1 の増幅器と、第 3 の入力端子、第 4 の入力端子および第 2 の出

力端子を有し、第3の入力端子の電圧と第4の入力端子の電圧との差を増幅して第2の出力端子に出力する第2の増幅器と、第1の増幅器の第1の出力端子と第2の増幅器の第3の入力端子との間に接続される第1の容量素子と、第1の増幅器の第1の出力端子と第2の増幅器の第2の出力端子との間に接続される第2の容量素子と、第1の増幅器の第1および第2の入力端子に接続される電圧切り替え手段と、第5の入力端子、第6の入力端子および第3の出力端子を有し、第5の入力端子の電圧と第6の入力端子の電圧との差を増幅して第3の出力端子に出力する第3の増幅器と、第3の増幅器の第5の入力端子と第3の出力端子との間に接続される第1のスイッチ手段と、第1導電型チャネルトランジスタおよび第2導電型チャネルトランジスタにより構成されるインバータと、第3の増幅器の第3の出力端子とインバータの入力端子との間に接続される第3の容量素子と、インバータの入力端子とインバータの出力端子との間に接続される第2のスイッチ手段と、インバータの出力端子の電圧を保持する電圧保持手段とを備え、第3の増幅器の第5の入力端子は第2の増幅器の第3の入力端子に接続され、第3の増幅器の第6の入力端子は第2の増幅器の出力端子に接続され、電圧切り替え手段は、第1の期間において第1および第2の入力端子を等電位にし、第1の期間に続く第2の期間において第1の入力端子に第1の入力電圧を与えるとともに第2の入力端子に第2の入力電圧を与えるように構成され、第1および第2のスイッチ手段は、第1の期間においてオンし、第2の期間においてオフするように構成され、第2の増幅器の第4の入力端子には、第1および第2の期間において第3の入力電圧が与えられる。

10

20

30

50

【0023】

この電圧比較回路においては、第1の期間において、第1の増幅器の第1および第2の入力端子が等電位にされることにより、第1の出力端子に出力換算オフセット電圧が出力される。それにより、第1の容量素子の入力側端子が出力換算オフセット電圧により充電される。また、第1のスイッチ手段がオンすることにより、第3の増幅器がバッファ接続される。それにより、第2の増幅器の第2の出力端子に第3の入力電圧と第2の増幅器の入力換算オフセット電圧との加算電圧から第3の増幅器の入力換算オフセット電圧を減算した電圧が出力される。さらに、第3の増幅器の第3の出力端子に第3の入力電圧と第2の増幅器の入力換算オフセット電圧との加算電圧が出力される。第1の容量素子の出力側端子は第3の出力端子の電圧により充電される。また、第2のスイッチ手段がオンすることにより、インバータの入力端子および出力端子の電圧が中間電圧となる。

【0024】

第2の期間において、第1の増幅器により第1の入力電圧と第2の入力電圧との差が増幅され、増幅された電圧と出力換算オフセット電圧との加算電圧が第1の出力端子に出力される。このとき、第1の容量素子に保持される電圧の変化分は、第1の増幅器により増幅された電圧であるので、第2の増幅器の第3の入力端子には出力換算オフセット電圧が与えられない。したがって、第1の増幅器の出力換算オフセット電圧がキャンセルされる。

【0025】

また、第2の増幅器により第3の入力端子の電圧と第3の入力電圧との差が増幅されるとともに第1の容量素子により積分される。このとき、第1の容量素子の出力側端子が第2の増幅器の入力換算オフセット電圧により充電されているので、第2の増幅器の入力換算オフセット電圧が第1の容量素子の出力側端子に保持された入力換算オフセット電圧によりキャンセルされる。

40

【0026】

さらに、第3の増幅器により第5の入力端子の電圧と第2の増幅器の第2の出力端子の電圧との差が増幅される。このとき、第2の増幅器の第2の出力端子の電圧は、第3の入力電圧と第2の増幅器の入力換算オフセット電圧との加算電圧から第3の増幅器の入力換算オフセット電圧を減算した電圧であるので、第3の増幅器の入力換算オフセット電圧がキャンセルされるとともに、第2の増幅器の入力換算オフセット電圧が第2の出力端子の電圧によりキャンセルされる。

【 0 0 2 7 】

また、第 3 の容量素子に保持される電圧の変化分は、第 2 の期間に第 3 の増幅器から出力される電圧であるので、第 3 の容量素子の出力側端子には第 2 の増幅器の入力換算オフセット電圧は出力されない。それにより、第 2 の増幅器の入力換算オフセット電圧がキャンセルされる。

【 0 0 2 8 】

さらに、第 3 の容量素子の出力側端子の電圧の変化分と中間電圧との差がインバータにより増幅される。それにより、第 3 の増幅器により増幅された電圧と中間電圧との比較結果を示す電圧が出力される。

【 0 0 2 9 】

これらの結果、回路構成の複雑化および素子数の増加を抑制しつつ第 1 の増幅器のオフセット電圧、第 2 の増幅器のオフセット電圧および第 3 の増幅器のオフセット電圧の影響を低減することが可能となる。

【 0 0 3 0 】

(5) 第 5 の発明に係る電圧時間変換回路は、第 3 または第 4 の発明に係る電圧比較回路と、電圧比較回路の出力信号が予め定められた論理レベル以上または以下にある期間を測定する測定手段とを備える。

【 0 0 3 1 】

この電圧時間変換回路においては、第 1 の入力電圧と第 2 の入力電圧との差が時間に変換される。この場合、回路構成の複雑化および素子数の増加を抑制しつつ少なくとも第 1 の増幅器のオフセット電圧および第 2 の増幅器のオフセット電圧の影響を低減することが可能となる。

【 発明の効果 】

【 0 0 3 2 】

本発明によれば、回路構成の複雑化および素子数の増加を抑制しつつ増幅器のオフセット電圧の影響を低減することが可能となる。

【 図面の簡単な説明 】

【 0 0 3 3 】

【 図 1 】 本発明の第 1 の実施の形態に係るシングルエンド構成の増幅回路の回路図である。

【 図 2 】 本発明の第 2 の実施の形態に係るシングルエンド構成の積分回路の回路図である。

【 図 3 】 本発明の第 3 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。

【 図 4 】 本発明の第 4 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。

【 図 5 】 図 4 の電圧比較回路の動作を説明するための電圧波形図である。

【 図 6 】 本発明の第 5 の実施の形態に係る差動構成の電圧比較回路の回路図である。

【 図 7 】 図 6 の電圧比較回路の動作を説明するための電圧波形図である。

【 図 8 】 本発明の第 6 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。

【 図 9 】 (a) はインバータの構成を示す回路図であり、(b) はインバータの入力電圧と出力電圧との関係を示す図である

【 図 1 0 】 本発明の第 7 の実施の形態に係る電圧時間変換回路の回路図である。

【 図 1 1 】 本発明の第 8 の実施の形態に係るセンサ出力読み出し回路の回路図である。

【 図 1 2 】 図 1 1 のセンサ出力読み出し回路の動作を説明するための電圧波形図である。

【 図 1 3 】 本発明の第 9 の実施の形態に係るセンサ出力読み出し回路の回路図である。

【 図 1 4 】 図 1 3 のセンサ出力読み出し回路の主要部の動作を説明するための回路図である。

【 図 1 5 】 図 1 3 のセンサ出力読み出し回路の主要部の電圧波形図である。

10

20

30

40

50

【発明を実施するための形態】

【0034】

以下、図面を参照しながら本発明の実施の形態に係る増幅回路、積分回路、電圧比較回路および電圧時間変換回路について詳細に説明する。

【0035】

(1) 第1の実施の形態

図1は本発明の第1の実施の形態に係るシングルエンド構成の増幅回路の回路図である。図1の増幅回路1は、増幅器AM1、AM2、キャパシタC1、スイッチSW、電圧切り替え回路11およびスイッチ制御回路12を含む。

【0036】

増幅器AM1は、非反転入力端子I1、反転入力端子I2および出力端子O1を有する。増幅器AM2は、反転入力端子I3、非反転入力端子I4および出力端子O2を有する。増幅器AM1、AM2は演算増幅器からなる。増幅器AM2の利得A2は増幅器AM1の利得A1に比べて高い。

【0037】

電圧切り替え回路11は、スイッチS1～S4を含み、増幅器AM1の非反転入力端子I1および反転入力端子I2に接続される。非反転入力端子I1には、スイッチS1を通して入力電圧Vin1が与えられ、スイッチS2を通して共通電圧Vcomが与えられる。反転入力端子I2には、スイッチS3を通して共通電圧Vcomが与えられ、スイッチS4を通して入力電圧Vin2が与えられる。

【0038】

増幅器AM1の出力端子O1と増幅器AM2の反転入力端子I3との間には、キャパシタC1が接続される。増幅器AM2の反転入力端子I3と出力端子O2との間にはスイッチSWが接続される。増幅器AM2の非反転入力端子I4には、入力電圧Vin3が与えられる。

【0039】

スイッチ制御回路12は、電圧切り替え回路11およびスイッチSWを制御するための制御信号1、2を発生する。電圧切り替え回路11のスイッチS1～4は制御信号1に応答してオンまたはオフする。スイッチSWは、制御信号2に応答してオンまたはオフする。

【0040】

増幅器AM1、AM2はそれぞれオフセット電圧を有する。図1には、増幅器AM1のオフセット電圧が出力換算オフセット電圧Vos1として示され、増幅器AM2はオフセット電圧が入力換算オフセット電圧Vos2として示される。

【0041】

次に、図1の増幅回路1の動作について説明する。第1の期間(リセット期間)には、制御信号1に応答して電圧切り替え回路11のスイッチS2、S3がオンし、スイッチS1、S4がオフする。それにより、増幅回路1の非反転入力端子I1および反転入力端子I2に共通電圧Vcomが与えられる。すなわち、非反転入力端子I1と反転入力端子I2とが短絡される。その結果、増幅器AM1の出力端子O1に出力換算オフセット電圧Vos1が出力される。この場合、キャパシタC1の入力側端子が出力換算オフセット電圧Vos1により充電される。ただし、正確にはここでいう出力換算オフセット電圧Vos1にはオフセット電圧がない場合の出力DCバイアス電圧も含んでいる。以下の動作説明においてこのDCバイアス電圧の議論は不要なためあえて含めていない。

【0042】

また、第1の期間には、制御信号2に応答してスイッチSWがオンする。それにより、増幅器AM2がバッファ接続される。ここで、第1の期間における出力端子O2の電圧をV0とすると、次式が成り立つ。

【0043】

$$\{ (V_{in3} + V_{os2}) - V_0 \} \cdot A_2 = V_0 \quad \dots (1)$$

10

20

30

40

50

上式より、次式が導かれる。

【0044】

$$V_0 = (V_{in3} + V_{os2}) \cdot A_2 / (1 + A_2) \quad \dots (2)$$

上記のように、増幅器AM2の利得A2は高いため、電圧V0は次式のように近似される。

【0045】

$$V_0 = (V_{in3} + V_{os2}) \cdot A_2 / (1 + A_2) \approx V_{in3} + V_{os2} \quad \dots (3)$$

したがって、増幅器AM2の出力端子O2の電圧V0および反転入力端子I3の電圧は $(V_{in3} + V_{os2})$ となる。その結果、キャパシタC1の出力側端子が電圧 $(V_{in3} + V_{os2})$ により充電される。

10

【0046】

第1の期間に続く第2の期間(増幅期間)には、制御信号1に応答して電圧切り替え回路11のスイッチS2, S3がオフし、スイッチS1, S4がオンする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ入力電圧 V_{in1} , V_{in2} が与えられる。増幅器AM1は、入力電圧 V_{in1} , V_{in2} の差 V_1 を利得A1で増幅し、増幅された電圧 $V_1 \cdot A_1$ に出力換算オフセット電圧 V_{os1} が加算された電圧 $(V_1 \cdot A_1 + V_{os1})$ を出力端子O1に出力する。それにより、キャパシタC1の入力側端子の電圧は V_{os1} から $(V_{os1} + V_1 \cdot A_1)$ に変化する。この場合、キャパシタC1に保持される電圧の変化分は $V_1 \cdot A_1$ である。したがって、出力換算オフセット電圧 V_{os1} はキャパシタC1の出力側端子に伝達されない。このようにして、出力換算オフセット電圧 V_{os1} がキャンセルされる。

20

【0047】

また、第2の期間には、制御信号2に応答してスイッチSWがオフする。このとき、上記のようにキャパシタC1に保持される電圧が $V_1 \cdot A_1$ 変化するので、増幅器AM2の反転入力端子I3の電圧は $(V_{in3} + V_{os2} + V_1 \cdot A_1)$ となる。したがって、増幅器AM2は、非反転入力端子I4に与えられる入力電圧 V_{in3} に出力換算オフセット電圧 V_{os2} が加算された電圧 $(V_{in3} + V_{os2})$ と反転入力端子I3の電圧 $(V_{in3} + V_{os2} + V_1 \cdot A_1)$ との差 V_2 を利得A2で増幅する。それにより、出力端子O2の電圧は $V_2 \cdot A_2 = -V_1 \cdot A_1 \cdot A_2$ となる。このようにして、出力換算オフセット電圧 V_{os2} がキャンセルされる。

30

【0048】

本実施の形態に係る増幅器AM1においては、キャパシタC1により増幅器AM1の出力換算オフセット電圧 V_{os1} および増幅器AM2の入力換算オフセット電圧 V_{os2} がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつつ増幅器AM1のオフセット電圧および増幅器AM2のオフセット電圧の影響を低減することが可能となる。

【0049】

(2) 第2の実施の形態

図2は本発明の第2の実施の形態に係るシングルエンド構成の積分回路の回路図である。図2の積分回路2が図1の増幅回路1と異なるのは、キャパシタC2をさらに含む点である。キャパシタC2は、増幅器AM1の出力端子O1と増幅器AM2の出力端子O2との間に接続される。

40

【0050】

図2の積分回路2においても、第1の期間にスイッチS2, S3, SWがオンし、スイッチS1, S4がオフする。その後、第2の期間にスイッチS2, S3, SWがオフし、スイッチS1, S4がオンする。それにより、増幅器AM2およびキャパシタC2により出力端子O1の電圧が積分され、積分された出力電圧 V_{out} が出力端子O2に出力される。

【0051】

50

本実施の形態に係る積分回路 2 においては、第 1 の実施の形態に係る増幅回路 1 と同様に、キャパシタ C 1 により増幅器 A M 1 の出力換算オフセット電圧 V_{os1} および増幅器 A M 2 の入力換算オフセット電圧 V_{os2} がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつつ増幅器 A M 1 のオフセット電圧および増幅器 A M 2 のオフセット電圧の影響を低減することが可能となる。

【0052】

(3) 第 3 の実施の形態

図 3 は本発明の第 3 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。図 3 の電圧比較回路 3 a が図 2 の積分回路 2 と異なるのは、比較器 C M P をさらに含む点である。比較器 C M P は、例えば演算増幅器からなり、非反転入力端子 I 7、反転入力端子 I 8 および出力端子 O 4 を有する。比較器 C M P の非反転入力端子 I 7 は増幅器 A M 2 の出力端子 O 2 に接続され、比較器 C M P の反転入力端子 I 8 には入力電圧 V_{in4} が与えられる。

10

【0053】

図 3 の電圧比較回路 3 a においても、第 1 の期間にスイッチ S 2, S 3, S W がオンし、スイッチ S 1, S 4 がオフする。その後、第 2 の期間にスイッチ S 2, S 3, S W がオフし、スイッチ S 1, S 4 がオンする。それにより、増幅器 A M 2 およびキャパシタ C 2 により積分された出力電圧 V_{out} が出力端子 O 1 に出力される。比較器 C M P は、出力端子 O 2 の出力電圧 V_{out} と入力電圧 V_{in4} とを比較し、比較結果を示す出力信号 V_{cmp} を出力端子 O 4 に出力する。出力端子 O 2 の出力電圧 V_{out} が入力電圧 V_{in4} よりも高い場合には、出力信号 V_{cmp} がハイレベルとなり、出力端子 O 2 の出力電圧 V_{out} が入力電圧 V_{in4} 以下の場合には、出力信号 V_{cmp} がローレベルとなる。

20

【0054】

本実施の形態に係る電圧比較回路 3 a においては、第 1 の実施の形態に係る増幅回路 1 および第 2 の実施の形態に係る積分回路 2 と同様に、キャパシタ C 1 により増幅器 A M 1 の出力換算オフセット電圧 V_{os1} および増幅器 A M 2 の入力換算オフセット電圧 V_{os2} がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつつ増幅器 A M 1 のオフセット電圧および増幅器 A M 2 のオフセット電圧の影響を低減することが可能となる。

【0055】

(4) 第 4 の実施の形態

図 4 は本発明の第 4 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。図 4 の電圧比較回路 3 b が図 3 の電圧比較回路 3 a と異なるのは、電圧切り替え回路 1 1 の代わりに電圧切り替え回路 1 1 a が設けられる点である。

30

【0056】

電圧切り替え回路 1 1 a は、スイッチ S R 1, S A 1, S B 1, S R 2, S A 2, S B 2 を含み、増幅器 A M 1 の非反転入力端子 I 1 および反転入力端子 I 2 に接続される。非反転入力端子 I 1 には、スイッチ S R 1, S A 1, S B 1 を通して共通電圧 V_{com} が与えられる。反転入力端子 I 2 には、スイッチ S R 2, S A 2, S B 2 を通してそれぞれ共通電圧 V_{com} 、入力電圧 V_{in} および基準電圧 V_r が与えられる。基準電圧 V_r は共通電圧 V_{com} よりも低く、入力電圧 V_{in} は共通電圧 V_{com} よりも高い。また、増幅器 A M 2 の非反転入力端子 I 4 および比較器 C M P の反転入力端子 I 8 には共通電圧 V_{com} が与えられる。

40

【0057】

図 5 は図 4 の電圧比較回路 3 b の動作を説明するための電圧波形図である。第 1 の期間 T 1 において、スイッチ S R 1, S R 2, S W がオンし、スイッチ S A 1, S B 1, S A 2, S B 2 はオフする。それにより、増幅器 A M 1 の非反転入力端子 I 1 および反転入力端子 I 2 に共通電圧 V_{com} が与えられる。その結果、増幅器 A M 2 の出力電圧 V_{out} は共通電圧 V_{com} となる。また、第 1 の期間 T 1 には、スイッチ S W がオンする。

【0058】

50

第2の期間T2において、スイッチSA1, SA2がオンし、スイッチSR1, SR2, SB1, SB2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I1にそれぞれ共通電圧Vcomおよび入力電圧Vinが与えられる。増幅器AM2およびキャパシタC2の積分動作により増幅器AM2の出力電圧Voutが直線的に低下する。ここで、第2の期間T2の長さは一定である。そのため、入力電圧Vinが高いほど、出力電圧Voutの傾斜角度が大きくなり、第2の期間T2の終了時点での出力電圧Voutはより低くなる。第2の期間T2においては、出力電圧Voutが共通電圧Vcomよりも低いため、比較器CMPの出力信号Vcmpはローレベルとなる。

【0059】

第3の期間T3において、スイッチSB1, SB2がオンし、スイッチSR1, SR2, SA1, SA2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I1にそれぞれ共通電圧Vcomおよび基準電圧Vrが与えられる。増幅器AM2およびキャパシタC2の積分動作により増幅器AM2の出力電圧Voutが直線的に上昇する。この場合、基準電圧Vrは一定であるため、出力電圧Voutの傾斜角度は一定である。出力電圧Voutが共通電圧Vcomよりも高くなると、比較器CMPの出力信号Vcmpはハイレベルとなる。

10

【0060】

図4の電圧比較回路3bにおいては、異なる極性の二重積分動作が行われる。なお、第2の期間T2の開始時点t1から比較器CMPの出力信号Vcmpがハイレベルに立ち上がる時点t2までの時間tは、入力電圧Vinと共通電圧Vcomとの差に依存する。

20

【0061】

(5) 第5の実施の形態

図6は本発明の第5の実施の形態に係る差動構成の電圧比較回路の回路図である。図6の電圧比較回路3cが図4の電圧比較回路3bと異なるのは、次の点である。

【0062】

増幅器AM1は一对の出力端子O1, O1bを有し、増幅器AM2は一对の出力端子O2, O2bを有する。増幅器AM1の出力端子O1bと増幅器AM2の非反転入力端子I4との間にキャパシタC1bが接続され、増幅器AM1の出力端子O1bと増幅器AM2の出力端子O2bとの間にキャパシタC2bが接続される。増幅器AM2の非反転入力端子I4と出力端子O2bとの間にスイッチSWbが接続される。増幅器AM2の出力端子O2bは比較器CMPの反転入力端子I8に接続される。増幅器AM1にはコモンモードフィードバック回路15が接続され、増幅器AM2にはコモンモードフィードバック回路16が接続される。

30

【0063】

図7は図6の電圧比較回路3cの動作を説明するための電圧波形図である。第1の期間T1、第2の期間T2および第3の期間T3におけるスイッチSR1, SA1, SB1, SR2, SA2, SB2の動作は、図4の電圧比較回路3bと同様である。また、第1の期間T1においては、スイッチSW, SWbがオンし、第2の期間T2および第3の期間T3においては、スイッチSW, SWbがオフする。

【0064】

図6の電圧比較回路3cの増幅器AM1, AM2は差動増幅動作を行う。図7において、増幅器AM2の出力端子O2の出力電圧Voutを太い実線L1で示し、増幅器AM2の出力端子O2bの出力電圧/Voutを太い破線L2で示す。比較器CMPの出力信号Vcmpは、出力電圧Voutが出力電圧/Voutよりも高いときにハイレベルとなり、出力電圧Voutが出力電圧/Vout以下のときにローレベルとなる。

40

【0065】

図6の電圧比較回路3cにおいては、異なる極性の二重積分動作が行われる。なお、本実施の形態においても、第2の期間T2の開始時点t1から比較器CMPの出力信号Vcmpがハイレベルに立ち上がる時点t2までの時間tは、入力電圧Vinと共通電圧Vcomとの差に依存する。

50

【 0 0 6 6 】

(6) 第 6 の実施の形態

図 8 は本発明の第 6 の実施の形態に係るシングルエンド構成の電圧比較回路の回路図である。図 8 の電圧比較回路 3 d が図 3 の電圧比較回路 3 a と異なるのは、比較器 C M P 、スイッチ S W およびスイッチ制御回路 1 2 の代わりに増幅器 A M 3 、スイッチ S W 1 、比較器 C M P 1 およびスイッチ制御回路 1 3 が設けられる点である。比較器 C M P 1 は、キャパシタ C 3 、インバータ I N 1 、スイッチ S W 1 および電圧保持回路 2 0 を含む。

【 0 0 6 7 】

増幅器 A M 3 は、反転入力端子 I 5 、非反転入力端子 I 6 および出力端子 O 3 を有する。増幅器 A M 3 の利得 A 3 は、増幅器 A M 1 の利得 A 1 よりも高い。また、増幅器 A M 3 はオフセット電圧を有する。図 8 には、オフセット電圧が入力換算オフセット電圧 V o s 3 として示される。増幅器 A M 3 の反転入力端子 I 5 は増幅器 A M 2 の反転入力端子 I 3 に接続され、非反転入力端子 I 6 は増幅器 A M 2 の出力端子 O 2 に接続される。スイッチ S W 1 は増幅器 A M 3 の反転入力端子 I 5 と出力端子 O 3 との間に接続される。

10

【 0 0 6 8 】

比較器 C M P 1 は、キャパシタ C 3 、インバータ I N 1 、スイッチ S W 2 および電圧保持回路 2 0 を含む。キャパシタ C 3 は増幅器 A M 3 の出力端子 O 3 とインバータ I N 1 の入力端子 I 9 との間に接続される。スイッチ S W 2 はインバータ I N 1 の入力端子 I 9 と出力端子 O 9 との間に接続される。

【 0 0 6 9 】

電圧保持回路 2 0 は、インバータ I N 2 , I N 7 およびラッチ回路 L A 1 , L A 2 を含む。インバータ I N 2 の入力端子はインバータ I N 1 の出力端子 O 9 に接続される。ラッチ回路 L A 1 は、スイッチ S W 3 , S W 4 およびインバータ I N 3 , I N 4 により構成される。ラッチ回路 L A 2 は、スイッチ S W 5 , S W 6 およびインバータ I N 5 , I N 6 により構成される。ラッチ回路 L A 1 , L A 2 は、インバータ I N 2 の出力端子とインバータ I N 7 の入力端子との間に接続される。

20

【 0 0 7 0 】

スイッチ制御回路 1 3 は、電圧切り替え回路 1 1 、スイッチ S W 1 , S W 2 を制御するための制御信号 1 , 2 を発生し、ラッチ回路 L A 1 , L A 2 を制御するためのクロック信号 f s , / f s を発生する。スイッチ S W 1 は、制御信号 2 に応答してオンまたはオフし、スイッチ S W 2 は、制御信号 3 に応答してオンまたはオフする。さらに、ラッチ回路 L A 1 , L A 2 のスイッチ S W 4 , S W 5 はクロック信号 f s に応答してオンまたはオフし、スイッチ S W 3 , S W 6 はクロック信号 / f s に応答してオンまたはオフする。クロック信号 / f s は、クロック信号 f s の反転信号である。クロック信号 f s , / f s の周波数は制御信号 1 , 2 , 3 の周波数の例えば 1 0 0 0 倍程度である。例えば、制御信号 1 , 2 , 3 の周波数は 4 k H z であり、クロック信号 f s , / f s の周波数は 4 M H z である。

30

【 0 0 7 1 】

次に、図 8 の電圧比較回路 3 d の動作について説明する。電圧切り替え回路 1 1 および増幅器 A M 1 の動作は、図 1 ~ 図 3 の電圧切り替え回路 1 1 および増幅器 A M 1 の動作と同様である。増幅器 A M 1 の出力換算オフセット電圧 V o s 1 はキャパシタ C 1 によりキャンセルされる。

40

【 0 0 7 2 】

第 1 の期間には、制御信号 2 に応答してスイッチ S W 1 がオンする。それにより、増幅器 A M 3 がバッファ接続される。ここで、第 1 の期間における増幅器 A M 2 の出力端子 O 2 の電圧を V o 1 とし、増幅器 A M 3 の出力端子 O 3 の電圧を V o 2 とすると、次式が成り立つ。

【 0 0 7 3 】

$$V o 2 = \{ A 3 / (1 + A 3) \} \cdot (V o 1 + V o s 3) \quad \dots (4)$$

$$V o 1 = \{ (V i n 3 + V o s 2) - V o 2 \} \cdot A 2 \quad \dots (5)$$

50

上式(4), (5)および利得 A_3 が高いことから次式が導かれる。

【0074】

$$V_{o1} = V_{in3} + V_{os2} - V_{os3} \quad \dots (6)$$

上式(6)を上式(4)に代入すると、次式が得られる。

【0075】

$$V_{o2} = \{A_3 / (1 + A_3)\} \cdot (V_{in3} + V_{os2} - V_{os3} + V_{os3}) = \{A_3 / (1 + A_3)\} \cdot (V_{in3} + V_{os3}) \quad \dots (7)$$

利得 A_3 が高いため、上式(7)は次式で近似される。

【0076】

$$V_{o2} = V_{in3} + V_{os2} \quad \dots (8)$$

上式(8)より、キャパシタ C_1 の出力側端子が電圧 V_{o2} ($= V_{in3} + V_{os2}$)により充電される。また、キャパシタ C_3 の入力側端子が電圧 V_{o2} ($= V_{in3} + V_{os2}$)により充電される。さらに、キャパシタ C_2 の出力側端子が電圧 V_{o1} ($= V_{in3} + V_{os2} - V_{os3}$)により充電される。

【0077】

第2の期間には、制御信号 ϕ_2 に応答してスイッチ SW_1 がオフする。このとき、第1の実施の形態と同様に、キャパシタ C_1 に保持される電圧が $V_1 \cdot A_1$ 変化するので、増幅器 AM_2 の反転入力端子 I_3 の電圧は $V_{o2} + V_1 \cdot A_1$ ($= V_{in3} + V_{os2} + V_1 \cdot A_1$)となる。したがって、増幅器 AM_2 は、非反転入力端子 I_4 に与えられる入力電圧 V_{in3} に換算オフセット電圧 V_{os2} が加算された電圧($V_{in3} + V_{os2}$)と反転入力端子 I_3 の電圧($V_{in3} + V_{os2} + V_1 \cdot A_1$)との差 V_2 を利得 A_2 で増幅する。それにより、出力端子 O_2 の電圧は $V_2 \cdot A_2 = - V_1 \cdot A_1 \cdot A_2$ 変化する。このようにして、換算オフセット電圧 V_{os2} がキャンセルされる。

【0078】

このとき、キャパシタ C_2 の出力側端子が電圧 V_{o1} により充電されているため、増幅器 AM_3 の非反転入力端子 I_6 の電圧は $V_{o1} + V_2 \cdot A_2$ ($= V_{in3} + V_{os2} - V_{os3} - V_1 \cdot A_1 \cdot A_2$)となる。また、増幅器 AM_3 の反転入力端子 I_5 の電圧は、増幅器 AM_2 の反転入力端子 I_3 の電圧と同様に、 $V_{o2} + V_1 \cdot A_1 = (V_{in3} + V_{os2} + V_1 \cdot A_1)$ となる。

【0079】

したがって、増幅器 AM_3 は、非反転入力端子 I_6 の電圧($V_{o1} + V_2 \cdot A_2$)に換算オフセット電圧 V_{os3} が加算された電圧($V_{in3} + V_{os2} - V_1 \cdot A_1 \cdot A_2$)と反転入力端子 I_5 の電圧($V_{in3} + V_{os2} + V_1 \cdot A_1$)との差 V_3 を利得 A_3 で増幅する。それにより、出力端子 O_3 の出力電圧は次式で示される $V_3 \cdot A_3$ 変化する。

【0080】

$$\begin{aligned} & V_3 \cdot A_3 \\ &= \{V_{in3} + V_{os2} - V_1 \cdot A_1 \cdot A_2 - (V_{in3} + V_{os2} + V_1 \cdot A_1)\} \cdot A_3 \\ &= (- V_1 \cdot A_1 \cdot A_2 - V_1 \cdot A_1) \\ &= V_1 \cdot A_1 (A_2 + 1) \quad \dots (9) \end{aligned}$$

上式(9)のように、換算オフセット電圧 V_{os3} がキャンセルされる。

【0081】

また、キャパシタ C_3 に保持される電圧の変化分は $V_3 \cdot A_3$ ($= - V_1 \cdot A_1 (A_2 + 1)$)である。したがって、キャパシタ C_3 の出力側端子には換算オフセット電圧 V_{os2} は伝達されず、インバータ IN_1 の入力端子には、電圧 $V_3 \cdot A_3$ ($= - V_1 \cdot A_1 (A_2 + 1)$)が入力される。このようにして、換算オフセット電圧 V_{os2} がキャンセルされる。

【0082】

10

20

30

40

50

図9(a)はインバータIN1の構成を示す回路図であり、図9(b)はインバータIN1の入力電圧と出力電圧との関係を示す図である。図9に示すように、インバータIN1は、PチャンネルMOSFET(金属酸化物半導体電界効果トランジスタ)21およびNチャンネルMOSFET22により構成される。PチャンネルMOSFET21およびNチャンネルMOSFET22のゲートは入力電圧Viを受ける入力端子I9に接続され、PチャンネルMOSFET21およびNチャンネルMOSFET22のドレインは出力電圧Voを出力する出力端子O9に接続される。PチャンネルMOSFET21のソースには電源電圧VDDが与えられ、NチャンネルMOSFET22のソースにはグラウンド電圧GNDが与えられる。

【0083】

図9(b)に示すように、出力電圧範囲の中間電圧Vbを中心とする一定範囲では、入力電圧Viの増加に対して出力電圧Voが直線的に減少する。したがって、インバータIN1は、中間電圧Vbを中心とする一定範囲において、高利得の反転増幅器として働く。

【0084】

第1の期間には、制御信号3に応答してスイッチSW2がオンする。それにより、インバータIN1の入力端子I9と出力端子O9とが短絡される。その結果、インバータIN1の入力電圧Viと出力電圧Voとが中間電圧Vbとなる。第2の期間には、制御信号3に応答してスイッチSW3がオフする。それにより、インバータIN1の入力端子I9にキャパシタC3の出力側端子の電圧が入力電圧Viとして与えられる。インバータIN1は、入力電圧Viと中間電圧Vbとの差を反転増幅する。

【0085】

電圧保持回路20のインバータIN2は、インバータIN1の出力電圧Voのレベルを反転し、ハイレベルまたはローレベルの信号を出力する。

【0086】

ラッチ回路LA1, LA2は、クロック信号fs, /fsに응答して入力動作および保持動作を交互に行う。まず、クロック信号/fsに응答して、スイッチSW3, SW6がオンし、クロック信号fsに응答して、スイッチSW4, SW5がオフする。それにより、ラッチ回路LA1が入力動作を行う。この場合、インバータIN2の出力信号がインバータIN3に入力され、インバータIN3の出力信号がインバータIN4に入力される。このとき、ラッチ回路LA2が保持動作を行う。

【0087】

次に、クロック信号/fsに응答して、スイッチSW3, SW6がオフし、クロック信号fsに응答して、スイッチSW4, SW5がオンする。それにより、ラッチ回路LA1が保持動作を行う。それにより、インバータIN3の入力信号および出力信号がラッチ回路LA1に保持される。このとき、ラッチ回路LA2が入力動作を行う。それにより、インバータIN3の出力信号がインバータIN5に入力され、インバータIN5の出力信号がインバータIN6に入力される。

【0088】

インバータIN7はラッチ回路LA2のインバータIN5の出力信号のレベルを反転し、出力信号Vcmpを出力する。それにより、クロック信号fs, /fsの半周期ごとにインバータIN1の出力電圧Voのレベルに応じて出力信号Vcmpのレベルが確定される。したがって、電圧保持回路20の出力信号Vcmpは入力電圧Viと中間電圧Vbとの比較結果を表す。具体的には、入力電圧Viが中間電圧Vbよりも高い場合に出力信号Vcmpはハイレベルとなり、入力電圧Viが中間電圧Vb以下の場合に出力信号Vcmpはローレベルとなる。

【0089】

本実施の形態に係る電圧比較回路3dにおいては、キャパシタC1により増幅器AM1の出力換算オフセット電圧Vos1および増幅器AM3の入力換算オフセット電圧Vos3がキャンセルされ、キャパシタC3により増幅器AM2の入力換算オフセット電圧Vos2がキャンセルされる。したがって、回路構成の複雑化および素子数の増加を抑制しつ

10

20

30

40

50

つ増幅器 A M 1 のオフセット電圧、増幅器 A M 2 のオフセット電圧および増幅器 A M 3 のオフセット電圧の影響を低減することが可能となる。

【 0 0 9 0 】

(7) 第 7 の実施の形態

図 1 0 は本発明の第 7 の実施の形態に係る電圧時間変換回路の回路図である。図 1 0 の電圧時間変換回路 4 が図 8 の電圧比較回路 3 d と異なるのは、カウンタ 3 0 がさらに設けられる点である。

【 0 0 9 1 】

カウンタ 3 0 には、スイッチ制御回路 1 3 によりクロック信号 f_s が与えられる。カウンタ 3 0 は、電圧保持回路 2 0 の出力信号 V_{cmp} に基づいて予め定められた期間においてクロック信号 f_s のパルス数をカウントし、カウント値を表すカウント信号 O_{cnt} を出力する。この場合、カウント信号 O_{cnt} の値は予め定められた期間の長さを表す。

10

【 0 0 9 2 】

例えば、カウンタ 3 0 は、電圧保持回路 2 0 の出力信号 V_{cmp} がハイレベルである期間においてクロック信号 f_s のパルス数をカウントし、カウント値を表すカウント信号 O_{cnt} を出力する。この場合、カウント信号 O_{cnt} の値は電圧保持回路 2 0 の出力信号 V_{cmp} がハイレベルである時間を表す。すなわち、カウント信号 O_{cnt} は、入力電圧 V_i が中間電圧 V_b よりも高い期間の長さを表す。なお、カウンタ 3 0 は、電圧保持回路 2 0 の出力信号 V_{cmp} がローレベルである期間においてクロック信号 f_s のパルス数をカウントし、カウント値を表すカウント信号 O_{cnt} を出力してもよい。

20

【 0 0 9 3 】

さらに、カウンタ 3 0 はクロック信号 f_s または $/f_s$ のタイミングで出力信号 V_{cmp} がハイレベルまたはローレベルにあることをカウントする構成でもよい。

【 0 0 9 4 】

このように、図 1 0 の電圧時間変換回路 4 は電圧を時間に変換する機能を有する。本実施の形態に係る電圧時間変換回路 4 においては、図 8 の電圧比較回路 3 d と同様に、回路構成の複雑化および素子数の増加を抑制しつつ増幅器 A M 1 のオフセット電圧、増幅器 A M 2 のオフセット電圧および増幅器 A M 3 のオフセット電圧の影響を低減することが可能となる。

【 0 0 9 5 】

30

(8) 第 8 の実施の形態

図 1 1 は本発明の第 8 の実施の形態に係るセンサ出力読み出し回路の回路図である。図 1 1 のセンサ出力読み出し回路 1 0 0 は、電圧発生回路 6 0 、センサアレイ 7 0 、増幅器 A M 1 ~ A M 3 、キャパシタ C_1 , C_2 、スイッチ $S R_1$, $S A_1$, $S B_1$, $S R_2$, $S A_2$, $S B_2$, $S R_3$ 、比較器 $C M P_1$ 、カウンタ 3 0 および減算器 4 0 を含む。

【 0 0 9 6 】

電圧発生回路 6 0 は、共通電圧 V_{comh} 、共通電圧 V_{com} および基準電圧 V_r を発生する。共通電圧 V_{comh} は、共通電圧 V_{com} よりも高く、基準電圧 V_r は共通電圧 V_{com} よりも低い。

【 0 0 9 7 】

40

センサアレイ 7 0 は、例えば赤外線センサアレイであり、複数のセンサ素子 $T P$ を含む。複数のセンサ素子 $T P$ は、高電位端子と低電位端子との間に並列に接続される。センサアレイ 7 0 の低電位端子には共通電圧 V_{comh} が与えられ、高電位端子の電圧が入力電圧 V_{in} として増幅器 A M 1 に与えられる。

【 0 0 9 8 】

増幅器 A M 1 は、Pチャネル MOS F E T 3 1 , 3 2 , 3 5 および Nチャネル MOS F E T 3 3 , 3 4 により構成される。Pチャネル MOS F E T 3 1 , 3 2 のゲートはそれぞれ非反転入力端子 I_1 および反転入力端子 I_2 に接続される。Pチャネル MOS F E T 3 1 と Nチャネル MOS F E T 3 3 との接続点は出力端子 O_1 に接続される。増幅器 A M 1 は、電圧 / 電流変換器として働く。

50

【0099】

非反転入力端子 I 1 には、スイッチ S A 1 , R B 1 , S B 1 を介して共通電圧 V c o m が与えられ、反転入力端子 I 2 には、スイッチ S A 2 , S R 2 , S B 2 を介してそれぞれ入力電圧 V i n、共通電圧 V c o m および基準電圧 V r が与えられる。比較器 C M P 1 は、図 8 の比較器 C M P 1 と同様の構成を有する。なお、比較器 C M P 1 の代わりに演算増幅器からなる図 3 の比較器 C M P を用いてもよい。

【0100】

図 1 2 は図 1 1 のセンサ出力読み出し回路 1 0 0 の動作を説明するための電圧波形図である。第 1 の期間 T 1 において、スイッチ S R 1 , S R 2 , S R 3 がオンし、スイッチ S A 1 , S B 1 , S A 2 , S B 2 がオフする。それにより、増幅器 A M 1 の非反転入力端子 I 1 および反転入力端子 I 2 に共通電圧 V c o m が与えられる。その結果、増幅器 A M 3 の出力電圧 V o u t ' は V c o m となる。

10

【0101】

第 2 の期間 T 2 において、スイッチ S A 1 , S A 2 がオンし、スイッチ S R 1 , S R 2 , S B 1 , S B 2 がオフする。それにより、増幅器 A M 1 の非反転入力端子 I 1 および反転入力端子 I 2 にそれぞれ共通電圧 V c o m および入力電圧 V i n が与えられる。この場合、増幅器 A M 1 の P チャネル M O S F E T 3 1 および N チャネル M O S F E T 3 3 に実線の矢印で示す電流 i 1 が流れる。増幅器 A M 2 およびキャパシタ C 2 の積分動作により増幅器 A M 3 の出力電圧 V o u t ' が直線的に低下する。ここで、第 2 の期間 T 2 の長さは一定である。そのため、入力電圧 V i n が高いほど、第 2 の期間 T 2 の終了時点での出力電圧 V o u t ' の値はより低くなる。出力電圧 V o u t ' が基準電圧 V r よりも低いときに、比較器 C M P 1 の出力信号 V c m p はローレベルとなる。

20

【0102】

第 3 の期間 T 3 において、スイッチ S B 1 , S B 2 がオンし、スイッチ S R 1 , S R 2 , S A 1 , S A 2 がオフする。それにより、増幅器 A M 1 の非反転入力端子 I 1 および反転入力端子 I 2 にそれぞれ共通電圧 V c o m および基準電圧 V r が与えられる。この場合、増幅器 A M 1 の P チャネル M O S F E T 3 2 および N チャネル M O S F E T 3 4 に点線の矢印で示す電流 i 2 が流れる。増幅器 A M 2 およびキャパシタ C 2 の積分動作により増幅器 A M 3 の出力電圧 V o u t ' が直線的に上昇する。出力電圧 V o u t ' が基準電圧 V r よりも高くなると、比較器 C M P 1 の出力信号 V c m p はハイレベルとなる。

30

【0103】

第 2 の期間 T 2 の開始時点 t 1 から比較器 C M P 1 の出力信号 V c m p がハイレベルに立ち上がる時点 t 2 までの時間 t は、入力電圧 V i n と共通電圧 V c o m との差が大きいほど長くなる。

【0104】

カウンタ 3 0 には、第 2 の期間 T 2 の開始時点 t 1 から比較器 C M P 1 の出力信号 V c m p がハイレベルに立ち上がる時点 t 2 までの期間において、クロック信号 f s のパルス数をカウントし、カウント値を表すカウント信号 O c n t を出力する。

【0105】

センサアレイ 7 0 の全てのセンサ素子 T P がオンしているときのカウンタ 3 0 のカウント信号 O c n t の値 N r が予め求められる。実際の測定時にカウンタ 3 0 から出力されるカウント信号 O c n t の値を N i とする。減算器 4 0 は、値 N i から値 N r を減算し、減算値 (N i - N r) を測定信号 C T として出力する。それにより、センサ出力読み出し回路 1 0 0 の全体のオフセットをキャンセルすることができる。

40

【0106】

図 1 1 のセンサ出力読み出し回路 1 0 0 では、図 8 の電圧比較回路 3 d と同様に、回路構成の複雑化および素子数の増加を抑制しつつ増幅器 A M 1 のオフセット電圧、増幅器 A M 2 のオフセット電圧および増幅器 A M 3 のオフセット電圧の影響を低減することが可能となる。したがって、センサアレイ 7 0 の出力を高精度で読み出すことができる。

【0107】

50

(9) 第9の実施の形態

図13は本発明の第9の実施の形態に係るセンサ出力読み出し回路の回路図である。図13のセンサ出力読み出し回路100aが図11のセンサ出力読み出し回路100と異なるのは次の点である。

【0108】

図13のセンサ出力読み出し回路100aは、図11の増幅器AM2の代わりにインバータIN8を含み、図11の増幅器AM3および比較器CMP1の代わりにインバータIN9を含む。インバータIN8の入力端子I10はキャパシタC1の出力側端子に接続される。インバータIN8の入力端子I10と出力端子O10との間にスイッチSR4が接続され、増幅器AM1の出力端子O1とインバータIN8の出力端子O10との間にキャパシタC2が接続される。インバータIN8の出力端子O10とカウンタ30の入力端子との間にインバータIN9が接続される。

10

【0109】

図14は図13のセンサ出力読み出し回路100aの主要部の動作を説明するための回路図である。図15は図13のセンサ出力読み出し回路100aの主要部の電圧波形図である。

【0110】

図14のインバータIN8、IN9は、図9のインバータIN1と同様の構成を有する。インバータIN8は高利得の反転増幅器として働く。また、インバータIN9は比較器として働く。

20

【0111】

図15に示すように、第1の期間T1において、スイッチSR1、SR2がオンし、スイッチSA1、SB1、SA2、SB2はオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2に共通電圧Vcomが与えられる。また、スイッチSR4がオンする。それにより、インバータIN8の入力端子I10の電圧および出力端子O10の電圧が中間電圧Vbとなる。その結果、インバータIN8の出力電圧Vout1は中間電圧Vbとなる。

【0112】

第2の期間T2において、スイッチSA1、SA2がオンし、スイッチSB1、SB2、SR1、SR2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび入力電圧Vinが与えられる。インバータIN8およびキャパシタC2の積分動作によりインバータIN8の出力電圧Vout1が直線的に低下する。この場合、出力電圧Vout1が中間電圧Vbよりも低いので、インバータIN9の出力信号Vcmpはローレベルとなる。

30

【0113】

第3の期間T3において、スイッチSB1、SB2がオンし、スイッチSA1、SA2、SR1、SR2がオフする。それにより、増幅器AM1の非反転入力端子I1および反転入力端子I2にそれぞれ共通電圧Vcomおよび基準電圧Vrが与えられる。インバータIN8およびキャパシタC2の積分動作によりインバータIN8の出力電圧Vout1が直線的に上昇する。出力電圧Vout1が中間電圧Vbよりも高くなると、インバータIN9の出力信号Vcmpはハイレベルとなる。

40

【0114】

第2の期間T2の開始時点t1からインバータIN9の出力信号Vcmpがハイレベルに立ち上がる時点t2までの時間tは、入力電圧Vinと共通電圧Vcomとの差が大きいほど長くなる。

【0115】

図13のセンサ出力読み出し回路100aの他の動作は、図11のセンサ出力読み出し回路100の動作と同様である。

【0116】

図13のセンサ出力読み出し回路100では、回路構成の複雑化および素子数の増加を

50

抑制しつつ増幅器 A M 1 のオフセット電圧の影響を低減することが可能となる。したがって、センサレイ 7 0 の出力を高精度で読み出すことができる。

【 0 1 1 7 】

(1 0) 他の実施の形態

図 1 のシングルエンド構成の増幅回路 1 を差動構成の増幅回路に変更することも可能である。また、図 2 のシングルエンド構成の積分回路 2 を差動構成の積分回路に変更することも可能である。

【 0 1 1 8 】

(1 1) 請求項の各構成要素と実施の形態の各要素との対応

以下、請求項の各構成要素と実施の形態の各要素との対応の例について説明するが、本発明は下記の例に限定されない。

10

【 0 1 1 9 】

上記実施の形態では、増幅器 A M 1 が第 1 の増幅器の例であり、増幅器 A M 2 が第 2 の増幅器の例であり、増幅器 A M 3 が第 3 の増幅器の例であり、非反転入力端子 I 1 が第 1 の入力端子の例であり、反転入力端子 I 2 が第 2 の入力端子の例であり、反転入力端子 I 3 が第 3 の入力端子の例であり、非反転入力端子 I 4 が第 4 の入力端子の例であり、反転入力端子 I 5 が第 5 の入力端子の例であり、非反転入力端子 I 6 が第 6 の入力端子の例であり、出力端子 O 1 が第 1 の出力端子の例であり、出力端子 O 2 が第 2 の出力端子の例であり、出力端子 O 3 が第 3 の出力端子の例である。

20

【 0 1 2 0 】

電圧切り替え回路 1 1 , 1 1 a が電圧切り替え手段の例であり、キャパシタ C 1 が容量素子または第 1 の容量素子の例であり、キャパシタ C 2 が第 2 の容量素子の例であり、キャパシタ C 3 が第 3 の容量素子の例であり、スイッチ S W がスイッチ手段の例であり、スイッチ S W 1 , S R 3 が第 1 のスイッチ手段の例であり、スイッチ S W 2 が第 2 のスイッチ手段の例であり、比較器 C M P , C M P 1 が電圧比較器の例であり、カウンタ 3 0 が時間測定手段の例である。

【 0 1 2 1 】

入力電圧 V i n 1 および共通電圧 V c o m が第 1 の入力電圧の例であり、入力電圧 V i n 2、入力電圧 V i n および基準電圧 V r が第 2 の入力電圧の例であり、入力電圧 V i n 3、共通電圧 V c o m、非反転入力端子 I 4 の電圧 (図 6) および基準電圧 V r (図 1 1) が第 3 の入力電圧の例であり、入力電圧 V i n 4、共通電圧 V c o m および非反転入力端子 I 6 の電圧 (図 6) が第 4 の入力電圧の例である。

30

【 0 1 2 2 】

請求項の各構成要素として、請求項に記載されている構成または機能を有する他の種々の要素を用いることもできる。

【 産業上の利用可能性 】

【 0 1 2 3 】

本発明は、電圧の増幅、電圧の積分、電圧の比較および電圧時間変換等に利用することができる。

【 符号の説明 】

40

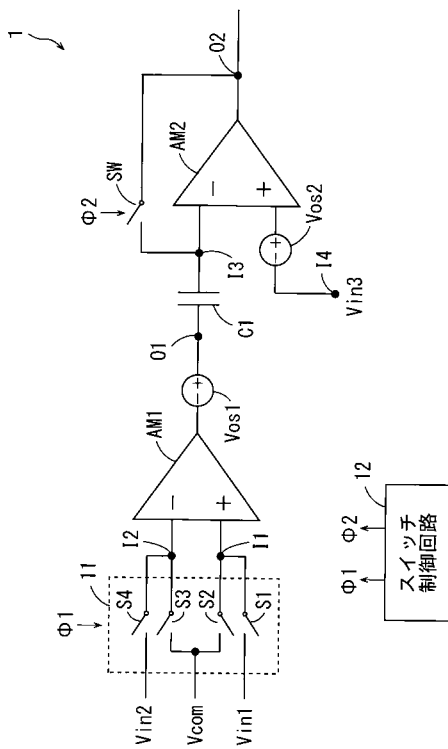
【 0 1 2 4 】

- 1 増幅回路
- 2 積分回路
- 3 a , 3 b , 3 c , 3 d 電圧比較回路
- 4 電圧時間変換回路
- 1 1 , 1 1 a 電圧切り替え回路
- 1 2 , 1 3 スイッチ制御回路
- 2 0 電圧保持回路
- 2 1 , 3 1 , 3 2 , 3 5 Pチャネル M O S F E T
- 2 2 , 3 3 , 3 4 Nチャネル M O S F E T

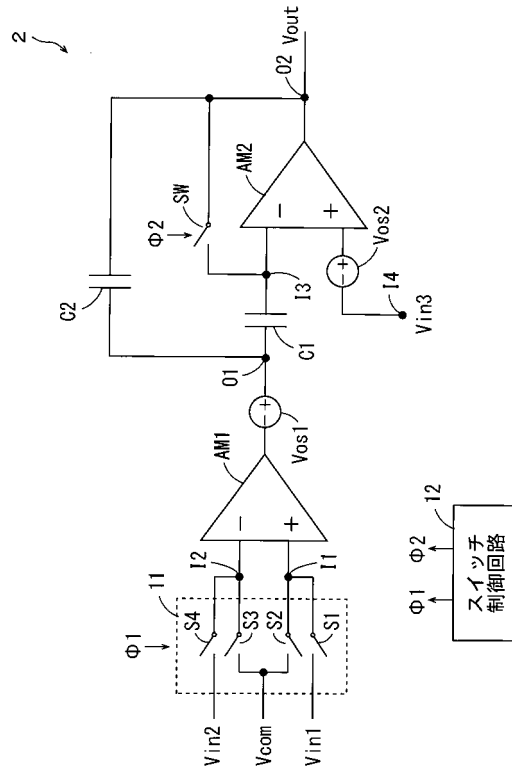
50

- 30 カウンタ
- 40 減算器
- 60 電圧発生回路
- 70 センサアレイ
- 100, 100a センサ出力読み出し回路
- AM1 ~ AM3 増幅器
- C1 ~ C3, C1b, C2b キャパシタ
- CMP, CMP1 比較器
- IN1 ~ IN9 インパータ
- LA1, LA2 ラッチ回路
- I2, I3, I5, I8 反転入力端子
- I1, I4, I6, I7 非反転入力端子
- I9, I10 入力端子
- O1, O1b, O2, O2b, O3, O4, O9, O10 出力端子
- SW, SW1 ~ SW6, SWb, S1 ~ S4, SA1, SA2, SB1, SB2, SR1, SR2, SR3, SR4 スイッチ

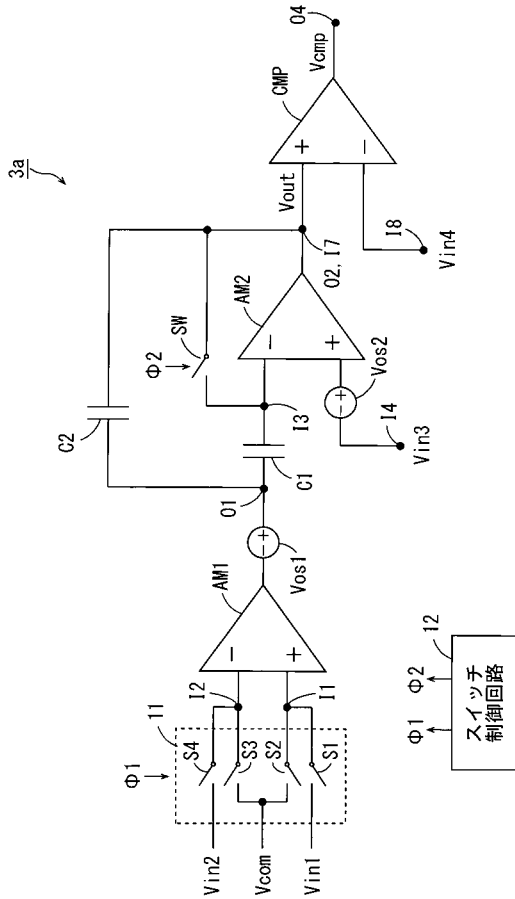
【図1】



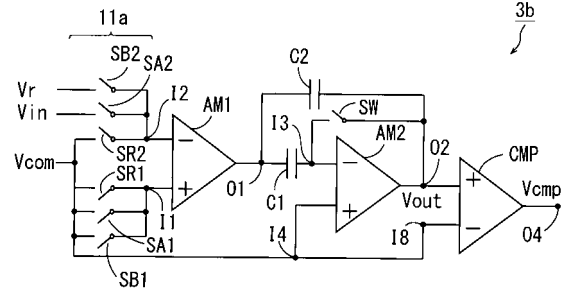
【図2】



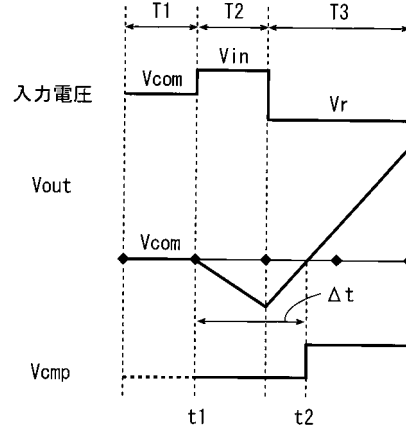
【 図 3 】



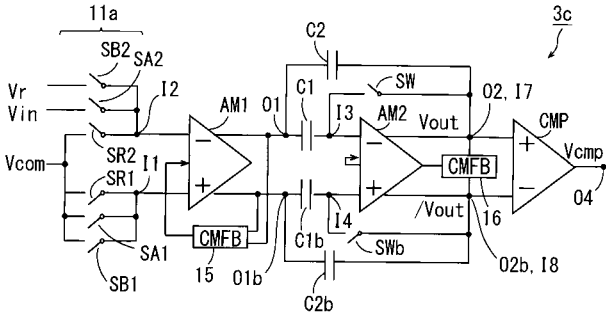
【 図 4 】



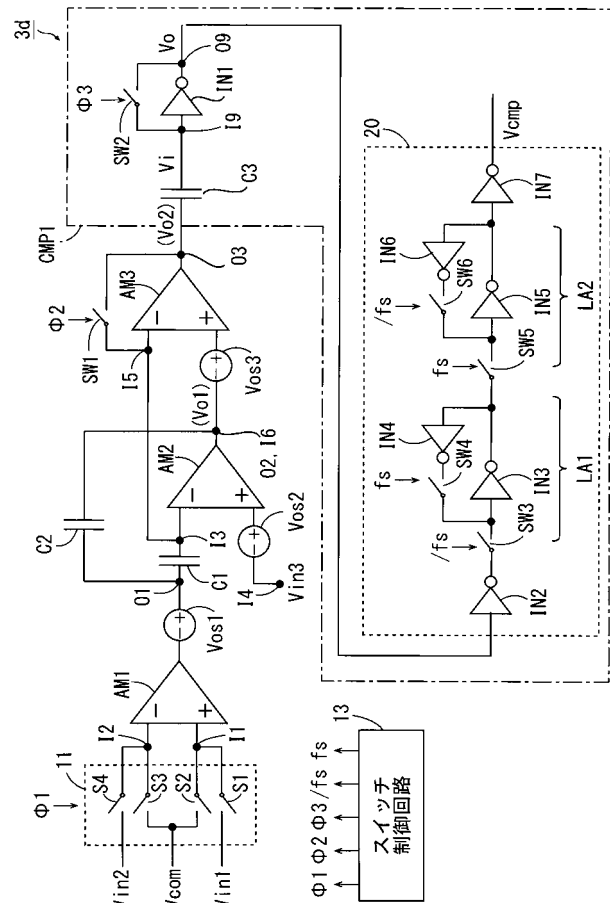
【 図 5 】



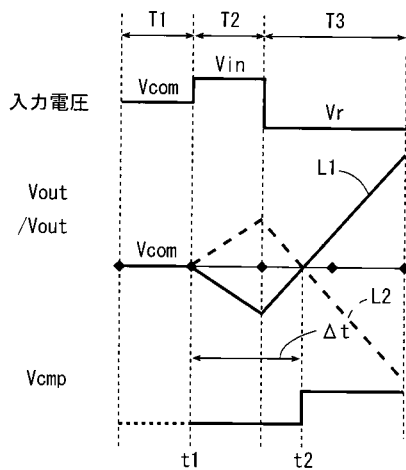
【 図 6 】



【 図 8 】

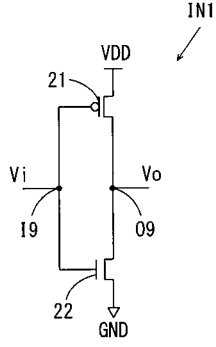


【 図 7 】

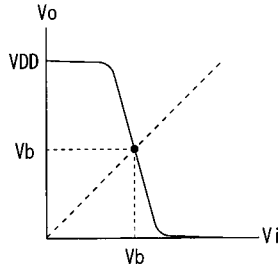


【図 9】

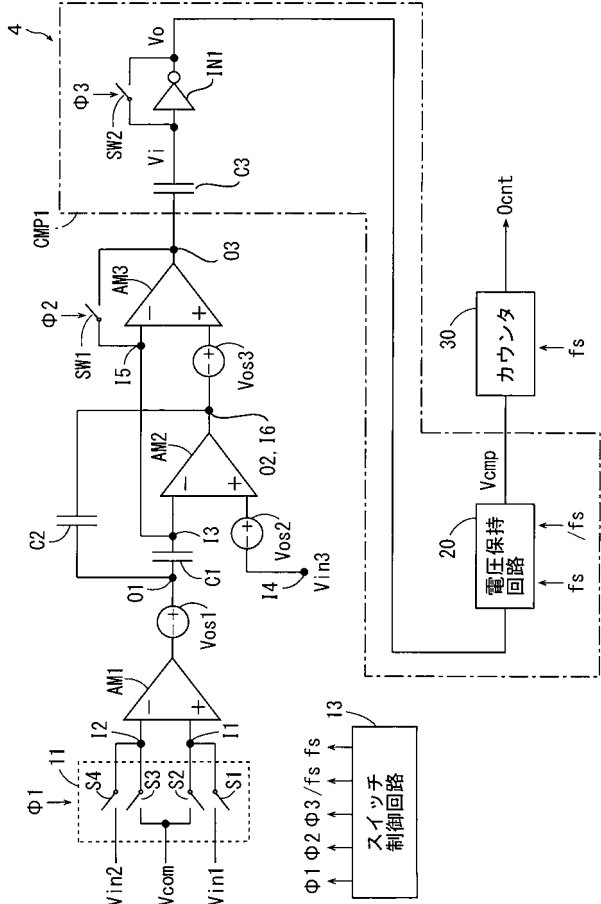
(a)



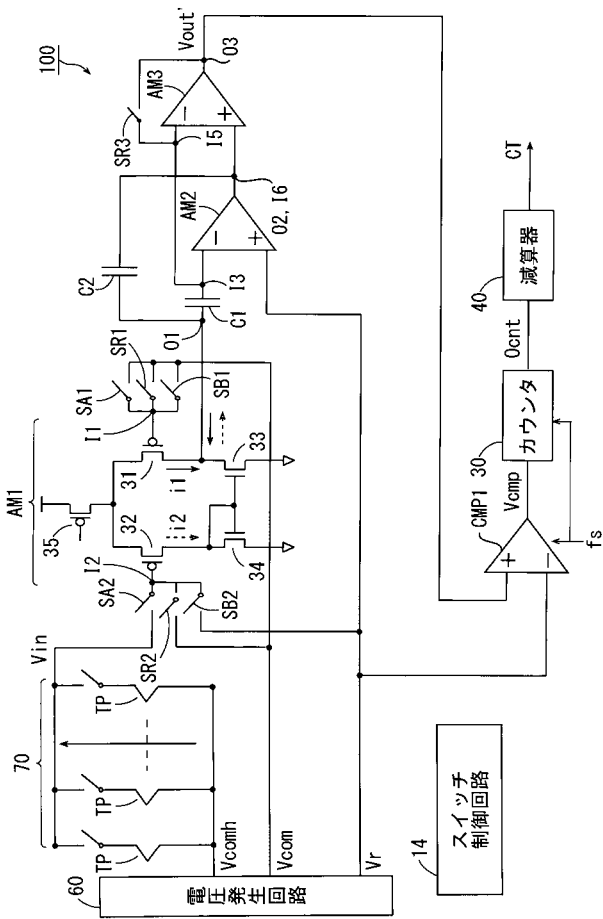
(b)



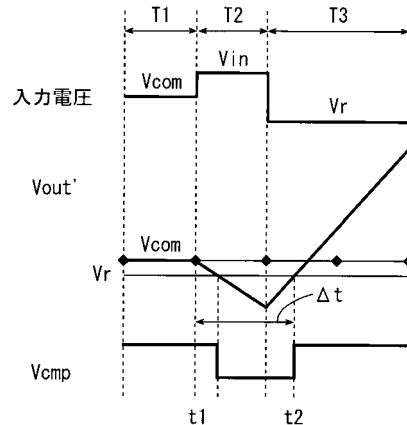
【図 10】



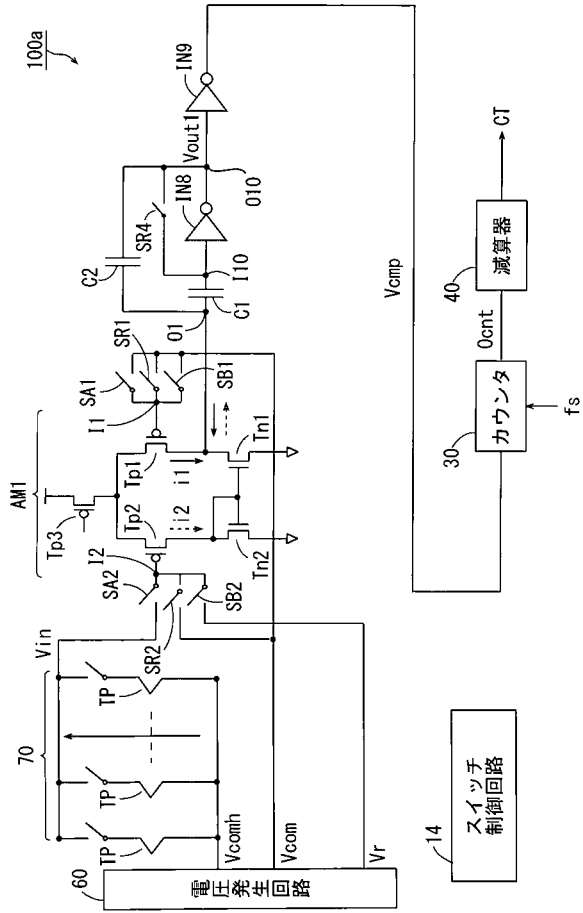
【図 11】



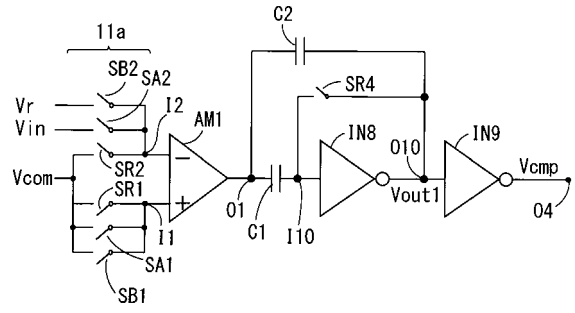
【図 12】



【図 1 3】



【図 1 4】



【図 1 5】

