

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-112310

(P2017-112310A)

(43) 公開日 平成29年6月22日(2017.6.22)

(51) Int.Cl. F I テーマコード(参考)  
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 T 5 F 0 3 8  
 HO 1 L 27/04 (2006.01)

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号	特願2015-247449 (P2015-247449)	(71) 出願人	399030060 学校法人 関西大学 大阪府吹田市山手町3丁目3番35号
(22) 出願日	平成27年12月18日(2015.12.18)	(74) 代理人	100074332 弁理士 藤本 昇
		(74) 代理人	100114432 弁理士 中谷 寛昭
		(74) 代理人	100138416 弁理士 北田 明
		(72) 発明者	佐藤 伸吾 大阪府吹田市山手町3丁目3番35号 学 校法人関西大学 システム理工学部内
		Fターム(参考)	5F038 AR00 AR21 DF17 DT15 DT17 DT19 EZ20

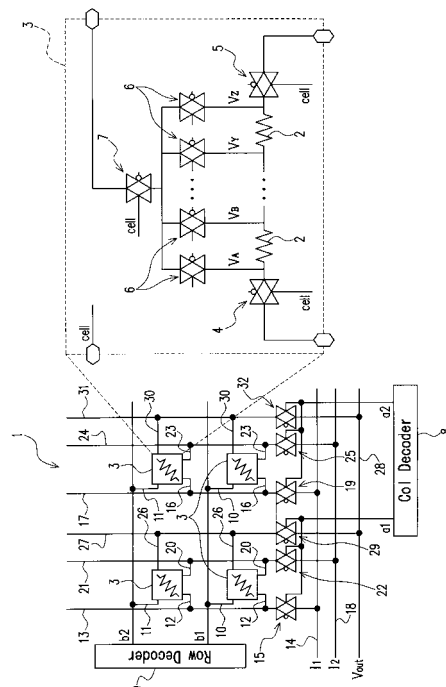
(54) 【発明の名称】 半導体の抵抗異常検出装置

(57) 【要約】

【課題】周辺回路の簡素化を図ることができる半導体の抵抗異常検出装置を提供する。

【解決手段】検査対象となる複数の抵抗素子2が直列接続されてなる半導体素子3の多数を配置して構成される装置であって、多数の半導体素子3のうち特定の半導体素子を選択して半導体素子に電流を流すための選択スイッチ4、5と、各抵抗素子の抵抗値を測定するための測定スイッチ6と、選択スイッチ4、5で選択された半導体素子が良又は不良であるかを評価する半導体素子評価手段と、半導体素子評価手段で不良であると評価された半導体素子3を構成する複数の抵抗素子2を測定スイッチで測定した結果に基づいて良又は不良であるかを評価する抵抗素子評価手段と、を備えている。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

検査対象となる複数の抵抗素子が直列接続されてなる半導体素子の多数を配置して構成される半導体の抵抗異常を検出する装置であって、前記多数の半導体素子のうちの特定の半導体素子を選択し該選択された半導体素子に電流を流すべく、該各半導体素子の両端に接続される選択スイッチと、前記各抵抗素子の抵抗値を測定すべく、該各抵抗素子の一端側及び他端側に接続される測定スイッチと、前記選択スイッチで選択された半導体素子が良又は不良であるかを評価する半導体素子評価手段と、該半導体素子評価手段で不良であると評価された半導体素子を構成する複数の抵抗素子のそれぞれを前記測定スイッチで測定した結果に基づいて良又は不良であるかを評価する抵抗素子評価手段と、を備えていることを特徴とする半導体の抵抗異常検出装置。

10

**【請求項 2】**

前記半導体素子評価手段が、前記全ての半導体素子の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の半導体素子を抽出して不良であると評価する手段であることを特徴とする請求項 1 に記載の半導体の抵抗異常検出装置。

**【請求項 3】**

前記抵抗素子評価手段が、前記不良であると評価された半導体素子を構成する全ての抵抗素子の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の抵抗素子を抽出して不良であると評価する手段であることを特徴とする請求項 1 又は 2 に記載の半導体の抵抗異常検出装置。

20

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、製造される製品である半導体の検査において異常高抵抗を示すが断線には陥っていない半不良（「ソフトオープン不良」ともいう）を検出するための半導体の抵抗異常検出装置に関する。

**【背景技術】****【0002】**

近年、トランジスタや配線の寸法縮小により、チップ間とチップ内の双方に対して、微細シリコンCMOS素子における電気特性の変動が重要となっている。そのため、アドレス指定可能なテストアレイ構造を使うことが、ばらつきを特徴付ける点から不可欠になっている。テストアレイ構造は、歩留り管理からもまた重要である。テストアレイ構造は、配線構造の開放/短絡や半不良を検出して場所を同定するためにも使用される。

30

**【0003】**

前述の電気特性の変動となる原因として、完全開放状態ではない異常高抵抗を示す抵抗素子の欠陥である前記半不良が特に問題視される。この半不良は、検出が難しいが、製品信頼性のために非常に重要である。というのも、半不良は製品動作をした後に完全不良に変化する可能性があるためである。そのため、プロセス開発の早い段階から半不良は、注意深く管理されなければならない。

**【0004】**

前記半不良を検出する検出装置が既に発表されている。この検出装置は、配線Viaでの半不良を検出するためのアドレス指定可能なテストアレイ構造になっている。このアレイ構造は、測定効率を向上させるために二重入れ子アレイ構造になっており、図5(a)、(b)に示している。図5(a)では、X、Y方向のそれぞれに配置された5to32ビット変換主デコーダ100により選択される多数の単位ブロック101が、マトリクス状（格子状）に配置されている。また、前記各単位ブロック101は、図5(b)に示すように、X、Y方向のそれぞれに配置された3to8ビット変換副デコーダ102により選択される8×8（=64）個の単位セル103がマトリクス状（格子状）に配置されている。

40

**【0005】**

50

前記構成の単位ブロック101と単位セル103とは、異なる2つのモード、つまり直列接続素子測定モードと単位素子測定モードとを切り替えて検出動作する。まず、直列接続素子測定モードで検出動作させることになるが、その直列接続素子測定モードで検出動作するためには、図6に示すように、1つの単位ブロック101を構成する32個の単位セル103が直列に接続され、1つの単位ブロック101に対して2つのチェーン回路104, 104を作り、それら2つのチェーン回路104, 104のそれぞれに電流を流して、検出動作させることになる。全ての単位ブロック101の検出動作後に、特定の単位ブロック101に半不良の単位セル103があると検出された場合には、単位素子測定モードに切り替えて、前記検出された単位セル103を含む32個全てのセル103に電流を流して半不良の単位セルを検出する(例えば、非特許文献1参照)。

10

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】「Analysis of Soft Failures in Low-Resistance Interconnect Vias Using Doubly Nesting Arrays」、(IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING ,VOL.27,NO.2,MAY 2014)

【発明の概要】

【発明が解決しようとする課題】

【0007】

上記非特許文献1の検出装置では、二重入れ子アレイ構造であるだけでなく、単位ブロック101を2つのチェーン回路104, 104から構成しなければならない。更には、前記2つのチェーン回路104, 104を切り替えるためのスイッチ回路も必要になる。そのため、周辺回路が非常に複雑になり、周辺回路の占有面積が多く、評価用面積が狭くなるだけでなく、評価パターンを作成する負荷が非常に重くなるという不都合があった。また、周辺回路の複雑化により、過電流を印加して劣化試験を行うことができない不都合もあった。

20

【0008】

本発明が前述の状況に鑑み、解決しようとするところは、周辺回路の簡素化を図ることができる半導体の抵抗異常検出装置を提供することにある。

【課題を解決するための手段】

30

【0009】

本発明の半導体の抵抗異常検出装置は、前述の課題解決のために、検査対象となる複数の抵抗素子が直列接続されてなる半導体素子の多数を配置して構成される半導体の抵抗異常を検出する装置であって、前記多数の半導体素子のうちの特定の半導体素子を選択し該選択された半導体素子に電流を流すべく、該各半導体素子の両端に接続される選択スイッチと、前記各抵抗素子の抵抗値を測定すべく、該各抵抗素子の一端側及び他端側に接続される測定スイッチと、前記選択スイッチで選択された半導体素子が良又は不良であるかを評価する半導体素子評価手段と、該半導体素子評価手段で不良であると評価された半導体素子を構成する複数の抵抗素子のそれぞれを前記測定スイッチで測定した結果に基づいて良又は不良であるかを評価する抵抗素子評価手段と、を備えていることを特徴としている。

40

【0010】

上記構成によれば、選択スイッチによって、選択された半導体素子に電流を流すことによって、半導体素子の抵抗値を測定することができる。また、測定スイッチによって、半導体素子を構成する各抵抗素子の抵抗値を測定することができる。そして、半導体素子評価手段によって、選択スイッチで選択された半導体素子が良又は不良であるかを評価することができる。前記不良であると評価された半導体素子がある場合には、抵抗素子評価手段が、測定スイッチで不良の半導体素子を構成する全ての抵抗素子の抵抗値を測定した結果に基づいて、不良とみなされている抵抗素子を見つけ出す。要するに、検出装置を、半導体素子を選択する選択スイッチと、半導体素子を構成する各抵抗素子の抵抗値を測定す

50

るための測定スイッチとを有する1つの回路で構成することによって、周辺回路の簡素化を図ることができる。これによって、周辺回路の占有面積が少なく、評価用面積を広く取ることができ、評価パターンを作成する負荷が非常に軽くなる。また、周辺回路の簡素化により、第1選択スイッチ及び第2選択スイッチにより抵抗素子に過電流を印加して劣化試験を行うことができる。

【0011】

また、本発明の半導体の抵抗異常検出装置は、前記半導体素子評価手段が、前記全ての半導体素子の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の半導体素子を抽出して不良であると評価する手段であってもよい。

【0012】

上記のように、半導体素子評価手段で、全ての半導体素子の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の半導体素子を抽出して不良であると評価するので、半導体素子のバラツキを考慮した状態で不良の半導体素子を抽出し易い。

【0013】

また、本発明の半導体の抵抗異常検出装置は、前記抵抗素子評価手段が、前記不良であると評価された半導体素子を構成する全ての抵抗素子の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の抵抗素子を抽出して不良であると評価する手段であってもよい。

【0014】

上記構成のように、抵抗素子評価手段で、不良であると評価された半導体素子を構成する全ての抵抗素子の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の抵抗素子を抽出して不良であると評価するので、抵抗素子のバラツキを考慮した状態で不良の抵抗素子を抽出し易い。

【発明の効果】

【0015】

本発明によれば、検出装置を、半導体装置を選択する選択スイッチと、半導体装置を構成する各抵抗素子の抵抗値を測定するための測定スイッチとを有するだけの1つの簡素な回路で構成することによって、周辺回路の簡素化を図ることができる半導体の抵抗異常検出装置を提供することができる。

【図面の簡単な説明】

【0016】

【図1】本発明の半導体の抵抗異常検出装置の概略図である。

【図2】同検出装置の構成を示すブロックである。

【図3】同検出装置による検出動作を示すフローチャートである。

【図4】他の実施形態の半導体の抵抗異常検出装置の概略図である。

【図5】(a)、(b)は従来を検出装置を示す概略図である。

【図6】従来単位セルの回路図である。

【発明を実施するための形態】

【0017】

図1は、半導体の抵抗異常検出装置1(以下、単に検出装置という)の概略図を示している。この検出装置1は、検査対象となる複数(例えば31個であるが、2個以上の任意の個数であってもよい。図1では、2個のみ図示している)の抵抗素子2が直列接続されてなる半導体素子3の多数(図1では4個のみ図示)をマトリクス状(格子状)に配置して構成される半導体の抵抗異常を検出するための装置である。

【0018】

具体的には、検出装置1は、多数の半導体素子3のうち特定の半導体素子3を選択し、選択された半導体素子3に電流を流すべく、各半導体素子3の両端に接続される2個の第1選択スイッチ4、5と、各抵抗素子2の抵抗値を測定すべく、各抵抗素子2の一端側及び他端側に接続される測定スイッチ6(抵抗素子2数の数よりも1つ多い個数)と、全

10

20

30

40

50

ての測定スイッチ6のうちの特定の測定スイッチ6に流れる電流、もしくは測定スイッチ6近傍で充電される電位、もしくは電圧を出力側(後述する出力線28側)へ出力するための第2選択スイッチ7と、を備えている。図1に示す4個の半導体素子3の構成は、いずれも同一であり、右上の半導体素子3のみ拡大図で示している。尚、前記測定スイッチ6の制御端子に、電位、もしくは電圧をかけることによって、前記測定スイッチ6の切り替え制御することになるが、場合によっては、電流によって測定スイッチ6の切り替え制御することも可能である。

**【0019】**

第1選択スイッチ4,5、測定スイッチ6、第2選択スイッチ7は、双方向アナログスイッチから構成されている。双方向アナログスイッチは、制御端子を備え、その制御端子へ電流を供給することによって、一方の入出力端子と他方の入出力端子との間を導通状態にして一方の入出力端子から他方の入出力端子へ(又は他方の入出力端子から一方の入出力端子へ)電流が流れるようにし、制御端子への電流の供給を遮断することによって、一方の入出力端子と他方の入出力端子との間を非導通状態にして電流が流れないようにしている。尚、第1選択スイッチ4,5への2本の配線(cell)及び第2選択スイッチ7への配線(cell)は、図1の拡大図の左上の端子の配線(cell)に接続されている。尚、双方向アナログスイッチは、前記のように制御端子に電流を供給することにより切り替えられる他、電位もしくは電圧を供給することによって、切り替えられる。

10

**【0020】**

また、検出装置1は、測定対象となる半導体素子3を選択するための列レコーダ8と、行レコーダ9とを備えている。

20

**【0021】**

行レコーダ9に接続され、図1において水平方向に延びる下側の第1ビット線b1に、下側の左右2個の半導体素子3,3の左上の端子から延びる線10,10が接続されている。また、行レコーダ9に接続される図1において水平方向に延びる上側の第2ビット線b2に、上側の左右2個の半導体素子3,3の左上の端子から延びる線11,11が接続されている。

**【0022】**

左側の上下2個の半導体素子3,3の左側の第1選択スイッチ4(図1の拡大図参照)に接続される左下の端子から延びる線12,12が、図1において上下方向に延びる第3の線13に接続されている。第3の線13の一端(図1では下端)が第1電流 $I_1$ を流す第1電流供給線14に第3スイッチ(双方向アナログスイッチ)15を介して接続されている。

30

**【0023】**

右側の上下2個の半導体素子3,3の左側の第1選択スイッチ4(図1の拡大図参照)に接続される左下の端子から延びる線16,16が、図1において上下方向に延びる第4の線17に接続されている。第4の線17の一端(図1では下端)が第1電流 $I_1$ を流す第2電流供給線18に第4スイッチ(双方向アナログスイッチ)19を介して接続されている。

**【0024】**

左側の上下2個の半導体素子3,3の右側の第1選択スイッチ5(図1の拡大図参照)に接続される右下の端子から延びる線20,20が、図1において上下方向に延びる第5の線21に接続されている。第5の線21の一端(図1では下端)が第2電流 $I_2$ を流す第2電流供給線18に第5スイッチ(双方向アナログスイッチ)22を介して接続されている。

40

**【0025】**

右側の上下2個の半導体素子3,3の右側の第1選択スイッチ5(図1の拡大図参照)に接続される右下の端子から延びる線23,23が、図1において上下方向に延びる第6の線24に接続されている。第6の線24の一端が第2電流 $I_2$ を流す第2電流供給線18に第6スイッチ(双方向アナログスイッチ)25を介して接続されている。

50

## 【0026】

左側の上下2個の半導体素子3, 3の第2選択スイッチ7(図1の拡大図参照)に接続される右上の端子から延びる線26, 26が、図1において上下方向に延びる第7の線27に接続されている。第7の線27の一端(図1では下端)が出力線28に第7スイッチ(双方向アナログスイッチ)29を介して接続されている。

## 【0027】

右側の上下2個の半導体素子3, 3の第2選択スイッチ7(図1の拡大図参照)に接続される右上の端子から延びる線30, 30が、図1において上下方向に延びる第8の線31に接続されている。第8の線31の一端(図1では下端)が出力線28に第8スイッチ(双方向アナログスイッチ)32を介して接続されている。

10

## 【0028】

第3スイッチ15、第5スイッチ22、第7スイッチ29の制御端子に、列デコーダ8から延びる第1ワード線a1に接続されている。また、第4スイッチ19、第6スイッチ25、第8スイッチ32の制御端子に、列レコーダ8から延びる第2ワード線a2に接続されている。

## 【0029】

また、検出装置1には、図2に示すように、前記4つのスイッチ4, 5, 6, 7の他、第1選択スイッチ4, 5で選択された半導体素子3が良又は不良であるかを評価する半導体素子評価手段33と、半導体素子評価手段33で不良であると評価された半導体素子3を構成する複数の抵抗素子2を第2選択スイッチ7で選択して選択された抵抗素子2が良又は不良であるかを評価する抵抗素子評価手段34と、を備えている。これら2つの手段33, 34は、検出装置1に備えている制御部35に記憶されている。

20

## 【0030】

半導体素子評価手段33は、全ての半導体素子3の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の半導体素子3を抽出して不良であると評価する手段である。

## 【0031】

また、抵抗素子評価手段34は、半導体素子評価手段33で不良であると評価された半導体素子3を構成する全ての抵抗素子2の抵抗値を求め、それら全ての抵抗値の平均値に対して所定範囲から外れる抵抗値の抵抗素子2を抽出して不良であると評価する手段である。

30

## 【0032】

検出装置1で半導体の抵抗異常を検出するには、まず、図1の例えば4個の半導体素子3の中から測定する対象となる半導体素子3を、列デコーダ8及び行レコーダ9により特定する。次に、選択した半導体素子3を構成する全ての個数の抵抗素子2に所定の電流 $I_1$ (例えば、 $I_1 > I_2$ としておく)を流す。このとき、図1の拡大図に示すように、左端の抵抗素子2の左側の電位 $V_A$ と右端の抵抗素子2の右側の電位 $V_Z$ を測定する。そして、制御部35は、全ての個数の抵抗素子2の抵抗値 $R_1$ をオームの式に当てはめ、 $R_1 = (V_A - V_Z) / I_1$ から算出できる。4つの半導体素子3の抵抗値が全て出揃うと、前述の半導体素子評価手段33により評価する。半導体素子評価手段33で、不良の半導体素子3が抽出されると、抽出された半導体素子3の全ての抵抗素子2の抵抗値を求める。具体的には、前述同様に、各抵抗素子2に所定の電流 $I_2$ を流し、そのときの両端の電位を測定し、それら両端の電位から電位差(電圧)を算出し、算出した電位差(電圧)を流した電流値で割ることによって各抵抗素子2の抵抗値を算出することができる。具体的には、例えば図1において左端の抵抗素子2に電流 $I_2$ を流して電位 $V_A$ と $V_B$ とを求める。これにより左端の抵抗素子2の抵抗値 $R_2 = (V_A - V_B) / I_2$ を算出することができる。全ての抵抗素子2の抵抗値 $R_2$ の算出が終了すると、抵抗素子評価手段34により不良の抵抗素子2を抽出する。

40

## 【0033】

次に、検出装置1により不良の抵抗素子2を検出することを図3に示すフローチャート

50

により説明する。

【0034】

検出が開始されると、半導体内の全ての半導体素子3における抵抗値を測定する(ステップS1)。全ての半導体素子3の抵抗測定が終了すると、全ての抵抗値の分布を作成し、その抵抗値分布に局所平均値除去作業(例えば画素系High Pass Filter)を適用する(ステップS2)。適用後、抵抗値が大きい半導体素子の順に番号付けを行う(ステップS3)。番号付け後に、前述した半導体素子評価手段33により評価し、不良の半導体素子3があるかどうかを確認する(ステップS4)。不良の半導体素子3が無ければ、検出作業を終了する。不良の半導体素子3があれば、該当する半導体素子3を抽出する(ステップS5)。抽出された半導体素子3内の全抵抗素子2の局所電位を前述したように測定して各抵抗素子2の抵抗値R2を算出する(ステップS6)。算出が終了すると、全抵抗素子2の抵抗値R2を抵抗素子評価手段34により評価して、不良の抵抗素子2を同定(特定)して(ステップS7)、検出作業を終了する。

10

【0035】

尚、本発明は、前記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0036】

例えば、4つの双方向アナログスイッチ4, 5, 6, 7を、一方向スイッチから構成してもよい。

【0037】

前記実施形態では、半導体素子3をマトリクス状(格子状)に配置したが、図4に示すように、4個の半導体素子3を一行に所定間隔を置いて配置して並列接続した構成でもよい。図4では、半導体素子3を構成する抵抗素子2を6個備えたものを示している。また、図4において各半導体素子3の両端には、前述した双方向アナログスイッチ4, 5を備えている。また、上から1番目の半導体素子3と上から2番目の半導体素子3の両端の合流部には、一对の双方向アナログスイッチ36, 37を備え、上から3番目の半導体素子3と上から4番目の半導体素子3の両端の合流部には、一对の双方向アナログスイッチ36, 37を備えている。また、出力線へは第2選択スイッチ7から双方向アナログスイッチ38を介して接続されている。また、図4のa1, a2は、列レコーダ8に接続されるワード線であり、b1, b2は、行レコーダ9に接続されるビット線である。尚、説明しなかった他の部分で、前記実施形態と同一の部分には、同一の符号を付している。

20

30

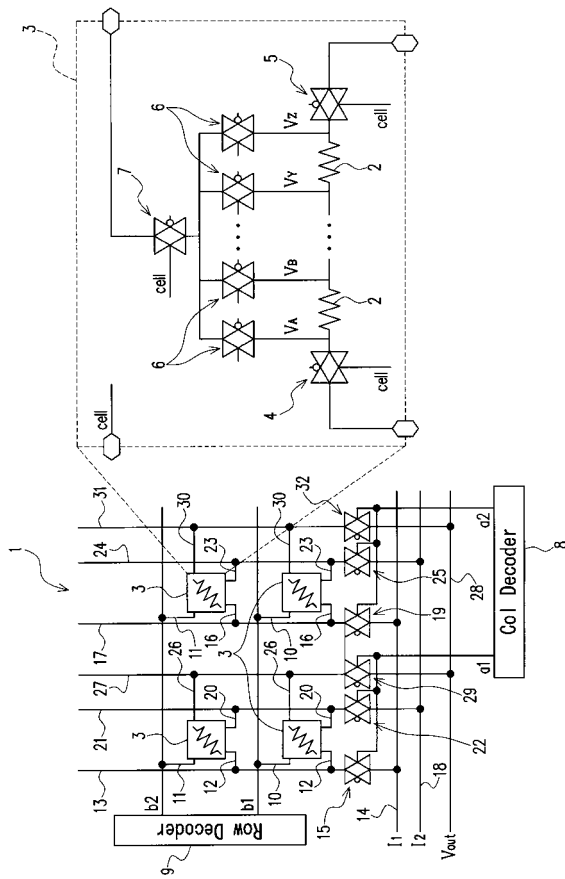
【符号の説明】

【0038】

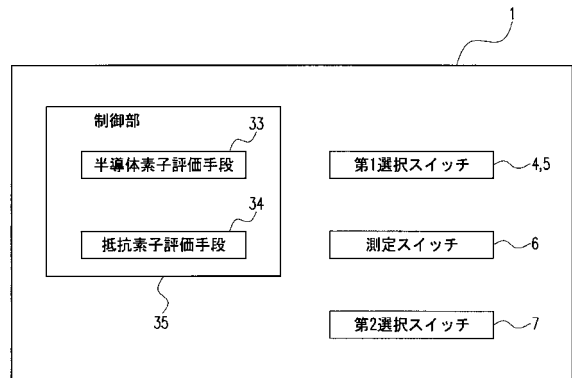
1...抵抗異常検出装置、2...抵抗素子、3...半導体素子、4, 5...第1選択スイッチ(双方向アナログスイッチ)、6...測定スイッチ、7...第2選択スイッチ、8...列レコーダ、9...行レコーダ、10, 11, 12...線、13...第3の線、14...第1電流供給線、15...第3スイッチ、16...線、17...第4の線、18...第2電流供給線、19...第4スイッチ、20...線、21...第5の線、22...第5スイッチ、23...線、24...第6の線、25...第6スイッチ、26...線、27...第7の線、28...出力線、29...第7スイッチ、30...線、31...第8の線、32...第8スイッチ、33...半導体素子評価手段、34...抵抗素子評価手段、35...制御部、36, 37, 38...双方向アナログスイッチ、100...ビット変換主デコーダ、101...単位ブロック、102...ビット変換副デコーダ、103...単位セル、104...チェーン回路、a1, a2...ワード線、b1, b2...ビット線

40

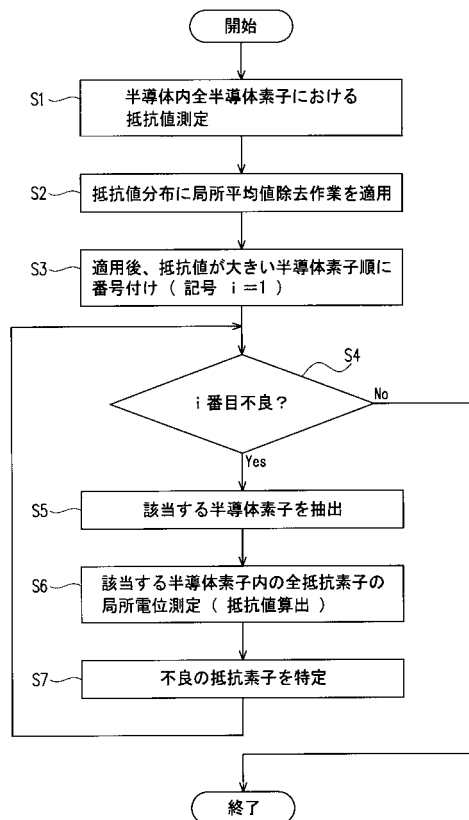
【図1】



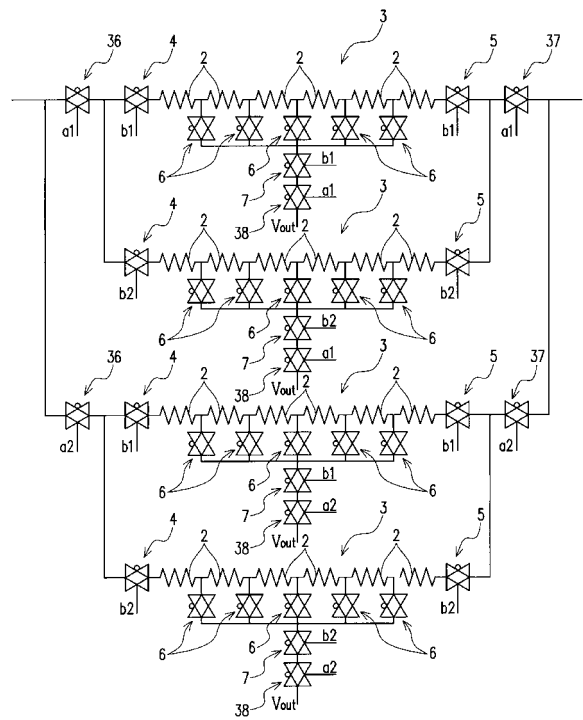
【図2】



【図3】

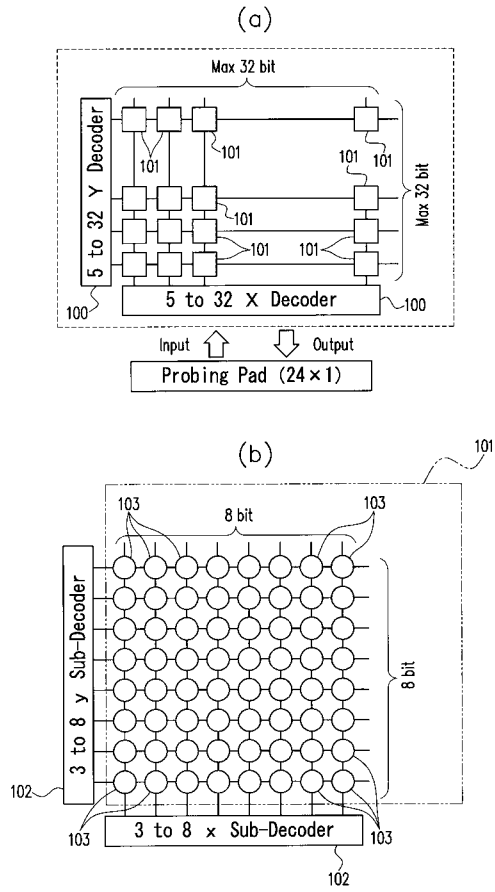


【図4】





【 図 5 】



【 図 6 】

