

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-152378

(P2016-152378A)

(43) 公開日 平成28年8月22日 (2016. 8. 22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 2 M	4 M 1 0 4
HO 1 L 21/28 (2006. 01)	HO 1 L 21/28 A	5 F 0 5 3
HO 1 L 29/417 (2006. 01)	HO 1 L 21/28 3 0 1 B	
HO 1 L 29/12 (2006. 01)	HO 1 L 29/50 M	
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 5 2 T	

審査請求 未請求 請求項の数 28 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2015-30433 (P2015-30433)  
 (22) 出願日 平成27年2月19日 (2015. 2. 19)

(71) 出願人 304024430  
 国立大学法人北陸先端科学技術大学院大学  
 石川県能美市旭台一丁目1番地  
 (71) 出願人 504171134  
 国立大学法人 筑波大学  
 茨城県つくば市天王台一丁目1番1  
 (74) 代理人 100125450  
 弁理士 河野 広明  
 (72) 発明者 下田 達也  
 石川県能美市旭台一丁目1番地 国立大学  
 法人北陸先端科学技術大学院大学内  
 (72) 発明者 井上 聡  
 石川県能美市旭台一丁目1番地 国立大学  
 法人北陸先端科学技術大学院大学内

最終頁に続く

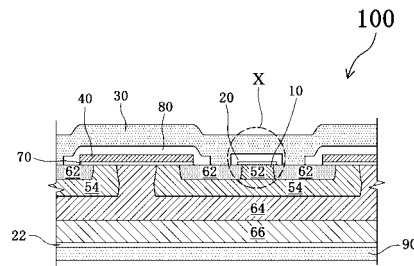
(54) 【発明の名称】 前駆体溶液及び炭化シリコンを含有する層、並びに、パワー半導体素子及びパワー半導体素子の製造方法

(57) 【要約】

【課題】パワー半導体素子におけるコンタクト抵抗を低減する材料を提供するとともに、コンタクト抵抗の低減を実現するパワー半導体素子を実現する。

【解決手段】本発明の1つのパワー半導体素子は、金属配線30が接続するコンタクト層20と、炭化シリコン結晶中に形成されるn型半導体領域又はp型半導体領域からなる不純物領域との間に、n型又はp型のドーパントとともにシリコン(Si)及び炭素(C)を含む炭化シリコンを含有する中間層10を備える。

【選択図】図5



## 【特許請求の範囲】

## 【請求項 1】

金属配線が接続するコンタクト層と、炭化シリコン結晶中に形成される n 型半導体領域又は p 型半導体領域からなる不純物領域との間に、

n 型又は p 型のドーパントとともにシリコン ( Si ) 及び炭素 ( C ) を含む炭化シリコンを含有する中間層を備える、

パワー半導体素子。

## 【請求項 2】

前記不純物領域が p 型半導体領域であり、かつ

前記中間層の価電子帯上端のエネルギー準位が、前記コンタクト層の仕事関数と、前記 p 型半導体領域の価電子帯上端のエネルギー準位との間にある、

請求項 1 に記載のパワー半導体素子。

## 【請求項 3】

前記不純物領域が n 型半導体領域であり、かつ

前記中間層の伝導帯下端のエネルギー準位が、前記コンタクト層の仕事関数と、前記 n 型半導体領域の伝導帯下端のエネルギー準位との間にある、

請求項 1 に記載のパワー半導体素子。

## 【請求項 4】

前記 n 型半導体領域又は前記 p 型半導体領域の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$  以上である、

請求項 1 に記載のパワー半導体素子。

## 【請求項 5】

前記中間層において、前記シリコン ( Si ) を 1 としたときに、前記炭素 ( C ) の原子数比が 0.05 以上 0.6 以下である、

請求項 1 乃至請求項 4 のいずれか 1 項に記載のパワー半導体素子。

## 【請求項 6】

前記コンタクト層がニッケル ( Ni ) を含み、かつ

前記コンタクト層と前記 p 型半導体領域との間に、前記中間層を備える、

請求項 1 又は請求項 2 に記載のパワー半導体素子。

## 【請求項 7】

前記シリコン ( Si ) を 1 としたときに、前記 p 型のドーパントの原子数比が 0.01 以上 0.1 以下である、

請求項 1 又は請求項 2 に記載のパワー半導体素子。

## 【請求項 8】

前記ドーパントが、p 型のドーパントであり、かつ、ボロン ( B ) 及びアルミニウム ( Al ) の群から選択される少なくとも 1 種である、

請求項 1 又は請求項 2 に記載のパワー半導体素子。

## 【請求項 9】

前記ドーパントが、n 型ドーパントであり、かつ、リン ( P ) である、

請求項 1 又は請求項 3 に記載のパワー半導体素子。

## 【請求項 10】

シリコン源となる第 1 材料と、不飽和炭化水素化合物から選択される少なくとも 1 種類の、炭素源となる第 2 材料と、n 型又は p 型のドーパント材料とを含む混合溶液を加熱することにより、n 型又は p 型のドーパントとともにシリコン ( Si ) 及び炭素 ( C ) を含む炭化シリコンを含有する中間層を、

金属配線が接続するコンタクト層と、炭化シリコン結晶中に形成される n 型半導体領域又は p 型半導体領域からなる不純物領域との間に形成する中間層形成工程を含む、

パワー半導体素子の製造方法。

## 【請求項 11】

前記中間層において、前記シリコン ( Si ) を 1 としたときに、前記炭素 ( C ) の原子

10

20

30

40

50

数比が 0.05 以上 0.6 以下である、

請求項 10 に記載のパワー半導体素子の製造方法。

【請求項 12】

前記第 1 材料は、シクロペンタシラン (Cyclopentasilane)、シクロヘキサシラン (Cyclohexasilane)、ネオペンタシラン (Neopentasilane)、及びポリジヒドロシラン (Polyhydrosilane) の群から選択される少なくとも 1 種類である、

請求項 10 又は請求項 11 に記載のパワー半導体素子の製造方法。

【請求項 13】

前記第 2 材料は、常温常圧において液状であり、かつ  $n$  が 5 以上 18 以下であって一般式  $C_nH_{2n-2}$  又は  $C_nH_{2n-4}$  の環式炭化水素化合物、及び  $n$  が 5 以上 18 以下であって一般式  $C_nH_{2n}$  又は  $C_nH_{2n-2}$  の鎖式炭化水素化合物の群から選択される少なくとも 1 種類の材料である、

請求項 10 又は請求項 11 に記載のパワー半導体素子の製造方法。

【請求項 14】

シリコン (Si) の供給源となる第 1 材料と、不飽和炭化水素化合物から選択される少なくとも 1 種類の、炭素 (C) の供給源となる第 2 材料とを含む混合溶液からなる、

前駆体材料。

【請求項 15】

前記第 1 材料は、シクロペンタシラン (Cyclopentasilane)、シクロヘキサシラン (Cyclohexasilane)、ネオペンタシラン (Neopentasilane)、及びポリジヒドロシラン (Polyhydrosilane) の群から選択される少なくとも 1 種類である、

請求項 14 に記載の前駆体材料。

【請求項 16】

前記第 2 材料は、常温常圧において液状であり、かつ  $n$  が 5 以上 18 以下であって一般式  $C_nH_{2n-2}$  又は  $C_nH_{2n-4}$  の環式炭化水素化合物、及び  $n$  が 5 以上 18 以下であって一般式  $C_nH_{2n}$  又は  $C_nH_{2n-2}$  の鎖式炭化水素化合物の群から選択される少なくとも 1 種類の材料である、

請求項 14 に記載の前駆体材料。

【請求項 17】

前記第 2 材料は、シクロヘキセン (Cyclohexene)、1-ヘキシン (1-Hexyne)、2-ヘキシン (2-Hexyne)、3-ヘキシン (3-Hexyne)、シクロペンテン (Cyclopentene)、シクロオクテン (Cyclooctene)、1,3-シクロペンタジエン (1,3-Cyclopentadiene)、1,3-シクロヘキサジエン (1,3-Cyclohexadiene)、1,4-シクロヘキサジエン (1,4-Cyclohexadiene)、1-ヘキセン (1-Hexene)、2-ヘキセン (2-Hexene)、3-ヘキセン (3-Hexene)、1,3-ヘキサジエン (1,3-Hexadiene)、1,4-ヘキサジエン (1,4-Hexadiene)、及び 1,5-ヘキサジエン (1,5-Hexadiene) の群から

選択される少なくとも 1 種類の材料である、

請求項 14 に記載の前駆体材料。

【請求項 18】

前記混合溶液が、 $n$  型又は  $p$  型のドーパント材料をさらに含む、

請求項 14 に記載の前駆体材料。

【請求項 19】

前記混合溶液中において、前記シリコン (Si) を 1 としたときに、前記炭素 (C) の原子数比が 0.05 以上 0.6 以下である、

請求項 14 乃至請求項 18 のいずれか 1 項に記載の前駆体材料。

【請求項 20】

10

20

30

40

50

前記ドーパント材料が p 型のドーパントであり、かつ、  
 デカボラン ( $B_{10}H_{14}$ )、 $BH_3$ -THF 錯体、 $BH_3$ -ジメチルスルフィド、アルミナムブトキシド、アルミナムエトキシド、及びジメチルアルミナムクロライドの群から選択される少なくとも 1 種類である、

請求項 18 に記載の前駆体材料。

【請求項 21】

前記混合溶液中において、前記シリコン (Si) の原子数を 1 としたときに、前記 p 型のドーパントの原子数比が 0.01 以上 0.1 以下である、

請求項 20 に記載の前駆体材料。

【請求項 22】

前記ドーパント材料が n 型ドーパントであり、かつ、  
 白燐及び黄燐の群から選択される少なくとも 1 種である、

請求項 18 に記載の前駆体材料。

【請求項 23】

前記混合溶液中において、前記シリコン (Si) の原子数を 1 としたときに、前記 n 型ドーパントの原子数比が 0.01 以上 0.1 以下である、

請求項 22 に記載の前駆体材料。

【請求項 24】

シリコン (Si) の供給源となる第 1 材料と、不飽和炭化水素化合物から選択される少なくとも 1 種類の、炭素 (C) の供給源となる第 2 材料とを含む混合溶液を加熱することによって形成される、

炭化シリコンを含有する層。

【請求項 25】

前記第 1 材料は、シクロペンタシラン (Cyclopentasilane)、シクロヘキサシラン (Cyclohexasilane)、ネオペンタシラン (Neopentasilane)、及びポリジヒドロシラン (Polyhydrosilane) の群から選択される少なくとも 1 種類であり、かつ

前記第 2 材料は、シクロヘキセン (Cyclohexene)、1-ヘキシン (1-Hexyne)、2-ヘキシン (2-Hexyne)、3-ヘキシン (3-Hexyne)、シクロペンテン (Cyclopentene)、シクロオクテン (Cyclooctene)、1,3-シクロペンタジエン (1,3-Cyclopentadiene)、1,3-シクロヘキサジエン (1,3-Cyclohexadiene)、1,4-シクロヘキサジエン (1,4-Cyclohexadiene)、1-ヘキセン (1-Hexene)、2-ヘキセン (2-Hexene)、3-ヘキセン (3-Hexene)、1,3-ヘキサジエン (1,3-Hexadiene)、1,4-ヘキサジエン (1,4-Hexadiene)、及び 1,5-ヘキサジエン (1,5-Hexadiene) の群から選択される少なくとも 1 種類の材料である、

請求項 24 に記載の炭化シリコンを含有する層。

【請求項 26】

前記シリコン (Si) を 1 としたときに、前記炭素 (C) の原子数比が 0.05 以上 0.6 以下である、

請求項 24 又は請求項 25 のいずれか 1 項に記載の炭化シリコンを含有する層。

【請求項 27】

前記層が、パワー半導体素子における、金属配線が接続するコンタクト層と、炭化シリコン結晶中に形成される p 型半導体領域からなる不純物領域との間に形成され、かつ

前記層の価電子帯上端のエネルギー準位が、前記コンタクト層の仕事関数と、前記 p 型半導体領域の価電子帯上端のエネルギー準位との間にある、

請求項 24 乃至請求項 26 のいずれか 1 項に記載の炭化シリコンを含有する層。

【請求項 28】

前記層が、パワー半導体素子における、金属配線が接続するコンタクト層と、炭化シリ

10

20

30

40

50

コン結晶中に形成される n 型半導体領域からなる不純物領域との間に形成され、かつ

前記層の伝導帯下端のエネルギー準位が、前記コンタクト層の仕事関数と、前記 n 型半導体領域の伝導帯下端のエネルギー準位との間にある、

請求項 2 4 乃至請求項 2 6 のいずれか 1 項に記載の炭化シリコンを含有する層。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、前駆体溶液、及び炭化シリコンを含有する層、並びに、パワー半導体素子及びパワー半導体素子の製造方法に関する。

【背景技術】

10

【0002】

情報機器分野、電気自動車分野、産業用ロボット分野、及び太陽光・風力発電等の自然エネルギー分野を含む数多くの分野において、低損失、高パワー、高周波、及び高集積を可能にし、省エネルギー化と、持続可能な社会を実現し得る素子として、近年、パワー半導体素子への注目が集まっている。特に、ワイドギャップ半導体の代表例といえる炭化シリコン (SiC, Silicon Carbide) には、産業界の大きな期待が集まっているため、複数の企業及び大学において、炭化シリコンを用いたパワー半導体素子の研究及び開発が行われている。

【0003】

しかしながら、例えば、将来が有望な炭化シリコンを用いたパワー半導体素子にも、いまだ十分に解決されていない幾つかの技術的問題が存在する。具体的には、炭化シリコンと金属電極との接触面における抵抗値を可能な限り低減することは、重要な技術課題の 1 つである。従来、n 型の炭化シリコンと p 型の炭化シリコンの各々に対応するオーミック電極用の金属材料を最適化しようとする方法が開示されている。具体的には、n 型の炭化シリコンと p 型の炭化シリコンの各々に対して異なる金属層を形成する技術が開示されている。(特許文献 1)。また、本願発明者らの一部は、シクロペンタシラン (Cyclopentasilane) とシクロヘキセン (Cyclohexene) とを含む液体材料から、炭化シリコンを含有する層を形成する方法を開示している(非特許文献 1)。

20

【先行技術文献】

【特許文献】

30

【0004】

【特許文献 1】特開 2003 - 77860 号公報

【非特許文献】

【0005】

【非特許文献 1】Takashi Masuda 他 4 名、Japanese Journal of Applied Physics, 53, 031304, 2014

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、ワイドギャップ半導体である炭化シリコンと電極を形成する金属材料とが接触する界面領域においては、炭化シリコンの伝導帯或いは価電子帯のエネルギー準位と金属材料の仕事関数の隔たりが大きく、そのコンタクト抵抗の値は高くなってしまふ。従って、コンタクト抵抗を低減するためには、炭化シリコンと金属電極間のエネルギー障壁をきめ細かく調整することが必要となる。それを可能にする方法が存在すれば、素子の設計における自由度を格段に向上させることにつながる。また、真空プロセスやフォトリソグラフィ法を用いたプロセス等、比較的長時間、及び/又は高価な設備を要するプロセスとは異なる新たなプロセスを採用することができれば、原材料や製造エネルギーの使用効率の格段の向上が見込まれる。

40

【課題を解決するための手段】

【0007】

50

本発明は、上述の諸問題の少なくとも1つを解決することにより、パワー半導体素子におけるコンタクト抵抗を低減する材料の提供、及びそのような材料を一部に備えた、コンタクト抵抗の低減を実現するパワー半導体素子、及びその製造方法の提供に大きく貢献し得る。

**【0008】**

本願発明者らは、パワー半導体素子におけるコンタクト抵抗を低減する材料、及びコンタクト抵抗を低減し得るパワー半導体素子の新たな構造を創出すべく、鋭意研究を重ねた。本願発明者らによる多くの試行錯誤と詳細な分析により、ある特定の複数の材料から生成される、炭化シリコンを含有する単層又は積層を、パワー半導体素子の一部に備えることによって、コンタクト抵抗の低減を実現し得ることを見出した。また、本願発明者らは、従来と比較して大幅に簡素化ないし省エネルギー化が可能であるとともに大面積化も容易なプロセスによって、工業性ないし量産性に優れた、前述の、炭化シリコンを含有する層を製造することができることを併せて見出した。本発明は上述の各視点に基づいて創出された。

10

**【0009】**

本発明の1つのパワー半導体素子は、金属配線が接続するコンタクト層と、炭化シリコン結晶中に形成されるn型半導体領域又はp型半導体領域からなる不純物領域との間に、n型又はp型のドーパントとともにシリコン(Si)及び炭素(C)を含む炭化シリコンを含有する中間層を備える。

20

**【0010】**

このパワー半導体素子においては、シリコン(Si)及び炭素(C)を含む炭化シリコンを含有する中間層が採用される。この中間層は、シリコン(Si)を1としたときの炭素(C)の原子数比を変えることによって、伝導帯及び/又は価電子帯のエネルギー準位を変化させることによってバンドギャップを制御することができる。従って、この中間層が、金属配線が接続するコンタクト層と、炭化シリコン結晶中に形成されるn型半導体領域又はp型半導体領域との間に存在することにより、該コンタクト層と該n型半導体領域又は該p型半導体領域とが直接接する場合に比べて、エネルギー障壁を低減することが可能となるため、コンタクト抵抗を低減することが可能となる。その結果、パワー半導体素子の消費電力の低減に貢献することができる。

30

**【0011】**

なお、上述の不純物領域がp型半導体領域であれば、上述の中間層の価電子帯上端のエネルギー準位が、上述のコンタクト層の仕事関数と上述のp型半導体領域の価電子帯上端のエネルギー準位との間にあることが、確度高くコンタクト抵抗を低減することを実現し得る。また、上述の不純物領域がn型半導体領域であれば、上述の中間層の伝導帯下端のエネルギー準位が、上述のコンタクト層の仕事関数と上述のn型半導体領域の伝導帯下端のエネルギー準位との間にあることが、確度高くコンタクト抵抗を低減することを実現し得る。

**【0012】**

また、本発明の1つのパワー半導体素子の製造方法は、シリコン源となる第1材料と、不飽和炭化水素化合物から選択される少なくとも1種類の、炭素源となる第2材料と、n型又はp型のドーパント材料とを含む混合溶液を加熱することにより、n型又はp型のドーパントとともにシリコン(Si)及び炭素(C)を含む炭化シリコンを含有する中間層を、金属配線が接続するコンタクト層と、炭化シリコン結晶中に形成されるn型半導体領域又はp型半導体領域からなる不純物領域との間に形成する中間層形成工程を含む。

40

**【0013】**

このパワー半導体素子の製造方法によれば、上述の混合溶液を加熱することによって形成される炭化シリコンを含有する中間層が、コンタクト層と、炭化シリコン結晶中に形成されるn型半導体領域又はp型半導体領域との間に形成される。ここで、その中間層は、シリコン(Si)を1としたときの炭素(C)の原子数比を変えることによって、伝導帯及び/又は価電子帯のエネルギー準位を変化させることによってバンドギャップを制御す

50

ることができる。従って、このパワー半導体素子の製造方法によれば、該コンタクト層と該n型半導体領域又は該p型半導体領域とが直接接する場合に比べて、エネルギー障壁を低減することが可能となるため、低いコンタクト抵抗のパワー半導体素子を製造することができる。その結果、このパワー半導体素子の製造方法は、コンタクト抵抗の低減によって、パワー半導体素子の消費電力の低減に貢献することができる。

【0014】

また、本発明の1つの前駆体材料は、シリコン(Si)の供給源となる第1材料と、不飽和炭化水素化合物から選択される少なくとも1種類の、炭素(C)の供給源となる第2材料とを含む混合溶液からなる。

【0015】

この前駆体材料は、上述の混合溶液を加熱することによって生成される炭化シリコンを含有する材料の出発材である。また、第1材料と第2材料との混合比率(例えば、原子数比)を変化させることにより、前述の炭化シリコンを含有する材料は、シリコン(Si)を1としたときの炭素(C)の原子数比を変化させることが可能となる。その結果、その炭化シリコンを含有する材料の伝導帯及び/又は価電子帯のエネルギー準位を変化させることによってバンドギャップを制御することができる。また、この前駆体溶液を出発材とすることにより、フォトリソグラフィ法を用いない比較的簡素な処理(例えば、インクジェット法、スクリーン印刷法、凹版/凸版印刷法、又はナノインプリント法)によって前述の炭化シリコンを含有する層(パターン形成される層を含む)を形成することができる。従って、この前駆体溶液を採用することにより、従来と比較して大幅に簡素化ないし省エネルギー化が可能であるとともに大面積化も容易な、いわば工業性ないし量産性に優れたプロセスによって、例えば、パワー半導体素子に適用し得る前述の炭化シリコンを含有する層を製造することができる。

【0016】

また、本発明の1つの炭化シリコンを含有する層は、シリコン(Si)の供給源となる第1材料と、不飽和炭化水素化合物から選択される少なくとも1種類の、炭素(C)の供給源となる第2材料とを含む混合溶液を加熱することによって形成される。

【0017】

上述の混合溶液を加熱することによって形成される、この炭化シリコンを含有する層は、第1材料と第2材料との混合比率(例えば、原子数比)を変化させることにより、シリコン(Si)を1としたときの炭素(C)の原子数比を変化させることが可能となる。その結果、伝導帯及び/又は価電子帯のエネルギー準位を変化させることによってバンドギャップを制御することができる。従って、例えば、パワー半導体素子のコンタクト層とn型半導体領域又はp型半導体領域とが直接接する場合に比べて、エネルギー障壁を低減することが可能となる。その結果、この炭化シリコンを含有する層は、例えば、コンタクト抵抗の低減によってパワー半導体素子の消費電力の低減に貢献することができる。

【0018】

ところで、本願において「膜」という表現には「層」の意味が含まれる。加えて、「層」という表現には「膜」の意味が含まれる。

【発明の効果】

【0019】

本発明の1つのパワー半導体素子によれば、コンタクト層とn型半導体領域又は該p型半導体領域とが直接接する場合に比べて、コンタクト抵抗を低減することが可能となる。その結果、パワー半導体素子の消費電力の低減に貢献することができる。また、本発明のパワー半導体素子の製造方法によれば、コンタクト層とn型半導体領域又は該p型半導体領域とが直接接する場合に比べて、より低いコンタクト抵抗のパワー半導体素子を製造することができる。

【0020】

また、本発明の1つの前駆体材料によれば、該前駆体を加熱することによって生成される炭化シリコンを含有する材料のシリコン(Si)を1としたときの炭素(C)の原子数

10

20

30

40

50

比を変化させることが可能となる。その結果、その炭化シリコンを含有する材料のバンドギャップを変化させることが可能となるため、例えば、パワー半導体素子のコンタクト層とn型半導体領域又はp型半導体領域との間に前述の炭化シリコンを含有する材料を介在させることによって、パワー半導体素子の低抵抗化に貢献し得る。また、本発明の1つの炭化シリコンを含有する層によれば、その層中のシリコン(Si)を1としたときの炭素(C)の原子数比を変化させることが可能となる。その結果、その炭化シリコンを含有する層のバンドギャップを変化させることが可能となるため、例えば、パワー半導体素子のコンタクト層とn型半導体領域又はp型半導体領域との間に前述の炭化シリコンを含有する材料を介在させることによって、パワー半導体素子の低抵抗化に貢献し得る。

【図面の簡単な説明】

【0021】

【図1】本発明の第1の実施形態における炭化シリコン含有層のFT-IR分光法による測定結果の一例である。

【図2】本発明の第1の実施形態における炭化シリコン含有層の光電子収量分光法(PYS)による測定結果の一例である。

【図3】本発明の第1の実施形態における炭化シリコン含有層の逆光電子分光法(IPESS)による測定結果の一例である。

【図4】本発明の第1の実施形態における、シクロヘキセン混合比率の変化に伴う炭化シリコン含有層のバンドギャップの変化に関する測定結果の一例である。

【図5】本発明の第1の実施形態におけるパワー半導体素子の全体構成及びその製造方法の一過程を示す断面模式図である。

【図6】図5のX領域の拡大図である。

【図7】本発明の第1の実施形態におけるパワー半導体素子の製造方法の一過程を示す断面模式図である。

【図8】本発明の第1の実施形態におけるパワー半導体素子の製造方法の一過程を示す断面模式図である。

【図9】本発明の第1の実施形態におけるパワー半導体素子のエネルギー準位図である。

【図10】本発明の第2の実施形態の変形例(1)におけるパワー半導体素子の全体構成を示す断面模式図である。

【図11】本発明の第2の実施形態の変形例(2)におけるパワー半導体素子の図6に相当する一部拡大図である。

【図12】本発明の第2の実施形態の変形例(3)におけるパワー半導体素子の全体構成を示す断面模式図である。

【発明を実施するための形態】

【0022】

本発明の実施形態であるパワー半導体素子及びその製造方法を、添付する図面に基づいて詳細に述べる。なお、この説明に際し、全図にわたり、特に言及がない限り、共通する部分には共通する参照符号が付されている。また、図中、本実施形態の要素は必ずしも互いの縮尺を保持して記載されるものではない。さらに、各図面を見やすくするために、一部の符号が省略され得る。

【0023】

<第1の実施形態>

1. 本実施形態のパワー半導体素子に適用する前駆体溶液、及び炭化シリコンを含有する層(本願においては、「炭化シリコン含有層」ともいう)の製造方法

本実施形態の前駆体溶液は、溶質として少なくとも以下の(a)~(c)の材料を含む混合溶液である。

(a)シリコン(Si)の供給源(本願においては、シリコン源ともいう)と考えられる第1材料

(b)炭素(C)の供給源(本願においては、炭素源ともいう)と考えられる、不飽和炭化水素化合物から選択される少なくとも1種類の第2材料

10

20

30

40

50



(c) p型のドーパント材料(本願においては、「ドーパント前駆体」ともいう)

【0024】

より具体的の一例として、本実施形態の1つの第1材料は、シクロペンタシラン(Cyclopentasilane)、シクロヘキサシラン(Cyclohexasilane)、ネオペンタシラン(Neo-pentasilane)、及びポリジヒドロシラン(Polyhydrosilane)の群から選択される少なくとも1種類である。

【0025】

また、具体的な一例として、本実施形態の1つの第2材料は、常温常圧(例えば、25、1013hPa)において液状であり、かつnが5以上18以下であって一般式 $C_nH_{2n-2}$ 又は $C_nH_{2n-4}$ の環式炭化水素化合物、及びnが5以上18以下であって一般式 $C_nH_{2n}$ 又は $C_nH_{2n-2}$ の鎖式炭化水素化合物の群から選択される少なくとも1種類の材料である。

なお、本実施形態の効果の少なくとも一部の効果が奏され得る限り、前述の環式炭化水素化合物又は鎖式炭化水素化合物の一部の水素が、公知の置換基によって置き換えられてもよい。さらに、第2材料の代表的な具体例は、シクロヘキセン(Cyclohexene)、1-ヘキシン(1-Hexyne)、2-ヘキシン(2-Hexyne)、3-ヘキシン(3-Hexyne)、シクロペンテン(Cyclopenten)、シクロオクテン(Cyclooctene)、1,3-シクロペンタジエン(1,3-Cyclopentadiene)、1,3-シクロヘキサジエン(1,3-Cyclohexadiene)、1,4-シクロヘキサジエン(1,4-Cyclohexadiene)、1-ヘキセン(1-Hexene)、2-ヘキセン(2-Hexene)、3-ヘキセン(3-Hexene)、1,3-ヘキサジエン(1,3-Hexadiene)、1,4-ヘキサジエン(1,4-Hexadiene)、及び1,5-ヘキサジエン(1,5-Hexadiene)の群から選択される少なくとも1種類である。

【0026】

また、本実施形態の1つの前駆体溶液は、シリコン源と考えられる上述の第1材料と、炭素源と考えられる第2材料、及びボロン(B)の供給源と考えられるp型のドーパント材料であるデカボラン(decaborane)を含む。なお、デカボランの代わりに、p型のドーパント材料である、 $BH_3$ -THF錯体、 $BH_3$ -ジメチルスルフィド、アルミナムブトキシド、アルミナムエトキシド、及びジメチルアルミナムクロライド、及びその他の公知のアルミニウム錯体の群から選択される少なくとも1種類を採用することも本実施形態の変形例の一態様である。

【0027】

また、本実施形態の混合溶液中のシリコン(Si)と炭素(C)との原子数比の一例は、シリコン(Si)を1としたときに、炭素(C)の原子数比が0.05以上0.6以下である。

【0028】

本実施形態は、スピンコート法によって炭化シリコン含有層を形成する。具体的には、基板(例えば、炭化シリコン基板又はシリコン基板)上に、上述の前駆体溶液を滴下した後、約2000rpmの回転を30秒間行うことによって、該前駆体溶液の層を形成する。その後、その基板を約380に加熱(本焼成)することによって、基板上に炭化シリコン含有層が形成される。なお、スピンコート法を採用する場合、本焼成前に予備焼成(例えば、80以上200以下)を行った後、公知の型押し加工、及びその後の大気圧下におけるプラズマ又はウェットエッチング技術を用いた全面エッチングを施すことによって、炭化シリコン含有層の前駆体層のパターンが形成される。さらにその後、加熱(本焼成)工程を経ることによって、本実施形態の炭化シリコン含有層を形成することができる。

【0029】

上述のとおり、本実施形態によれば、従来と比較して大幅に簡素化ないし省エネルギー化が可能であるとともに大面積化も容易なプロセスによって、工業性ないし量産性に優れ

10

20

30

40

50

た炭化シリコン含有層を製造することができることは特筆に値する。なお、本実施形態の炭化シリコン含有層のエッチング工程として、真空プロセスを用いた、いわゆるドライエッチング技術（代表的には、プラズマエッチング技術）を採用することを妨げない。

#### 【0030】

また、本実施形態において採用し得る他の一態様は、蒸着法による炭化シリコン含有層の形成である。例えば、上述の前駆体溶液を出発材とする、蒸着処理による炭化シリコン含有層の形成を採用する。具体的には、代表的には窒素雰囲気中において、その前駆体溶液を加熱して気化させるとともに、約380℃に加熱した基板（例えば、炭化シリコン基板又はシリコン基板）をその前駆体溶液を収容する容器に略対向するように配置することによって、その基板上に炭化シリコン含有層が形成される。一つの例においては、5分間の前駆体溶液の加熱及び蒸着処理によって、約100nm厚の炭化シリコン含有層が形成される。

10

#### 【0031】

### 2. 本実施形態の炭化シリコン含有層の分析結果

#### [ FT - IRによる分析結果 ]

フーリエ変換赤外分光光度計（Bruker Optics社製、型式：ALPHA）を用いて、FT - IR分光法による、上述の炭化シリコン含有層の測定を行った。

#### 【0032】

図1は、本実施形態の炭化シリコン含有層のFT - IR分光法による測定結果の一例である。図1中の(A)は、上述のスピンコート法によって形成された炭化シリコン含有層の測定結果であり、図1中の(B)は、上述の蒸着法によって形成された炭化シリコン含有層の測定結果である。

20

#### 【0033】

図1に示すように、(A)及び(B)のいずれの測定結果においても、波数 $2080\text{ cm}^{-1}$ 近傍にシリコンと水素との結合に帰属される吸収ピークと、波数 $2920\text{ cm}^{-1}$ 近傍に炭素と水素との結合に帰属される吸収ピークと、波数 $780\text{ cm}^{-1}$ 近傍に炭素とシリコンの結合に帰属される吸収ピークが確認される。本実施形態の前駆体溶液を出発材とする炭化シリコン含有層は、その他の炭化シリコン含有層とは異なる吸収ピークを有していることが分かる。加えて、図1(A)のスピンコート法によって形成された炭化シリコン含有層は、波数 $980\text{ cm}^{-1}$ 近傍にSi - CH<sub>2</sub>の結合に帰属される特徴的な吸収ピークが存在することが分かった。この吸収ピークを有するスピンコート法によって形成された炭化シリコン含有層は、蒸着法によって形成された炭化シリコン含有層と比較して、膜の柔軟性を向上させ、塗布膜にも関わらず上下界面層との接触性を上げることで良質な物理的および電気的なコンタクトを実現し得るといった技術的効果を有していると考えられる。

30

#### 【0034】

次に、本願発明者らは、第1材料と第2材料との混合比を変更することによる、本実施形態の前駆体溶液を出発材とする炭化シリコン含有層の特性の変化を調査した。一例として、3wt%のデカボランを溶解した、シクロペンタシラン（以下、「CPS」ともいう。）とシクロヘキセンとの混合溶液を加熱することによって形成される炭化シリコン含有層の諸特性の分析結果は、以下のとおりである。なお、後述する図2乃至図4における「p値」は、CPSとシクロヘキセンとの合計体積を1としたときの、シクロヘキセンの体積比（volume ratio）を示す。

40

#### 【0035】

#### [ バンドギャップの変化に関する分析結果 ]

図2は、本実施形態における炭化シリコン含有層の光電子収量分光法（PYS）による測定結果の一例である。また、図3は、本実施形態における炭化シリコン含有層の逆光電子分光法（IPES）による測定結果の一例である。なお、図2及び図3の実線が実測地である。また、図2及び図3中の「E w . r . t V L」とは、Energy with regard to Vacuum Levelの略であり、真空準位に対するエネ

50

ルギーの値の意味である。なお、図2及び図3においては、参考データとして、炭化シリコン(SiC)基板の結果が示されている。また、図4は、本実施形態における、シクロヘキセン混合比率の変化に伴う炭化シリコン含有層のバンドギャップの変化に関する測定結果の一例である。また、図4においては、バンドギャップの変化に加えて、電気伝導度(S/cm)の変化と活性化エネルギー(eV)の変化とが示されている。

#### 【0036】

ここで、光電子収量分光法(PYS)とは、紫外光を測定対象に照射し、光電効果により励起された電子を電流計で検出することによって、仕事関数(金属)及びイオン化ポテンシャルを測定する方法である。本実施形態の光電子収量分光法(PYS)による測定装置は、テックサイエンス社製(型式:PYS-200)である。また、逆光電子分光法(IPESS)とは、低速電子線(5-50eV)を測定対象に照射することにより電子を伝導帯に注入し、電子の運動エネルギーに相当する光を検出することによって、伝導帯の電子状態を測定する方法である。本実施形態の逆光電子分光法(IPESS)による測定装置は、PSP Vacuum Technology社製(型式:IPESS)である。また、本実施形態における、炭化シリコン含有層のバンドギャップの測定結果は、紫外・可視領域における透過率/反射率測定(UV-VIS-TR)(Science Computing International社製、型式:FilmTek 3000)による測定結果を用いて吸収係数を見積もり、そこからTaucプロットにより導出された。

10

#### 【0037】

図2に示すように、p値を変化させることによってバンドギャップの値は大きく変化することが確認された。また、この時、図2及び図3に示すように、p値を変化させることによって、伝導帯下端と価電子帯上端のエネルギー準位が変動し、その結果バンドギャップの変化が生じることが明らかになった。従って、本実施形態の炭化シリコン含有層は、本実施形態の前駆体溶液中の第1材料と第2材料との混合比を変更するという、極めて簡便な方法によって、伝導帯下端と価電子帯上端のエネルギー準位を変動させること、及びそれに伴うバンドギャップの変動を実現したことが分かる。加えて、本実施形態の炭化シリコン含有層の出発材がその前駆体溶液であるため、ドーパント材料をその前駆体溶液に混合するという、極めて簡便な方法によって、例えばp型のドーパントを含む炭化シリコン含有層を形成することができることも特筆に値する。

20

#### 【0038】

また、図4に示すように、p値を変化させることによって、バンドギャップのみならず、電気伝導度(S/cm)及び活性化エネルギー(eV)が変化することが分かる。従って、本実施形態の炭化シリコン含有層は、本実施形態の前駆体溶液中の第1材料と第2材料との混合比を変更するという、極めて簡便な方法によって、電気伝導度(S/cm)及び活性化エネルギー(eV)を変化させることを実現し得る。

30

#### 【0039】

ところで、本実施形態においては、一例としてp型のドーパント前駆体が採用されたが、本実施形態のドーパント前駆体はp型に限定されない。例えば、本実施形態の変形例の1つとして、リン(P)の供給源と考えられるn型のドーパント前駆体である白燐、黄燐を含むことも採用され得る。その結果、n型のドーパントを含む炭化シリコン含有層を形成することができる。

40

#### 【0040】

##### <第2の実施形態>

本願発明者らは、上述の知見に基づいて、第1の実施形態の炭化シリコン含有層を活用したパワー半導体素子の構造を以下に開示する。

#### 【0041】

##### 1. 本実施形態のパワー半導体素子の全体構成

図5は、本実施形態におけるパワー半導体素子100の製造方法の一過程及び全体構成を示す断面模式図である。また、図6は、図5のX領域の拡大図である。加えて、図7及び図8は、それぞれ、パワー半導体素子100の製造方法の一過程を示す断面模式図であ

50

る。

【0042】

図5に示すように、本実施形態におけるパワー半導体素子100においては、n型の炭化シリコン基板66の表面側に、n型の炭化シリコンのエピタキシャル層64が形成されている。また、本実施形態のパワー半導体素子100におけるスイッチング動作を実現するために、p型炭化シリコン層からなる不純物領域であるp型半導体領域54、p<sup>+</sup>型炭化シリコン層からなる不純物領域であるp<sup>+</sup>型半導体領域52、n<sup>+</sup>型炭化シリコンからなる不純物領域であるn<sup>+</sup>型半導体領域62、例えば、酸化シリコンからなるゲート絶縁膜70、及び例えばポリシリコンからなるゲート電極40が、それぞれ公知の方法によって形成されている。加えて、パワー半導体素子100は、公知の方法を用いて、上層側に、例えば酸化シリコンからなる層間絶縁膜80を介してアルミニウム(A1)からなる金属配線30を備えるとともに、n型の炭化シリコン基板66の裏面側に、ニッケル(Ni)を含む金属層である、いわゆるオーミック金属層22と、例えば金(Au)からなる裏面配線90を備える。層間絶縁膜80、オーミック金属層22、及び裏面配線90も、公知の方法によって形成することができる。

10

【0043】

なお、パワー半導体素子100のn型のエピタキシャル層64、n<sup>+</sup>型半導体領域62、p型半導体領域54、及びp<sup>+</sup>型半導体領域52における不純物(ドーパント)の濃度は特に限定されない。なお、代表的なn型のエピタキシャル層64の不純物(ドーパント)の濃度は、 $1.0 \times 10^{13} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下である。また、代表的なn<sup>+</sup>型半導体領域62の不純物(ドーパント)の濃度は、 $5.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $5.0 \times 10^{21} \text{ cm}^{-3}$ 以下である。また、代表的なp型半導体領域54の不純物(ドーパント)の濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $5.0 \times 10^{18} \text{ cm}^{-3}$ 以下である。加えて、代表的なp<sup>+</sup>型半導体領域52の不純物(ドーパント)の濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $5.0 \times 10^{21} \text{ cm}^{-3}$ 以下である。

20

【0044】

また、本実施形態のパワー半導体素子100は、コンタクト層20とp<sup>+</sup>型半導体領域52との間に、第1の実施形態の、p型のドーパントを含む炭化シリコン含有層からなる中間層10を備えている。

【0045】

具体的には、コンタクト層20は、金属配線30とp<sup>+</sup>型半導体領域52又はn<sup>+</sup>型半導体領域62とが直接接する場合に比べてコンタクト抵抗値を低減させるために設けられる層であり、代表的には、オーミックコンタクトを形成するための層である。

30

【0046】

本実施形態においては、p<sup>+</sup>型半導体領域52、n<sup>+</sup>型半導体領域62、及びゲート電極40上に、第1の実施形態のp型のドーパント材料を含む前駆体溶液をスピンコート法によって層状に形成する。その後、公知の型押し加工、及びその後の大気圧下におけるプラズマ又はウェットエッチング技術を用いた全面エッチングを施すことによって、炭化シリコン含有層の前駆体層のパターンが形成される。さらにその後、加熱(本焼成)工程を経ることによって、図7に示すように、p<sup>+</sup>型半導体領域52上に、中間層10を形成することができる。なお、中間層10は、コンタクト抵抗の低減の観点から言えば、p<sup>+</sup>型半導体領域52の全てを覆うように配置されることが好ましい。その後、図8に示すように、公知の方法によって、パターンが形成されたコンタクト層20を製造することができる。

40

【0047】

また、本実施形態の中間層10におけるシリコン(Si)と炭素(C)との原子数比の一例は、シリコン(Si)を1としたときに、炭素(C)の原子数比が0.05以上0.6以下である。

【0048】

加えて、本実施形態の中間層10におけるシリコン(Si)とp型のドーパントとの原

50

子数比の一例は、シリコン ( S i ) を 1 としたときに、 p 型のドーパントの原子数比が 0 . 0 1 以上 0 . 1 以下である。

【 0 0 4 9 】

なお、パワー半導体素子 1 0 0 は、 n + 型半導体領域 6 2 との抵抗値を低減する為にニッケル ( N i ) を含む金属を、コンタクト層 2 0 として採用する。また、コンタクト層 2 0 中のニッケル ( N i ) は、コンタクト層 2 0 の形成時に、 n + 型半導体領域 6 2 との反応によって合金 ( ニッケル・シリサイド ) 化する場合がある。

【 0 0 5 0 】

上述の製造方法によって形成されるパワー半導体素子 1 0 0 は、コンタクト層 2 0 、中間層 1 0 及び p + 型半導体領域 5 2 との間で、図 9 のエネルギー準位図に示される関係が形成される。なお、図 9 においては、中間層 1 0 のうち、図 2 及び図 3 の ( 2 ) のグラフに表される中間層 1 0 の例 ( p 値が 0 . 6 の例 ) を採用している。

10

【 0 0 5 1 】

既に述べたとおり、中間層 1 0 の価電子帯上端のエネルギー準位が変動する特性を活かすことにより、コンタクト層 2 0 と p + 型半導体領域 5 2 とが直接接する場合に比べて、エネルギー障壁を低減することが可能となり、コンタクト抵抗を低減することが可能となる。その結果、パワー半導体素子 1 0 0 の消費電力の低減に貢献することができる。

【 0 0 5 2 】

より具体的には、本実施形態のパワー半導体素子 1 0 0 においては、図 9 に示すように、中間層 1 0 の価電子帯上端のエネルギー準位が、コンタクト層 2 0 の仕事関数と、 p 型半導体領域 ( 本実施形態においては、 p + 半導体領域 5 4 ) の価電子帯上端のエネルギー準位との間に存在している。従って、上述のとおり、エネルギー障壁をいわば多段的に形成することが可能となるため、コンタクト抵抗を低減することが可能となる。

20

【 0 0 5 3 】

なお、本願発明者らの知見によれば、特に、中間層 1 0 の価電子帯上端のエネルギー準位が、コンタクト層 2 0 の仕事関数と、 p 型半導体領域 ( 本実施形態においては、 p + 半導体領域 5 4 ) の価電子帯上端のエネルギー準位との中間値  $\pm 0 . 3 \text{ e V}$  以内の範囲であることが、より確度高くコンタクト抵抗の低減に貢献し得るため、好適である。

【 0 0 5 4 】

本実施形態の中間層 1 0 を採用すれば、第 1 の実施形態の前駆体溶液中の第 1 材料と第 2 材料との混合比を変更するという、極めて簡便な方法によって、価電子帯上端のエネルギー準位、又は伝導帯下端のエネルギー準位を変動させること、及びそれに伴うバンドギャップの変動を実現しうるため、エネルギー障壁のギャップをきめ細かく調整することが可能となる。その結果、パワー半導体素子の設計における自由度を格段に向上させることができる。また、中間層 1 0 の製造は、真空プロセスやフォトリソグラフィ法を用いたプロセス等、比較的長時間、及び / 又は高価な設備を要するプロセスを要しない。そのため、原材料や製造エネルギーの使用効率の各段の向上を実現することができる。

30

【 0 0 5 5 】

< 第 2 の実施形態の変形例 ( 1 ) >

図 1 0 は、本変形例におけるパワー半導体素子 2 0 0 の全体構成を示す断面模式図である。本変形例におけるパワー半導体素子 2 0 0 は、第 2 の実施形態のパワー半導体素子 1 0 0 の中間層 1 0 を中間層 2 1 0 に変更したこと、及びコンタクト層 2 0 をアルミニウム ( A l ) 及び / 又はチタン ( T i ) を含むコンタクト層 2 2 0 に変更したこと以外は、第 1 の実施形態のパワー半導体素子 1 0 0 の構造及びその製造方法と同じである。従って、重複する説明は省略され得る。

40

【 0 0 5 6 】

本変形例におけるパワー半導体素子 2 0 0 は、 p + 型半導体領域 5 2 との抵抗値を低減するアルミニウム ( A l ) 及び / 又はチタン ( T i ) を含む金属を、コンタクト層 2 2 0 として採用する。また、コンタクト層 2 2 0 中のアルミニウム ( A l ) 及び / 又はチタン ( T i ) は、コンタクト層 2 2 0 の形成時に、 n + 型半導体領域 6 2 との反応によって合

50

金（アルミニウム・シリサイド及び／又はチタン）化する場合がある。また、本実施形態のパワー半導体素子 200 は、コンタクト層 220 と  $n^+$  型半導体領域 62 との間に、第 1 の実施形態の、 $n$  型のドーパントを含む炭化シリコン含有層からなる中間層 210 を備えている。

#### 【0057】

従って、例えば、アルミニウム（Al）を含むコンタクト層 220 として採用した場合、図 11 に示すように、中間層 210 をコンタクト層 220 と  $n^+$  型半導体領域 62 との間に介在させることによって、コンタクト層 220 と  $n^+$  型半導体領域 62 とが直接接する場合に比べて、エネルギー障壁を低減することが可能となる。その結果、コンタクト抵抗を低減することが可能となるため、パワー半導体素子 200 の消費電力の低減に貢献することができる。

10

#### 【0058】

なお、本実施形態の中間層 210 におけるシリコン（Si）と  $n$  型ドーパントとの原子数比の一例は、シリコン（Si）を 1 としたときに、 $n$  型ドーパントの原子数比が 0.1 以上 0.1 以下である。

#### 【0059】

なお、中間層 210 の伝導帯下端のエネルギー準位が、コンタクト層 220 の仕事関数と、 $n$  型半導体領域（本実施形態においては、 $n^+$  半導体領域 62）の伝導帯下端のエネルギー準位との間にあることは、コンタクト抵抗の低減に確度高く貢献し得るため、好適な一態様である。なお、本願発明者らの知見によれば、特に、中間層 210 の伝導帯下端のエネルギー準位が、コンタクト層 220 の仕事関数と、 $n$  型半導体領域（本実施形態においては、 $n^+$  半導体領域 62）の伝導帯下端のエネルギー準位との中間値  $\pm 0.3 \text{ eV}$  以内の範囲であることが、より確度高くコンタクト抵抗の低減に貢献し得るため、好適である。

20

#### 【0060】

< 第 2 の実施形態の変形例（2） >

図 11 は、本変形例におけるパワー半導体素子の図 6 に相当する一部拡大図である。なお、本変形例におけるパワー半導体素子は、第 2 の実施形態のパワー半導体素子 100 の中間層 10 を積層の中間層 310, 315 に変更したこと以外は、第 1 の実施形態のパワー半導体素子 100 の構造及びその製造方法と同じである。従って、重複する説明は省略され得る。

30

#### 【0061】

図 11 に示すパワー半導体素子は、コンタクト層 20 と  $p^+$  型半導体領域 52 との間に、第 1 の実施形態の、 $p$  型のドーパントを含む、炭化シリコン含有層からなる積層の中間層 310, 315 を備えている。より具体的には、 $p^+$  型半導体領域 52 に接する中間層 310 は、例えば、図 2 及び図 3 の（3）のグラフに表される 1 つの中間層 10 の例（ $p$  値が 0.6 の例）を採用している。また、コンタクト層 20 側に接する中間層 315 は、第 1 の実施形態の前駆体溶液の第 1 材料及び第 2 材料の混合比が調整されることにより、 $p$  値が 0.6 のときの価電子帯上端と、 $p$  型半導体領域（本実施形態においては、 $p^+$  半導体領域 54）の価電子帯上端のエネルギー準位との間に、価電子帯上端が形成される他の中間層の例を採用している。

40

#### 【0062】

上述の構成を備えることにより、コンタクト層 20 と  $p^+$  型半導体領域 52 との間に、いわば階段状のエネルギー準位が形成されるため、確度高くコンタクト抵抗の低減に貢献することができる。なお、この変形例においては、2 段階のエネルギー準位が形成されているが、3 以上の段階を有するエネルギー準位が形成されることも、採用し得る他の一態様である。

#### 【0063】

< 第 2 の実施形態の変形例（3） >

図 12 は、本変形例におけるパワー半導体素子 300 の全体構成を示す断面模式図であ

50

る。なお、本変形例におけるパワー半導体素子は、第2の実施形態のパワー半導体素子100の中間層10を中間層310に変更したこと、第2の実施形態のパワー半導体素子100のp<sup>+</sup>型半導体領域52を、p型半導体領域54に変更したこと以外は、第1の実施形態のパワー半導体素子100の構造及びその製造方法と同じである。従って、重複する説明は省略され得る。

#### 【0064】

本変形例においては、上述のとおり、p<sup>+</sup>型半導体領域52が設けられていない。しかしながら、中間層310が直接p型半導体領域54に接していたとしても、中間層310のバンドギャップ（例えば、価電子帯上端のエネルギー準位）を制御することによって、エネルギー障壁の低減を図ることができる。なお、この態様における、代表的なp型半導体領域54の不純物（ドーパント）の濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $5.0 \times 10^{18} \text{ cm}^{-3}$ 以下である。また、中間層310の価電子帯上端のエネルギー準位は、5.25 eVになるように、第1の実施形態の前駆体溶液の第1材料及び第2材料の混合比が調整される。

10

#### 【0065】

従って、この態様においては、p<sup>+</sup>型半導体領域52を設ける必要がなくなるため、製造工程の簡素化、及び歩留まりの向上を実現し得る。

#### 【0066】

なお、本変形例の別の態様の1つとして、中間層310の伝導帯下端のエネルギー準位を制御することによって、第2の実施形態の変形例(1)におけるn<sup>+</sup>型半導体領域62を設けない態様を採用することも可能である。

20

#### 【0067】

また、上述の第2の実施形態における前駆体溶液の層を予備焼成する際、予備焼成温度は、もっとも好ましくは、80 以上250 以下である。これは、該前駆体溶液の層中の溶媒を、より適度に又は十分に蒸発させることが出来るからである。また、特に、その後型押し工程を行う場合は、前述の温度範囲で予備焼成を行うことにより、将来的な塑性変形を可能にする特性を発現させるためにより好ましいゲル状態（熱分解前であって有機鎖が残存している状態と考えられる）を形成することができる。

#### 【0068】

また、第2の実施形態において、型押し加工を施す際の圧力は0.1 MPa以上20 MPa以下の範囲という低い圧力であっても、予備焼成後の該前駆体溶液の層（炭化シリコン含有層の前駆体層）が型の表面形状に追従して変形するようになり、所望の型押し構造を高い精度で形成することが可能となる。その結果、型押し加工を施す際に型が損傷し難くなるとともに、大面積化にも有利となる。なお、0.1 MPa以上20 MPa以下の圧力によって型押し加工を施す理由は以下のとおりである。まず、その圧力が0.1 MPa未満の場合には、圧力が低すぎて該前駆体層を型押しすることができなくなる場合があるからである。他方、その圧力が20 MPaもあれば、十分に該前駆体層を型押しすることができるため、これ以上の圧力を印加する必要がないからである。前述の観点から言えば、型押し工程においては、1 MPa以上10 MPa以下の範囲内にある圧力で型押し加工を施すことがより好ましい。

30

40

#### 【0069】

また、上述の型押し加工が施される工程（型押し工程）において、予め、型押し面が接触することになる、炭化シリコン含有層の前駆体層の表面に対する離型処理及び/又はその型の型押し面に対する離型処理を施しておき、その後、該前駆体層に対して型押し加工を施すことが好ましい。そのような処理を施すことにより、該前駆体層と型との間の摩擦力を低減することができるため、該前駆体層に対してより一層精度良く型押し加工を施すことが可能となる。なお、離型処理に用いることができる離型剤としては、界面活性剤（例えば、フッ素系界面活性剤、シリコン系界面活性剤、ノニオン系界面活性剤等）、フッ素含有ダイヤモンドライクカーボン等を例示することができる。

#### 【0070】

50

以上述べたとおり、上述の各実施形態の開示は、それらの実施形態の説明のために記載したものであって、本発明を限定するために記載したものではない。加えて、各実施形態の他の組合せを含む本発明の範囲内に存在する変形例もまた、特許請求の範囲に含まれるものである。

【符号の説明】

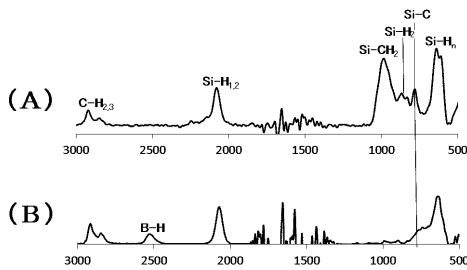
【0071】

- 10, 210, 310, 315            中間層
- 20, 220                    コンタクト層
- 22                          オーミック金属層
- 30                          金属配線
- 40                          ゲート電極
- 52                          p<sup>+</sup>型半導体領域
- 54                          p型半導体領域
- 62                          n<sup>+</sup>型半導体領域
- 64                          n型の炭化シリコンのエピタキシャル層
- 66                          炭化シリコン基板
- 70                          ゲート絶縁膜
- 80                          層間絶縁膜
- 90                          裏面配線
- 100, 200, 300            パワー半導体素子

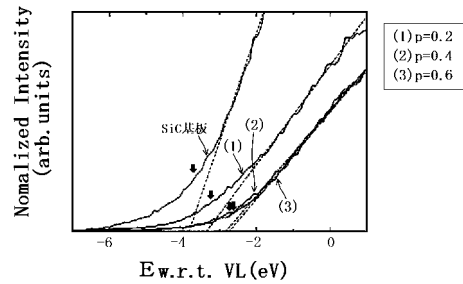
10

20

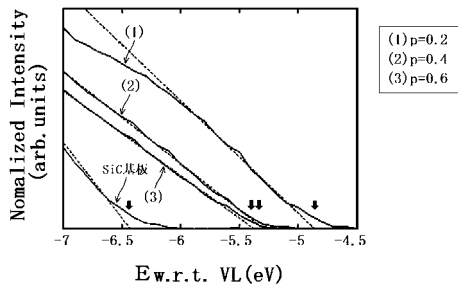
【図1】



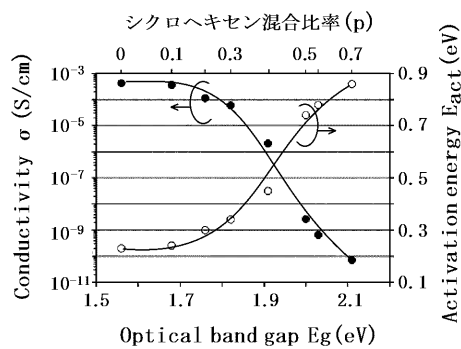
【図3】



【図2】

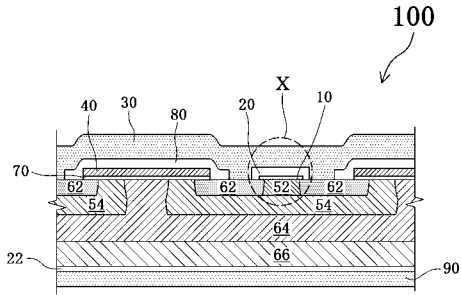


【図4】

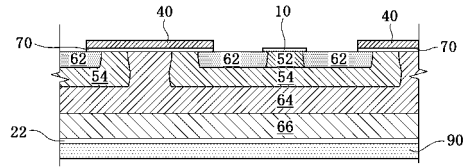




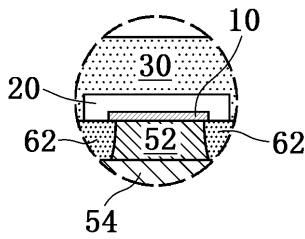
【図5】



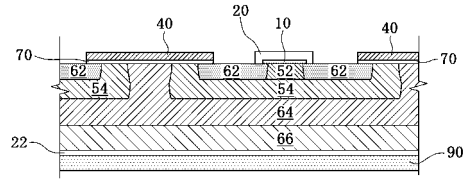
【図7】



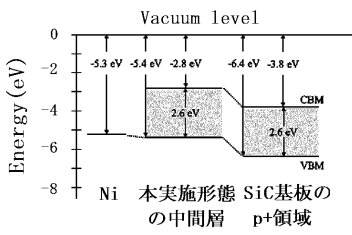
【図6】



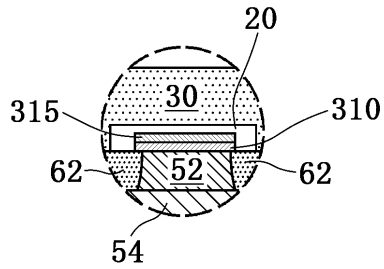
【図8】



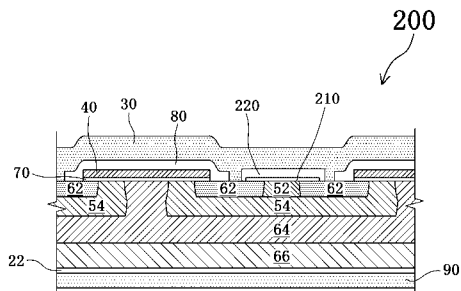
【図9】



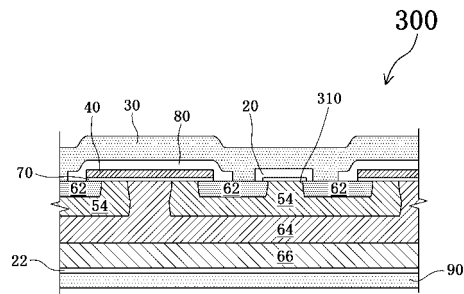
【図11】



【図10】



【図12】



## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
<b>H 0 1 L 21/208 (2006.01)</b>	H 0 1 L 29/78	6 5 2 D
	H 0 1 L 29/78	6 5 8 F
	H 0 1 L 21/208	L

(72)発明者 増田 貴史  
石川県能美市旭台一丁目1番地 国立大学法人北陸先端科学技術大学院大学内

(72)発明者 村上 達也  
石川県能美市旭台一丁目1番地 国立大学法人北陸先端科学技術大学院大学内

(72)発明者 岩室 憲幸  
茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内

(72)発明者 矢野 裕司  
茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内

Fターム(参考) 4M104 AA03 BB02 BB05 CC01 DD28 FF02 FF17 GG09 GG14 GG18  
HH15  
5F053 AA06 DD02 FF01 HH01 HH04 JJ01 JJ03 LL10 PP02 PP03  
RR13