

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-157932
(P2016-157932A)

(43) 公開日 平成28年9月1日(2016.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 H	5 F 1 O 2
HO 1 L 29/78 (2006.01)	HO 1 L 29/80 H	5 F 1 4 O
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 V	5 F 1 5 2
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B	
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 V	

審査請求 未請求 請求項の数 5 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2016-25819 (P2016-25819)
 (22) 出願日 平成28年2月15日 (2016.2.15)
 (31) 優先権主張番号 特願2015-35152 (P2015-35152)
 (32) 優先日 平成27年2月25日 (2015.2.25)
 (33) 優先権主張国 日本国 (JP)

(出願人による申告) 平成24年度、独立行政法人科学技術振興機構、戦略的創造研究事業「電力デバイス開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 899000068
 学校法人早稲田大学
 東京都新宿区戸塚町1丁目104番地
 (74) 代理人 100137800
 弁理士 吉田 正義
 (74) 代理人 100148253
 弁理士 今枝 弘充
 (74) 代理人 100148079
 弁理士 梅村 裕明
 (74) 代理人 100158241
 弁理士 吉田 安子
 (72) 発明者 小林 幹典
 東京都新宿区戸塚町1丁目104番地 学
 校法人早稲田大学内

最終頁に続く

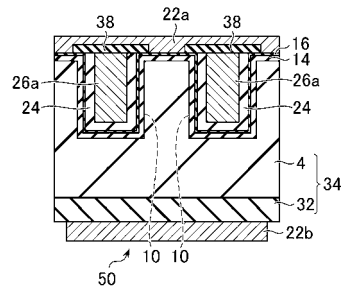
(54) 【発明の名称】 電力素子

(57) 【要約】 (修正有)

【課題】 高耐圧、低損失で安定に動作し、絶縁耐圧をよりいっそう向上させることができる電力素子を提供する。

【解決手段】 ダイヤモンド基板34と、ダイヤモンド基板34の表面側に形成された凹部10と、凹部10を覆う水素化層16と、水素化層16を被覆する保護膜24と、ダイヤモンド基板34の表面側に形成されたソース電極22aと、ダイヤモンド基板34の裏面に形成されたドレイン電極22bと、凹部10内の保護膜24に形成されたゲート電極26aを備える。

【選択図】 図13



【特許請求の範囲】**【請求項 1】**

ダイヤモンド基板と、前記ダイヤモンド基板の厚さ方向に形成された水素化層と、前記水素化層を被覆する保護膜とを備えることを特徴とする電力素子。

【請求項 2】

前記ダイヤモンド基板と前記保護膜との間に、エピタキシャル成長させて形成したダイヤモンド膜をさらに備え、

前記水素化層は、前記ダイヤモンド膜の表面を水素化することにより形成されたものであることを特徴とする請求項 1 記載の電力素子。

【請求項 3】

前記エピタキシャル成長させて形成したダイヤモンド膜の厚さは、50～1000nmであることを特徴とする請求項 2 記載の電力素子。

【請求項 4】

前記保護膜は、酸化アルミニウム膜で形成されていることを特徴とする請求項 1～3 のいずれか 1 項記載の電力素子。

【請求項 5】

前記ダイヤモンド基板は、アンドープダイヤモンド層または p 型ダイヤモンド層からなる第 1 の層と、前記第 1 の層の上に積層され、n 型ダイヤモンド層からなる第 2 の層とのダイヤモンドの積層体を備えることを特徴とする請求項 1～4 のいずれか 1 項記載の電力素子。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電力素子に関し、特にダイヤモンド半導体を用いた電力素子に関する。

【背景技術】**【0002】**

電力素子は、電気機器の電力制御に不可欠であり、この電力素子の損失を低減することによって、エネルギー消費量を大幅に低減することができる。従来のシリコン素子より優れた特性（高耐圧性、低損失性）を備えた電力素子が得られる物質の一つとして、ダイヤモンドが知られている。ダイヤモンドはバンドギャップが大きく、ダイヤモンドを用いることによって、電力素子の小型化・低消費電力化・高効率化が可能である。

【0003】

ダイヤモンド基板の表面を水素化して水素化層を形成することにより、その水素化層の直下に導電層が誘起される。この導電層は、電界効果トランジスタ（FET）動作に必要な高い導電性を有するものであり、将来の高効率電力素子への応用が期待されている。最近では、ダイヤモンド半導体表面の水素化層の上に保護膜を設けることによって、安定して動作する電力素子が提案されている（例えば、特許文献 1）。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2014 - 60377 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

電力素子に対する要求は、よりいっそう厳しいものとなってきている。例えば、電力素子は、耐圧性が高く損失性が低いことに加えて、絶縁耐圧をよりいっそう向上させることが求められている。

【0006】

そこで本発明は、高耐圧、低損失で安定に動作し、絶縁耐圧をよりいっそう向上させる

10

20

30

40

50

ことができる電力素子を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係る電力素子は、ダイヤモンド基板と、前記ダイヤモンド基板の厚さ方向に形成された水素化層と、前記水素化層を被覆する保護膜とを備えることを特徴とする。

【発明の効果】

【0008】

本発明によれば、ダイヤモンド基板の厚さ方向に水素化層が形成されており、この水素化層は保護膜により被覆されている。保護膜で被覆されることにより水素化層は保護されているので、高耐圧、低損失で安定に動作する電力素子が得られる。水素化層は、ダイヤモンド基板の厚さ方向に存在していることから、本発明の電力素子においては、導電層（二次元正孔層）もダイヤモンド基板の厚さ方向に存在する。これによって、ゲート・ドレイン電極間距離が長くなるため、絶縁耐圧をよりいっそう向上させた電力素子を提供することができる。

【図面の簡単な説明】

【0009】

【図1】本発明の第1実施形態に係る電力素子の外観図である。

【図2】本発明の第1実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図2Aはダイヤモンド基板を形成した段階、図2Bは金属マスクを形成した段階、図2Cはダイヤモンド基板に凹部を形成した段階を示す図である。

【図3】本発明の第1実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図3Aは金属マスクを除去した段階、図3Bはダイヤモンド膜および水素化層を形成した段階、図3Cは水素化層の所定の領域を酸素終端した段階を示す図である。

【図4】本発明の第1実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図4Aはソース電極、ドレイン電極を形成した段階、図4Bは保護膜を形成した段階を示す図である。

【図5】本発明の第1実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図5Aはソース電極、ドレイン電極の表面の一部を露出させた段階、図5Bはゲート電極が形成された段階を示す図である。

【図6】第1実施形態に係る電力素子の一例の動作特性を示すグラフであり、図6Aはドレイン電流（ I_{ds} ）のドレイン電圧（ V_{ds} ）依存性を示し、図6Bはドレイン電流（ I_{ds} ）のゲート電圧（ V_{gs} ）依存性を示す。

【図7】第1実施形態に係る電力素子の他の例の動作特性を示すグラフであり、図7Aはドレイン電流（ I_{ds} ）のドレイン電圧（ V_{ds} ）依存性を示し、図7Bはドレイン電流（ I_{ds} ）のゲート電圧（ V_{gs} ）依存性を示す。

【図8】本発明の第2実施形態に係る電力素子の構成を示す縦断面図である。

【図9】本発明の第2実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図9Aは p^+ ダイヤモンド層の裏面にドレイン電極を形成した段階、図9Bは p^+ ダイヤモンド層の表面にアンドープダイヤモンド層を形成した段階、図9Cは金属マスクを形成した段階を示す図である。

【図10】本発明の第2実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図10Aはダイヤモンド基板に凹部を形成した段階、図10Bは金属マスクを除去した段階、図10Cはダイヤモンド膜および水素化層を形成した段階を示す図である。

【図11】本発明の第2実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図11Aは保護膜を形成した段階、図11Bはフィラーを挿入した段階、図11Cは金属膜を形成した段階を示す図である。

【図12】本発明の第2実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図12Aはゲート電極を埋め込み形成した段階、図12Bは絶縁膜を形成した段階を示す図である。

【図13】本発明の第3実施形態に係る電力素子の構成を示す縦断面図である。

10

20

30

40

50

【図 1 4】本発明の第 3 実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図 1 4 A は金属マスクを形成した段階、図 1 4 B はダイヤモンド基板に凹部を形成した段階、図 1 4 C は金属マスクを除去した段階を示す図である。

【図 1 5】本発明の第 3 実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図 1 5 A はダイヤモンド膜および水素化層を形成した段階、図 1 5 B は保護膜を形成した段階、図 1 5 C は金属膜を形成した段階を示す図である。

【図 1 6】本発明の第 3 実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図 1 6 A はゲート電極を埋め込み形成した段階、図 1 6 B は絶縁膜を形成した段階を示す図である。

【図 1 7】本発明の第 4 実施形態に係る電力素子の構成を示す縦断面図である。

10

【図 1 8】本発明の第 4 実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図 1 8 A は p^+ ダイヤモンド層の表面にダイヤモンドの積層体を形成した段階、図 1 8 B は金属マスクを形成した段階、図 1 8 C はダイヤモンド基板に凹部を形成した段階を示す図である。

【図 1 9】本発明の第 4 実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図 1 9 A はダイヤモンド膜および水素化層を形成した段階、図 1 9 B は保護膜を介して金属膜を形成した段階、図 1 9 C は埋め込まれたゲート電極上に絶縁膜を形成した段階を示す図である。

【図 2 0】本発明の第 5 実施形態に係る電力素子の構成を示す縦断面図である。

【図 2 1】本発明の第 5 実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図 2 1 A は凹部が形成されたダイヤモンド基板にダイヤモンド膜および水素化層を形成した段階、図 2 1 B は水素化層の所定の領域を酸素終端した段階、図 2 1 C はソース電極を形成した段階を示す図である。

20

【図 2 2】本発明の第 5 実施形態に係る電力素子の製造方法を段階的に示す縦断面図であり、図 2 2 A は絶縁膜を形成した段階、図 2 2 B はソース電極の表面の一部を露出させた段階を示す図である。

【図 2 3】第 5 実施形態に係る電力素子の一例の動作特性を示すグラフであり、図 2 3 A はドレイン電流 (I_{ds}) のドレイン電圧 (V_{ds}) 依存性を示し、図 2 3 B はブレイクダウン電圧を示す。

【発明を実施するための形態】

30

【0010】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0011】

1. 第 1 実施形態

(全体構成)

本発明の第 1 実施形態に係る電力素子 30 の全体構成について、図 1 を参照して説明する。

【0012】

本実施形態に係る電力素子 30 は、窒素を高濃度で含み半絶縁性の n^- ダイヤモンド層 (以下、単に n^- 層とも称する) 2 上にアンドープダイヤモンド層 4 が形成されたダイヤモンド基板 6 を備えている。なお、窒素を高濃度で含むダイヤモンドは、I b 型と称されている。アンドープダイヤモンド層 4 は、マイクロ波励起プラズマを用いた化学気相堆積法 (plasma-enhanced chemical vapor deposition: PECVD) により、 n^- 層 2 上にエピタキシャル成長させて形成されている。

40

【0013】

ダイヤモンド基板 6 は表面に凹部 10 を有し、この凹部 10 の側面の一部には保護膜 24 を介してゲート電極 26 a が形成されている。ダイヤモンド基板 6 の表面の所定の領域には、側面にゲート電極 26 a が形成された凹部 10 を挟んで、ソース電極 22 a およびドレイン電極 22 b が形成されている。保護膜 24 は、ゲート電極 26 a の下層でゲート絶縁膜として作用する。また、保護膜 24 は、ソース電極 22 a、ドレイン電極 22 b の

50

表面の一部を残して、ダイヤモンド基板 6 の表面を覆っている。

【0014】

ゲート電極 26a は、例えばアルミニウム (Al) を蒸着することにより形成することができる。ソース電極 22a、ドレイン電極 22b は、例えばチタン (Ti) 膜と金 (Au) 膜とを順次蒸着した積層膜により形成することができる。

【0015】

保護膜 24 は、酸化アルミニウム (Al_2O_3) で形成されている。なお、保護膜 24 の組成は、必ずしも $Al : O = 2 : 3$ となっている訳でないが、本明細書においては、簡略化のために同保護膜を Al_2O_3 と記す。

【0016】

本実施形態の電力素子 30 においては、保護膜 24 は、ダイヤモンド基板 6 上の水素化層 (図示せず) を被覆して保護するものである。ソース電極 22a、ドレイン電極 22b 以外の領域においては、凹部 10 の側面および底面を含めて、C-H 結合を有する水素化層が保護膜 24 の下層に存在している。水素化層においては、ダイヤモンド結晶の表面が水素化されている。具体的には、ダイヤモンド結晶の表面の炭素原子のダングリングボンド、すなわち余った結合手 (未結合手) に水素原子が結合している。水素化層の直下には、図示しない二次元正孔層が存在する。二次元正孔層は、高い導電性を有し、電界効果トランジスタのドリフト層として用いられる。こうした水素化層および二次元正孔層については、追って詳細に説明する。

【0017】

(製造方法)

次に、本実施形態に係る電力素子 30 の製造方法を説明する。

【0018】

まず、窒素を高濃度を含み半絶縁性のダイヤモンド層 (n^- 層) 2 を、順次アンモニア・過酸化水素混合水溶液および塩酸・過酸化水素混合水溶液を用いて洗浄する。これらは、半導体装置の製造において通常行われる方法である。さらに、80 以上に加熱した硝酸・硫酸混合水溶液を用いて洗浄する。これにより、表面に残留している金属不純物、有機物およびグラファイト状の表面層を除去もしくは低減する。

【0019】

洗浄後の n^- 層 2 の表面には、プラズマ CVD 法により、厚さ 3 ~ 10 μm 程度の厚さのアンドープダイヤモンド層 4 をエピタキシャル成長させる。合成ガスとしては、水素 (H_2 ガス) と炭素源としてのメタン (CH_4) ガスとが用いられる。こうして、図 2A に示すような n^- 層 2 上にアンドープダイヤモンド層 4 が積層されたダイヤモンド基板 6 を得る。

【0020】

ダイヤモンド基板 6 上には、図 2B に示すような金属マスク 8 を、Au を用いてリフトオフ技術により形成する。具体的には、所定の領域に厚膜のレジストマスクを形成し、全面にスパッタリング法により Au 膜を形成する。厚膜レジストマスクをアセトン等の有機溶媒を用いて除去すると、厚膜レジストマスク上の Au 膜もリフトオフにより除去されて金属マスク 8 が得られる。

【0021】

さらに、 O_2 プラズマを用いた誘導結合型反応性イオンエッチング (Inductively Coupled Plasma Reactive Ion Etching: ICP-RIE) によりダイヤモンド基板 6 の表面を加工して図 2C に示すように凹部 10 を形成する。その後、金エッチング液 (関東化学 (株) : AURUM シリーズ) を用いて図 3A に示すように金属マスク 8 を除去する。ダイヤモンド基板 6 に形成される凹部 10 の寸法は、適宜設定することができる。例えば、凹部 10 の深さ d_1 は、0.1 ~ 10 μm 程度、好ましくは 1.2 ~ 2.4 μm 程度とすることができる。凹部 10 の幅 w_1 は、1 ~ 50 μm 程度、好ましくは 5 ~ 20 μm 程度とすることができる。凹部 10 のアスペクト比 (d_1 / w_1) は、少なくとも 0.1 以上であることが好ましい。これは、基板上における少ない面積でチャンネル長を十分に確保して、絶縁

10

20

30

40

50

耐圧の向上を図るためである。凹部 10 の底面と n^- 層 2 の表面との距離 d_0 は、特に限定されない。場合によっては、凹部 10 が n^- 層 2 に達していてもよい。

【0022】

凹部 10 が形成されたダイヤモンド基板 6 の全面には、図 3 B に示すようにプラズマ CVD 法によりダイヤモンド膜 14 をエピタキシャル成長させた後、ダイヤモンド膜 14 の表面に水素化層 16 を形成する。ダイヤモンド膜 14 の厚さは、50 ~ 1000 nm 程度とすることが好ましい。また、ダイヤモンド膜 14 においては、窒素濃度をボロン濃度より低くすることが望ましい。ダイヤモンド膜 14 における窒素濃度がボロン濃度より低いことは、後程で行う水素化処理により水素化層 16 を形成し、その直下に二次正孔層を誘起するのに有利となる。水素化層 16 は、400 ~ 700 (ここでは 600) に加熱しながら水素プラズマを照射することによって、ダイヤモンド膜 14 の表面に形成される。なお、ダイヤモンド基板 6 上にエピタキシャル成長させたダイヤモンド膜 14 は、透過型電子顕微鏡 (Transmission Electron Microscope : TEM) 観察により確認することができる。

10

【0023】

水素化層 16 の直下には、C - H 結合と表面に吸着した大気中の不純物とによって、図示しない二次元正孔層が誘起される。二次元正孔層は、二次元正孔ガス (two dimensional hole gas : 2DHG) とも称される。二次元正孔層は、正孔が二次元状に分布してなる導電層であり、一般的には 5 ~ 20 nm の厚さを有する。このように形成される二次元正孔層は、高い導電性を有し、電界効果トランジスタのドリフト層として用いられる。

20

【0024】

次いで、少なくとも凹部 10 の側面および底面に形成された水素化層 16 を覆って、図 3 C に示すようにホトレジストマスク 12 をホトリソグラフィ法により形成する。このように水素化層 16 の所定の領域をホトレジストマスク 12 で保護し、水素化層 16 の露出部を酸素プラズマ装置 (ここでは酸素プラズマアッシャー) により酸素終端して、酸素終端領域 18 に変化させる。

【0025】

その後、図 4 A に示すような Au / Ti 積層膜からなるソース電極 22 a、ドレイン電極 22 b を、50 ~ 200 nm 程度の厚さでリフトオフ技術により形成する。ソース電極 22 a、ドレイン電極 22 b は、例えば所定の領域にホトレジストマスクを形成し、Ti 膜、Au 膜を蒸着法により全面に順次堆積して Au / Ti 積層膜を得た後、ホトレジストマスクを除去して、所定領域以外の Au / Ti 積層膜のみを残すことにより形成することができる。酸素終端領域 18 であったソース電極 22 a、ドレイン電極 22 b の下の領域には、450 ~ 500 での加熱によって 3 nm 程度の厚さの TiC 膜 20 が形成される。この TiC 膜 20 は、ソース / ドレイン領域として作用する。図示するように、酸素終端領域 18、TiC 膜 20 上に形成されたソース電極 22 a、ドレイン電極 22 b 以外の領域には、凹部 10 の側面および底面を含めて水素化層 16 が露出している。

30

【0026】

次いで、図 4 B に示すように、保護膜 24 としての Al_2O_3 膜を 10 ~ 400 nm の厚さで全面に形成する。保護膜 24 は、200 以上の高温で原子層堆積 (Atomic Layer Deposition : ALD) 法により形成することができる。具体的には、大気の混入を低減した状態、例えばロードロック装置を用い減圧した非酸化性雰囲気 (ここでは窒素) 中で、試料を反応室へ導入し、反応気体として Al 源と酸化剤とを用いた 450 の熱処理によって、 Al_2O_3 膜が全面に堆積される。Al 源としてはトリメチルアルミニウム (TMA) が用いられ、酸化剤としては C - H 結合と吸熱反応をする反応種 (ここでは H_2O) が用いられる。熱処理時間は、適宜選択することができ、例えば 20 分 ~ 20 時間である。

40

【0027】

図 4 B に示すように、ダイヤモンド基板 6 の表面のみならず、凹部 10 の側面および底面においても、水素化層 16 は、保護膜 24 に覆われて保護される。保護膜 24 は、追って形成されるゲート電極の下層でゲート絶縁膜として作用する。

50

【0028】

その後、ホトレジスト技術、エッチング技術により表面の保護膜をエッチングして、図5Aに示すように、ソース電極22a、ドレイン電極22bの表面の一部を露出する。最後に、図5Bに示すように、保護膜24の所定の領域にAl膜を用いてゲート電極26aを50nm程度の厚さで形成する。ゲート電極26aは、ゲート部以外の領域にレジストマスクを形成した後、Alを全面に蒸着してAl膜を得、ホトレジストマスクを除去して形成することができる。

【0029】

以上の工程により、図5Bに示すような第1実施形態の電力素子30が得られる。電力素子30は、水素化層16直下に誘起された二次元正孔層をチャンネル層としたMISFEET (Metal-Insulator-Semiconductor Field Effect Transistor) である。この電力素子30においては、ダイヤモンド膜14を覆うゲート長 L_G は、例えば1~20 μm 程度とすることができる。また、電極間距離 L_{S-D} は、例えば10~50 μm 程度とすることができる。上述したとおり、凹部10の深さ d_1 は、例えば0.1~10 μm 程度とすることができる。

10

【0030】

(作用および効果)

本実施形態に係る電力素子30は、凹部10を有するダイヤモンド基板6を備え、凹部10の側面および底面には保護膜24が形成されている。この保護膜24は、ダイヤモンド基板6の凹部10の側面および底面において、水素化層16を被覆して保護するものである。凹部10の側面および底面で保護膜24に保護されている水素化層16の直下には、二次元正孔層が誘起されている。本実施形態に係る電力素子30においては、二次元正孔層は、ダイヤモンド基板6の主面に平行に存在し、さらに、ダイヤモンド基板6の厚さ方向にも存在することとなる。このため、ダイヤモンド基板6の厚さ方向の領域も伝導に寄与することができる。

20

【0031】

これによって、本実施形態に係る電力素子30においては、ゲート-ドレイン電極間距離 L_{G-D} が長くなるため、基板の単位面積当たりでの絶縁耐圧を向上させることが可能である。

【0032】

また、水素化層16は、凹部10を有するダイヤモンド基板6上にエピタキシャル成長させたダイヤモンド膜14の表面に形成されている。ダイヤモンド基板6の表面は、このダイヤモンド基板6に凹部10を形成する際のエッチングによりダメージを受けて、酸素終端されている場合が多い。こうしたダイヤモンド基板6の表面にダイヤモンド膜14が存在することによって、ダイヤモンド基板6の表面の影響を受けることなく安定した水素化層16を確実に形成することができる。しかも、水素化層16の直下に誘起される二次元正孔層の安定性も高い。

30

【0033】

本実施形態においては、ALD法により形成された Al_2O_3 膜が保護膜24として用いられている。ALD法によって形成される Al_2O_3 膜からなる保護膜24は、ステップカバレッジに優れているので、ダイヤモンド基板6の凹部10の側面の水素化層16を確実に被覆して、保護することができる。しかも、 Al_2O_3 膜からなる保護膜は、非酸化性雰囲気中で形成されるので、水素化層16が大気中の酸素の影響を受けることはない。水素化層16の一部が消失することはなく、この水素化層16の直下に誘起された二次元正孔層の導電性が低下することも避けられる。

40

【0034】

したがって、本実施形態に係る電力素子30は、高温での加熱後、もしくは高温環境下においても、良好な動作特性を有することができる。

【0035】

なお、本実施形態に係る電力素子30においては、ソース電極22a、ドレイン電極2

50

2 bの下層にはTiC膜20が形成されている。ここでのTiC膜20は、二次元正孔層より極めて抵抗の低い、極浅のソース/ドレイン領域である。このような極浅の接合は、デバイスの微細化に伴うショートチャネル効果に対する耐性が強く、これによっても電力素子30の特性が高められる。

【0036】

ここで、第1実施形態に係る電力素子30の一例の動作特性を図6に示す。図5Bにおける電極間距離 L_{SD} は $40\mu\text{m}$ とし、ゲート長 L_G は $20\mu\text{m}$ とし、凹部10の深さ d_1 は $1.2\mu\text{m}$ とした。図6Aには、 -10V から $+10\text{V}$ の間での 2V 毎のゲート電圧(V_{gs})におけるドレイン電流(I_{ds})のドレイン電圧(V_{ds})依存性を示す。図6Bには、ドレイン電圧(V_{ds})= -10V におけるドレイン電流(I_{ds})のゲート電圧(V_{gs})依存性を示す。図6A, 図6Bには、典型的なソースドレイン間の電圧に対する電流の特性が示されており、電力素子に電流が流れてスイッチとして機能することが表れている。

10

【0037】

また、凹部10の深さ d_1 を $2.4\mu\text{m}$ とした以外は、前述と同様の電力素子の動作特性を図7に示す。図7Aには、 -10V から $+10\text{V}$ の間での 2V 毎のゲート電圧(V_{gs})におけるドレイン電流(I_{ds})のドレイン電圧(V_{ds})依存性を示す。図7Bには、ドレイン電圧(V_{ds})= -10V におけるドレイン電流(I_{ds})のゲート電圧(V_{gs})依存性を示す。図7A, 図7Bにも、典型的なソースドレイン間の電圧に対する電流の特性が示されており、電力素子に電流が流れてスイッチとして機能することが表れている。

20

【0038】

上記のように構成された電力素子は、電気機器の電力制御に不可欠なパワーデバイスに適用でき、ハイブリッド自動車などのモータ駆動やエアコンの制御機器に適用することができる。

【0039】

2. 第2実施形態 (全体構成)

次に、本発明の第2実施形態に係る電力素子40の全体構成について、第1実施形態に係る電力素子30と同様の構成について同様の符号を付した図8を参照して説明する。

30

【0040】

本実施形態に係る電力素子40は、ボロンを含有する p^+ ダイヤモンド層(以下、単に p^+ 層とも称する)32上にアンドープダイヤモンド層4が形成されたダイヤモンド基板34と、ダイヤモンド基板34の表面に形成されたAu/Ti積層膜からなるソース電極22aと、ダイヤモンド基板34の裏面に形成されたAu/Ti積層膜からなるドレイン電極22bとを備えている。

【0041】

ダイヤモンド基板34は凹部10を有し、この凹部10内には、シリコン酸化物からなる絶縁性のフィラー36上に配置されたゲート電極26aが、 Al_2O_3 からなる保護膜24を介して埋め込まれている。フィラー36と p^+ 層32との間には保護膜24が形成され、ゲート電極26aは絶縁膜38によってソース電極22aから絶縁されている。

40

【0042】

保護膜24は、ダイヤモンド基板34の凹部10の側面および表面の一部において、水素化層16を被覆して保護している。ダイヤモンド基板34におけるアンドープダイヤモンド層4と水素化層16の間には、エピタキシャル成長させて形成されたダイヤモンド膜14が存在する。第1実施形態に係る電力素子30と同様、第2実施形態に係る電力素子40においても、水素化されたダイヤモンド膜14の表面が、水素化層16に相当する。

【0043】

(製造方法)

50

次に本実施形態に係る電力素子40の製造方法を説明する。

【0044】

まず、図9Aに示すように、ボロンを含有するダイヤモンド層(p⁺層)32の裏面にドレイン電極22bを500nm程度の厚さで形成する。ドレイン電極22bは、蒸着法によりTi膜、Au膜を順次積層したAu/Ti積層膜により構成することができる。

【0045】

裏面にドレイン電極22bを有するp⁺層32の表面には、第1実施形態の場合と同様の手法により、図9Bに示すように、3~10μm程度の厚さのアンドープダイヤモンド層4を形成する。p⁺層32とアンドープダイヤモンド層4とによって、本実施形態に係る電力素子40におけるダイヤモンド基板34が構成される。

10

【0046】

ダイヤモンド基板34の表面には、第1実施形態の場合と同様の手法により、Auを用いて図9Cに示すような金属マスク8を形成する。

【0047】

さらに、ICP-RIEによりダイヤモンド基板34の表面を加工して図10Aに示すように凹部10を形成した後、第1実施形態と同様の金エッチング液を用いて図10Bに示すように金属マスク8を除去する。本実施形態においては、凹部10の底面にはp⁺層32が露出している。凹部10の幅w₂は適宜選択することができ、例えば1~50μm程度、好ましくは2~10μm程度とすることができる。凹部10のアスペクト比(d₂/w₂)は、少なくとも1以上であることが好ましい。

20

【0048】

次いで、第1実施形態の場合と同様の手法により、エピタキシャル成長によりダイヤモンド膜14を成長させ、ダイヤモンド膜14の表面に水素化層16を形成する。第2実施形態においては、ダイヤモンド膜14および水素化層16は、図10Cに示すように、凹部10の底面のp⁺層32上には形成されず、アンドープダイヤモンド層4の表面および側面に形成される。水素化層16の直下には、第1実施形態の場合と同様、図示しない二次正孔層が5~20nmの厚さで誘起される。

【0049】

その後、図11Aに示すように、保護膜24としてのAl₂O₃膜を、凹部10の側面および底面を含む全面に形成し、これにより水素化層16を被覆して保護する。保護膜24は、第1実施形態と同様の手法により、同様の厚さで形成することができる。

30

【0050】

保護膜24により側面および底面が覆われた凹部10内には、絶縁材料としてのシリコン酸化物をスピンコート法、TEOS-CVD法などにより堆積して、図11Bに示すようにフィラー36を形成する。十分な絶縁耐圧を確保するため、フィラー36の表面とp⁺層34との距離d_fは、少なくとも3μm程度であることが好ましい。

【0051】

フィラー36が形成された凹部10内、および凹部10外の保護膜24の上には、図11Cに示すように、金属膜26としてのAl膜を形成する。CMP(Chemical Mechanical Polishing)を行って凹部10外の金属膜26を保護膜24とともに除去して、図12Aに示すように水素化層16を露出させる。凹部10内に保護膜24を介して残置された金属膜26が、ゲート電極26aとなる。ゲート電極26aに接している保護膜24は、ゲート絶縁膜として作用する。

40

【0052】

次いで、図12Bに示すように、ゲート電極26a上に絶縁膜38を形成する。ここの絶縁膜38は、例えば20V程度の電圧に耐えることが要求され、例えば10~200nm程度の厚さとすることができる。こうした絶縁膜38は、必ずしもALD法により形成されたAl₂O₃膜である必要はなく、SiO₂等を絶縁材料として用いることができる。絶縁膜38は、水素化層16の上に選択的にホトレジストマスクを形成し、全面に絶縁材料を堆積した後、ホトレジストマスクを除去して形成することができる。水素化層1

50

6 および絶縁膜 38 の全面には、Ti 膜、Au 膜を蒸着法により順次堆積して、Au/Ti 積層膜からなるソース電極 22a を 500 nm 程度の厚さで形成する。

【0053】

以上の工程により、図 8 に示したような第 2 実施形態の電力素子 40 が得られる。

【0054】

(作用および効果)

本実施形態に係る電力素子 40 は、凹部 10 を有するダイヤモンド基板 34 を備え、凹部 10 の側面では、第 1 実施形態と同様、保護膜 24 が水素化層 16 を被覆して保護している。水素化層 16 の直下には、ダイヤモンド基板 34 の厚さ方向に二次元正孔層が誘起されていることから、本実施形態に係る電力素子 40 においても、上記第 1 実施形態と同様の効果を得ることができる。

10

【0055】

また、本実施形態に係る電力素子 40 においては、ゲート電極 26a がダイヤモンド基板 34 内に埋め込まれていることから、単位セル面積を縮小することができる。これによって、オン抵抗を低減することが可能である。

【0056】

さらに、第 2 実施形態に係る電力素子 40 では、ゲート電極 26a の下層に絶縁材料(シリコン酸化物)からなるフィラー 36 が配置されている。この絶縁材料の熱伝導率が高いことから、効率的に放熱できるといった効果も得られる。

【0057】

20

3. 第 3 実施形態

(全体構成)

次に、本発明の第 3 実施形態に係る電力素子 50 の全体構成について、第 2 実施形態に係る電力素子 40 と同様の構成について同様の符号を付した図 13 を参照して説明する。

【0058】

本実施形態に係る電力素子 50 は、ボロンを含有する p⁺ ダイヤモンド層(以下、単に p⁺ 層とも称する) 32 上にアンドープダイヤモンド層 4 が形成されたダイヤモンド基板 34 と、ダイヤモンド基板 34 の表面に形成された Au/Ti 積層膜からなるソース電極 22a と、ダイヤモンド基板 34 の裏面に形成された Au/Ti 積層膜からなるドレイン電極 22b とを備えている。

30

【0059】

ダイヤモンド基板 34 は凹部 10 を有し、この凹部 10 内には、Al₂O₃ からなる保護膜 24 を介してゲート電極 26a が埋め込まれている。ゲート電極 26a は絶縁膜 38 によりソース電極 22a から絶縁されている。

【0060】

保護膜 24 は、ダイヤモンド基板 34 における凹部 10 の側面および底面を被覆して、水素化層 16 を保護している。水素化層 16 とダイヤモンド基板 34 との間には、エピタキシャル成長させて形成されたダイヤモンド膜 14 が存在する。第 1 実施形態、第 2 実施形態と同様、水素化されたダイヤモンド膜 14 の表面が、水素化層 16 に相当する。

【0061】

40

第 3 実施形態に係る電力素子 50 は、ダイヤモンド基板 34 に設けられた凹部 10 が p⁺ 層 32 に達しておらず、ゲート電極 26a の下にフィラー 36 が配置されていない点が、第 2 実施形態に係る電力素子 40 とは異なっており、これ以外は、第 2 実施形態に係る電力素子 40 と同様である。

【0062】

(製造方法)

次に、本実施形態に係る電力素子 50 の製造方法を説明する。

【0063】

まず、第 2 実施形態と同様にして、裏面にドレイン電極 22b が形成されたダイヤモンド基板 34 の表面に、図 14 A に示すように金属マスク 8 を形成する。

50

【0064】

次いで、ICP-RIEによりダイヤモンド基板34の表面を加工して図14Bに示すように凹部10を形成した後、第1実施形態と同様の金エッチング液を用いて図14Cに示すように金属マスク8を除去する。

【0065】

本実施形態においては、凹部10の深さ d_3 は、 $0.1 \sim 50 \mu\text{m}$ 程度、好ましくは $10 \sim 30 \mu\text{m}$ 程度とすることができる。凹部10の幅 w_3 は適宜選択することができる、例えば $1 \sim 50 \mu\text{m}$ 程度、好ましくは $2 \sim 10 \mu\text{m}$ 程度とすることができる。凹部10のアスペクト比(d_3/w_3)は、少なくとも 0.1 以上であることが好ましい。これは、凹部10底面からでなくダイヤモンド基板34上面から p^+ 層32に直接伝導する伝導パスを抑制し、高いオン/オフ制御性を確保するためである。さらに、絶縁耐圧を向上させるために、凹部10の底面と p^+ 層32との距離 d_4 は、少なくとも $1 \mu\text{m}$ 程度であることが好ましい。因みに、凹部10の底面と p^+ 層32との距離 d_4 を $3 \mu\text{m}$ 以上として製造された電力素子は、 3000V の電圧に耐えることができる。

10

【0066】

次いで、第1実施形態の場合と同様の手法により、凹部10が形成されたダイヤモンド基板34の全面に、図15Aに示すようにダイヤモンド膜14および水素化層16を形成する。第1実施形態、第2実施形態の場合と同様、第3実施形態においても、水素化層16の直下には、図示しない二次正孔層が $5 \sim 20\text{nm}$ の厚さで誘起される。水素化層16の上には、図15Bに示すように保護膜24としての Al_2O_3 膜を形成し、これにより水素化層16を被覆して保護する。保護膜24は、第1実施形態と同様の手法により、同様の厚さで全面に形成することができる。

20

【0067】

保護膜24が形成された凹部10内、および凹部10外の保護膜24の上には、図15Cに示すように、金属膜26としての Al 膜を形成する。CMPを行って凹部10外の金属膜26を保護膜24とともに除去して、図16Aに示すように水素化層16を露出させる。凹部10内に残置された金属膜26が、ゲート電極26aとなる。ゲート電極26aに接している保護膜24は、ゲート絶縁膜として作用する。

【0068】

次いで、図16Bに示すように、ゲート電極26a上に絶縁膜38を形成する。絶縁膜38は、第2実施形態の場合と同様の材料を用いて、同様の手法により形成することができる。その後、水素化層16および絶縁膜38の全面に、 Ti 膜、 Au 膜を蒸着法により順次堆積して、 Au/Ti 積層膜からなるソース電極22aを 500nm 程度の厚さで形成する。

30

【0069】

以上の工程により、図13に示した第3実施形態の電力素子50が得られる。

【0070】

(作用および効果)

本実施形態に係る電力素子50は、凹部10を有するダイヤモンド基板34を備え、凹部10の側面では、第1実施形態と同様、保護膜24が水素化層16を被覆して保護している。水素化層16の直下には、ダイヤモンド基板34の厚さ方向に二次元正孔層が誘起されていることから、本実施形態に係る電力素子50においても、上記第1実施形態と同様の効果を得ることができる。

40

【0071】

また、本実施形態に係る電力素子50においては、ゲート電極26aがダイヤモンド基板34内に埋め込まれていることから、単位セル面積をよりいっそう縮小することができ、第2実施形態と同様の効果も得られる。

【0072】

さらに、本実施形態に係る電力素子50は、アンドープダイヤモンド層4の領域でキャリアはバルク伝導するため、キャリアは結晶中で電界集中を起こしにくく絶縁耐圧の向上

50

が図りやすい。

【0073】

4. 第4実施形態

(全体構成)

次に、本発明の第4実施形態に係る電力素子60の全体構成について、第3実施形態に係る電力素子50と同様の構成について同様の符号を付した図17を参照して説明する。

【0074】

本実施形態に係る電力素子60は、ボロンを含有する p^+ ダイヤモンド層(以下、単に p^+ 層とも称する)32上に、ダイヤモンドの積層体46が設けられたダイヤモンド基板44を備える。ダイヤモンド基板44の表面には、Au/Ti積層膜からなるソース電極22aが形成され、ダイヤモンド基板44の裏面には、Au/Ti積層膜からなるドレイン電極22bが形成されている。

【0075】

本実施形態においては、ダイヤモンドの積層体46は、アンドープダイヤモンド層からなる第1の層47と、第1の層47上に積層された n 型ダイヤモンド層(以下、単に n 層とも称する)からなる第2の層48とから構成される。第2の層48としての n 層は、 n 型不純物、例えば窒素を含む半絶縁性のダイヤモンド層である。

【0076】

ダイヤモンドの積層体46における第1の層47と第2の層48との境界は、凹部10の底面より上方に設けられているが、凹部10の底面と同等の高さでもよい。

【0077】

ダイヤモンド基板44は凹部10を有し、この凹部10内には、 Al_2O_3 からなる保護膜24を介してゲート電極26aが埋め込まれている。ゲート電極26aは絶縁膜38によりソース電極22aから絶縁されている。

【0078】

保護膜24は、ダイヤモンド基板44における凹部10の側面および底面を被覆して、水素化層16を保護している。水素化層16とダイヤモンド基板44との間には、エピタキシャル成長させて形成されたダイヤモンド膜14が存在する。前述の実施形態と同様、水素化されたダイヤモンド膜14の表面が、水素化層16に相当する。

【0079】

第4実施形態に係る電力素子60は、ダイヤモンド基板44が、アンドープダイヤモンド層からなる第1の層47と、第1の層47の上に積層された n 層からなる第2の層48とのダイヤモンドの積層体46を含む点が、第3実施形態に係る電力素子50とは異なっており、これ以外は、第3実施形態に係る電力素子50と同様である。

【0080】

(製造方法)

次に、本実施形態に係る電力素子60の製造方法を説明する。

【0081】

図18Aに示すように、Au/Ti積層膜からなるドレイン電極22bを裏面に有する p^+ 層32の表面に、アンドープダイヤモンド層からなる第1の層47と n 層からなる第2の層48とを含むダイヤモンドの積層体46を3~10 μm 程度の厚さで形成して、ダイヤモンド基板44を得る。アンドープダイヤモンド層は、第1実施形態の場合と同様の方法で形成することができる。 n 層を形成するには、 n 型不純物源をさらに用いる。

【0082】

ダイヤモンド基板44上には、図18Bに示すような金属マスク8を、第1実施形態の場合と同様にAuを用いてリフトオフ技術により形成する。ICP-RIEによりダイヤモンド基板44の表面を加工して図18Cに示すように凹部10を形成した後、第1実施形態と同様の金エッチング液を用いて金属マスク8を除去する。

【0083】

凹部10が形成されたダイヤモンド基板44の全面に、第1実施形態の場合と同様の手

10

20

30

40

50

法により、図19Aに示すようにダイヤモンド膜14および水素化層16を形成する。前述の実施形態の場合と同様、水素化層16の直下には、図示しない二次正孔層が5~20nmの厚さで誘起される。水素化層16の上には、図19Bに示すように、保護膜24を介して金属膜26を形成する。保護膜24および金属膜26は、第3実施形態の場合と同様に形成することができる。

【0084】

CMPにより凹部10外の金属膜26を保護膜24とともに除去し、残置された金属膜26からなるゲート電極26a上に、図19Cに示すように絶縁膜38を形成する。絶縁膜38は、第3実施形態の場合と同様の材料を用いて、同様の手法により形成することができる。その後、第3実施形態の場合と同様にしてソース電極22aを形成する。

10

【0085】

以上の工程により、図17に示した第4実施形態の電力素子60が得られる。

【0086】

(作用および効果)

本実施形態に係る電力素子60は、凹部10を有するダイヤモンド基板44を備え、凹部10の側面では、第1実施形態と同様、保護膜24が水素化層16を被覆して保護している。水素化層16の直下には、ダイヤモンド基板34の厚さ方向に二次元正孔層が誘起されていることから、本実施形態に係る電力素子60においても、上記第1実施形態と同様の効果を得ることができる。

【0087】

また、本実施形態に係る電力素子60においては、ゲート電極26aがダイヤモンド基板44内に埋め込まれていることから、単位セル面積をよりいっそう縮小することができ、第2実施形態、第3実施形態と同様の効果も得られる。

20

【0088】

さらに、本実施形態に係る電力素子60は、ダイヤモンド基板44が、アンドープダイヤモンド層からなる第1の層47と、n層からなる第2の層48とのダイヤモンドの積層体46を備えているため、リーク電流をより確実に抑えることができる。

【0089】

5. 第5実施形態

(全体構成)

次に、本発明の第5実施形態に係る電力素子70の全体構成について、第4実施形態に係る電力素子60と同様の構成について同様の符号を付した図20を参照して説明する。

30

【0090】

本実施形態に係る電力素子70は、ボロンを含有するp⁺ダイヤモンド層(以下、単にp⁺層とも称する)32上に、ダイヤモンドの積層体46が設けられたダイヤモンド基板44を備える。ダイヤモンド基板44の裏面には、Au/Ti積層膜からなるドレイン電極22bが形成されている。

【0091】

ダイヤモンドの積層体46は、第4実施形態の場合と同様にアンドープダイヤモンド層からなる第1の層47と、第1の層47上に積層されたn型ダイヤモンド層(以下、単にn層とも称する)からなる第2の層48とから構成される。

40

【0092】

ダイヤモンド基板44は表面に凹部10を有し、この凹部10の表面には、Al₂O₃からなる保護膜24を介してゲート電極26aが形成されている。保護膜24は、ダイヤモンド基板44における凹部10の側面および底面を被覆して、水素化層16を保護している。水素化層16とダイヤモンド基板44との間には、エピタキシャル成長させて形成されたダイヤモンド膜14が存在する。

【0093】

ゲート電極26aが形成された凹部10を挟むダイヤモンド基板44の表面には、TiC層20を介して2つのソース電極22aが形成されている。ソース電極22aは、表面

50

の一部を残して保護膜 24 で覆われている。

【0094】

(製造方法)

次に、本実施形態に係る電力素子 70 の製造方法を説明する。

【0095】

図 21A に示すように、裏面にドレイン電極 22b を有し、表面の所定の領域に凹部 10 が形成されたダイヤモンド基板 44 の全面に、第 4 実施形態の場合と同様の手法によりダイヤモンド膜 14 および水素化層 16 を形成する。前述の実施形態の場合と同様、水素化層 16 の直下には、図示しない二次正孔層が 5 ~ 20 nm の厚さで誘起される。

【0096】

次いで、第 1 の実施形態の場合と同様の手法により、少なくとも凹部 10 の側面および底面に形成された水素化層 16 を覆って図 21B に示すようなホトレジストマスク 12 を形成し、水素化層 16 の露出部を酸素終端領域 18 に変化させる。

【0097】

酸素終端領域 18 上には、第 1 の実施形態の場合と同様の手法により、Au/Ti 積層膜からなるソース電極 22a を形成する。図 21C に示すように、ソース電極 22a の直下の酸素終端領域 18 は、加熱によって TiC 膜 20 となる。酸素終端領域 18、TiC 膜 20 上に形成されたソース電極 22a 以外の領域には、凹部 10 の側面および底面を含めて水素化層 16 が露出している。

【0098】

水素化層 16 を含む全面には、図 22A に示すように保護膜 24 としての Al_2O_3 膜を形成する。保護膜 24 は、第 1 実施形態と同様の手法により、同程度の厚さで形成することができる。図 22A に示すように、水素化層 16 は、ダイヤモンド基板 44 の表面に加え、凹部 10 の側面および底面においても保護膜 24 に覆われて保護される。保護膜 24 は、追って形成されるゲート電極の下層でゲート絶縁膜として作用する。

【0099】

その後、第 1 実施形態と同様の手法により保護膜 24 の一部をエッチングして、図 22B に示すようにソース電極 22a の表面の一部を露出する。最後に、保護膜 24 の所定の領域に、第 1 実施形態の場合と同様の手法によりゲート電極 26a を形成して、図 20 に示した本実施形態の電力素子 70 が得られる。

【0100】

(作用および効果)

本実施形態に係る電力素子 70 は、凹部 10 を有するダイヤモンド基板 44 を備え、凹部 10 の側面では、第 1 実施形態と同様、保護膜 24 が水素化層 16 を被覆して保護している。水素化層 16 の直下には、ダイヤモンド基板 34 の厚さ方向に二次元正孔層が誘起されていることから、本実施形態に係る電力素子 70 においても、上記第 1 実施形態と同様の効果を得ることができる。

【0101】

また、本実施形態に係る電力素子 70 においては、ゲート電極 26a がダイヤモンド基板 44 内に埋め込まれていることから、単位セル面積をよりいっそう縮小することができ、第 2 実施形態、第 3 実施形態、第 4 実施形態と同様の効果も得られる。

【0102】

さらに、本実施形態に係る電力素子 70 は、ダイヤモンド基板 44 が、アンドープダイヤモンド層からなる第 1 の層 47 と n 層からなる第 2 の層 48 とのダイヤモンドの積層体 46 を備えているため、第 4 実施形態と同様にリーク電流をより確実に抑えることができる。

【0103】

ここで、第 5 実施形態に係る電力素子 70 の一例の動作特性を図 23A、図 23B に示す。図 20 における電極間距離 L_{11} は $40 \mu m$ とし、ダイヤモンド基板 44 の表面におけるゲート電極 26a の端部間の距離 L_{12} は $20 \mu m$ とした。凹部 10 側面における水

10

20

30

40

50

素化層 16 の距離 W_{11} は $10 \mu\text{m}$ とし、凹部 10 の深さ d_{11} は $2.5 \mu\text{m}$ とした。第 1 の層 47 の厚さ t_{11} は $1 \mu\text{m}$ とし、第 2 の層 48 の厚さ t_{12} は $2 \mu\text{m}$ とした。ダイヤモンド膜 14 の厚さは 100nm とした。

【0104】

図 23A には、 -20V から $+40 \text{V}$ の間のゲート電圧 (V_{gs}) におけるドレイン電流 (I_{ds}) のドレイン電圧 (V_{ds}) 依存性を示す。図 23A には、典型的なソースドレイン間の電圧に対する電流の特性が示されている。第 5 実施形態に係る電力素子 70 は、ブレイクダウン電圧が 634V (図 23B) であり、高い耐圧性を有している。図 23A, 図 23B から、本実施形態の電力素子 70 に電流が流れてスイッチとして機能することが表れている。

10

【0105】

6. 変形例

本発明は上記実施形態に限定されるものではなく、本発明の趣旨の範囲内で適宜変更することが可能である。例えば、上記実施形態では、エッチングによりダイヤモンド基板に凹部を形成する際の金属マスクとして Au 膜を用いたが、ダイヤモンド基板をエッチングから保護できる任意の金属、例えば、Al 膜を金属マスクとして用いることもできる。また、凹部を形成するためにダイヤモンド基板のエッチングの際に用いるガスには、八フッ化プロパン (C_3F_8) ガス等のクリーニングガスが含有されていてもよい。

【0106】

上記実施形態においては、水素化層は、凹部が形成されたダイヤモンド基板上にダイヤモンド膜をエピタキシャル成長させ、このダイヤモンド膜の表面に水素プラズマを照射することにより形成したが、水素プラズマ照射は必ずしも必要ではない。水素プラズマ照射を敢えて行わなくとも、ダイヤモンド膜の表面は十分な水素化がなされている場合も多い。これは、ダイヤモンド膜のエピタキシャル成長工程自体に水素化の作用が有るためであり、水素プラズマ照射を割愛することも可能である。この場合、ダイヤモンド膜のエピタキシャル成長自体が水素化処理工程を兼ねている。

20

【0107】

凹部が形成されたダイヤモンド基板上にダイヤモンド膜をエピタキシャル成長させることなく、凹部が形成されたダイヤモンド基板の表面を水素終端することによって、ダイヤモンド基板の表面に水素化層を形成してもよい。この場合、水素化層は、凹部が形成されたダイヤモンド基板に水素プラズマを照射することによって、ダイヤモンド基板の表面に形成することができる。これにより、ダイヤモンド膜のエピタキシャル成長工程を省くことも可能となる。

30

【0108】

また、上記実施形態においては、水素化層を被覆して保護する保護膜としての Al_2O_3 膜を形成する際、非酸化性の雰囲気として窒素を用いたが、Ar 等の不活性気体、あるいは、窒素と不活性気体との混合気体を用いてもよい。 Al_2O_3 膜を形成するために酸化剤としては H_2O を用いたが、C-H 結合と吸熱反応をする任意の反応種を酸化剤として用いることができる。例えば、メタノール (CH_4O)、エタノール ($\text{C}_2\text{H}_6\text{O}$)、プロパノール ($\text{C}_3\text{H}_8\text{O}$)、ブタノール ($\text{C}_4\text{H}_{10}\text{O}$) 等のアルコールを酸化剤として用いてもよい。

40

【0109】

なお、水素化層の直下に誘起された二次元正孔層を確実に維持するために、保護膜は、高温加熱後もしくは高温動作時においても水素化層を保護できることが要求される。このような保護膜をステップカバレッジよく形成できれば、成膜方法は ALD 法に限定されない。例えば、CVD 法により形成することとしてもよい。適切な保護膜が形成されれば、窒化アルミニウム (AlN) を用いることもできる。

【0110】

さらに、各種材料の変更も可能である。例えばゲート電極は、Al 膜に限らず、Au 膜、W 膜により形成することもできる。

50

【 0 1 1 1 】

第 2 実施形態において、ゲート電極の下層に用いられるフィラーには、シリコン酸化物の他、リンガラス (P S G)、ボロンリンガラス (B P S G) 等の絶縁材料を用いてもよい。

【 0 1 1 2 】

第 2 実施形態、第 3 実施形態、第 4 実施形態および第 5 実施形態においては、Au / Ti 積層膜によりソース電極、ドレイン電極を形成したが、Ti 膜は必ずしも必須ではない。Au のみを蒸着してソース電極、ドレイン電極を形成することもできる。

【 0 1 1 3 】

第 4 実施形態、第 5 実施形態においては、ダイヤモンドの積層体 4 6 を構成する第 1 の層 4 7 として p 型ダイヤモンド層を用いてもよい。p 型ダイヤモンド層は、例えばボロン等の p 型不純物源を用いて、一般的な方法により形成することができる。

10

【 0 1 1 4 】

上述したとおり、本発明においては、ダイヤモンド基板の厚さ方向の領域を伝導に用いるものである。上記実施形態では、ダイヤモンド基板に設けた凹部の側面に水素化層を形成することによって、ダイヤモンド基板の厚さ方向に二次元正孔層を誘起したが、水素化層の形成方法はこれに限定されない。水素化層は、ダイヤモンド基板の厚さ方向に存在していればよく、任意の方法により形成してダイヤモンド基板の厚さ方向に二次元正孔層を誘起し、本発明の電力素子を得ることができる。

20

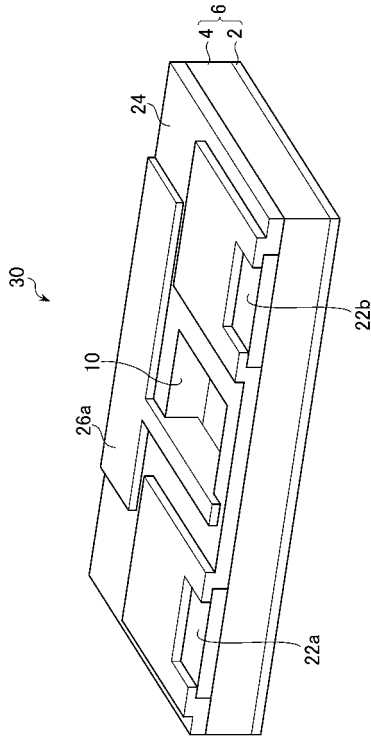
【 符号の説明 】

【 0 1 1 5 】

2	: n ⁻ ダイヤモンド層
4	: アンドープダイヤモンド層
6 , 3 4 , 4 4	: ダイヤモンド基板
1 4	: ダイヤモンド膜
1 6	: 水素化層
2 2 a	: ソース電極
2 2 b	: ドレイン電極
2 4	: 保護膜
2 6 a	: ゲート電極
3 2	: p ⁺ ダイヤモンド層
3 8	: 絶縁膜
3 0 , 4 0 , 5 0 , 6 0 , 7 0	: 電力素子

30

【 図 1 】



【 図 2 】

図2A

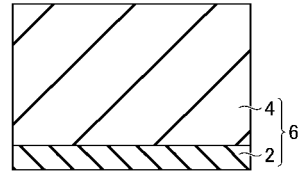


図2B

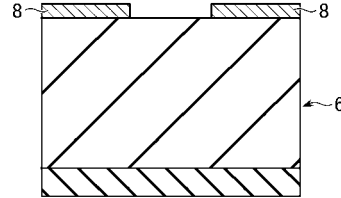
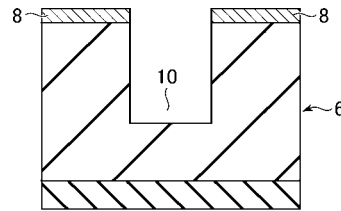


図2C



【 図 3 】

図3A

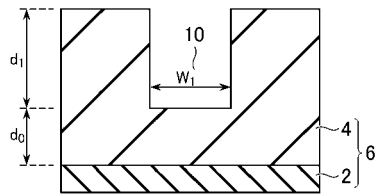


図3B

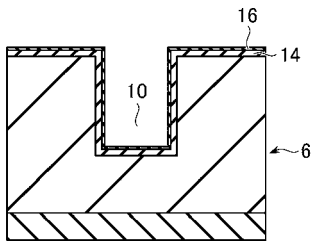
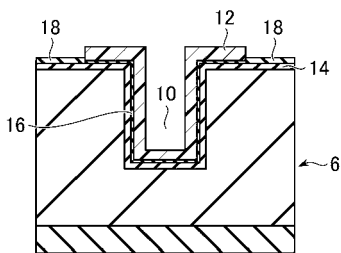


図3C



【 図 4 】

図4A

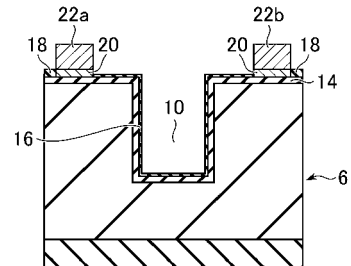
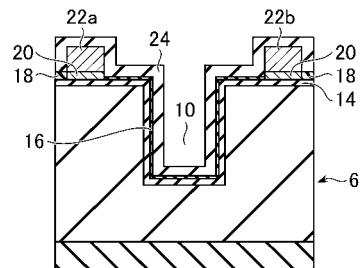


図4B



【 図 5 】

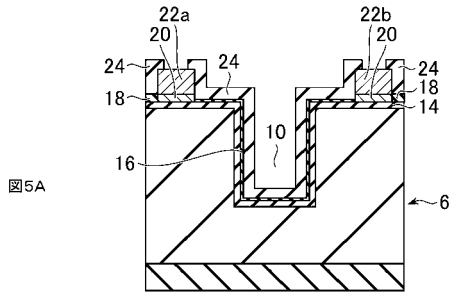


図5A

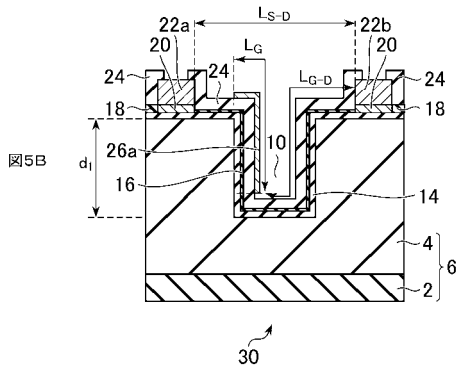


図5B

【 図 6 】

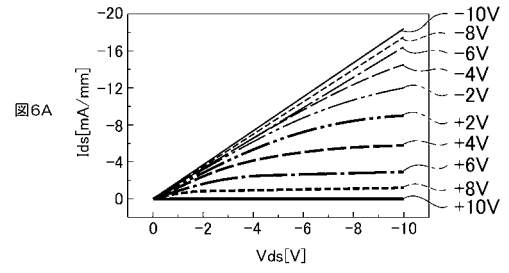


図6A

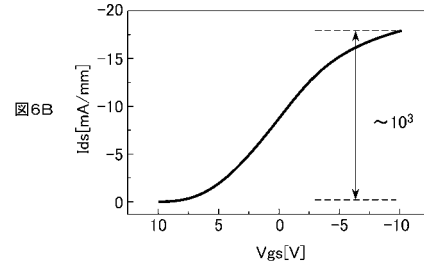


図6B

【 図 7 】

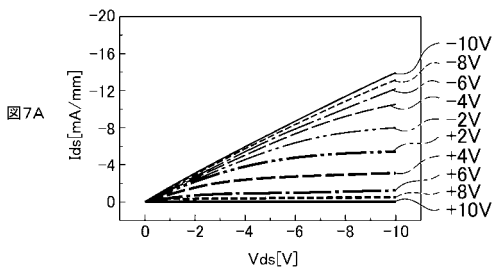


図7A

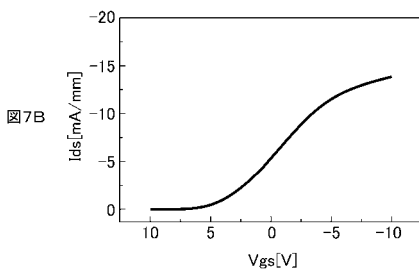


図7B

【 図 8 】

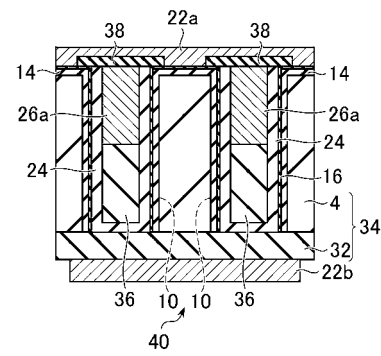
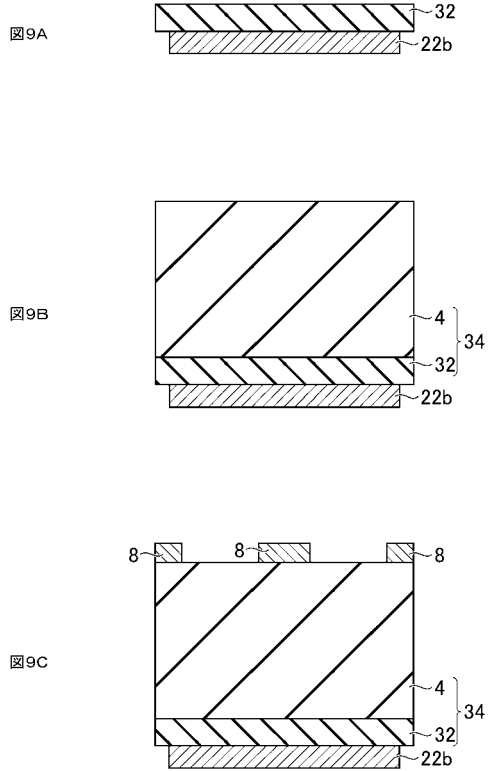
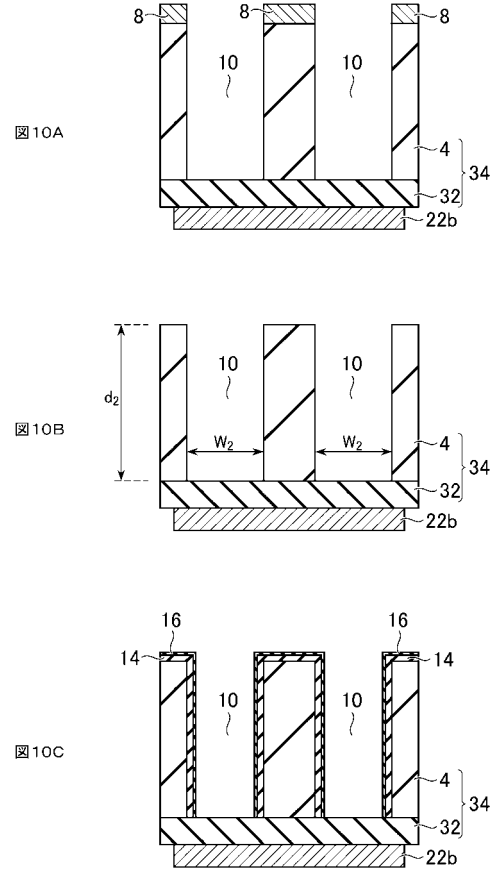


図8

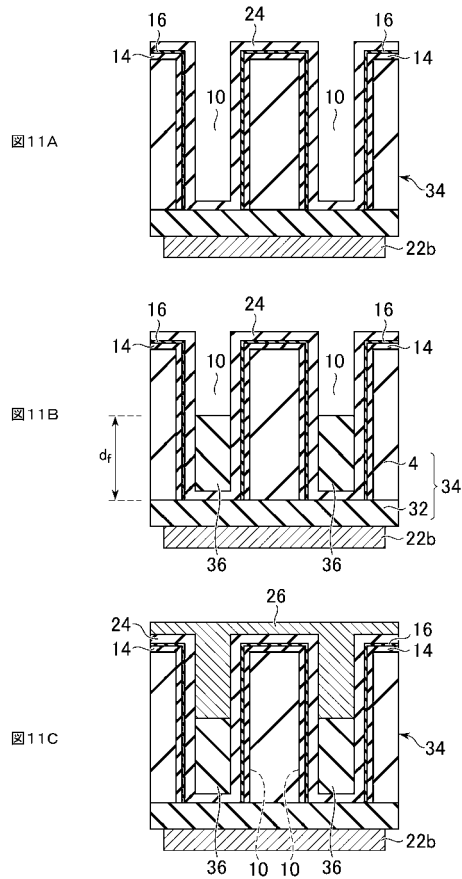
【 図 9 】



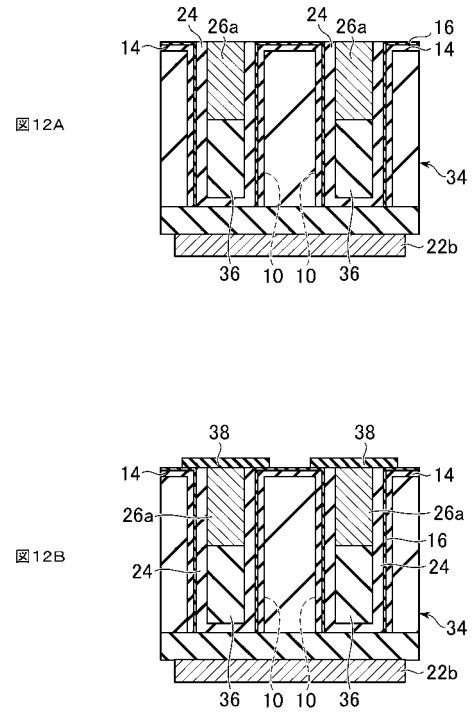
【 図 10 】



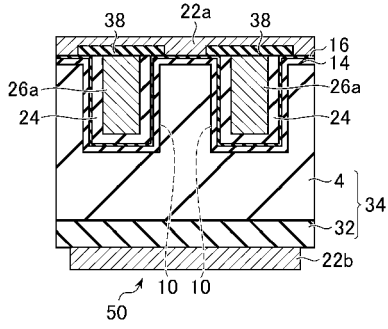
【 図 11 】



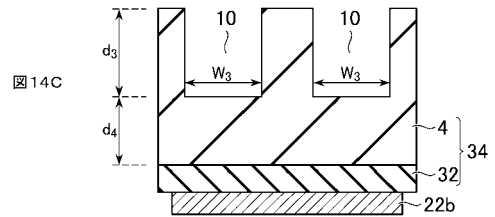
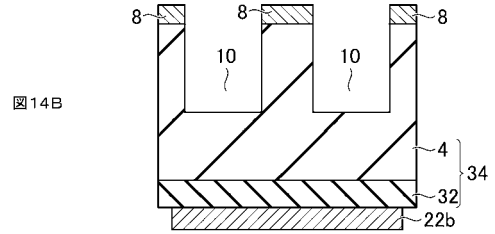
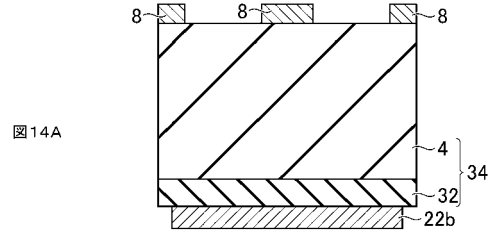
【 図 12 】



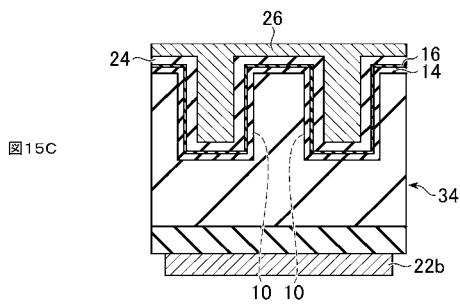
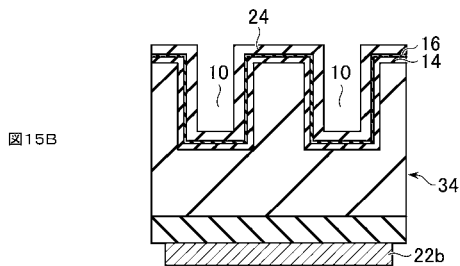
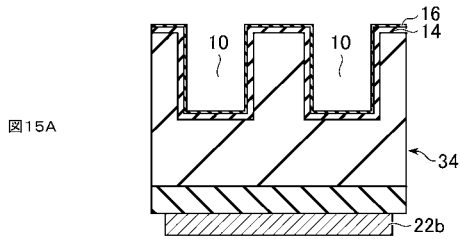
【 図 1 3 】



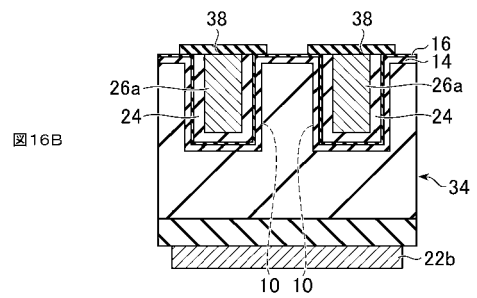
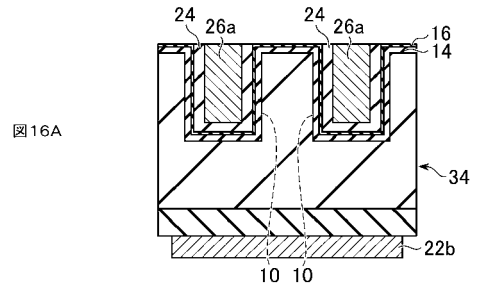
【 図 1 4 】



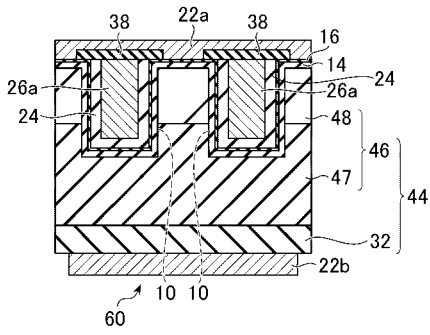
【 図 1 5 】



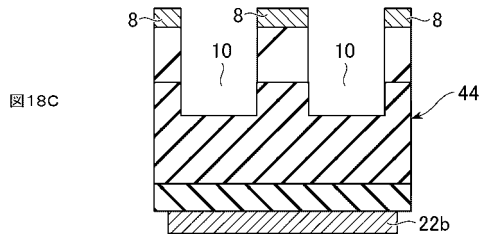
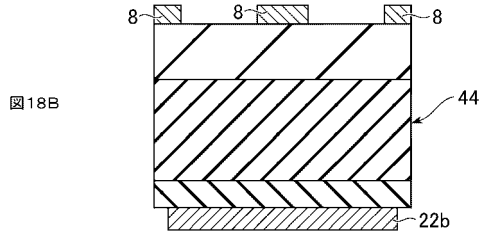
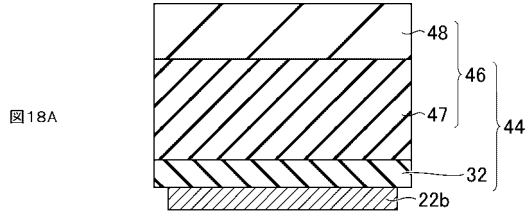
【 図 1 6 】



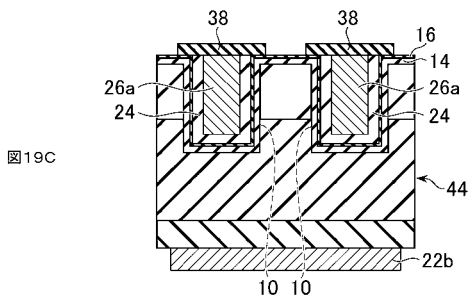
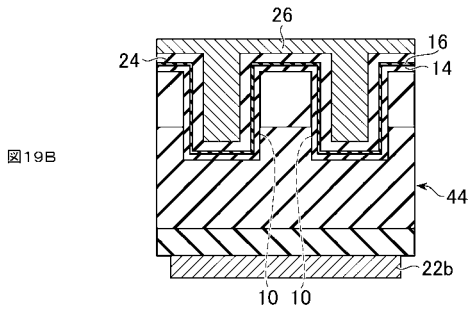
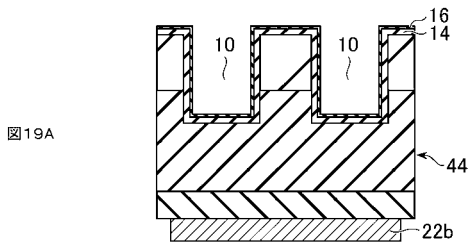
【 図 1 7 】



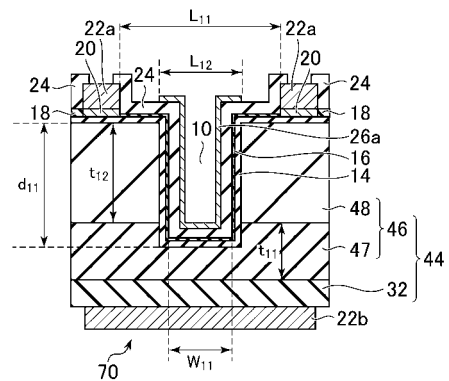
【 図 1 8 】



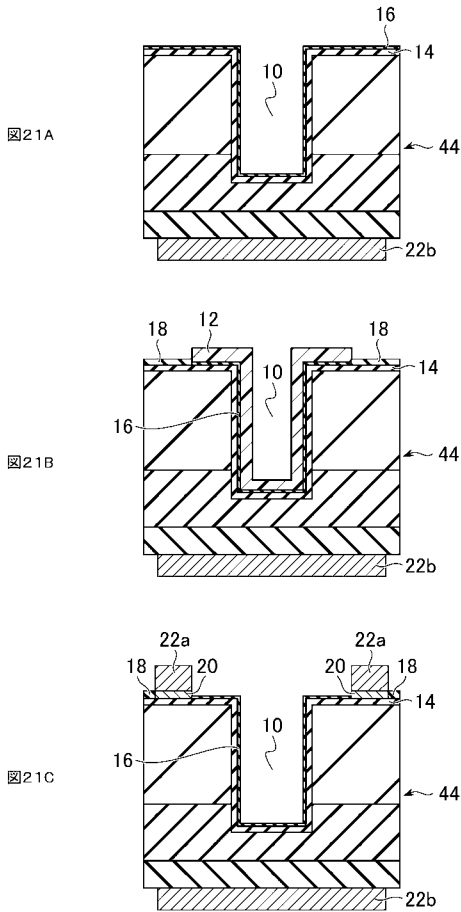
【 図 1 9 】



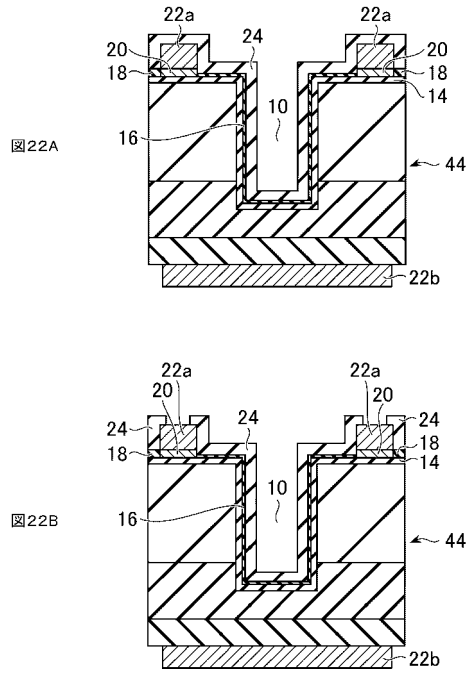
【 図 2 0 】



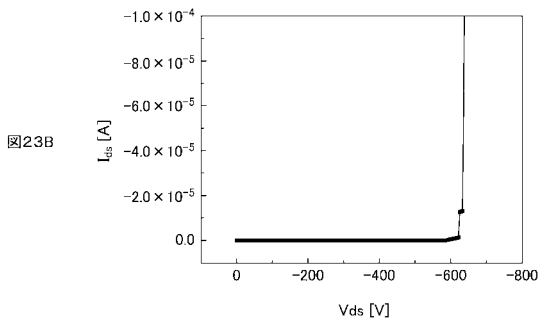
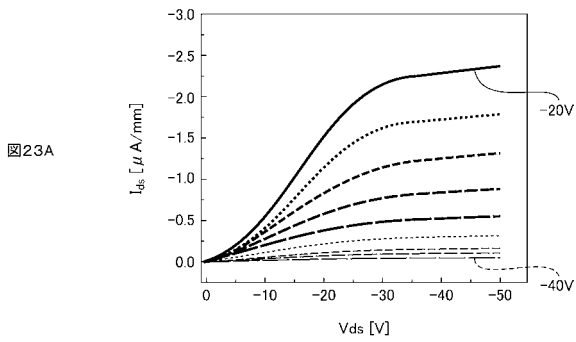
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L	21/337 (2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/808 (2006.01)	H 0 1 L	29/78	6 5 3 A
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/78	6 5 2 E
H 0 1 L	21/20 (2006.01)	H 0 1 L	29/78	6 5 8 E
		H 0 1 L	29/78	6 5 8 F
		H 0 1 L	21/20	

- (72)発明者 稲葉 優文
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内
- (72)発明者 斎藤 俊輝
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内
- (72)発明者 北林 祐哉
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内
- (72)発明者 平岩 篤
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内
- (72)発明者 川原田 洋
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

Fターム(参考) 5F102 FA01 GB01 GB04 GC01 GC08 GD10 GL02 GQ09 GV05 HC16
5F140 AA25 AC01 BA04 BB06 BB18 BC12 BD11 BF01 BF05 BF43
BH27 BJ11
5F152 LL04 LM03 MM04 NN02 NQ02