

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-213549

(P2016-213549A)

(43) 公開日 平成28年12月15日(2016.12.15)

(51) Int.Cl.			F I			テーマコード (参考)		
H03M	1/12	(2006.01)	H03M	1/12	B	5J022		
H03K	5/153	(2006.01)	H03K	5/153	S	5J039		
H03K	5/00	(2006.01)	H03K	5/00	K			
H03K	5/26	(2006.01)	H03K	5/26	S			

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2015-93073 (P2015-93073)
 (22) 出願日 平成27年4月30日 (2015.4.30)

(71) 出願人 504173471
 国立大学法人北海道大学
 北海道札幌市北区北8条西5丁目
 (74) 代理人 110000958
 特許業務法人 インテクト国際特許事務所
 (74) 代理人 100120189
 弁理士 奥 和幸
 (74) 代理人 100173510
 弁理士 美川 公司
 (72) 発明者 池辺 将之
 北海道札幌市北区北8条西5丁目 国立大
 学法人北海道大学内
 (72) 発明者 渡辺 佳織
 北海道札幌市北区北8条西5丁目 国立大
 学法人北海道大学内

最終頁に続く

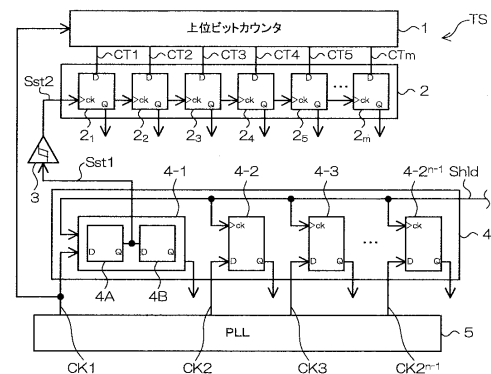
(54) 【発明の名称】 デジタル回路及びA/D (Analog/Digital) 変換回路並びにデジタル信号処理方法

(57) 【要約】

【課題】回路規模を増大させることなく、デジタルデータの上位ビットと下位ビットとの間におけるメタスタビリティの発生を防止することが可能なデジタル回路を提供する。

【解決手段】デジタルデータの下位ビットにそれぞれ対応し且つ相互に位相が異なる複数のクロック信号CK1等を、ホールド信号Shldを基準としてそれぞれラッチし、下位ビットそれぞれについての時間計測結果として出力するTMC4と、クロック信号CK1に基づき、デジタルデータの上位ビットをそれぞれカウントするためのカウント信号を生成する上位ビットカウンタ1と、ホールド信号Shldを基準としたTMC4におけるクロック信号CK1のラッチ結果Sst2を基準として各カウント信号をそれぞれラッチする上位ビット用メモリ2と、を備える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

デジタルデータの下位ビットに対応し且つ相互に位相が異なる複数のクロック信号を、外部からのホールド信号を基準としてそれぞれラッチし、前記下位ビットそれぞれについての時間計測結果として出力する下位ビット時間計測手段と、

前記複数のクロック信号の一つである特定クロック信号に基づいて、前記デジタルデータの上位ビットをそれぞれカウントするためのカウント信号を生成する上位ビットカウンタと、

前記ホールド信号を基準とした前記下位ビット時間計測手段における前記特定クロック信号のラッチ結果を基準として、前記生成された各カウント信号をそれぞれラッチする上位ビット用メモリと、

を備えることを特徴とするデジタル回路。

【請求項 2】

請求項 1 に記載のデジタル回路において、

前記特定クロック信号は、前記下位ビットにおける第 1 ビットに対応する前記クロック信号であることを特徴とするデジタル回路。

【請求項 3】

請求項 1 又は請求項 2 に記載のデジタル回路において、

前記ラッチ結果を波形整形して前記上位ビット用メモリに出力する波形整形手段を更に備えることを特徴とするデジタル回路。

【請求項 4】

請求項 3 に記載のデジタル回路において、

前記波形整形手段がシュミットリガであることを特徴とするデジタル回路。

【請求項 5】

請求項 1 から請求項 4 のいずれか一項に記載のデジタル回路において、

前記上位ビット用メモリに入力される際の前記ラッチ結果に含まれる遅延時間が、前記上位ビットカウンタから出力される各前記カウント信号に含まれる遅延時間より長くなるように設定されていることを特徴とするデジタル回路。

【請求項 6】

請求項 5 に記載のデジタル回路において、

各前記遅延時間に基づいて予め設定された遅延時間だけ前記ラッチ結果を遅延させて前記上位ビット用メモリに出力する遅延手段を更に備えることを特徴とするデジタル回路。

【請求項 7】

請求項 1 から請求項 6 のいずれか一項に記載のデジタル回路と、

前記デジタルデータに変換されるアナログ信号のレベルに対応する前記ホールド信号を生成して前記デジタル回路に出力するホールド信号生成手段と、

前記下位ビット時間計測手段から出力された前記時間計測結果と、前記上位ビットメモリにおいて各前記カウント信号をラッチしたラッチ結果と、により構成される前記デジタルデータを出力する出力手段と、

を備えることを特徴とする A / D (Analog/Digital) 変換回路。

【請求項 8】

デジタル回路において実行されるデジタル信号処理方法において、

デジタルデータの下位ビットに対応し且つ相互に位相が異なる複数のクロック信号を、外部からのホールド信号を基準としてそれぞれラッチし、前記下位ビットそれぞれについての時間計測結果として出力する下位ビット時間計測工程と、

前記複数のクロック信号の一つである特定クロック信号に基づいて、前記デジタルデータの上位ビットをそれぞれカウントするためのカウント信号を生成する生成工程と、

前記ホールド信号を基準とした前記下位ビット時間計測工程における前記特定クロック信号のラッチ結果を基準として、前記出力された各カウント信号をそれぞれラッチするラッチ工程と、

10

20

30

40

50

を含むことを特徴とするデジタル信号処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタル回路及びA/D変換回路並びにデジタル信号処理方法の技術分野に属する。より詳細には、メタスタビリティを防止する機能を有するデジタル回路及び当該デジタル回路を含むA/D変換回路並びに当該デジタル回路において実行されるデジタル信号処理方法の技術分野に属する。

【背景技術】

【0002】

従来、論理回路を用いて様々な機能を実現するための設計を行うとき、各機能を実現するモジュール毎に、それが使用するクロック信号を異ならせる場合がある。そして、担うべき機能がそれぞれ異なるモジュール間で、異なる周波数のクロック信号を基準としてデータの授受を行う場合、非同期転送される非同期データを同期化するための同期化回路が必要となる。

【0003】

一方、このような非同期データを同期化する際に、例えば異なるクロック信号のフリップフロップ回路間でデータの授受を行う非同期転送を考えると、この場合に、例えば受信側におけるデータの取り込みタイミングと受信側のクロック信号における「0」、「1」間の変化タイミングとが近接すると、受信側のフリップフロップ回路の出力信号が「0」でも「1」でもない中間値になって不安定状態となる現象が生じることが知られている。この現象は、いわゆる「メタステーブル」又は「メタスタビリティ」と呼ばれる。そして、このメタスタビリティの発生により送受信モジュール間で正しいデータ転送が行われなければ、それらのモジュールが搭載される装置の誤動作の原因となってしまう。よって上記モジュール間での正確なデータ転送を求める場合には、上記同期化回路におけるメタスタビリティの防止が不可欠となる。

【0004】

ここで、上記メタスタビリティの防止のための先行技術を開示した文献としては、例えば下記特許文献1が挙げられる。特許文献1に開示された先行技術では、位相は異なるが周波数が同じ二つのクロック信号を用いて入力データを非同期の二系統に分けた後に同期化して二系統のまま転送し、各系統のデータにおけるメタスタビリティの有無を個別に検出し、メタスタビリティが検出されなかった方の系統を同期化回路としての出力とする構成とされている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2014-140123号公報(図1、図9等)

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記特許文献1記載の先行技術によると、メタスタビリティ防止のために、転送二重化回路、二つのメタスタビリティ検出回路及び転送選択回路を設ける必要があり、結果的に回路規模が増大するという問題点がある。そしてこの問題点は、微細化/高集積化の傾向にある昨今の趨勢を鑑みると、是非とも避けるべき問題点である。

【0007】

また上記メタスタビリティの問題は、モジュール間で授受すべきデータを上位ビットと下位ビットに分けてクロック信号の高周波数化を緩和しつつ高速にデータの授受を行う場合における、当該上位ビットと下位ビットとの間でも発生する。そしてこの場合のメタスタビリティは、例えばデータの誤転送を生じるという問題点を発生させる。

【0008】

10

20

30

40

50

そこで本発明は、上記の問題点及び要請に鑑みて為されたもので、その課題の一例は、回路規模を大きく増大させることなく、デジタルデータの上位ビットと下位ビットとの間におけるメタスタビリティの発生を防止することが可能なデジタル回路及び当該デジタル回路を含む A / D 変換回路、並びに当該デジタル回路において実行されるデジタル信号処理方法を提供することにある。

【課題を解決するための手段】

【0009】

上記の課題を解決するために、請求項 1 に記載の発明は、デジタルデータの下位ビットに対応し且つ相互に位相が異なる複数のクロック信号を、外部からのホールド信号を基準としてそれぞれラッチし、前記下位ビットそれぞれについての時間計測結果として出力する TMC (Time Memory Cell) 等の下位ビット時間計測手段と、前記複数のクロック信号の一つである特定クロック信号に基づいて、前記デジタルデータの上位ビットをそれぞれカウントするためのカウント信号を生成する上位ビットカウンタと、前記ホールド信号を基準とした前記下位ビット時間計測手段における前記特定クロック信号のラッチ結果を基準として、前記生成された各カウント信号をそれぞれラッチする上位ビット用メモリと、を備える。

10

【0010】

上記の課題を解決するために、請求項 8 に記載の発明は、デジタル回路において実行されるデジタル信号処理方法において、デジタルデータの下位ビットに対応し且つ相互に位相が異なる複数のクロック信号を、外部からのホールド信号を基準としてそれぞれラッチし、前記下位ビットそれぞれについての時間計測結果として出力する下位ビット時間計測工程と、前記複数のクロック信号の一つである特定クロック信号に基づいて、前記デジタルデータの上位ビットをそれぞれカウントするためのカウント信号を生成する生成工程と、前記ホールド信号を基準とした前記下位ビット時間計測工程における前記特定クロック信号のラッチ結果を基準として、前記出力された各カウント信号をそれぞれラッチするラッチ工程と、を含む。

20

【0011】

請求項 1 又は請求項 8 に記載の発明によれば、デジタルデータの上位ビットをそれぞれカウントするためのカウント信号を、下位ビット時間計測手段においてラッチされる特定クロック信号に基づいて生成する。また、ホールド信号を基準とした特定クロック信号のラッチ結果を基準として、上位ビットの各カウント信号をそれぞれラッチする。よって、下位ビット時間計測手段と上位ビットカウンタとの間で特定クロック信号を共用すると共に、ホールド信号を基準とした下位ビットのラッチ結果を基準として上位ビットの各カウント信号をラッチするので、下位ビットと上位ビットとの間の因果性の確立により相互の整合性が確保できる。従って、回路規模を増大させることなく、上位ビットと下位ビットとの間におけるメタスタビリティの発生を防止することができる。

30

【0012】

上記の課題を解決するために、請求項 2 に記載の発明は、請求項 1 に記載のデジタル回路において、前記特定クロック信号は、前記下位ビットにおける第 1 ビットに対応する前記クロック信号であるように構成される。

40

【0013】

請求項 2 に記載の発明によれば、請求項 1 に記載の発明の作用に加えて、そのラッチ結果が上位ビット用メモリに出力される特定クロック信号がデジタルデータの下位ビットにおける第 1 ビットに対応するクロック信号であるので、簡易な構成で且つ確実に上位ビットカウンタのカウント結果をラッチすることができる。

【0014】

上記の課題を解決するために、請求項 3 に記載の発明は、請求項 1 又は請求項 2 に記載のデジタル回路において、前記ラッチ結果を波形整形して前記上位ビット用メモリに出力するシュミットリガ等の波形整形手段を更に備える。

【0015】

50

請求項 3 に記載の発明によれば、請求項 1 又は請求項 2 に記載の発明の作用に加えて、特定クロック信号のラッチ結果を波形整形した上で上位ビット用メモリに出力するので、上位ビットカウンタのカウント結果をより確実にラッチすることができる。

【 0 0 1 6 】

上記の課題を解決するために、請求項 4 に記載の発明は、請求項 3 に記載のデジタル回路において、前記波形整形手段がシュミットリガであるように構成される。

【 0 0 1 7 】

請求項 4 に記載の発明によれば、請求項 3 に記載の発明の作用に加えて、波形整形手段がシュミットリガであるので、いわゆるヒステリシス特性を有するシュミットリガを用いて波形整形することで、上位ビットカウンタのカウント結果をより確実にラッチすることができる。

10

【 0 0 1 8 】

上記の課題を解決するために、請求項 5 に記載の発明は、請求項 1 から請求項 4 のいずれか一項に記載のデジタル回路において、前記上位ビット用メモリに入力される際の前記ラッチ結果に含まれる遅延時間が、前記上位ビットカウンタから出力される各前記カウント信号に含まれる遅延時間より長くなるように設定されている。

【 0 0 1 9 】

請求項 5 に記載の発明によれば、請求項 1 から請求項 4 のいずれか一項に記載の発明の作用に加えて、上位ビット用メモリに入力する際のラッチ結果に含まれる遅延時間が、上位ビットカウンタから出力される各カウント信号に含まれる遅延時間よりも長くなるように設定されているので、更に確実に上位ビットカウンタのカウント結果をラッチすることができる。

20

【 0 0 2 0 】

上記の課題を解決するために、請求項 6 に記載の発明は、請求項 5 に記載のデジタル回路において、各前記遅延時間に基づいて予め設定された遅延時間だけ前記ラッチ結果を遅延させて前記上位ビット用メモリに出力する遅延素子等の遅延手段を更に備える。

【 0 0 2 1 】

請求項 6 に記載の発明によれば、請求項 5 に記載の発明の作用に加えて、ラッチ結果に含まれる遅延時間と各カウント信号に含まれる遅延時間とに基づく既定の遅延時間だけラッチ結果が更に遅延されて上位ビット用メモリに入力されるので、更に確実に上位ビットカウンタのカウント結果をラッチすることができる。

30

【 0 0 2 2 】

上記の課題を解決するために、請求項 7 に記載の発明は、請求項 1 から請求項 6 のいずれか一項に記載のデジタル回路と、前記デジタルデータに変換されるアナログ信号のレベルに対応する前記ホールド信号を生成して前記デジタル回路に出力する比較器等のホールド信号生成手段と、前記下位ビット時間計測手段から出力された前記時間計測結果と、前記上位ビットメモリにおいて各前記カウント信号をラッチしたラッチ結果と、により構成される前記デジタルデータを出力する A / D 変換器等の出力手段と、を備える。

【 0 0 2 3 】

請求項 7 に記載の発明によれば、デジタルデータに変換されるアナログ信号のレベルに対応するホールド信号を請求項 1 から請求項 6 のいずれか一項に記載のデジタル回路に出力する。そして、請求項 1 から請求項 6 のいずれか一項に記載のデジタル回路の下位ビット時間計測手段から出力される時間計測結果と、上位ビット用メモリによるラッチ結果と、により構成されるデジタルデータを出力する。よって、デジタルデータ内におけるメタスタビリティの発生を効果的に防止できるので、回路規模を増大させることなく、アナログ信号からデジタルデータへの変換精度を向上させることができる。

40

【発明の効果】

【 0 0 2 4 】

本発明によれば、下位ビット時間計測手段においてラッチされる特定クロック信号に基づいて、デジタルデータの上位ビットをそれぞれカウントするためのカウント信号を生成

50

する。また、ホールド信号を基準とした特定クロック信号のラッチ結果を基準として、上位ビットの各カウント信号をそれぞれラッチする。よって、下位ビット時間計測手段と上位ビットカウンタとの間で特定クロック信号を共用すると共に、ホールド信号を基準とした下位ビットのラッチ結果を基準として上位ビットの各カウント信号をラッチするので、下位ビットと上位ビットとの間の因果性の確立により相互の整合性が確保できる。

【0025】

従って、回路規模を増大させることなく、上位ビットと下位ビットとの間におけるメタスタビリティの発生を防止することができる。

【図面の簡単な説明】

【0026】

【図1】実施形態に係るA/D変換器を含むイメージセンサの概要構成を示すブロック図等であり、(a)は当該ブロック図であり、(b)は当該A/D変換器の動作を説明するタイミングチャートである。

【図2】実施形態に係るタイムスタンプ回路の概要構成を示すブロック図である。

【図3】実施形態に係るシュミットトリガの機能を説明する図であり、(a)は当該シュミットトリガを使用しない場合の波形図であり、(b)は当該シュミットトリガを使用した場合の波形図である。

【図4】実施形態に係るタイムスタンプ回路の動作の第1例を示すタイミングチャートであり、(a)は当該第1例における上位ビットカウンタの値と下位ビット時間計測部の出力との関係を例示するタイミングチャートであり、(b)は当該第1例における上位ビット用メモリの動作を説明するタイミングチャートである。

【図5】実施形態に係るタイムスタンプ回路の動作の第2例を示すタイミングチャートであり、(a)は当該第2例における上位ビットカウンタの値と下位ビット時間計測部の出力との関係を例示するタイミングチャートであり、(b)は当該第2例における上位ビット用メモリの動作を説明するタイミングチャートである。

【図6】変形形態に係るタイムスタンプ回路の概要構成を示すブロック図である。

【発明を実施するための形態】

【0027】

次に、本発明を実施するための形態について、図1乃至図5に基づいて説明する。なお以下に説明する実施形態は、例えばCMOS(Complementary Metal Oxide Semiconductor)型の撮像デバイスと、当該撮像デバイスから出力されるアナログ信号をデジタル信号に変換するA/D変換器と、を備えたイメージセンサにおける当該A/D変換器に含まれるタイムスタンプ回路に対して本発明を適用した場合の実施の形態である。

【0028】

また、図1は実施形態に係るA/D変換器を含むイメージセンサの概要構成を示すブロック図等であり、図2は実施形態に係るタイムスタンプ回路の概要構成を示すブロック図であり、図3は実施形態に係るシュミットトリガの機能を説明する図である。更に、図4は実施形態に係るタイムスタンプ回路の動作の第1例を示すタイミングチャートであり、図5は実施形態に係るタイムスタンプ回路の動作の第2例を示すタイミングチャートである。

【0029】

図1(a)に示すように、実施形態に係るイメージセンサ100は、例えば上記CMOS型の画素Pを複数備える画素アレイALと、当該画素アレイALから出力されてくるアナログ信号Saをデジタル化し、当該アナログ信号Saに対応するデジタルデータを出力するA/D変換器ADCと、上記デジタルデータに基づいて予め設定された信号処理を行う信号処理部14と、を備えて構成されている。このとき、信号処理部14により実行される上記既定の信号処理としては、例えば画素アレイALにより撮像された画像についての上記デジタルデータを用いたデジタル処理等が挙げられる。また、上記A/D変換器ADCが本発明に係る「出力手段」の一例に相当する。

【0030】

10

20

30

40

50

この構成において画素アレイ A L は、画素 P、P、P、... と、当該各画素 P がそれぞれ接続される列接続線 C 及び行接続 R と、各行接続線 R を駆動する垂直走査部 1 0 と、により構成されている。このとき画素アレイ A L 自体の構成は、従来のイメージセンサにおける画素アレイと同様である。そして各列接続線 C からは、垂直走査部 1 0 により駆動される各画素 P が外光を受光することにより当該各画素 P により生成されるアナログ信号 S a が、それぞれ A / D 変換器 A D C に出力される。

【 0 0 3 1 】

これに対して A / D 変換器 A D C は、上記列接続線 C のそれぞれに接続される列アンプ 1 1 , 1 1 , 1 1 , ...、比較器 1 2 , 1 2 , 1 2 , ...、T M C 4 , 4 , 4 , ...、シュミットトリガ 3 , 3 , 3 , ... 及び上位ビット用メモリ 2 , 2 , 2 , ... と、各列接続線 C に共通の上位ビットカウンタ 1、P L L (Phase Locked Loop) 5 及びランプ信号発生回路 1 3 と、により構成されている。このとき、上位ビットカウンタ 1 が本発明に係る「上位ビットカウンタ」の一例に相当し、各上位ビット用メモリ 2 がそれぞれ本発明に係る「上位ビット用メモリ」の一例に相当し、各シュミットトリガ 3 がそれぞれ本発明に係る「波形整形手段」の一例に相当し、比較器 1 2 , 1 2 , 1 2 , ... がそれぞれ本発明に係る「ホールド信号生成手段」の一例に相当する。

10

【 0 0 3 2 】

この構成において各列アンプ 1 1 , 1 1 , 1 1 , ... は、それぞれが接続されている列接続線 C を介して出力されるアナログ信号 S a に対して予め設定された増幅処理を施し、当該増幅されたアナログ信号 S a を、対応する比較器 1 2 , 1 2 , 1 2 , ... の一方の入力端子に出力する。一方ランプ信号発生回路 1 3 は、例えば時間の経過に伴ってその値が一次関数的に減少するノコギリ波形状のランプ信号 S r を生成し、各比較器 1 2 , 1 2 , 1 2 , ... の他方の入力端子に出力する。

20

【 0 0 3 3 】

これらにより各比較器 1 2 , 1 2 , 1 2 , ... は、各々入力される上記ランプ信号 S r の値と上記アナログ信号 S a の値とをそれぞれ比較して、実施形態に係るホールド信号 S h l d を出力する。このとき各比較器 1 2 , 1 2 , 1 2 , ... は図 1 (b) に例示するように、入力されるランプ信号 S r (図 1 (b) 破線参照) の値がそのランプ信号 S r と同時に入力されるアナログ信号 S a の値と等しくなるタイミングまで状態「 1 」を維持し、当該タイミング以降状態「 0 」を維持する上記ホールド信号 S h l d を生成し、対応する T M C 4 にそれぞれ出力する。そして実施形態に係る上位ビットカウンタ 1 及び P L L 5、並びに各上位ビットメモリ 2 , 2 , 2 , ...、各シュミットトリガ 3 , 3 , 3 , ... 及び各 T M C 4 , 4 , 4 , ... は、各列接続線 C に対応するホールド信号 S h l d が状態「 1 」である時間 T (図 1 (b) 参照) の長さを後述するクロック信号 C K を基準としてカウント (計数) し、当該カウント結果を、各アナログ信号 S a にそれぞれに相当する上記デジタルデータの値として信号処理部 1 4 に出力する。

30

【 0 0 3 4 】

即ちより具体的に、先ず各 T M C 4 , 4 , 4 , ... は、それぞれがいわゆる T D C (Time to Digital Converter) の一種である。そして一の T M C 4 と P L L 5 との組み合わせにより、当該一の T M C 4 に対応した列接続線 C についての実施形態に係る後述のタイムスタンプ回路に含まれる下位ビット時間計測部を構成している。この下位ビット時間計測部が本発明に係る「下位ビット時間計測手段」の一例に相当する。

40

【 0 0 3 5 】

そして上位ビットカウンタ 1 は、信号処理部 1 4 に出力されるデジタルデータにおける上位側に相当する予め設定された上位ビットの各ビットについて、上記 P L L 5 からのクロック信号 C K に基づく上記カウント用のカウント信号 C T を生成し、当該カウント信号 C T をビットごとに上位ビット用メモリ 2 に出力する。ここで上記予め設定された上位ビットのビット数を m (m は自然数 (例えば「 8 」))。以下同様。) とする。

【 0 0 3 6 】

これに対して各上位ビット用メモリ 2 は、上位ビットカウンタ 1 から出力されるビット

50

ごとのカウント信号CTを、後述するラッチ結果Sst2を基準たるクロック信号として用いてそれぞれラッチする。そして各上位ビット用メモリ2は、それぞれにおけるラッチ結果を、各列接続線Cに対応するデジタルデータにおける上記上位ビットを構成するビットごとのラッチ結果（即ちデジタルデータの値）として信号処理部14にそれぞれ出力する。

【0037】

他方各TMC4にはそれぞれ、信号処理部14に出力される上記デジタルデータにおける上記上位mビット以外の（下位側の）下位ビットの各ビットにそれぞれ対応し、且つ相互に位相が異なるクロック信号CKが、上記PLL5から入力されている。ここで当該下位ビットのビット数をn（nは自然数（例えば「3」）。以下同様。）とすると、合計2ⁿ⁻¹本（例えばn=3の場合には四本）の上記クロック信号CKが各TMC4それぞれに入力されている。このとき各クロック信号CKはそれぞれ、上記下位nビットの第1ビット（初段ビット）以降にそれぞれ順次相当している。

10

【0038】

そして各TMC4は、対応する列接続線Cごとに上記ホールド信号Shld（図1（b）参照）がクロック信号としてそれぞれ入力されると、これを基準として、PLL5からの上記クロック信号CKをそれぞれラッチする。その後各TMC4は、それらのラッチ結果を、各列接続線Cに対応するデジタルデータにおける下位nビットを構成するビットごとのラッチ結果（即ちデジタルデータの値）として信号処理部14にそれぞれ出力する。

20

【0039】

一方各TMC4からは、上記下位nビットの第1ビット（初段ビット）に対応するラッチ結果Sst1が、対応するシュミットトリガ3にそれぞれ出力されている。これにより各シュミットトリガ3は、ラッチ結果Sst1に対して後述する波形整形処理をそれぞれ施し、ラッチ結果Sst2として対応する上位ビット用メモリ2にそれぞれ出力する。これらにより各上位ビット用メモリ2は上述したように、ラッチ結果Sst2を基準たるクロック信号として用いて、上位ビットカウンタ1から出力されるビットごとのカウント信号CTをそれぞれラッチし、上位mビットを構成するビットごとのラッチ結果として信号処理部14にそれぞれ出力する。

【0040】

そして信号処理部14は、列接続線Cごとに出力されてくる下位nビット及び上位mビットそれぞれを構成するビットごとのラッチ結果を纏めて上記デジタルデータとして取得し、当該デジタルデータに基づいて上記既定の信号処理を実行する。

30

【0041】

次に、上記A/D変換器ADCに含まれる実施形態に係るタイムスタンプ回路について、より具体的に図2乃至図5を用いてその構成及び動作を説明する。なお実施形態に係るA/D変換器ADCでは、各列接続線Cにそれぞれ対応する一のTMC4、一のシュミットトリガ3及び一の上位ビット用メモリ2と、各列接続線Cについて共用される上位ビットカウンタ1及びPLL5と、により一つの実施形態に係るタイムスタンプ回路が構成されている。即ち実施形態に係るA/D変換器ADCでは、上位ビットカウンタ1及びPLL5を共用しつつ、列接続線Cごとに一つのタイムスタンプ回路が構成される。そして、タイムスタンプ回路ごとの構成及び動作は、それぞれに対応する列接続線Cを介して入力されてくるホールド信号Shldが各列接続線Cに接続されている画素Pにおける受光状況により異なる点を除き、基本的には相互に同一である。よって以下の説明では、一つのタイムスタンプ回路についてのみ、その構成及び動作を説明する。なお以下の説明では、図1を用いて説明した各構成部材と同様の構成部材については、同一の部材番号を用いて説明する。

40

【0042】

図2に示すように、実施形態に係る一のタイムスタンプ回路TSは上述したように、上位ビットカウンタ1と、上位ビット用メモリ2と、シュミットトリガ3と、TMC4と、PLL5と、により構成されている。そして上位ビットカウンタ1は、上記デジタルデー

50

タにおける上位 m ビットの各ビットについて、PLL5からのクロック信号CKのうちのクロック信号CK1に基づいてカウント信号CT1乃至カウント信号CT m をそれぞれ生成し、ビットごとに上位ビット用メモリ2に出力する。なお以下の説明において、カウント信号CT1乃至カウント信号CT m について共通の事項を説明する場合、これらを纏めて「カウント信号CT」と称する。

【0043】

一方上位ビット用メモリ2は、ラッチ結果Sst2を用いて上記ビットごとのカウント信号CTをそれぞれラッチする m 個のフリップフロップ回路2₁乃至フリップフロップ回路2 _{m} により構成されている。このとき、フリップフロップ回路2₁乃至フリップフロップ回路2 _{m} はいずれもD型のフリップフロップ回路であり、図示しないD型のラッチ回路をそれぞれ二つ備えて構成されている。また図2では、フリップフロップ回路2₁乃至フリップフロップ回路2 _{m} それぞれにおけるデータ入力端子(D端子)を符号「D」で示しており、データ出力端子(Q端子)を符号「Q」で示しており、ラッチ結果Sst2がクロック信号として入力されるクロック入力端子を符号「ck」で示している。そして上位ビットカウンタ1からのビットごとのカウント信号CTは、それぞれ対応するフリップフロップ回路2₁乃至フリップフロップ回路2 _{m} のD端子に入力されている。これにより、フリップフロップ回路2₁が上記上位 m ビットにおける第1ビットに対応するカウント信号CT₁をラッチ結果Sst2に基づいてラッチし、フリップフロップ回路2₂が上記上位 m ビットにおける第2ビットに対応するカウント信号CT₂をラッチ結果Sst2に基づいてラッチする。以下同様に、フリップフロップ回路2₃乃至フリップフロップ回路2 _{m} が上記上位 m ビットのビットごとに対応するカウント信号CTを順次ラッチする。そして各ラッチ結果は、フリップフロップ回路2₁乃至フリップフロップ回路2 _{m} のデータ出力端子から、デジタルデータの上位 m ビットを構成するビットごとのラッチ結果として、信号処理部14にそれぞれ出力される。

【0044】

他方図2に示すタイムスタンプ回路TSに含まれるTMC4は、それぞれがD型のフリップフロップ回路である2 ^{$n-1$} 個のフリップフロップ回路4-1乃至フリップフロップ回路4-2 ^{$n-1$} により構成されている。また各フリップフロップ回路4-1乃至フリップフロップ回路4-2 ^{$n-1$} はそれぞれ、二つのD型のラッチ回路4A及びラッチ回路4Bを備えて構成されている。このとき図2では、上記フリップフロップ回路2₁等と同様に、フリップフロップ回路4-1乃至フリップフロップ回路4-2 ^{$n-1$} それぞれにおけるデータ入力端子を符号「D」で示しており、データ出力端子を符号「Q」で示しており、ホールド信号Shldがクロック信号として入力されるクロック入力端子を符号「ck」で示している。そして各フリップフロップ回路4-1乃至フリップフロップ回路4-2 ^{$n-1$} のデータ入力端子にはそれぞれ上述したように、上記クロック信号CK1乃至クロック信号CK2 ^{$n-1$} が上記PLL5から入力されている。このとき、例えばクロック信号CK1の位相が0°であるとすると、クロック信号CK2はクロック信号CK1に対して位相が45°遅れたクロック信号とされ、クロック信号CK3はクロック信号CK1に対して位相が90°遅れたクロック信号とされ、更にクロック信号CK4はクロック信号CK1に対して位相が135°遅れたクロック信号とされる。なお以下の説明において、クロック信号CK1乃至クロック信号CK2 ^{$n-1$} について共通の事項を説明する場合、これらを纏めて「クロック信号CK」と称する。

【0045】

以上の構成においてフリップフロップ回路4-1乃至フリップフロップ回路4-2 ^{$n-1$} は、上記ホールド信号Shldがそれぞれのクロック入力端子に入力されると、これを基準として、PLL5からの各クロック信号CKをそれぞれラッチする。その後フリップフロップ回路4-1乃至フリップフロップ回路4-2 ^{$n-1$} は、それらのラッチ結果を、デジタルデータの低位 n ビットを構成するビットごとのラッチ結果(時間計測結果)として信号処理部14にそれぞれ出力する。

【0046】

10

20

30

40

50

一方、TMC4における下位nビットの上記第1ビット(初段ビット)に対応するフリップフロップ回路4-1からは図2に示すように、それを構成するラッチ回路4A及びラッチ回路4Bによるラッチ結果Sst1がシュミットトリガ3に出力されている。これによりシュミットトリガ3は、ラッチ結果Sst1に対して後述する波形整形処理を施し、上記ラッチ結果Sst2として上記ビット用メモリ2を構成するフリップフロップ回路2₁乃至フリップフロップ回路2_mの各クロック入力端子にそれぞれ出力する。これによりフリップフロップ回路2₁乃至フリップフロップ回路2_mは上述したように、ラッチ結果Sst2を基準たるクロック信号として用いて、上位ビットカウンタ1から出力されるビットごとのカウント信号CTをそれぞれラッチする。

【0047】

ここで上記シュミットトリガ3による、ラッチ結果Sst1の波形整形処理について、より具体的に図3を用いて説明する。

【0048】

上述したようにラッチ結果Sst1は、ラッチ回路4A及びラッチ回路4Bを含むフリップフロップ回路4-1において、クロック入力端子に入力されるホールド信号Shldを基準としてクロック信号CK1(上位ビットカウンタ1と共用するクロック信号である)をラッチした結果である。従って、ラッチ回路4A及びラッチ回路4Bが用いられていることから、クロック信号CK1が例えば「1」から「0」に変化するタイミングと一致するタイミングでホールド信号Shldがフリップフロップ回路2₁に入力された場合、図3(a)に点線で例示するように、その値を「1」として保持すべき場合でも、一旦「0」方向へ遷移した後に本来の「1」へ戻るようにラッチ結果Sst1が変化する可能性がある。なお図3(a)に実線で例示するように、その値を「0」に変化させるべき場合には、ラッチ結果Sst1における上記「0」方向への遷移は問題とならない。

【0049】

そこで実施形態に係るタイムスタンプ回路TSでは、シュミットトリガ3によるヒステリシスを用いた波形整形処理をラッチ結果Sst1に対して施す。これにより、図3(b)に点線で例示するように、その値を「1」として保持すべき場合に「0」方向への遷移がなく確実に値「1」を保持し続けるラッチ結果Sst2を生成して、上位ビット用メモリ2に出力する。なお図3(b)に実線で例示するように、ラッチ結果Sst1の値を「0」に変化させるべき場合にも、シュミットトリガ3による波形整形処理を施すことで、より確実に当該「0」に変化するラッチ結果Sst2を生成することができる。

【0050】

以上説明したように実施形態に係るタイムスタンプ回路TSでは、上述したTMC4と上位ビットカウンタ1との間でクロック信号CK1を共用する。また、ホールド信号Shldを基準としたフリップフロップ回路4-1による下位の第1ビットのラッチ結果Sst1を波形整形したラッチ結果Sst2を基準として、上位mビットの各カウント信号CTを上位ビット用メモリ2においてそれぞれラッチする。よってこの構成により、一つのデジタルデータにおける下位nビットと上位mビットとの間の因果性の確立が為され、これにより当該上位mビット及び下位nビット相互の整合性が確保できる。従って、各カウント信号CTのホールド信号Shldに基づくラッチが確実に行えることで、例えば回路規模を増大させることなく、上位mビットと下位nビットとの間におけるメタスタビリティの発生を防止することができる。

【0051】

次に、上記タイムスタンプ回路TSにおける上位mビットと下位nビットとの間のメタスタビリティの発生防止について、より具体的に図4及び図5を用いて説明する。なお図4及び図5は、ラッチ結果Sst1(又はラッチ結果Sst2)の立ち下がり(即ち値「1」から値「0」への遷移)で上位ビット用メモリ2のフリップフロップ回路2₁乃至フリップフロップ回路2_mが動作する場合のタイミングチャートである。

【0052】

始めに、ラッチ結果Sst1の値が「1」である場合について図4を用いて説明する。当

10

20

30

40

50

該ラッチ結果 S_{st1} が値「1」である場合、それを反映して波形整形されたラッチ結果 S_{st2} をクロック信号として、上位ビット用メモリ2のフリップフロップ回路 2_1 乃至フリップフロップ回路 2_m が上位ビットカウンタ1からの各カウント信号 CT をそれぞれラッチする。よってこの場合、例えば図4(a)に例示するようにラッチ結果 S_{st1} における値の遷移タイミングに一致するタイミングでホールド信号 $Shld$ が入力されたとしても、その結果としてラッチ結果 S_{st1} の値が「1」とされたならば、それを反映したラッチ結果 S_{st2} が上位ビット用メモリ2に出力されることにより(図4(a)白抜き矢印参照)、上位ビット用メモリ2では、当該ラッチ結果 S_{st2} における値「1」に対応して上位ビットカウンタ1からのカウント信号 CT (そのカウント値は CNT_t である)が確実に取得されて出力される。このとき、例えば上位ビット用メモリ2のフリップフロップ回路 2_1 の内部状態としては、当該フリップフロップ回路 2_1 を構成する二つのラッチ回路のうち初段がスルー(「Through」)状態となっており、一方次段のラッチ回路が上記カウント値 CNT_t の保持(「Hold」)状態となっており、これにより上位ビット用メモリ2としてカウント値 CNT_t が取得されて出力される。即ち図4(b)に例示するように上位ビット用メモリ2では、ラッチ結果 S_{st1} (ラッチ結果 S_{st2}) における値「1」に対応して、上位ビットカウンタ1からのカウント信号 CT におけるカウント値 CNT_t が確実に取得されて出力される。

10

【0053】

次に、ラッチ結果 S_{st1} の値が「0」である場合について図5を用いて説明する。当該ラッチ結果 S_{st1} が値「0」である場合でも、それを反映して波形整形されたラッチ結果 S_{st2} をクロック信号として、上位ビット用メモリ2のフリップフロップ回路 2_1 乃至フリップフロップ回路 2_m が上位ビットカウンタ1の各カウント信号 CT をそれぞれラッチする。この場合、例えば図5(a)に例示するようにラッチ結果 S_{st1} における値の遷移タイミングに一致するタイミングでホールド信号 $Shld$ が入力されたとしても、その結果としてラッチ結果 S_{st1} の値が「0」とされたならば、それを反映したラッチ結果 S_{st2} が上位ビット用メモリ2に出力されることにより(図5(a)白抜き矢印参照)、上位ビット用メモリ2では、当該ラッチ結果 S_{st2} における値「0」に対応して上位ビットカウンタ1におけるカウント信号 CT (そのカウント値は CNT_{t+1} である)が確実に取得されて出力される。このとき、上位ビット用メモリ2のフリップフロップ回路 2_1 の内部状態としては、当該フリップフロップ回路 2_1 を構成する二つのラッチ回路のうち初段が保持(「Hold」)状態となってカウント値 CNT_{t+1} をラッチし、次段のラッチ回路がスルー(「Through」)状態となることにより、上位ビット用メモリ2としてカウント値 CNT_{t+1} が取得されて出力される。即ち図5(b)に例示するように上位ビット用メモリ2では、ラッチ結果 S_{st1} (ラッチ結果 S_{st2}) における値「0」に対応して、上位ビットカウンタ1におけるカウント値 CNT_{t+1} が確実に取得されて出力される。

20

30

【0054】

なお図5に例示する場合において、ラッチ結果 S_{st2} に本来的に含まれることとなる遅延時間(即ち、 $TMC4$ におけるラッチによる遅延時間とシュミットトリガ3による波形整形による遅延時間との和)が、上位ビットカウンタ1から出力される各カウント信号 CT に本来的に含まれる遅延時間より長くなるように設定することにより、上記カウント値 CNT_{t+1} の取得をより確実とするように構成してもよい。

40

【0055】

以上それぞれ説明したように、実施形態に係るタイムスタンプ回路 TS を含む A/D 変換器 ADC の構成及び動作によれば、 $TMC4$ においてラッチされるクロック信号 $CK1$ に基づいて上位ビットカウンタ1においてカウント信号 CT を生成すると共に、ホールド信号 $Shld$ を基準としたクロック信号 $CK1$ のラッチ結果 S_{st1} (ラッチ結果 S_{st2}) を基準として各カウント信号 CT を上位ビット用メモリ2においてそれぞれラッチする。よって、 $TMC4$ と上位ビットカウンタ1との間でクロック信号 $CK1$ を共用すると共に、ホールド信号 $Shld$ を基準とした下位 n ビットのラッチ結果 S_{st2} を基準として上位 m ビットの各カウント信号 CT をラッチするので、下位 n ビットと上位 m ビットとの間の因果性の

50

確立により相互の整合性が確保できる。従って、上位ビットカウンタ 1 のカウント信号 C T のホールド信号 S h l d に基づいたラッチを確実に行うことで、回路規模を増大させることなく、上位 m ビットと下位 n ビットとの間におけるメタスタビリティの発生を防止することができる。

【 0 0 5 6 】

また、そのラッチ結果 S s t 1 が上位ビット用メモリ 1 に出力されるクロック信号 C K 1 が、下位ビットにおける第 1 ビットに対応するクロック信号であるので、簡易な構成で且つ確実に上位ビットカウンタ 1 からのカウント信号 C T をラッチすることができる。

【 0 0 5 7 】

更に、クロック信号 C K 1 のラッチ結果 S s t 1 を波形整形した上で上位ビット用メモリ 2 に出力するので、上位ビットカウンタ 1 からのカウント信号 C T を確実にラッチすることができる。

10

【 0 0 5 8 】

更にまた、シュミットトリガ 3 によりラッチ結果 S s t 1 に対して波形整形処理を施すので、いわゆるヒステリシス特性を有するシュミットトリガ 3 を用いて波形整形することで、上位ビットカウンタ 1 のカウント結果をより確実にラッチすることができる。

【 0 0 5 9 】

また、上位ビット用メモリ 2 に入力する際のラッチ結果 S s t 2 に本来的に含まれる遅延時間（以下「第 1 遅延時間」と称する）を、上位ビットカウンタ 1 から出力される各カウント信号 C T に本来的に含まれる遅延時間（以下「第 2 遅延時間」と称する）よりも長くなるように設定する場合には、更に確実に上位ビットカウンタ 1 のカウント結果（ CNT_{t+1} ）をラッチすることができる。

20

【 0 0 6 0 】

更に A / D 変換器 A D C として、アナログ信号 S a のレベルに対応するホールド信号 S h l d を用いると共に、各 T M C 4 から出力されるラッチ結果と、上位ビット用メモリ 2 によるラッチ結果と、により構成されるデジタルデータを信号処理部 1 4 に出力するので、デジタルデータ内におけるメタスタビリティの発生を効果的に防止できることで、回路規模を増大させることなく、アナログ信号 S a からデジタルデータへの変換精度を向上させることができる。

【 0 0 6 1 】

なお図 4 及び図 5 に示す場合と異なり、ラッチ結果 S s t 1（又はラッチ結果 S s t 2）の立ち上がり（即ち値「0」から値「1」への遷移）でフリップフロップ回路 2₁乃至フリップフロップ回路 2_mが動作する場合、ラッチ結果 S s t 1 の値が「1」とされたならば、それに対応したラッチ結果 S s t 2 における値「1」に対応して、カウント値が CNT_{t+1} であるカウント信号 C T が取得されて出力される。また同様に、ラッチ結果 S s t 1 の値が「0」とされたならば、それに対応したラッチ結果 S s t 2 における値「0」に対応して、カウント値が CNT_t であるカウント信号 C T が取得されて出力される。

30

【 0 0 6 2 】

[変形形態]

次に、本発明に係る変形形態について、図 6 を用いて説明する。なお図 6 は、変形形態に係るタイムスタンプ回路の概要構成を示すブロック図である。ここで、変形形態に係る A / D 変換器のハードウェア的な構成は、基本的には実施形態に係る A / D 変換器 A D C と同一である。よって図 6 及び以下に説明する変形形態では、実施形態に係る A / D 変換器 A D C 及びタイムスタンプ回路 T S と同一の部材については、同一の部材番号を付して細部の説明を省略する。

40

【 0 0 6 3 】

図 6 に示すように、変形形態に係る A / D 変換器に含まれるタイムスタンプ回路 T S 1 は、実施形態に係るタイムスタンプ回路 T S におけるシュミットトリガ 3 と上位ビット用メモリ 2 と間に、ラッチ結果 S s t 2 を更に遅延させる遅延素子 3 0 を追加した構成を備える。なおこの遅延素子 3 0 が、本発明に係る「遅延手段」の一例に相当する。

50

【 0 0 6 4 】

そしてこのとき、上記クロック信号 C K の周波数が 1 0 0 メガヘルツであるとき、上記第 1 遅延時間が最大 1 . 1 1 8 ナノ秒 / 最小 0 . 3 2 0 ナノ秒であり、上記第 2 遅延時間が最大 0 . 9 5 9 ナノ秒 / 最小 0 . 5 1 6 ナノ秒であった場合には、第 1 遅延時間が第 2 遅延時間より長い状態をより確実にすべく、遅延素子 3 0 における遅延時間は、例えば 1 ナノ秒又はそれより長いことが好ましい。

【 0 0 6 5 】

上記した以外のタイムスタンプ回路 T S 1 としての構成及び動作は実施形態に係るタイムスタンプ回路 T S の構成及び動作と同一であるので、細部の説明は省略する。

【 0 0 6 6 】

以上説明したように、変形形態に係るタイムスタンプ回路 T S 1 を含む A / D 変換器の構成及び動作によれば、実施形態に係るタイムスタンプ回路 T S を含む A / D 変換器 A D C の構成及び動作による作用効果に加えて、上記第 1 遅延時間と上記第 2 遅延時間とに基づく既定の遅延時間だけラッチ結果 S s t 2 を更に遅延して上位ビット用メモリ 2 に入力する遅延素子 3 0 を備えるので、更に確実に上位ビットカウンタ 1 のカウント信号 C T をラッチすることができる。

【 0 0 6 7 】

なお上述した実施形態及び変形形態では、T M C 4 における第 1 ビットに対応するラッチ結果 S s t 1 を上位ビット用メモリ 2 に出力する構成としたが、これ以外に、T M C 4 における他のビットに対応するラッチ結果を上位ビット用メモリ 2 に出力するように構成してもよい。

【 0 0 6 8 】

また上述した実施形態及び変形形態では、相互に位相が異なるクロック信号 C K を P L L 5 により生成することとしたが、当該 P L L 5 以外に、位相が異なる所望のクロック信号を生成することが可能な D L L (Delay Locked Loop) を用いてもよい。

【 0 0 6 9 】

更に上述した実施形態及び変形形態では、シュミットトリガ 3 を用いてラッチ結果 S s t 1 を波形整形する構成としたが、これ以外に、インバータを用いてラッチ結果 S s t 1 を波形整形するように構成してもよいし、或いは、フリップフロップ回路 4 - 1 等を高精度化することで、当該シュミットトリガ 3 を含む波形整形部自体を省略することも考えられる。

【 0 0 7 0 】

更にまた、上述した実施形態に係るタイムスタンプ回路 T S 及び変形形態に係るタイムスタンプ回路 T S 1 については、例えば複数のモジュール間でクロック信号が非同期であるデータ転送を行う場合だけでなく、クロック信号が同期しているモジュール間でのデータ転送に適用することも可能である。

【 産業上の利用可能性 】

【 0 0 7 1 】

以上それぞれ説明したように、本発明はデジタル回路の分野に利用することが可能であり、特にメタスタビリティの発生防止を目的としたデジタル回路の分野に適用すれば特に顕著な効果が得られる。

【 符号の説明 】

【 0 0 7 2 】

- 1 上位ビットカウンタ
- 2 上位ビット用メモリ
- 2₁、2₂、2₃、2₄、2₅、2_m、4 - 1、4 - 2、4 - 3、4 - 2ⁿ⁻¹ フリップフロップ回路
- 3 シュミットトリガ
- 4 T M C
- 4 A、4 B ラッチ回路
- 5 P L L

10

20

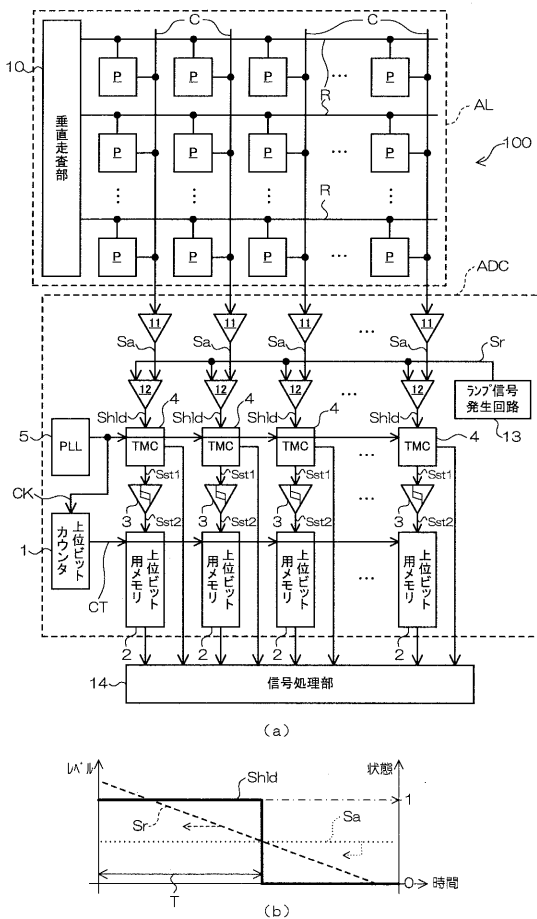
30

40

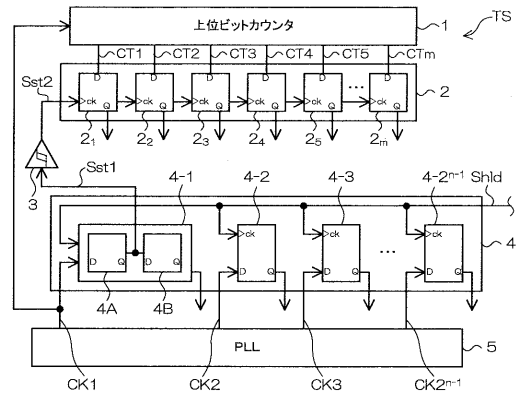
50

- 1 0 垂直走査部
- 1 1 列アンプ
- 1 2 比較器
- 1 3 ランプ信号発生回路
- 1 4 信号処理部
- 3 0 遅延素子
- 1 0 0 イメージセンサ
- A L 画素アレイ
- A D C A / D変換器
- C 列接続線
- R 行接続線
- P 画素
- T S、T S 1 タイムスタンプ回路
- C K、C K 1、C K 2、C K 3、C K 2ⁿ⁻¹ クロック信号
- C T、C T 1、C T 2、C T 3、C T 4、C T 5、C T m カウント信号
- S a アナログ信号
- S r ランプ信号
- S s t 1、S s t 2 ラッチ結果
- S h l d ホールド信号

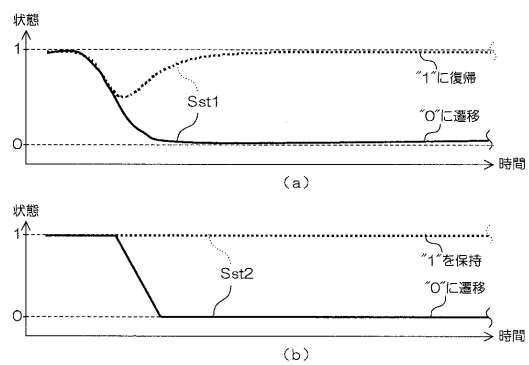
【図1】



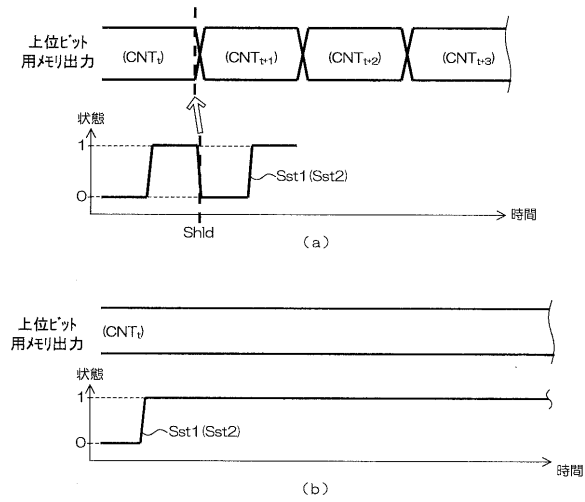
【図2】



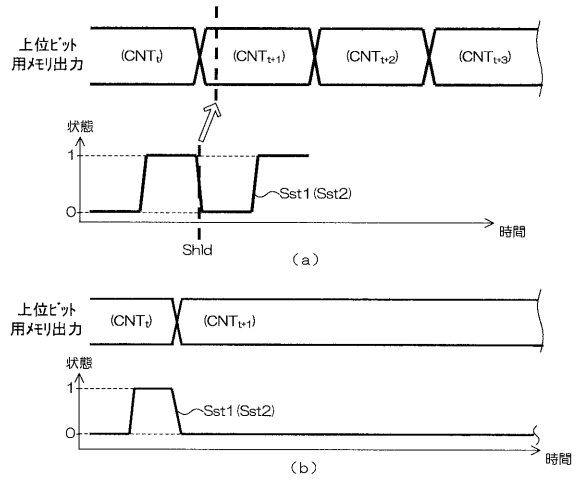
【図3】



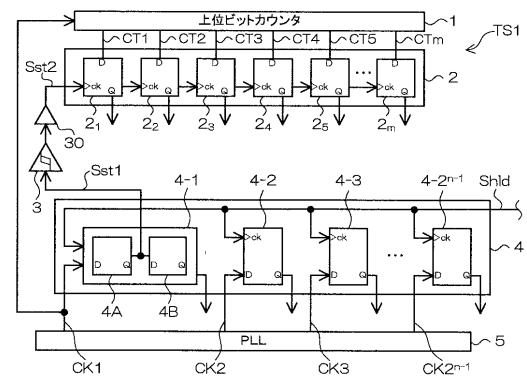
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

Fターム(参考) 5J022 BA01 CE01 CE08

5J039 DA15 EE06 FF14 JJ07 KK04 KK22 KK23 MM10