

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-143430

(P2016-143430A)

(43) 公開日 平成28年8月8日(2016.8.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 15/04 (2006.01)	G 1 1 C 15/04 6 3 1 M	
G 0 6 F 17/30 (2006.01)	G 0 6 F 17/30 2 1 0 D	
	G 0 6 F 17/30 3 5 0 D	

審査請求 未請求 請求項の数 6 O L (全 19 頁)

(21) 出願番号 特願2015-16977 (P2015-16977)
 (22) 出願日 平成27年1月30日 (2015. 1. 30)

(71) 出願人 504136568
 国立大学法人広島大学
 広島県東広島市鏡山 1 丁目 3 番 2 号
 (74) 代理人 110001427
 特許業務法人前田特許事務所
 (72) 発明者 マタウシュ ハンスユルゲン
 広島県東広島市鏡山一丁目4番2号 国立
 大学法人広島大学 ナノデバイス・バイオ
 融合科学研究所内
 (72) 発明者 山崎 翔悟
 広島県東広島市鏡山一丁目3番1号 国立
 大学法人広島大学大学院 先端物質科学研
 究科内

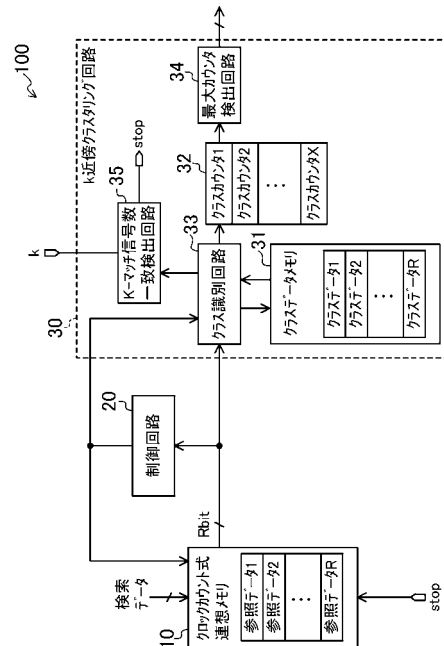
(54) 【発明の名称】 k 近傍法連想メモリ

(57) 【要約】 (修正有)

【課題】 k 近傍法を効果的に実現する k 近傍法連想メモリを提供する。

【解決手段】 k 近傍法連想メモリ 100 は、R 個の参照データを保持しており、R 個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウント式連想メモリ 10 と、クロックカウント式連想メモリから出力される R 個のマッチ信号のうちいずれか k 個のマッチ信号がアクティブになるまでの間、R 個のマッチ信号の少なくとも一つがアクティブになると、R 個の参照データのそれぞれのクラスを表す R 個のクラスデータからアクティブになった少なくとも一つの、k 個のマッチ信号のそれぞれに対応するクラスデータを選択し、選択した全部で k 個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する k 近傍クラスタリング回路 30 とを備えている。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

R 個の参照データを保持しており、前記 R 個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウンタ式連想メモリと、

前記クロックカウンタ式連想メモリから出力される R 個のマッチ信号のうちいずれか k 個のマッチ信号がアクティブになるまでの間、前記 R 個のマッチ信号の少なくとも一つがアクティブになるごとに、前記 R 個の参照データのそれぞれのクラスを表す R 個のクラスデータから当該アクティブになった少なくとも一つのマッチ信号のそれぞれに対応するクラスデータを選択し、当該選択した全部で k 個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する k 近傍クラスタリング回路とを備えている

10

ことを特徴とする k 近傍法連想メモリ。

【請求項 2】

前記 k 近傍クラスタリング回路が、

前記 R 個のクラスデータを保持するクラスデータメモリと、

X 個のクラスのそれぞれに対応する X 個のクラスカウンタと、

前記アクティブになった少なくとも一つのマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータを前記クラスデータメモリから読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタをカウントアップし、前記アクティブになった少なくとも一つのマッチ信号をすべて選択し終わると終了信号を出力するクラス識別回路と、

20

前記 X 個のクラスカウンタの中からカウント値が最大のクラスカウンタを見つける最大カウンタ検出回路と、

前記クラス識別回路がアクティブになったマッチ信号を一つ選択するごとにカウントアップし、カウント値が k に一致したことを検出する k - マッチ信号数一致検出回路とを有するものであり、

前記 k 近傍法連想メモリが、前記 R 個のマッチ信号の少なくとも一つがアクティブになると前記クロックカウンタ式連想メモリの動作を停止させて前記クラス識別回路を動作させ、前記クラス識別回路から前記終了信号が出力されると前記クラス識別回路の動作を停止させて前記クロックカウンタ式連想メモリを動作させる制御回路を備え、

30

前記クロックカウンタ式連想メモリが、前記 k - マッチ信号数一致検出回路によって前記カウント値が k に一致したことが検出されたとき、動作を停止するように構成されている、請求項 1 に記載の k 近傍法連想メモリ。

【請求項 3】

前記制御回路が、

前記 R 個のマッチ信号のそれぞれに対応して設けられ、対応するマッチ信号がアクティブになってから前記クラス識別回路から前記終了信号が出力されるまでの間だけアクティブになる検出信号を出力する R 個のマッチ信号アクティブ検出回路と、

前記 R 個のマッチ信号アクティブ検出回路から出力される R 個の検出信号の論理和を演算する OR ゲートとを有し、

40

前記 OR ゲートの出力信号で前記クラス識別回路および前記クロックカウンタ式連想メモリの動作を制御する、請求項 2 に記載の k 近傍法連想メモリ。

【請求項 4】

前記クラス識別回路が、前記 R 個のマッチ信号のそれぞれに対応して設けられ、対応するマッチ信号がアクティブであることを検出して前記クラスデータメモリに当該マッチ信号に対応するクラスデータを選択する選択信号を出力する R 個のマッチ信号検出回路を有し、

前記 R 個のマッチ信号検出回路が、動作開始信号を伝搬するように直列に接続されており、

50

前記 R 個のマッチ信号検出回路のそれぞれが、前記対応するマッチ信号が非アクティブのとき、入力された前記動作開始信号をすぐさま次段に伝達し、前記対応するマッチ信号がアクティブのとき、前記動作開始信号を受けて前記選択信号を出力してから前記動作開始信号を次段に伝達するように構成されている、請求項 2 および 3 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 5】

前記最大カウンタ検出回路が、

初期値からカウント値をカウントダウンするダウンカウンタと、

前記 X 個のクラスカウンタのそれぞれに対応して設けられ、対応するクラスカウンタのカウント値と前記ダウンカウンタのカウント値との一致を検出する X 個の一致検出回路とを有し、

前記ダウンカウンタのカウント値がカウントダウンされている間に、前記 X 個の一致検出回路のうちのいずれか一つによって前記ダウンカウンタのカウント値と対応するクラスカウンタのカウント値との一致が検出されたとき、前記ダウンカウンタのカウント動作を停止させる、請求項 2 ないし 4 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 6】

前記最大カウンタ検出回路が、2 入力 1 出力の複数の最大値選出回路がツリー状に接続されてなり、リーフノードの複数の最大値選出回路に前記 X 個のクラスカウンタの各カウント値および各クラスカウンタの識別番号を結合した各信号が入力され、ルートノードの最大値選出回路から前記 X 個のクラスカウンタの最大カウント値およびそのクラスカウンタの識別番号を結合した信号を出力するトーナメント回路であり、

前記最大値選出回路が、第 1 のクラスカウンタのカウント値および前記第 1 のクラスカウンタの識別番号を結合した第 1 の信号、および第 2 のクラスカウンタのカウント値および前記第 2 のクラスカウンタの識別番号を結合した第 2 の信号を受け、前記第 1 および第 2 のクラスカウンタのうちカウント値が大きい方のクラスカウンタのカウント値およびそのクラスカウンタの識別番号を結合した第 3 の信号を出力する、請求項 2 ないし 4 のいずれか一つに記載の k 近傍法連想メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、連想メモリに関し、特に、k 近傍法を効果的に実現する連想メモリに関する。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを L S I (L a r g e S c a l e I n t e g r a t e d c i r c u i t) 上で実現することにより、将来、人工知能およびモバイル機器などの高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

【0004】

前者は、C A M (C o n t e n t A d d r e s s a b l e M e m o r y) と呼ばれ、ネットワークルータの I P アドレステーブルのルーティングおよびプロセッサのキャッシュなどの実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (A s s o c i a t i v e M e m o r y) と呼ぶ。

10

20

30

40

50

【 0 0 0 5 】

連想メモリの例として、検索データと参照データとのマンハッタン距離またはユークリッド距離を用いて最類似検索処理を行うものが知られている（非特許文献1参照）。また、連想メモリにk近傍探索を取り入れたものが知られている（非特許文献2参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 非特許文献 1 】 S.Sasaki et al., "Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization," ESSCIRC'2012, 2012, pp.185-188

【 非特許文献 2 】 M.A.Abedin et al., "Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories," IEICE Trans. on Fundamentals, vol. E90-A, No.6, 2007, pp.1240-1243

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

パターン認識の分野において機械学習アルゴリズムとしてk近傍法がよく用いられる。k近傍法は、パターン認識において高い信頼性を持つ。従来技術では、連想メモリにおいてk近傍探索を取り入れているものの、k近傍法が実効的に実現されておらず、特にk近傍法に基づいたパターンのクラス分けまでは実現できていない。

【 0 0 0 8 】

この問題に関して、本願発明者は、k近傍法を効果的に実現することができるk近傍法連想メモリを発明し、国際出願PCT/JP2014/003809（以下、先願という）に当該発明を開示した。

【 0 0 0 9 】

本発明も先願発明と同様に、k近傍法を効果的に実現することができるk近傍法連想メモリを提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明の一面に従ったk近傍法連想メモリは、R個の参照データを保持しており、前記R個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウント式連想メモリと、前記クロックカウント式連想メモリから出力されるR個のマッチ信号のうちいずれかk個のマッチ信号がアクティブになるまでの間、前記R個のマッチ信号の少なくとも一つがアクティブになるごとに、前記R個の参照データのそれぞれのクラスを表すR個のクラスデータから当該アクティブになった少なくとも一つのマッチ信号のそれぞれに対応するクラスデータを選択し、当該選択した全部でk個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定するk近傍クラスタリング回路とを備えている。

【 0 0 1 1 】

これによると、クロックカウント式連想メモリによって検索データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなり、k近傍クラスタリング回路によって、より先にアクティブになったk個のマッチ信号に対応するk個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、k近傍法に基づいた検索データのクラス分けが実現される。

【 発明の効果 】

【 0 0 1 2 】

本発明によると、LSI上にk近傍法を効果的に実装することができる。

【 図面の簡単な説明 】

【 0 0 1 3 】

- 【図 1】本発明の一実施形態に係る k 近傍法連想メモリの概略構成図
- 【図 2】一例に係るクロックカウント式連想メモリの概略構成図
- 【図 3】一例に係る距離 / クロック数変換回路の概略構成図
- 【図 4】一例に係るカウンタ一致検出回路の概略構成図
- 【図 5】一例に係るマッチ信号のタイミングチャート
- 【図 6】一例に係る制御回路の概略構成図
- 【図 7】一例に係るクラスデータメモリ、クラスカウンタ、クラス識別回路、および k - マッチ信号数一致検出回路の概略構成図
- 【図 8】一例に係るマッチ信号検出回路の概略構成図
- 【図 9】一例に係る最大カウンタ検出回路の概略構成図
- 【図 10】別例に係る最大カウンタ検出回路の概略構成図
- 【図 11】一例に係る最大値選出回路の概略構成図
- 【発明を実施するための形態】

【0014】

以下、図面を参照しながら本発明を実施するための形態について説明する。なお、本発明は、以下の実施形態に限定されるものではない。

【0015】

図 1 は、本発明の一実施形態に係る k 近傍法連想メモリ 100 の概略構成を示す。本実施形態に係る k 近傍法連想メモリ 100 は、クロックカウント式連想メモリ 10 と、制御回路 20 と、k 近傍クラスタリング回路 30 とを備えている。

【0016】

クロックカウント式連想メモリ 10 は、R 個の参照データ（参照データ 1，参照データ 2，…，参照データ R）を保持しており、これら R 個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力する回路である。なお、「距離」とはマンハッタン距離、ユークリッド距離などを含む。また、「アクティブ」とは、正論理では信号が L レベルから H レベルへと遷移することをいい、負論理では信号が H レベルから L レベルへと遷移することをいう。便宜のため、以下では正論理を前提に説明する。

【0017】

制御回路 20 は、クロックカウント式連想メモリ 10 および k 近傍クラスタリング回路 30 の動作を制御する回路である。

【0018】

k 近傍クラスタリング回路 30 は、R 個の参照データのそれぞれのクラスを表す R 個のクラスデータ（クラスデータ 1，クラスデータ 2，…，クラスデータ R）から、クロックカウント式連想メモリ 10 から出力されるアクティブの k 個のマッチ信号のそれぞれに対応する k 個のクラスデータを選択し、これら k 個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する回路である。

【0019】

k 近傍法連想メモリ 100 は、上記 3 つの回路を備えることで、k 近傍法に基づいて、与えられた検索データがいずれのクラスに分類されるかを判定することができる。以下、各回路の構成例について説明する。

【0020】

クロックカウント式連想メモリ 10 の構成例

図 2 は、一例に係るクロックカウント式連想メモリ 10 の概略構成を示す。クロックカウント式連想メモリ 10 は、メモリ部 11、行デコーダ 12、列デコーダ 13、読出 / 書込回路 14、および検索データ保存回路 15 を含む。

【0021】

メモリ部 11 は、参照データ保存回路（Storage Cell: SC） $SC_{11} \sim SC_{1w}$ ， $SC_{21} \sim SC_{2w}$ ，…， $SC_{R1} \sim SC_{Rw}$ と、距離演算回路（絶対値差演算回路）（Distance Processor: DP） $DP_{11} \sim DP_{1w}$ ， DP_2

10

20

30

40

50

$1 \sim DP_{2W}, \dots, DP_{R1} \sim DP_{RW}$ と、距離/クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、 W および R は、それぞれ、2以上の整数である。

【0022】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。

【0023】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。

10

【0024】

参照データ保存回路 $SC_{11} \sim SC_{1W}, SC_{21} \sim SC_{2W}, \dots, SC_{R1} \sim SC_{RW}$ は、行デコーダ12、列デコーダ13、および読出/書込回路14によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$ (M は1以上の整数) ビットの参照データ1を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ2を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データ R を保存する。つまり、参照データ保存回路 $SC_{11} \sim SC_{1W}, SC_{21} \sim SC_{2W}, \dots, SC_{R1} \sim SC_{RW}$ のそれぞれは、参照データの $M \times W$ ビットを保存する。

20

【0025】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ1と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの参照データ2と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの参照データ R と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...、距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行われる。

30

【0026】

そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ1と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力する。距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ2と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ R と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_R へ出力する。

40

【0027】

距離演算回路 $DP_{11} \sim DP_{1W}$ のそれぞれは、参照データ1と検索データとの距離を次式を用いて演算する。

【0028】

【数1】

$$n_{Mr} = \sum_{j=1}^W D_{rj} = \sum_{j=1}^W |I_{nj} - R_{rj}| \quad \dots (1)$$

50

【0029】

式(1)において、 D_{rj} ($r = 1 \sim R, j = 1 \sim W$)は、参照データと検索データとの距離(絶対値差)を表す。 n_{M_r} は、参照データと検索データとのマンハッタン距離を示している。また、式(1)において、 I_{nj} は、検索データであり、 R_{erj} は、参照データである。各データ I_{nj} 、 R_{erj} は、それぞれ、 M ビットからなる。

【0030】

このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの参照データ1と、 $M \times W$ ビットの検索データとの距離を M ビットずつ演算し、それぞれが M ビットのビット長を有する W 個の距離信号 D_{1j} を距離/クロック数変換回路 DC_1 へ出力する。

【0031】

距離演算回路 $DP_{21} \sim DP_{2W}$ 、...および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、同様にして、それぞれ、式(1)を用いて参照データ2~ R と検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、それぞれが M ビットのビット長を有する W 個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離/クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

【0032】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ から W 個の距離信号 D_{1j} を受け、各距離信号 D_{1j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total1 を後述する方法によってカウントする。そして、そのクロック数 CN_total1 をカウントしたタイミングを示すマッチ信号 M_1 を出力する。

【0033】

距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ から W 個の距離信号 D_{2j} を受け、各距離信号 D_{2j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total2 を後述する方法によってカウントする。そして、そのクロック数 CN_total2 をカウントしたタイミングを示すマッチ信号 M_2 を出力する。

【0034】

以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の距離信号 D_{Rj} を受け、各距離信号 D_{Rj} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_totalR を後述する方法によってカウントする。そして、そのクロック数 CN_totalR をカウントしたタイミングを示すマッチ信号 M_R を出力する。

【0035】

行デコーダ12は、メモリ部11の行方向のアドレスを指定する。列デコーダ13は、メモリ部11の列方向のアドレスを指定する。読出/書込回路14は、参照データを行デコーダ12および列デコーダ13によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、...、 $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路15に書き込む。

【0036】

検索データ保存回路15は、読出/書込回路14によって書き込まれた検索データ($M \times W$ ビットのデータ)を保存する。

【0037】

図3は、一例に係る距離/クロック数変換回路 DC_1 の概略構成を示す。なお、距離/クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、図3に示す距離/クロック数変換回路 DC_1 と同様の構成を有する。距離/クロック数変換回路 DC_1 は、バッファ121~12Wと、カウンター一致検出回路131~13Wとを含む。

【0038】

バッファ121は、 k 近傍法連想メモリ100の制御回路(図示せず)から検索開始信号 SB を受け、 k 近傍法連想メモリ100に内蔵されたクロック発生回路(図示せず)からクロック信号 CLK を受ける。そして、バッファ121は、検索開始信号 SB が L レベルから H レベルに遷移すると、その受けたクロック信号 CLK をバッファ122およびカ

10

20

30

40

50

ウンター一致検出回路 131 へ出力する。バッファ 122 は、クロック信号 CLK をバッファ 121 から受け、カウンタ一致検出回路 131 から、後述する H レベルの一致信号 (DETECT1) を受けると、クロック信号 CLK をバッファ 123 (図示せず) およびカウンタ一致検出回路 132 へ出力する。以下、同様にして、バッファ 12W は、クロック信号 CLK をバッファ 12W-1 (図示せず) から受け、カウンタ一致検出回路 13W-1 (図示せず) から、後述する H レベルの一致信号 (DETECTW-1) を受けると、クロック信号 CLK をカウンタ一致検出回路 13W へ出力する。

【0039】

カウンタ一致検出回路 131 ~ 13W は、それぞれ、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。そして、カウンタ一致検出回路 131 ~ 13W は、直列に接続される。ここで、カウンタ一致検出回路 131 ~ 13W の概略構成について説明する。

10

【0040】

図 4 は、一例に係るカウンタ一致検出回路 131 ~ 13W の概略構成を示す。本例は、 $W = 2$ の場合を示している。カウンタ一致検出回路 131 は、クロック数変換回路 131a と、カウンタ 131b と、一致検出回路 131c とを含む。カウンタ一致検出回路 132 は、クロック数変換回路 132a と、カウンタ 132b と、一致検出回路 132c とを含む。以下、各構成の機能について説明する。

【0041】

クロック数変換回路 131a は、距離演算回路 DP_{11} から M ビットのビット長を有する距離信号 D_{11} と、バッファ 121 からのクロック信号 CLK とを受ける。クロック数変換回路 131a は、クロック信号 CLK のクロック数をカウントし、距離信号 D_{11} が示す距離と一致するクロック数を検出したタイミングで、カウンタ 131b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 131a は、後述の一致検出回路 131c から H レベルの一致信号 (DETECT1) が出力されるまで、この処理を繰り返し行い、H レベルの一致信号 (DETECT1) が出力されると動作を停止する。

20

【0042】

カウンタ 131b は、クロック数変換回路 131a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 131c へ出力する。

【0043】

一致検出回路 131c は、カウンタ 131b からカウンタ値を受け、距離演算回路 DP_{11} から M ビットのビット長を有する距離信号 D_{11} を受け、一致検出回路 131c は、距離信号 D_{11} が示す距離とカウンタ値とを比較し、距離信号 D_{11} が示す距離とカウンタ値とが一致するときに、H レベルの一致信号 (DETECT1) をクロック数変換回路 131a とバッファ 122 へ出力する。一致検出回路 131c は、距離信号 D_{11} が示す距離とカウンタ値とが一致しないときは、L レベルの一致信号 (DETECT1) をクロック数変換回路 131a とバッファ 122 へ出力する。

30

【0044】

クロック数変換回路 132a は、バッファ 122 からクロック信号 CLK を受けると駆動する。クロック数変換回路 132a は、距離演算回路 DP_{12} から M ビットのビット長を有する距離信号 D_{12} を受け、クロック数変換回路 132a は、クロック信号 CLK のクロック数をカウントし、距離信号 D_{12} が示す距離と一致するクロック数を検出したタイミングで、カウンタ 132b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 132a は、後述の一致検出回路 132c から H レベルの一致信号 (DETECT2) が出力されるまで、この処理を繰り返し行う。クロック数変換回路 132a は、H レベルの一致信号 (DETECT2) が出力されると動作を停止する。

40

【0045】

カウンタ 132b は、クロック数変換回路 132a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 132c へ出力す

50

る。

【0046】

一致検出回路132cは、カウンタ132bからカウンタ値を受け、距離演算回路DP₁₂からMビットのビット長を有する距離信号D₁₂を受ける。一致検出回路132cは、距離信号D₁₂が示す距離とカウンタ値とを比較し、距離信号D₁₂が示す距離とカウンタ値とが一致するときに、Hレベルの一致信号(DETECT2)をクロック数変換回路132aとバッファ122へ出力するとともに、Hレベルの一致信号(DETECT2)をマッチ信号M₁として出力する。また、一致検出回路132cは、距離信号D₁₂が示す距離とカウンタ値とが一致しないときは、Lレベルの一致信号(DETECT2)をクロック数変換回路132aに出力する。

10

【0047】

ここで、例えば、距離演算回路DP₁₁から距離「2」を示すMビットの距離信号D₁₁が出力され、距離演算回路DP₁₂から距離「3」を示すMビットの距離信号D₁₂が出力された場合の動作例について説明する。

【0048】

クロック数変換回路131aは、距離「2」を示すMビットの距離信号D₁₁を受け、バッファ121からのクロック信号CLKのクロックに同期して、距離「2」に一致するクロック数をカウントする。クロック数変換回路131aは、カウントしたクロック数と距離とが一致すると、Hレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウント値をカウントアップし、「1」を示すカウンタ値を一致検出回路131cに出力する。このとき、距離信号D₁₁が示す距離「2」とカウント値「1」とが一致しないため、一致検出回路131cからLレベルの一致信号(DETECT1)が出力される。

20

【0049】

クロック数変換回路131aは、出力した一致検出信号がLレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路131aは、再びクロック信号CLKのクロック数をカウントし、カウントしたクロック数が距離「2」と一致すると、カウンタ131bにHレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路131cに「2」を示すカウンタ値を出力する。一致検出回路131cは、距離信号D₁₁が示す距離「2」とカウンタ値「2」とが一致するため、一致信号(DETECT1)をバッファ122とクロック数変換回路131aに出力する。つまり、検索開始からのクロック数が「4」となるタイミングで、Hレベルの一致信号(DETECT1)が出力される。そして、クロック数変換回路131aは、Hレベルの一致信号(DETECT1)に応じて動作を停止する。

30

【0050】

バッファ122は、一致検出回路131cからHレベルの一致信号(DETECT1)を受けて、クロック数変換回路132aにクロック信号CLKを出力する。クロック数変換回路132aは、バッファ122からのクロック信号CLKのクロックに同期して、クロック信号CLKのクロック数をカウントする。クロック数変換回路132aは、距離「3」を示すMビットの距離信号D₁₂を受け、カウントしたクロック数が距離「3」と一致するタイミングで、Hレベルの一致検出信号をカウンタ132bに出力する。カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路132cに「1」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「1」とが一致しないため、一致検出回路132cからLレベルの一致信号(DETECT2)が出力される。

40

【0051】

クロック数変換回路132aは、出力した一致検出信号がLレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路132aは、再びクロック信号CLKのクロック数をカウントし、カウントしたクロック数が距離「3」と一致する

50

と、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する。カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 1 3 2 c に「2」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「2」とが一致しないため、一致検出回路 1 3 2 c から L レベルの一致信号 (D E T E C T 2) が出力される。

【 0 0 5 2 】

クロック数変換回路 1 3 2 a は、一致検出信号が L レベルになると、再びカウントしたクロック数をリセットしてクロック信号 C L K をカウントし、カウントしたクロック数が距離「3」と一致すると、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する。そして、クロック数変換回路 1 3 2 a は、H レベルの一致信号 (D E T E C T 2) に応じて動作を停止する。カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 1 3 2 c に「3」を示すカウンタ値を出力する。一致検出回路 1 3 2 c は、距離「3」とカウンタ値「3」とが一致するために、H レベルの一致信号 (D E T E C T 2) をクロック数変換回路 1 3 2 a に出力するとともに、マッチ信号 M₁ を出力する。つまり、クロック数変換回路 1 3 2 a においてカウントされたクロック数は「9 (= 3 + 3 + 3)」であり、検索開始からクロック数「13 (= 4 + 9)」のタイミングでマッチ信号 M₁ が出力される。

【 0 0 5 3 】

カウンタ一致検出回路 1 3 1 , 1 3 2 全体でカウントされるクロック数 C N _ t o t a l 1 「13」は、カウンタ一致検出回路 1 3 1 においてカウントするクロック数「4 (= 2 + 2)」と、カウンタ一致検出回路 1 3 2 においてカウントするクロック数「9 (= 3 + 3 + 3)」とを加算したものである。つまり、カウンタ一致検出回路 1 3 1 , 1 3 2 によって、距離「2」の二乗値と距離「3」の二乗値との和に一致するクロック数をカウントすることに相当する。

【 0 0 5 4 】

距離 / クロック数変換回路 D C₁ は、一般的に、W 個の距離信号 D_{1 1} ~ D_{1 W} を受ける。そして、W 個の距離信号 D_{1 1} ~ D_{1 W} のそれぞれは、M ビットのビット長を有する。したがって、距離 / クロック数変換回路 D C₁ は、M × W ビットのビット長を有する距離信号 D_{1 1} D_{1 2} ... D_{1 W} を受ける。カウンタ一致検出回路 1 3 1 において、距離信号 D_{1 1} が示す距離に一致する回数分だけ、その距離に一致するクロック数を繰り返しカウントする。また、カウンタ一致検出回路 1 3 2 ~ 1 3 W は、それぞれ、カウンタ一致検出回路 1 3 1 ~ 1 3 W - 1 から一致信号を受けた後に、距離信号 D_{1 2} ~ D_{1 W} にそれぞれ一致するクロック数を、その距離に一致する回数だけ繰り返しカウントする。その結果、距離 / クロック数変換回路 D C₁ においてカウントされる全体のクロック数 C N _ t o t a l 1 は、カウンタ一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数の和に等しい。カウンタ一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数は、それぞれ、距離信号 D_{1 1} ~ D_{1 W} が示す各距離の二乗値に相当するため、距離 / クロック数変換回路 D C₁ においてカウントされる全体のクロック数 C N _ t o t a l R は、各距離信号 D_{1 1} ~ D_{1 W} の二乗値の和を表している。

【 0 0 5 5 】

ここで、ユークリッド距離 n_{Er} は、次式によって表される。

【 0 0 5 6 】

【 数 2 】

$$n_{Er} = \sum_{j=1}^W |I_{nj} - R_{erj}|^2 \dots (2)$$

【 0 0 5 7 】

式 (2) の右辺の | I_{nj} - R_{erj} |² は、式 (1) の右辺の | I_{nj} - R_{erj} | において、検索データと参照データとの距離の二乗値に一致する。したがって、ユークリ

10

20

30

40

50

ッド距離 n_{E_r} の演算は、上述したように、式 (1) によって演算した W 個の各距離について、距離に一致するクロック数をカウントする処理を距離に一致する回数だけ繰り返す行うことで実現される。そうすると、図 4 の例において、カウンター一致検出回路 1 3 2 が、カウンター一致検出回路 1 3 1 , 1 3 2 全体でカウントしたクロック数のタイミングを示すマッチ信号 M_1 を出力することは、ユークリッド距離 n_{E_r} によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示す信号を出力することに相当する。なお、距離 / クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、距離 / クロック数変換回路 DC_1 の動作と同じ動作によって、それぞれ、マッチ信号 $M_2 \sim M_R$ を出力する。

【 0 0 5 8 】

図 5 は、一例に係るマッチ信号のタイミングチャートである。距離 / クロック数変換回路 $DC_1 \sim DC_R$ は、図 5 に示すように、例えばマッチ信号 $M_1 \sim M_R$ をそれぞれクロック信号 CLK に同期して出力する。

【 0 0 5 9 】

なお、上記構成のクロックカウント式連想メモリ 1 0 は一例に過ぎず、図 5 に示したような出力が可能なクロックカウント式連想メモリであればよい。

【 0 0 6 0 】

制御回路 2 0 の構成例

図 6 は、一例に係る制御回路 2 0 の概略構成を示す。制御回路 2 0 は、クロックカウント式連想メモリ 1 0 から出力される R 個のマッチ信号 $M_1 \sim M_R$ のそれぞれに対応する R 個のマッチ信号アクティブ検出回路 2 1 と、 R 個のマッチ信号アクティブ検出回路 2 1 から出力される検出信号 $MD_1 \sim MD_R$ の論理和を演算してマッチ信号アクティブ検出信号 MD を出力する OR ゲート 2 2 とを含む。マッチ信号アクティブ検出回路 2 1 は、対応するマッチ信号 M_i (i は 1 から R までの整数) と後述するクラス識別回路 3 3 によるクラス識別動作の終了を表す終了信号 end との論理積を演算する AND ゲート 2 1 1 と、 H レベル信号がデータ入力 (D) されるとともに AND ゲート 2 1 1 の出力信号がクロック入力 (CLK) される D フリップフロップ 2 1 2 と、マッチ信号 M_i と D フリップフロップの反転出力との論理積を演算して検出信号 MD_i を出力する AND ゲート 2 1 3 とを含む。なお、図示していないが、各 D フリップフロップ 2 1 2 はリセット信号を受けることで初期状態にリセットされる。

【 0 0 6 1 】

このような回路構成によれば、マッチ信号アクティブ検出回路 2 1 から出力される検出信号 MD_i は、マッチ信号 M_i がアクティブ (H レベル) になるとアクティブ (H レベル) になり、その後、終了信号 end が立ち上がって D フリップフロップ 2 1 1 がデータ入力 (D) を取り込んで反転出力 (Q バー) が L レベルに変化することで非アクティブ (L レベル) になる。ここで、 D フリップフロップ 2 1 1 のデータ入力 (D) は H レベル信号の固定値であるため、 D フリップフロップ 2 1 1 が一度データ入力 (D) を取り込んだ後は、 D フリップフロップ 2 1 1 がリセットされるまで、 D フリップフロップ 2 1 1 の反転出力 (Q バー) は L レベルに維持される。このため、 AND ゲート 2 1 3 においてマッチ信号 M_i がマスクされ、検出信号 MD_i は非アクティブ (L レベル) を維持する。すなわち、マッチ信号アクティブ検出回路 2 1 から出力される検出信号 MD_i は、マッチ信号 M_i がアクティブになってから終了信号 end が出力されるまでの間だけアクティブになり、それ以外の期間は非アクティブになる。したがって、マッチ信号アクティブ検出信号 MD の出力に寄与したマッチ信号は、その後のマッチ信号アクティブ検出信号 MD の出力に影響を及ぼさずに、別のマッチ信号がアクティブになることでマッチ信号アクティブ検出信号 MD が再び出力される。このように、制御回路 2 0 は、任意のマッチ信号がアクティブになるごとにそれを検出してマッチ信号アクティブ検出信号 MD を出力する。

【 0 0 6 2 】

マッチ信号アクティブ検出信号 MD は、クロックカウント式連想メモリ 1 0 およびクラス識別回路 3 3 の動作制御に使用される。より詳細には、制御回路 2 0 は、マッチ信号ア

10

20

30

40

50

クティブ検出信号MDを用いてクロックカウンタ式連想メモリ10およびクラス識別回路33を排他的に動作させる。例えば、クロックカウンタ式連想メモリ10において、マッチ信号アクティブ検出信号MDが非アクティブのときにクロック信号CLKが供給されるように構成するとよい。クラス識別回路33の構成例については後述する。

【0063】

k近傍クラスタリング回路30の構成例

図1に戻り、k近傍クラスタリング回路30は、クラスデータメモリ31と、X個のクラスカウンタ32と、クラス識別回路33と、最大カウンタ検出回路34と、k-マッチ信号数一致検出回路35とを含む。

【0064】

クラスデータメモリ31は、R個の参照データのそれぞれのクラスを表すR個のクラスデータ(クラスデータ1, クラスデータ2, ..., クラスデータR)を保持する回路である。

【0065】

各クラスカウンタ32は、対応するクラスのデータ数をカウントするための回路である。クラス数は、全部でX個(Xは2以上の整数)である。

【0066】

クラス識別回路33は、クロックカウンタ式連想メモリ10から出力されるアクティブのマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータをクラスデータメモリ31から読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタ32をカウントアップする回路である。

【0067】

k-マッチ信号数一致検出回路35は、クラス識別回路33がアクティブになったマッチ信号を一つ選択するごとにカウントアップし、カウント値がkに一致したことを検出する回路である。

【0068】

図7は、一例に係るクラスデータメモリ31、クラスカウンタ32、クラス識別回路33、およびk-マッチ信号数一致検出回路35の概略構成を示す。

【0069】

クラスデータメモリ31は、メモリ部311、行選択回路312、列デコーダ313、および読出/書込回路314を含む。

【0070】

メモリ部311は、SRAMなどで構成されるクラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ を含む。なお、Qは、2以上の整数である。

【0071】

クラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ は、行選択回路312、列デコーダ313、および読出/書込回路314によって書き込まれたクラスデータを保存する。この場合、クラスデータ保存回路 $S_{11} \sim S_{1Q}$ は、 $N \times Q$ (Nは1以上の整数)ビットのクラスデータ1を保存し、クラスデータ保存回路 $S_{21} \sim S_{2Q}$ は、 $N \times Q$ ビットのクラスデータ2を保存し、以下、同様にして、クラスデータ保存回路 $S_{R1} \sim S_{RQ}$ は、 $N \times Q$ ビットのクラスデータRを保存する。つまり、クラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ のそれぞれは、クラスデータのNビットを保存する。

【0072】

行選択回路312は、メモリ部311の行方向のアドレスを指定する。列デコーダ313は、メモリ部311の列方向のアドレスを指定する。読出/書込回路314は、行選択回路312および列デコーダ313によって指定されたクラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ に対してクラスデータを読み書きする。

【0073】

クラス識別回路33は、R個のマッチ信号検出回路331と、デマルチプレクサ332

10

20

30

40

50

と、二つのバッファ 333, 334 とを含む。クラス識別回路 33 には、直列に接続されたバッファ 3315 とバッファ 3316 を介してクロック信号 CLK が接続されている。制御回路 20 から出力されるマッチ信号アクティブ検出信号 MD が H レベルに遷移することで、バッファ 333 およびバッファ 334 を介してクラス識別回路 33 にクロック信号 CLK が供給される。これにより、クラス識別回路 33 は動作を開始する。また、クラス識別回路 33 によるクラス識別動作が終了すると終了信号 end が H レベルに遷移する。終了信号 end が H レベルに遷移することで、バッファ 334 がクラス識別回路 33 へのクロック信号 CLK の供給を遮断する。これにより、クラス識別回路 33 は動作を停止する。

【0074】

R 個のマッチ信号検出回路 331 は、クロックカウンタ式連想メモリ 10 から出力される R 個のマッチ信号のそれぞれに対応して設けられている。各マッチ信号検出回路 331 は、対応するマッチ信号がアクティブであることを検出してクラスデータメモリ 31 に当該マッチ信号に対応するクラスデータを選択する選択信号 act を出力する回路である。

【0075】

R 個のマッチ信号検出回路 331 は、動作開始信号を伝搬するように直列に接続されている。すなわち、マッチ信号検出回路 331 は動作開始信号を次々に受けて順次動作するようになっている。初段のマッチ信号検出回路 331 は、マッチ信号アクティブ検出信号 MD を動作開始信号 next₀ として受けて動作を開始し、動作が終了すると次段 (2 段目) のマッチ信号検出回路 331 へ動作開始信号 next₁ を出力する。2 段目のマッチ信号検出回路 331 は、動作開始信号 next₁ を受けて動作を開始し、動作が終了すると次段 (3 段目) のマッチ信号検出回路 331 へ動作開始信号 next₂ を出力する。以下、同様にして、最終段 (R 段目) のマッチ信号検出回路 331 は、動作開始信号 next_{R-1} を受けて動作を開始し、動作が終了すると動作開始信号 next_R を出力する。動作開始信号 next_R は終了信号 end に相当する。

【0076】

マッチ信号 M₁ が入力されるマッチ信号検出回路 331 から出力される選択信号 act₁ によって、クラスデータメモリ 31 においてクラスデータ 1 が選択され、出力される。マッチ信号 M₂ が入力されるマッチ信号検出回路 331 から出力される選択信号 act₂ によって、クラスデータメモリ 31 においてクラスデータ 2 が選択され、出力される。以下、同様にして、マッチ信号 M_R が入力されるマッチ信号検出回路 331 から出力される選択信号 act_R によって、クラスデータメモリ 31 においてクラスデータ R が選択され、出力される。

【0077】

図 8 は、一例に係るマッチ信号検出回路 331 の概略構成を示す。マッチ信号検出回路 331 は、一致検出回路 3311 と、レジスタ 3312 とを含む。一致検出回路 3311 は、レジスタ 3312 が保持する 1 ビット値とマッチ信号 M_i との一致を検出して一致信号 match を出力する回路である。両者が一致する場合、一致信号 match は H レベルとなり、両者が一致しない場合、一致信号 match は L レベルとなる。一致信号 match およびマッチ信号検出回路 331 に入力される動作開始信号 next_{i-1} は AND ゲート 3313 に入力されて論理積が演算される。AND ゲート 3313 の出力が、次段のマッチ信号検出回路 331 に供給される動作開始信号 next_i となる。また、一致信号 match の論理反転および動作開始信号 next_{i-1} は AND ゲート 3314 に入力されて論理積が演算される。AND ゲート 3314 の出力が、クラスデータの選択信号 act_i となる。

【0078】

レジスタ 3312 には初期値として 0 が保持されている。したがって、マッチ信号 M_i が非アクティブのとき、両者は一致して一致信号 match が H レベルとなる。このとき、AND ゲート 3313 の出力が H レベルとなり、次段のマッチ信号検出回路 331 に動作開始信号 next_{i-1} が供給される。また、AND ゲート 3314 の出力は L レベル

10

20

30

40

50

となる。すなわち、クラスデータの選択信号 act_i は出力されない。このように、マッチ信号 M_i が非アクティブのとき、マッチ信号検出回路 331 は、クラスデータの選択信号を出力せずに、入力された動作開始信号をすぐさま次段のマッチ信号検出回路 331 に伝達する。

【0079】

一方、マッチ信号 M_i がアクティブのとき、両者が一致しないため一致信号 $match$ が L レベルとなる。このとき、AND ゲート 3313 の出力が L レベルとなり、H レベルの動作開始信号 $next_{i-1}$ が入力されることで、AND ゲート 3314 から H レベルの選択信号 act_i が出力される。

【0080】

レジスタ 3312 には、直列に接続されたバッファ 3315 とバッファ 3316 を介してクロック信号 CLK が接続されている。動作開始信号 $next_{i-1}$ が H レベルになると、バッファ 3315 はクロック信号 CLK をバッファ 3316 へ供給する。さらに、一致信号 $match$ の反転が H レベルになるとバッファ 3316 はクロック信号 CLK をレジスタ 3312 へ供給する。レジスタ 3312 はクロック信号 CLK を受けると保持値を 1 に変更する。これにより、アクティブのマッチ信号 M_i とレジスタ 3312 の保持値とが一致して一致信号 $match$ が L レベルとなる。このとき、AND ゲート 3313 の出力が H レベルとなり、次段のマッチ信号検出回路 331 に動作開始信号 $next_{i-1}$ が供給される。また、AND ゲート 3314 の出力は L レベルとなる。すなわち、クラスデータの選択信号 act_i が L レベルに遷移する。このように、マッチ信号 M_i がアクティブのとき、マッチ信号検出回路 331 は、クラスデータの選択信号を出力してから 1 クロック周期後に、入力された動作開始信号を次段のマッチ信号検出回路 331 に伝達する。このとき出力されるクラスデータの選択信号は 1 クロック周期だけ H レベルとなる。

【0081】

図 7 に戻り、デマルチプレクサ 332 にはバッファ 333 およびバッファ 334 を介して供給されるクロック信号 CLK が入力され、出力先はクラスデータメモリ 31 から出力された Q ビットのクラスデータ cls によって決定される。すなわち、クラスデータ cls は X 個のクラスカウンタ 32 の中のいずれか一つを選択する信号として用いられる。そして、1 クロック周期ごとにクラスデータが選択され、当該選択されたクラスデータに対応するクラスカウンタ 32 にクロック信号 CLK が入力されることで、当該クラスカウンタ 32 のカウント値がカウントアップされる。

【0082】

k - マッチ信号数一致検出回路 35 は、カウンタ 351 および比較器 352 を含む。カウンタ 351 には、クラス識別回路 33 へのクロック信号 CLK の供給と同じ条件でクロック信号 CLK が入力されてパルス数をカウントアップする。すなわち、カウンタ 351 は、クラス識別回路 33 がアクティブになったマッチ信号を一つ選択するごとにカウントアップする。比較器 352 は、外部から与えられる数値 k とカウンタ 351 のカウント値とを比較する回路である。両者が一致すると比較器 352 から停止信号 $stop$ が出力される。なお、図示していないが、カウント回路 351 はリセット信号を受けることで初期状態にリセットされる。

【0083】

停止信号 $stop$ はクロックカウント式連想メモリ 10 の動作を停止させる制御信号として利用することができる。例えば、クロックカウント式連想メモリ 10 において、停止信号 $stop$ を受けたときにクロック信号 CLK の供給を遮断するように構成するとよい。これにより、クロックカウント式連想メモリ 10 から出力される R 個のマッチ信号 $M_1 \sim M_R$ のいずれか k 個がアクティブになったとき、クロックカウント式連想メモリ 10 の動作が停止してそれ以上マッチ信号がアクティブになるのが抑制される。すなわち、アクティブになるマッチ信号の数を k 個に制限することができる。

【0084】

X 個のクラスカウンタ 32 のカウント値 $Cn_1 \sim Cn_x$ は、各クラスの近傍の数を示し

10

20

30

40

50

ている。すなわち、カウント値 $C_{n_1} \sim C_{n_x}$ を参照することで各クラスの票数（データ数）がわかる。最大カウンタ検出回路 3 4 は、 X 個のクラスカウンタ 3 2 の中からカウント値が最大のクラスカウンタを見つける回路である。

【 0 0 8 5 】

図 9 は、一例に係る最大カウンタ検出回路 3 4 の概略構成を示す。最大カウンタ検出回路 3 4 は、ダウンカウンタ 3 4 1 と、 X 個の一致検出回路 3 4 2 とを含む。ダウンカウンタ 3 4 1 は、クロック信号 CLK を受けて、初期値からカウント値をカウントダウンする回路である。ダウンカウンタ 3 4 1 へはバッファ 3 4 3 を介してクロック信号 CLK が供給される。バッファ 3 4 3 は、 k -マッチ信号数一致検出回路 3 5 から出力される停止信号 $stop$ を受けて、ダウンカウンタ 3 4 1 へクロック信号 CLK を供給する。

10

【 0 0 8 6 】

X 個の一致検出回路 3 4 2 は、 X 個のクラスカウンタ 3 2 のそれぞれに対応して設けられている。各一致検出回路 3 4 2 は、対応するクラスカウンタ 3 2 のカウント値とダウンカウンタ 3 4 1 のカウント値との一致を検出して、一致信号 $C_1 \sim C_x$ を出力する回路である。各一致検出回路 3 4 2 は、一致を検出すると、一致信号 $C_1 \sim C_x$ を H レベルに遷移させる。

【 0 0 8 7 】

X 個の一致検出回路 3 4 2 の出力信号は OR ゲート 3 4 4 に入力され、これらの論理和が演算される。ダウンカウンタ 3 4 1 に入力されるクロック信号 CLK は、 OR ゲート 3 4 4 の出力の論理反転によってマスクされるようになっている。すなわち、ダウンカウンタ 3 4 1 のカウント値がカウントダウンされている間に、 X 個の一致検出回路 3 4 2 のうちのいずれか一つによってダウンカウンタ 3 4 1 のカウント値と対応するクラスカウンタ 3 2 のカウント値との一致が検出されたとき、ダウンカウンタ 3 4 1 のカウント動作を停止させるようになっている。これにより、最大のカウント値を保持するクラスカウンタ 3 2 のみを検出することができる。一致信号 $C_1 \sim C_x$ のうち H レベルになっているものが、 k 近傍法に基づいて決定された検索データのクラスを表している。

20

【 0 0 8 8 】

図 10 は、別例に係る最大カウンタ検出回路 3 4 の概略構成を示す。最大カウンタ検出回路 3 4 は、複数の最大値選出回路 3 4 5 をツリー状に接続したトーナメント回路として構成することもできる。

30

【 0 0 8 9 】

図 11 は、一例に係る最大値選出回路 3 4 5 の概略構成を示す。最大値選出回路 3 4 5 は、比較回路 3 4 6 と、マルチプレクサ 3 4 7 とを含む。

【 0 0 9 0 】

最大値選出回路 3 4 5 には、あるクラスカウンタ 3 2 のカウント値 A とそのクラスカウンタ 3 2 の識別番号 i を結合した信号 $A \& i$ と、別のクラスカウンタ 3 2 のカウント値 B とそのクラスカウンタ 3 2 の識別番号 j を結合した信号 $B \& j$ が入力される。比較回路 3 4 6 は、カウンタ値 A およびカウンタ値 B の大小を比較する。マルチプレクサ 3 4 7 は、信号 $A \& i$ および信号 $B \& j$ を受け、比較回路 3 4 6 の出力信号に応じて信号 C として信号 $A \& i$ および信号 $B \& j$ のいずれか一方を出力する。具体的には、マルチプレクサ 3 4 7 は、 $A \geq B$ の場合、信号 $A \& i$ を出力し、 $A < B$ の場合、信号 $B \& j$ を出力する。すなわち、信号 C として、カウンタ値が大きい方のクラスカウンタ 3 2 のカウント値 $max(A, B)$ とそのクラスカウンタの識別番号 $index(i \text{ or } j)$ を結合した信号が出力される。なお、マルチプレクサ 3 4 7 は、 $A > B$ の場合、信号 $A \& i$ を出力し、 $A = B$ の場合、信号 $B \& j$ を出力してもよい。

40

【 0 0 9 1 】

図 10 に戻り、トーナメント回路のリーフノードには $X/2$ 個の最大値選出回路 3 4 5 が配置される。リーフノードの各最大値選出回路 3 4 5 には X 個のクラスカウンタ 3 2 のうち隣り合う 2 個のクラスカウンタ 3 2 の各カウンタ値とそれら 2 個のクラスカウンタ 3 2 の各識別番号を結合した信号が入力される。

50

【0092】

トーナメント回路の2段目には $X/2^2$ 個の最大値選出回路345が配置される。2段目の各最大値選出回路345にはリーフノードの隣り合う2個の最大値選出回路345から出力される信号が入力される。

【0093】

トーナメント回路のルートノードには1個の最大値選出回路345が配置される。そして、ルートノードの最大値選出回路345から、 X 個のクラスカウンタ32の最大カウント値 $\max(C_{n_1}, \dots, C_{n_x})$ およびそのクラスカウンタ32の識別番号である $class\ index$ を結合した信号が出力される。

【0094】

上記構成の最大カウンタ検出回路34によると、 X 個のクラスカウンタ32の最大値を1クロックサイクルで決定することができるため、特に高速処理に適している。

【0095】

以上のように、本実施形態によると、クロックカウント式連想メモリ10によって検索データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなる。そして、 k 近傍クラスタリング回路30によって、より先にアクティブになった k 個のマッチ信号に対応する k 個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、 k 近傍法に基づいた検索データのクラス分けが実現される。

【0096】

なお、本実施形態では、クロックカウント式連想メモリ10から出力される R 個のマッチ信号のいずれかがアクティブになるごとにクラス識別が行われるため、距離情報が欠落してしまう。そこで、例えば、クラス識別回路33にカウンタを設けて、各マッチ信号がアクティブになるまでの時間情報（すなわち時間換算した距離情報）を保持するようにしてもよい。その場合、時間情報を用いて、検索データにより距離の近い参照データの重みを大きくするようにクラスデータの重み付けを行って、より高度なクラス判別を行うことができる。また、アクティブとなった k 個のマッチ信号に対応する参照データのうち、検索データとの距離が閾値以上のものは除外して k 個以下で k 近傍法を適用することも可能である。

【0097】

また、先願発明に係る k 近傍法連想メモリでは、複数の加算器をツリー状に接続してマッチ信号カウント回路を構成し、クロックカウント式連想メモリ10から出力される R 個のマッチ信号を当該マッチ信号カウント回路に接続して、より先にアクティブになった k 個のマッチ信号をカウントしていた。これに対して、本実施形態に係る k 近傍法連想メモリ100では、そのような加算器ツリーを使用せずにより先にアクティブになった k 個のマッチ信号をカウントすることができるため、回路規模、消費電力、および遅延時間をより小さくすることができる。

【符号の説明】

【0098】

- 100 k 近傍法連想メモリ
- 10 クロックカウント式連想メモリ
- 20 制御回路
- 31 マッチ信号カウント回路
- 30 k 近傍クラスタリング回路
- 31 クラスデータメモリ
- 32 クラスカウンタ
- 33 クラス識別回路
- 331 マッチ信号検出回路
- 34 最大カウンタ検出回路
- 341 ダウンカウンタ

10

20

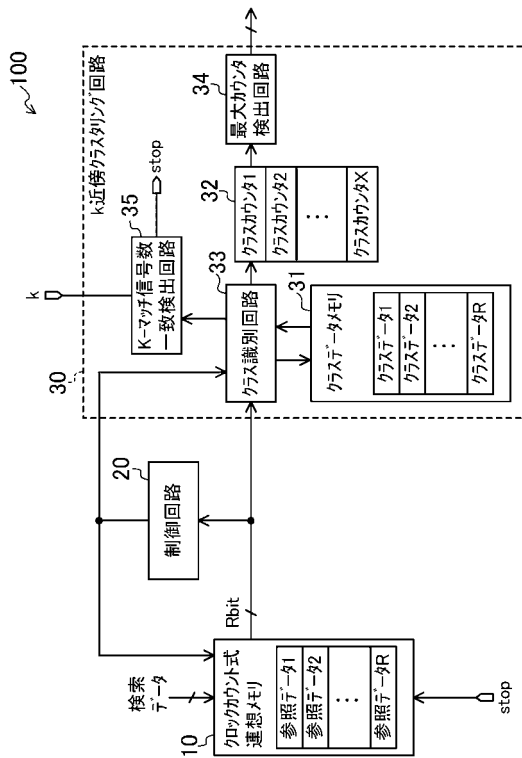
30

40

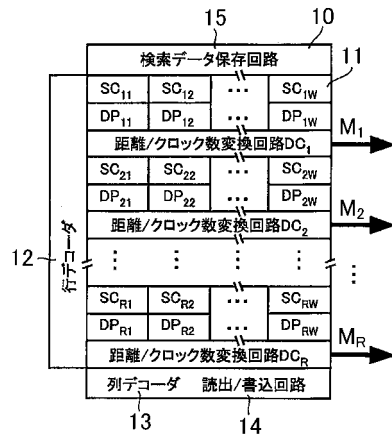
50

- 3 4 2 一致検出回路
- 3 4 5 最大値選出回路
- 3 5 k - マッチ信号数一致検出回路

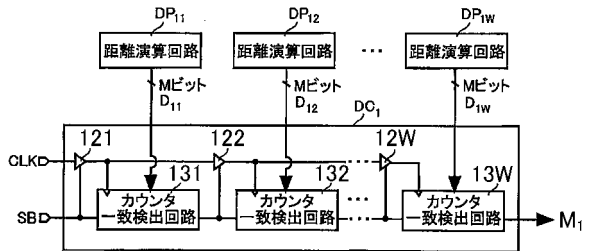
【 図 1 】



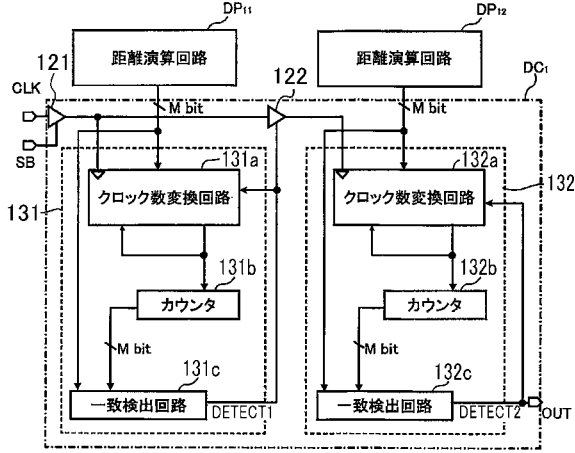
【 図 2 】



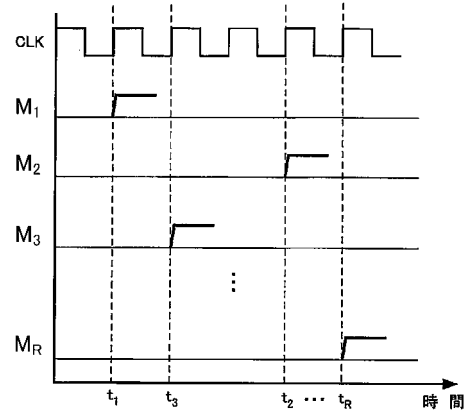
【 図 3 】



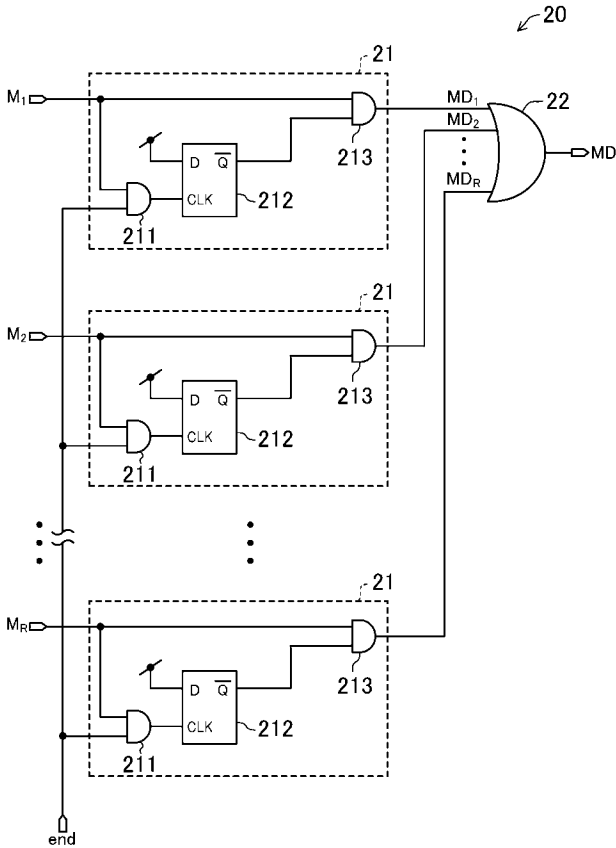
【図4】



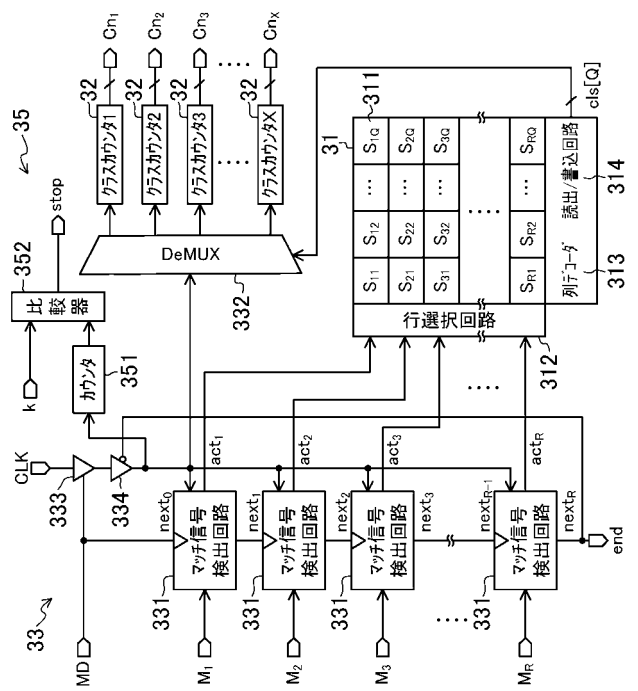
【図5】



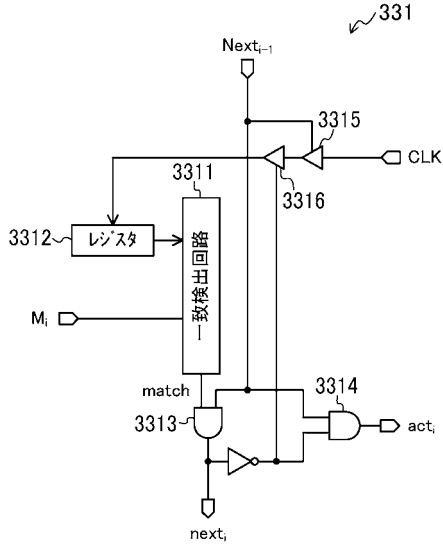
【図6】



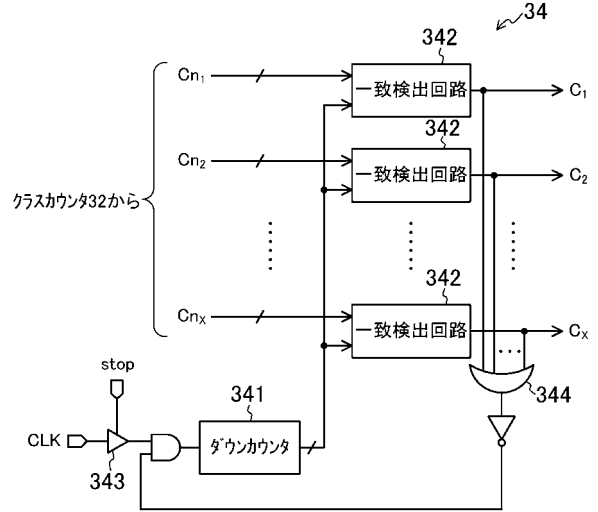
【図7】



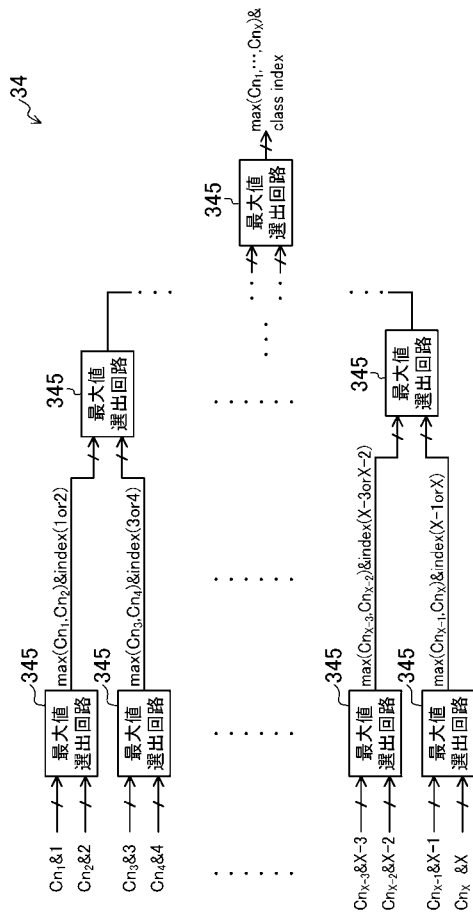
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

