

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6539459号  
(P6539459)

(45) 発行日 令和1年7月3日(2019.7.3)

(24) 登録日 令和1年6月14日(2019.6.14)

(51) Int. Cl. F I  
G O 6 N 3 / 0 6 3 ( 2 0 0 6 . 0 1 ) G O 6 N 3 / 0 6 3

請求項の数 5 (全 15 頁)

<p>(21) 出願番号 特願2015-34063 (P2015-34063)                  (22) 出願日 平成27年2月24日 (2015.2.24)                  (65) 公開番号 特開2016-157233 (P2016-157233A)                  (43) 公開日 平成28年9月1日 (2016.9.1)                  審査請求日 平成30年2月23日 (2018.2.23)</p> <p>特許法第30条第2項適用 2014 International Conference on Solid State Devices and Materials (SSDM2014) Abstract DVD (平成26年9月8日) 公益財団法人応用物理学会発行第102-103ページに発表</p>	<p>(73) 特許権者 504136568                  国立大学法人広島大学                  広島県東広島市鏡山1丁目3番2号                  (74) 代理人 110001427                  特許業務法人前田特許事務所                  (72) 発明者 マタウシュ ハンスユルゲン                  広島県東広島市鏡山一丁目4番2号 国立                  大学法人広島大学 ナノデバイス・バイオ                  融合科学研究所内                  (72) 発明者 陳 奮                  広島県東広島市鏡山一丁目3番1号 国立                  大学法人広島大学 HiSIM研究センタ                  ー内</p>
--	---

最終頁に続く

(54) 【発明の名称】 LVQニューラルネットワーク

(57) 【特許請求の範囲】

【請求項1】

与えられた入力ベクトルの部分ベクトルの各要素を保持する複数のレジスタおよび与えられた参照ベクトルの部分ベクトルの各要素を保持する複数の参照レジスタを有する第1ステージ回路と、

前記第1ステージ回路の前記複数のレジスタの保持値と前記第1ステージ回路の前記複数の参照レジスタの保持値との差分をそれぞれ計算する複数の加算器および当該複数の加算器の計算結果をそれぞれ保持する複数のレジスタを有する第2ステージ回路と、

前記第2ステージ回路の前記複数のレジスタの保持値をそれぞれ二乗する複数の乗算器および当該複数の乗算器の計算結果をそれぞれ保持する複数のレジスタを有する第3ステージ回路と、

前記第3ステージ回路の前記複数のレジスタの保持値を累積加算する複数の加算器および当該複数の加算器で計算された累積加算値を保持するレジスタを有する第4ステージ回路と、

前記入力ベクトルとこれまでに与えられた参照ベクトルとの最小距離を保持するレジスタおよび前記第4ステージ回路の前記レジスタの保持値と当該最小距離を保持するレジスタの保持値とを比較する比較器を有し、前記第4ステージ回路の前記レジスタの保持値が当該最小距離を保持するレジスタの保持値よりも小さい場合、当該最小距離を保持するレジスタの保持値を前記第4ステージ回路の前記レジスタの保持値に更新するとともに最小距離検出を示す信号を出力する第5ステージ回路とを備え、

10

20

前記第 1 ステージ回路ないし前記第 5 ステージ回路がパイプライン動作し、  
 前記第 3 ステージ回路が、認識 / 学習切り替え信号に応じて前記第 2 ステージ回路の前記複数のレジスタの保持値および学習係数のいずれか一方を選択的にそれぞれ出力する複数のマルチプレクサと、前記参照ベクトルの部分ベクトルの各要素を保持する複数の参照レジスタとを有し、前記複数の乗算器が、前記第 2 ステージ回路の前記複数のレジスタの保持値と当該複数のマルチプレクサの出力値とをそれぞれ乗算するものであり、

前記第 4 ステージ回路が、前記複数の加算器への入力をそれぞれ切り替える複数のマルチプレクサおよび前記複数の加算器の計算結果をそれぞれ保持する複数のレジスタを有し、当該複数のマルチプレクサが、前記認識 / 学習切り替え信号に応じて、前記複数の加算器が前記第 3 ステージ回路の前記複数のレジスタの保持値を累積加算する第 1 の接続状態と、前記複数の加算器が前記第 3 ステージ回路の前記複数のレジスタの保持値と前記第 3 ステージ回路の前記複数の参照レジスタの保持値とをそれぞれ加算する第 2 の接続状態とを切り替えるものであり、

複数の参照ベクトルを保持し、アドレス指定された参照ベクトルの部分ベクトルを前記第 1 ステージ回路の前記複数の参照レジスタに与えるデータ読み出し、および前記第 4 ステージ回路の前記複数のマルチプレクサが前記第 2 の接続状態にあるときに当該アドレス指定された参照ベクトルの部分ベクトルを前記第 4 ステージ回路の前記複数のレジスタの保持値に更新するデータ書き込みを同時に行うデュアルポートメモリを備えた、

L V Q ( Learning Vector Quantization ) ニューラルネットワーク。

【請求項 2】

前記第 4 ステージ回路が、前記複数の加算器がバイナリツリー状に接続されて前記第 3 ステージ回路の前記複数のレジスタの保持値を合計する加算器ツリーと、前記レジスタの保持値およびゼロのいずれか一方を選択的に出力するマルチプレクサと、当該加算器ツリーの計算結果と当該マルチプレクサの出力値とを加算する加算器とを有し、前記レジスタが当該加算器の計算結果を保持するものである、請求項 1 に記載の L V Q ニューラルネットワーク。

【請求項 3】

前記学習係数が - 1 よりも大きく 1 よりも小さい 0 を除く小数値である、請求項 2 に記載の L V Q ニューラルネットワーク。

【請求項 4】

前記学習係数が 2 の補数で表現される、請求項 3 に記載の L V Q ニューラルネットワーク。

【請求項 5】

前記第 3 ステージ回路が、前記学習係数の正值と負値とを切り替えるマルチプレクサを有する、請求項 1 - 4 のいずれか 1 項に記載の L V Q ニューラルネットワーク。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、L V Q ( Learning Vector Quantization ) ニューラルネットワークに関し、特に、L V Q ニューラルネットワークを半導体集積回路に実装する技術に関する。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを L S I ( Large Scale Integrated Circuit ) 上で実現することにより、将来、人工知能およびモバイル機器などの高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

パターンマッチングには、人間の脳の神経回路網を工学的にモデル化したニューラルネットワークがよく用いられる。そして、ニューラルネットワークの教師あり学習の一つに、学習ベクトル量子化法 ( L V Q : Learning Vector Quantization ) が用いられる ( 例え

10

20

30

40

50

ば、特許文献1を参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平5-342188号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

L V Qニューラルネットワークを用いたパターンマッチングは、携帯情報端末などのモバイル機器、医療機器、セキュリティ機器などに応用される。特に、モバイル機器では、L V Qニューラルネットワークの消費電力を低減するとともにパフォーマンスを向上させることが求められる。それにはL V Qニューラルネットワークのハードウェア化が必要である。

10

【0006】

上記問題に鑑み、本発明は、L V Qニューラルネットワークを半導体集積回路に実装可能にすることを課題とする。

【課題を解決するための手段】

【0007】

本発明の一局面に従ったL V Qニューラルネットワークは、与えられた入力ベクトルの部分ベクトルの各要素を保持する複数のレジスタおよび与えられた参照ベクトルの部分ベクトルの各要素を保持する複数の参照レジスタを有する第1ステージ回路と、前記第1ステージ回路の前記複数のレジスタの保持値と前記第1ステージ回路の前記複数の参照レジスタの保持値との差分をそれぞれ計算する複数の加算器および当該複数の加算器の計算結果をそれぞれ保持する複数のレジスタを有する第2ステージ回路と、前記第2ステージ回路の前記複数のレジスタの保持値をそれぞれ二乗する複数の乗算器および当該複数の乗算器の計算結果をそれぞれ保持する複数のレジスタを有する第3ステージ回路と、前記第3ステージ回路の前記複数のレジスタの保持値を累積加算する複数の加算器および当該複数の加算器で計算された累積加算値を保持するレジスタを有する第4ステージ回路と、前記入力ベクトルとこれまでに与えられた参照ベクトルとの最小距離を保持するレジスタおよび前記第4ステージ回路の前記レジスタの保持値と当該最小距離を保持するレジスタの保持値とを比較する比較器を有し、前記第4ステージ回路の前記レジスタの保持値が当該最小距離を保持するレジスタの保持値よりも小さい場合、当該最小距離を保持するレジスタの保持値を前記第4ステージ回路の前記レジスタの保持値に更新するとともに最小距離検出を示す信号を出力する第5ステージ回路とを備え、前記第1ステージ回路ないし前記第5ステージ回路がパイプライン動作するものである。

20

30

【0008】

これによると、ハードウェア回路を用いて、入力ベクトルと参照ベクトルとのユークリッド距離の二乗値が計算され、入力ベクトルと最も距離が近い参照ベクトルを検索することができる。また、入力ベクトルおよび参照ベクトルが部分ベクトルに分割されて複数回に分けて第1ステージ回路に与えられるため、L V Qニューラルネットワークは任意の次元数の入力ベクトルおよび参照ベクトルを処理することができ、拡張性に優れる。また、第1ステージ回路ないし第5ステージ回路がパイプライン動作することで、L V Qニューラルネットワークを用いた認識処理を高速に行うことができる。

40

【0009】

前記第4ステージ回路は、前記複数の加算器がバイナリツリー状に接続されて前記第3ステージ回路の前記複数のレジスタの保持値を合計する加算器ツリーと、前記レジスタの保持値およびゼロのいずれか一方を選択的に出力するマルチプレクサと、当該加算器ツリーの計算結果と当該マルチプレクサの出力値とを加算する加算器とを有し、前記レジスタが当該加算器の計算結果を保持するものであってもよい。

【0010】

50

これによると、第3ステージ回路の複数のレジスタの保持値の累積加算を効率よく行うことができる。

【0011】

前記第3ステージ回路は、認識/学習切り替え信号に応じて前記第2ステージ回路の前記複数のレジスタの保持値および学習係数のいずれか一方を選択的にそれぞれ出力する複数のマルチプレクサと、前記参照ベクトルの部分ベクトルの各要素を保持する複数の参照レジスタとを有し、前記複数の乗算器が、前記第2ステージ回路の前記複数のレジスタの保持値と当該複数のマルチプレクサの出力値とをそれぞれ乗算するものであってもよく、前記第4ステージ回路は、前記複数の加算器への入力をそれぞれ切り替える複数のマルチプレクサおよび前記複数の加算器の計算結果をそれぞれ保持する複数のレジスタを有し、  
 当該複数のマルチプレクサが、前記認識/学習切り替え信号に応じて、前記複数の加算器が前記第3ステージ回路の前記複数のレジスタの保持値を累積加算する第1の接続状態と、前記複数の加算器が前記第3ステージ回路の前記複数のレジスタの保持値と前記第3ステージ回路の前記複数の参照レジスタの保持値とをそれぞれ加算する第2の接続状態とを切り替えるものであってもよく、上記のLVQニューラルネットワークは、複数の参照ベクトルを保持し、アドレス指定された参照ベクトルの部分ベクトルを前記第1ステージ回路の前記複数の参照レジスタに与えるデータ読み出し、および前記第4ステージ回路の前記複数のマルチプレクサが前記第2の接続状態にあるときに当該アドレス指定された参照ベクトルの部分ベクトルを前記第4ステージ回路の前記複数のレジスタの保持値に更新するデータ書き込みを同時に行うデュアルポートメモリを備えていてもよい。

10

20

【0012】

これによると、認識/学習切り替え信号に応じて、第3ステージ回路の複数の乗算器および第4ステージ回路における複数の加算器を、認識時の最小距離計算用および学習時の参照ベクトルの更新値計算用のいずれかとして使用することができ、参照ベクトルの学習がハードウェア化されてより効率的な学習が可能となる。

【発明の効果】

【0013】

本発明によれば、LVQニューラルネットワークを半導体集積回路に実装することができる。これにより、低消費電力で高パフォーマンスのLVQニューラルネットワークを実現することができる。

30

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施形態に係るLVQニューラルネットワークの構成図

【図2】入力ベクトルおよび参照ベクトルを複数の部分ベクトルに分割してLVQニューラルネットワークに入力する様子を示す模式図

【図3】第1の実施形態に係るLVQニューラルネットワークのパイプライン動作のタイムチャート

【図4】本発明の第2の実施形態に係るLVQニューラルネットワークの構成図

【図5】第2の実施形態に係るLVQニューラルネットワークの学習時の第4ステージ回路の接続状態を示す図

40

【図6】第2の実施形態に係るLVQニューラルネットワークの学習時のパイプライン動作のタイムチャート

【図7】第2の実施形態に係るLVQニューラルネットワークの認識時の第4ステージ回路の接続状態を示す図

【図8】第2の実施形態に係るLVQニューラルネットワークの認識時のパイプライン動作のタイムチャート

【発明を実施するための形態】

【0015】

以下に説明する本発明の実施形態に係るLVQニューラルネットワークは、LVQ1をハードウェアで実現したものであり、与えられた入力ベクトルおよび参照ベクトルの距離

50

(ユークリッド距離)を計算し、入力ベクトルとの距離が最小となる参照ベクトルを検索することができる。すなわち、入力ベクトルをd次元のベクトル $x = \{x_1, x_2, \dots, x_d\}$ 、および参照ベクトルをd次元のベクトル $w_i = \{w_{i1}, w_{i2}, \dots, w_{id}\}$ (ただし、iは1からnまでの整数である。)とすると、LVQニューラルネットワークは、式(1)で表される入力ベクトルxと参照ベクトル $w_i$ とのユークリッド距離 $D_E$ を計算し、当該距離 $D_E$ が最小となるような参照ベクトルを検索する。各参照ベクトルにはクラスを表すラベルが割り当てられており、図略のCPU(Central Processing Unit)によって、最小距離検索で見つかった参照ベクトルのラベルに基づいて入力ベクトルのクラス識別が行われる。

【0016】

【数1】

$$D_E = \sqrt{\sum_{j=1}^n (x_j - w_{ij})^2} \quad \dots\dots (1)$$

【0017】

なお、式(1)に示したユークリッド距離 $D_E$ の計算には平方根演算が必要であるがそのような演算には計算コストがかかるため、本発明の実施形態に係るLVQニューラルネットワークは、ユークリッド距離の計算における平方根演算を省略し、式(1)に示したユークリッド距離 $D_E$ の二乗値を用いて入力ベクトルと参照ベクトルとの距離を評価する。このようにしても、最小距離の参照ベクトルの検索に何ら問題はない。

【0018】

以下、図面を参照しながら本発明を実施するための形態について説明する。なお、本発明は、以下の実施形態に限定されるものではない。

【0019】

#### 第1の実施形態

図1は、第1の実施形態に係るLVQニューラルネットワークの構成例を示す。本実施形態に係るLVQニューラルネットワーク100Aは、第1ステージ回路10、第2ステージ回路20、第3ステージ回路30、第4ステージ回路40、および第5ステージ回路50を備えている。第1ステージ回路10は、ニューラルネットワークにおける入力レイヤ(Input Layer)に相当する。第2ステージ回路20ないし第4ステージ回路40は、ニューラルネットワークにおける競合レイヤ(Competition Layer)に相当する。第5ステージ回路50は、ニューラルネットワークにおける出力レイヤ(Output Layer)に相当する。

【0020】

第1ステージ回路10は、複数(本実施形態では4個)のレジスタ11Iと、複数(本実施形態では4個)の参照レジスタ11Rとを有する。これらレジスタはいずれも同じ回路構成のレジスタであり、図略のクロック信号に応じて所定ビット幅(例えば、1ワード)の入力データを保持する。各レジスタ11Iには入力ベクトルの各要素IN1, IN2, IN3, IN4が入力される。各参照レジスタ11Rには参照ベクトルの各要素REF1, REF2, REF3, REF4が入力される。

【0021】

入力ベクトルおよび参照ベクトルの次元数が第1ステージ回路10の最大入力次元数(本実施形態では4)よりも大きい場合、これらベクトルを複数回に分けて第1ステージ回路10に入力することができる。図2は、入力ベクトルおよび参照ベクトルを複数の部分ベクトルに分割してLVQニューラルネットワーク100Aに入力する様子を模式的に示す。次元数の大きな入力ベクトルおよび参照ベクトルは、第1ステージ回路10の最大入力次元数に相当する個数の要素(本実施形態では4要素)からなる部分ベクトルに分割して複数回(m回)に分けて第1ステージ回路10に入力することができる。

10

20

30

40

50

## 【 0 0 2 2 】

なお、入力ベクトルおよび参照ベクトルの次元数は必ずしも第 1 ステージ回路 1 0 の最大入力次元数の整数倍でなくてもよい。入力ベクトルおよび参照ベクトルの次元数が第 1 ステージ回路 1 0 の最大入力次元数の整数倍でない場合には、第 1 ステージ回路 1 0 の最大入力次元数の整数倍になるように入力ベクトルおよび参照ベクトルにダミー要素（例えば、“ 0 ” からなる要素）を追加して第 1 ステージ回路 1 0 に入力すればよい。

## 【 0 0 2 3 】

図 1 へ戻り、第 2 ステージ回路 2 0 は、複数（本実施形態では 4 個）の加算器 2 1 と、複数（本実施形態では 4 個）のレジスタ 2 2 I とを有する。各加算器 2 1 は、第 1 ステージ回路 1 0 の各レジスタ 1 1 I の保持値および各参照レジスタ 1 1 R の保持値を受け、これらの差分を計算する。すなわち、各加算器 2 1 は、式（ 1 ）における入力ベクトル  $x$  の要素  $x_j$  と参照ベクトル  $w_i$  の要素  $w_{ij}$  との差分を計算する。各レジスタ 2 2 I は、各加算器 2 1 の計算結果を保持する。これらレジスタ 2 2 I はいずれも第 1 ステージ回路 1 0 のレジスタ 1 1 I や参照レジスタ 1 1 R と同じ回路構成のレジスタであり、図略のクロック信号に応じて所定ビット幅（例えば、1 ワード）入力データを保持する。

10

## 【 0 0 2 4 】

第 3 ステージ回路 3 0 は、複数（本実施形態では 4 個）の乗算器 3 1 と、複数（本実施形態では 4 個）のレジスタ 3 2 I とを有する。各乗算器 3 1 は、第 2 ステージ回路 2 0 の各レジスタ 2 2 I の保持値を受け、これらを掛け合わせる。すなわち、各乗算器 3 1 は、式（ 1 ）における入力ベクトル  $x$  の要素  $x_j$  と参照ベクトル  $w_i$  の要素  $w_{ij}$  との差分の二乗値を計算する。各レジスタ 3 2 I は、各乗算器 3 1 の計算結果を保持する。これらレジスタ 3 2 I はいずれも第 1 ステージ回路 1 0 のレジスタ 1 1 I や参照レジスタ 1 1 R と同じ回路構成のレジスタであり、図略のクロック信号に応じて所定ビット幅（例えば、1 ワード）入力データを保持する。

20

## 【 0 0 2 5 】

第 4 ステージ回路 4 0 は、複数（本実施形態では 4 個）の加算器  $4 1_1, 4 1_2, 4 1_3, 4 1_4$  と、レジスタ  $4 3_1$  と、マルチプレクサ 4 4 とを有する。加算器  $4 1_2, 4 1_3, 4 1_4$  は、バイナリツリー状に接続されて加算器ツリー 4 2 を構成している。当該加算器ツリー 4 2 は、第 3 ステージ回路 3 0 の複数のレジスタ 3 2 I の保持値を合計する。すなわち、加算器  $4 1_2$  は、第 3 ステージ回路 3 0 の二つのレジスタ 3 2 I の保持値を受け、これらを加算する。加算器  $4 1_4$  は、第 3 ステージ回路 3 0 の別の二つのレジスタ 3 2 I の保持値を受け、これらを加算する。加算器  $4 1_3$  は、加算器  $4 1_2$  の計算結果および加算器  $4 1_4$  の計算結果を受け、これらを加算する。加算器  $4 1_1$  は、加算器  $4 1_3$  の計算結果、すなわち、加算器ツリー 4 2 の計算結果およびマルチプレクサ 4 4 の出力値を受け、これらを加算する。レジスタ  $4 3_1$  は、加算器  $4 1_1$  の計算結果を保持する。

30

## 【 0 0 2 6 】

マルチプレクサ 4 4 は、制御信号  $next$  に応じてレジスタ  $4 3_1$  の保持値および固定値 “ 0 ” のいずれか一方を選択的に出力する。制御信号  $next$  は、第 1 ステージ回路 1 0 に入力される入力ベクトルおよび参照ベクトルの区切りを示す信号であり、図略の CPU から出力される。マルチプレクサ 4 4 がレジスタ  $4 3_1$  の保持値を出力する場合、レジスタ  $4 3_1$  に保持された加算器ツリー 4 2 のこれまでの計算結果と加算器ツリー 4 2 の新たな計算結果とが加算器  $4 1_1$  によって加算され、計算結果がレジスタ  $4 3_1$  に保持される。すなわち、第 3 ステージ回路 3 0 の複数のレジスタ 3 2 I の保持値が累積加算される。一方、マルチプレクサ 4 4 が固定値 “ 0 ” を出力する場合、加算器 4 2 の計算結果が新たにレジスタ  $4 3_1$  に保持される。

40

## 【 0 0 2 7 】

第 5 ステージ回路 5 0 は、レジスタ 5 1 と、比較器 5 2 と、AND ゲート 5 3 とを有する。レジスタ 5 1 は、第 4 ステージ回路 4 0 のレジスタ  $4 3_1$  の保持値を受け、当該保持値が最小であると判定されたときに当該値を保持する。すなわち、レジスタ 5 1 は、入力ベクトルとこれまでに与えられた参照ベクトルとの最小距離を保持するレジスタである。

50

比較器 52 は、図略のクロック信号に応じて第 4 ステージ回路 40 のレジスタ 43<sub>1</sub> の保持値 A とレジスタ 51 の保持値 B とを比較し、 $A < B$  であれば H レベル信号を出力する。AND ゲート 53 は、制御信号 *next* と比較器 52 の出力信号との論理積を演算する。すなわち、比較器 52 の出力信号は制御信号 *next* によってマスクされ、制御信号 *next* が H レベルのときに比較器 52 の出力信号が AND ゲート 53 から出力される。

#### 【0028】

このような回路構成によると、LVQ ニューラルネットワーク 100A に新たに入力された参照ベクトルと入力ベクトルとの距離とこれまでの最小距離とが比較され、新たに入力された参照ベクトルと入力ベクトルとの距離が最小であれば、AND ゲート 53 の出力信号 W が H レベルになる、すなわち、最小距離検出を示す信号 (Winner 信号) がアサートされる。Winner 信号がアサートされることで、レジスタ 51 は第 4 ステージ回路 40 のレジスタ 43<sub>1</sub> の保持値、すなわち、新たな最小距離を保持する。また、Winner 信号がアサートされると、図略の CPU は、入力ベクトルとの距離が最小となる参照ベクトルの保存場所情報 (メモリアドレス) を記憶する。そして、すべての参照ベクトルについて入力ベクトルとの最小距離検索が終わると、図略の CPU は、最小距離検索で見つかった参照ベクトルのラベルに基づいて入力ベクトルのクラス識別を行う。

#### 【0029】

LVQ ニューラルネットワーク 100A において、第 1 ステージ回路 10 ないし第 5 ステージ回路 50 はパイプライン動作可能である。図 3 は、LVQ ニューラルネットワーク 100A のパイプライン動作のタイムチャートを示す。なお、同図において、第 1 ステージ回路 10 ないし第 5 ステージ回路 50 における各処理時間をローマ数字で表記している。第 1 ステージ回路 10 ないし第 4 ステージ回路 40 は、いずれも 1 クロック周期で動作して次のステージ回路へデータを渡す。例えば、入力ベクトルと参照ベクトル 1 との距離計算および最小距離検索を行う場合、入力ベクトルおよび参照ベクトル 1 の 1 番目の部分ベクトルを入力し、次のクロック周期で 2 番目の部分ベクトルを入力し、以後同様に 1 クロック周期で次の部分ベクトルを入力する。そして、m 番目の部分ベクトルを入力した次のクロック周期で、今度は入力ベクトルおよび参照ベクトル 2 の 1 番目の部分ベクトルを入力するとともに入力ベクトルと参照ベクトル 2 との距離計算および最小距離検索を開始する。

#### 【0030】

制御信号 *next* は、入力ベクトルおよび参照ベクトル 1 の m 番目の部分ベクトルが第 5 ステージ回路 50 で処理されるタイミングでアサートされる。これにより、第 5 ステージ回路 50 の比較器 52 の出力信号が AND ゲート 53 から出力される。もし、入力ベクトルと参照ベクトル 1 と距離が最小であれば Winner 信号がアサートされる。また、これと同じタイミングで入力ベクトルおよび参照ベクトル 2 の 1 番目の部分ベクトルが第 4 ステージ回路 40 で処理されている。このとき、制御信号 *next* が H レベルになっていることで第 4 ステージ回路 40 のマルチプレクサ 44 からは固定値 "0" が出力されており、第 4 ステージ回路 40 のレジスタ 43<sub>1</sub> に、入力ベクトルおよび参照ベクトル 2 の 1 番目の部分ベクトルの部分距離計算結果が新たに保持される。

#### 【0031】

以上のように、本実施形態によると、時間がかかる入力ベクトルと参照ベクトルとの距離計算および最小距離検索をハードウェア化して短時間で行うことができる。これにより、LVQ ニューラルネットワーク 100A による認識処理のパフォーマンスが向上する。また、本実施形態にかかる LVQ ニューラルネットワーク 100A は任意の次元数の入力ベクトルおよび参照ベクトルを処理することができ、拡張性に優れる。

#### 【0032】

##### 第 2 の実施形態

LVQ ニューラルネットワークによる識別処理を行うには参照ベクトルの学習を行っておく必要がある。LVQ 1 アルゴリズムでは、参照ベクトルの学習は次の手順で行われる。教師信号としての入力ベクトル  $x$  のクラスと学習対象の参照ベクトル  $w_i$  のクラスとが

10

20

30

40

50

等しければ、次式(2)の計算を実施して参照ベクトル $w_i$ を入力ベクトル $x$ に近づくように更新する。

【0033】

$$w_i = w_i + (x - w_i) \dots (2)$$

逆に、教師信号としての入力ベクトル $x$ のクラスと学習対象の参照ベクトル $w_i$ のクラスとが異なっていれば、次式(3)の計算を実施して参照ベクトル $w_i$ を入力ベクトル $x$ から遠ざかるように更新する。

【0034】

$$w_i = w_i - (x - w_i) \dots (3)$$

ただし、 $\alpha$ は学習係数であり、0から1までの小数値である。

10

【0035】

図4は、第2の実施形態に係るLVQニューラルネットワークの構成例を示す。本実施形態に係るLVQニューラルネットワーク100Bは、第1の実施形態に係るLVQニューラルネットワーク100Aに上記の学習機能を追加したものである。LVQニューラルネットワーク100Bは、第1ステージ回路10、第2ステージ回路20、第3ステージ回路30、第4ステージ回路40、第5ステージ回路50、デュアルポートメモリ60、およびマルチプレクサ70を備えている。

【0036】

デュアルポートメモリ60は、複数の参照ベクトルを保持している。デュアルポートメモリ60は、互いに独立したデータ読み出しポートRDとデータ書き込みポートTDとを有しており、データ読み出しポートRDからのデータ読み出し動作、およびデータ書き込みポートTDへのデータ書き込み動作を同時に行うことができる。

20

【0037】

第1ステージ回路10は、複数(本実施形態では4個)のレジスタ11Iと、複数(本実施形態では4個)の参照レジスタ11Rとを有する。これらレジスタはいずれも同じ回路構成のレジスタであり、図略のクロック信号に応じて所定ビット幅(例えば、1ワード)の入力データを保持する。各レジスタ11Iには入力ベクトルの各要素 $IN_1$ ,  $IN_2$ ,  $IN_3$ ,  $IN_4$ が入力される。各参照レジスタ11Rにはデュアルポートメモリ60のデータ読み出しポートRDから読み出された参照ベクトルの各要素 $REF_1$ ,  $REF_2$ ,  $REF_3$ ,  $REF_4$ が入力される。なお、上述したように、入力ベクトルおよび参照ベクトルの次元数が第1ステージ回路10の最大入力次元数(本実施形態では4)よりも大きい場合、これらベクトルを複数回に分けて第1ステージ回路10に入力することができる。

30

【0038】

第2ステージ回路20は、複数(本実施形態では4個)の加算器21と、複数(本実施形態では4個)のレジスタ22Iと、複数(本実施形態では4個)の参照レジスタ22Rとを有する。各加算器21は、第1ステージ回路10の各レジスタ11Iの保持値および各参照レジスタ11Rの保持値を受け、これらの差分を計算する。すなわち、各加算器21は、式(1)ないし式(3)における入力ベクトル $x$ の要素 $x_j$ と参照ベクトル $w_i$ の要素 $w_{ij}$ との差分を計算する。各レジスタ22Iは、各加算器21の計算結果を保持する。各参照レジスタ22Rは、第1ステージ回路10の各参照レジスタ11Rの保持値を受け、当該値を保持する。これらレジスタ22Iおよび参照レジスタ22Rはいずれも第1ステージ回路10のレジスタ11Iや参照レジスタ11Rと同じ回路構成のレジスタであり、図略のクロック信号に応じて所定ビット幅(例えば、1ワード)入力データを保持する。

40

【0039】

第3ステージ回路30は、複数(本実施形態では4個)の乗算器31と、複数(本実施形態では4個)のレジスタ32Iと、複数(本実施形態では4個)の参照レジスタ32Rと、複数(本実施形態では4個)のマルチプレクサ33とを有する。各乗算器31は、第2ステージ回路20の各レジスタ22Iの保持値およびマルチプレクサ33の出力値を受

50



け、これらを掛け合わせる。各マルチプレクサ 3 3 は、認識 / 学習切り替え信号 T / R に応じて第 2 ステージ回路 2 0 の各レジスタ 2 2 I の保持値および学習係数 のいずれか一方を選択的に出力する。すなわち、各マルチプレクサ 3 3 が第 2 ステージ回路 2 0 の各レジスタ 2 2 I の保持値を出力する場合、各乗算器 3 1 は、式 ( 1 ) における入力ベクトル  $x$  の要素  $x_j$  と参照ベクトル  $w_i$  の要素  $w_{ij}$  との差分の二乗値を計算する。一方、各マルチプレクサ 3 3 が学習係数 を出力する場合、各乗算器 3 1 は、式 ( 2 ) または式 ( 3 ) における入力ベクトル  $x$  の要素  $x_j$  と参照ベクトル  $w_i$  の要素  $w_{ij}$  との差分と学習係数 との乗算を行う。各レジスタ 3 2 I は、各乗算器 3 1 の計算結果を保持する。各参照レジスタ 3 2 R は、第 2 ステージ回路 2 0 の各参照レジスタ 2 2 R の保持値を受け、当該値を保持する。これらレジスタ 3 2 I および参照レジスタ 3 2 R はいずれも第 1 ステージ回路 1 0 のレジスタ 1 1 I や参照レジスタ 1 1 R と同じ回路構成のレジスタであり、図略のクロック信号に応じて所定ビット幅 ( 例えば、1ワード ) 入力データを保持する。

10

## 【 0 0 4 0 】

各マルチプレクサ 3 3 に入力される学習係数 は、マルチプレクサ 7 0 から出力される。マルチプレクサ 7 0 は、図略の CPU によって制御され、入力ベクトル  $x$  および参照ベクトル  $w_i$  のクラスが同じか否かで学習係数 の正值 “ + ” と負値 “ - ” とを切り替える。なお、各乗算器 3 1 で正負のいずれの乗算もできるようにするために、学習係数は 2 の補数で表現することが好ましい。

## 【 0 0 4 1 】

第 4 ステージ回路 4 0 は、複数 ( 本実施形態では 4 個 ) の加算器 4 1 <sub>1</sub> , 4 1 <sub>2</sub> , 4 1 <sub>3</sub> , 4 1 <sub>4</sub> と、複数 ( 本実施形態では 4 個 ) のレジスタ 4 3 <sub>1</sub> , 4 3 <sub>2</sub> , 4 3 <sub>3</sub> , 4 3 <sub>4</sub> と、複数 ( 本実施形態では 6 個 ) のマルチプレクサ 4 4 , 4 5 <sub>1</sub> , 4 5 <sub>2</sub> , 4 5 <sub>3</sub> , 4 5 <sub>4</sub> , 4 5 <sub>5</sub> , 4 5 <sub>6</sub> とを有する。レジスタ 4 3 <sub>1</sub> , 4 3 <sub>2</sub> , 4 3 <sub>3</sub> , 4 3 <sub>4</sub> は、それぞれ、加算器 4 1 <sub>1</sub> , 4 1 <sub>2</sub> , 4 1 <sub>3</sub> , 4 1 <sub>4</sub> の計算結果を保持する。レジスタ 4 3 <sub>1</sub> , 4 3 <sub>2</sub> , 4 3 <sub>3</sub> , 4 3 <sub>4</sub> の保持値は、それぞれ、第 1 ステージ回路 1 0 に REF 1 , REF 2 , REF 3 , REF 4 を与えるデュアルポートメモリ 6 0 のデータ書き込みポート TD に入力される。マルチプレクサ 4 4 は、制御信号 next に応じてレジスタ 4 3 <sub>1</sub> の保持値および固定値 “ 0 ” のいずれか一方を選択的に出力する。制御信号 next は、第 1 ステージ回路 1 0 に入力される入力ベクトルおよび参照ベクトルの区切りを示す信号であり、図略の CPU から出力される。

20

30

## 【 0 0 4 2 】

マルチプレクサ 4 5 <sub>1</sub> は、認識 / 学習切り替え信号 T / R に応じて、第 3 ステージ回路 3 0 において IN 1 と REF 1 との演算結果を保持するレジスタ 3 2 I の保持値および REF 2 を保持する参照レジスタ 3 2 R の保持値のいずれか一方を選択的に出力する。加算器 4 1 <sub>2</sub> は、マルチプレクサ 4 5 <sub>1</sub> の出力値および第 3 ステージ回路 3 0 において IN 2 と REF 2 との演算結果を保持するレジスタ 3 2 I の保持値を受け、これらを加算する。マルチプレクサ 4 5 <sub>2</sub> は、認識 / 学習切り替え信号 T / R に応じて、第 3 ステージ回路 3 0 において IN 3 と REF 3 との演算結果を保持するレジスタ 3 2 I の保持値および REF 4 を保持する参照レジスタ 3 2 R の保持値のいずれか一方を選択的に出力する。加算器 4 1 <sub>4</sub> は、マルチプレクサ 4 5 <sub>2</sub> の出力値および第 3 ステージ回路 3 0 において IN 4 と REF 4 との演算結果を保持するレジスタ 3 2 I の保持値を受け、これらを加算する。マルチプレクサ 4 5 <sub>3</sub> は、認識 / 学習切り替え信号 T / R に応じて、レジスタ 4 3 <sub>2</sub> の保持値および第 3 ステージ回路 3 0 において REF 3 を保持する参照レジスタ 3 2 R の保持値のいずれか一方を選択的に出力する。マルチプレクサ 4 5 <sub>4</sub> は、認識 / 学習切り替え信号 T / R に応じて、第 3 ステージ回路 3 0 において IN 3 と REF 3 との演算結果を保持するレジスタ 3 2 I の保持値およびレジスタ 4 3 <sub>4</sub> の保持値のいずれか一方を選択的に出力する。加算器 4 1 <sub>3</sub> は、マルチプレクサ 4 5 <sub>3</sub> の出力値およびマルチプレクサ 4 5 <sub>4</sub> の出力値を受け、これらを加算する。マルチプレクサ 4 5 <sub>5</sub> は、認識 / 学習切り替え信号 T / R に応じて、マルチプレクサ 4 4 の出力値および第 3 ステージ回路 3 0 において REF 1 を保持する参照レジスタ 3 2 R の保持値のいずれか一方を選択的に出力する。マルチプレ

40

50

クサ45<sub>6</sub>は、認識/学習切り替え信号T/Rに応じて、第3ステージ回路30においてIN1とREF1との演算結果を保持するレジスタ32Iの保持値およびレジスタ43<sub>3</sub>の保持値のいずれか一方を選択的に出力する。加算器41<sub>1</sub>は、マルチプレクサ45<sub>5</sub>の出力値およびマルチプレクサ45<sub>6</sub>の出力値を受け、これらを加算する。

#### 【0043】

認識/学習切り替え信号T/Rに応じてマルチプレクサ44、45<sub>1</sub>、45<sub>2</sub>、45<sub>3</sub>、45<sub>4</sub>、45<sub>5</sub>、45<sub>6</sub>が出力を切り替えることで、加算器41<sub>1</sub>、41<sub>2</sub>、41<sub>3</sub>が加算器ツリー42を構成して第3ステージ回路30の複数のレジスタ32Iの保持値を合計して加算器41<sub>4</sub>が累積加算を行う第1の接続状態と、加算器41<sub>1</sub>、41<sub>2</sub>、41<sub>3</sub>、41<sub>4</sub>が第3ステージ回路30の各レジスタ32Iの保持値と各参照レジスタ32Rの保持値とをそれぞれ加算する第2の接続状態が切り替わる。第1の接続状態はLVQニューラルネットワーク100Bが認識処理を行っているときの状態であり、第2の接続状態はLVQニューラルネットワーク100Bが参照ベクトルの学習を行っているときの状態である。

10

#### 【0044】

図5は、LVQニューラルネットワーク100Bの学習時の第4ステージ回路40の接続状態を示す。便宜のため、データの流を太線で示している。同図に示したように、加算器41<sub>1</sub>、41<sub>2</sub>、41<sub>3</sub>、41<sub>4</sub>が第3ステージ回路30の各レジスタ32Iの保持値と各参照レジスタ32Rの保持値とをそれぞれ加算し、その計算結果をデュアルポートメモリ60にそれぞれ上書きすることで、式(2)または(3)のLVQ1アルゴリズムに従って参照ベクトルの学習を行うことができる。

20

#### 【0045】

図6は、LVQニューラルネットワーク100Bの学習時のパイプライン動作のタイムチャートを示す。なお、同図において、第1ステージ回路10ないし第4ステージ回路40における各処理時間をローマ数字で表記している。第1ステージ回路10ないし第4ステージ回路40は、いずれも1クロック周期で動作して次のステージ回路へデータを渡す。学習時には第5ステージ回路50は動作する必要はない。例えば、参照ベクトル1の更新(学習)を行う場合、入力ベクトルおよび参照ベクトル1の1番目の部分ベクトルを入力し、次のクロック周期で2番目の部分ベクトルを入力し、以後同様に1クロック周期で次の部分ベクトルを入力する。そして、m番目の部分ベクトルを入力した次のクロック周期で、今度は入力ベクトルおよび参照ベクトル2の1番目の部分ベクトルを入力して参照ベクトル2の更新(学習)を開始する。

30

#### 【0046】

学習時には第4ステージ回路40の処理によって参照ベクトルが更新され、同じタイミングで第1ステージ回路10へ別の参照ベクトルの部分ベクトルが読み出される。参照ベクトルを保持するメモリとしてデュアルポートメモリ60を用いることで、データ読み出しおよびデータ書き込みの衝突が起きることなく、参照ベクトルの読み出しおよび書き込みを同時に行うことができる。

#### 【0047】

図7は、LVQニューラルネットワーク100Bの認識時の第4ステージ回路40の接続状態を示す。便宜のため、データの流を太線で示している。同図に示したように、加算器41<sub>2</sub>、41<sub>3</sub>、41<sub>4</sub>が加算器ツリー42を構成して第3ステージ回路30の複数のレジスタ32Iの保持値を合計し、加算器41<sub>1</sub>が累積加算を行うことで、認識処理に必要な入力ベクトルと参照ベクトルとの距離計算を行うことができる。

40

#### 【0048】

図8は、LVQニューラルネットワーク100Bの認識時のパイプライン動作のタイムチャートを示す。なお、同図において、第1ステージ回路10ないし第5ステージ回路50における各処理時間をローマ数字で表記している。なお、第4ステージ回路40においてレジスタ43<sub>2</sub>、43<sub>4</sub>と、レジスタ43<sub>3</sub>と、レジスタ43<sub>1</sub>とが縦続接続されているため、レジスタ43<sub>1</sub>が計算結果を保持するには3クロック周期が必要である。このた

50

め、第4ステージ回路40の処理時間は3つに分けて示している。第1ステージ回路10ないし第3ステージ回路30は、いずれも1クロック周期で動作し、第4ステージ回路40は3クロック周期で動作して次のステージ回路へデータを渡す。例えば、入力ベクトルと参照ベクトル1との距離計算および最小距離検索を行う場合、入力ベクトルおよび参照ベクトル1の1番目の部分ベクトルを入力し、次のクロック周期で2番目の部分ベクトルを入力し、以後同様に1クロック周期で次の部分ベクトルを入力する。そして、m番目の部分ベクトルを入力した次のクロック周期で、今度は入力ベクトルおよび参照ベクトル2の1番目の部分ベクトルを入力して入力ベクトルと参照ベクトル2との距離計算および最小距離検索を開始する。

【0049】

10

制御信号nextは、入力ベクトルおよび参照ベクトル1のm番目の部分ベクトルが第5ステージ回路50で処理されるタイミングでアサートされる。これにより、第5ステージ回路50の比較器52の出力信号がANDゲート53から出力される。もし、入力ベクトルと参照ベクトル1と距離が最小であればWinner信号がアサートされる。また、これと同じタイミングで入力ベクトルおよび参照ベクトル2の1番目の部分ベクトルが第4ステージ回路40で処理されている。このとき、制御信号nextがHレベルになっていることで第4ステージ回路40のマルチプレクサ44からは固定値“0”が出力されており、第4ステージ回路40のレジスタ43<sub>1</sub>に、入力ベクトルおよび参照ベクトル2の1番目の部分ベクトルの部分距離計算結果が新たに保持される。

【0050】

20

以上のように、本実施形態によると、認識/学習切り替え信号T/Rに応じて、第3ステージ回路30の複数の乗算器31および第4ステージ回路40における複数の加算器41を、認識時の最小距離計算用および学習時の参照ベクトルの更新値計算用のいずれかとして使用することができる。これにより、第1の実施形態の作用・効果に加えて、参照ベクトルの学習がハードウェア化されてより効率的な学習が可能となる。また、LVQニューラルネットワーク100Bの回路規模および消費電力をより小さくすることができる。

【0051】

以上、本発明の実施形態について説明したが、本発明は上記の実施形態の構成に限られず種々の変形が可能である。例えば、第1ステージ回路10ないし第4ステージ回路40の各レジスタ、各加算器、各乗算器は4個に限られず5個以上であってもよい。

30

【0052】

また、上記実施形態により示した構成は、本発明の一実施形態に過ぎず、本発明を当該構成に限定する趣旨ではない。

【符号の説明】

【0053】

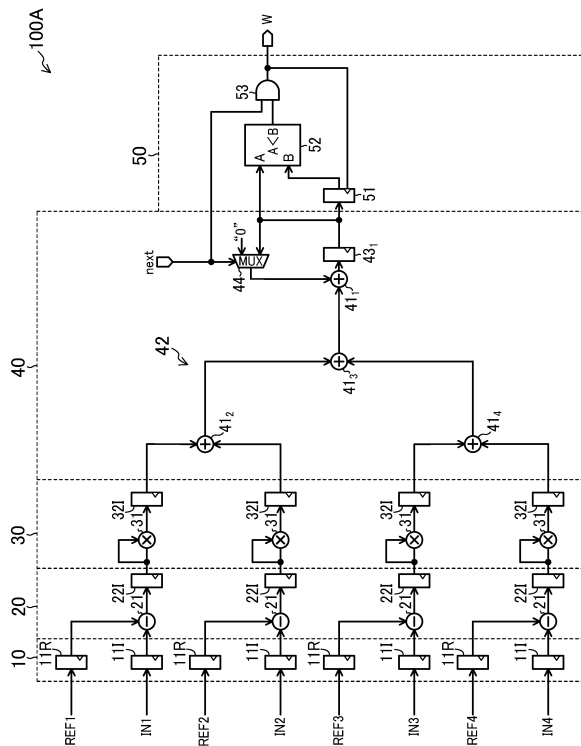
100A	LVQニューラルネットワーク
100B	LVQニューラルネットワーク
10	第1ステージ回路
11I	レジスタ
11R	参照レジスタ
20	第2ステージ回路
21	加算器
22I	レジスタ
30	第3ステージ回路
31	乗算器
32I	レジスタ
32R	参照レジスタ
33	マルチプレクサ
40	第4ステージ回路
41	加算器

40

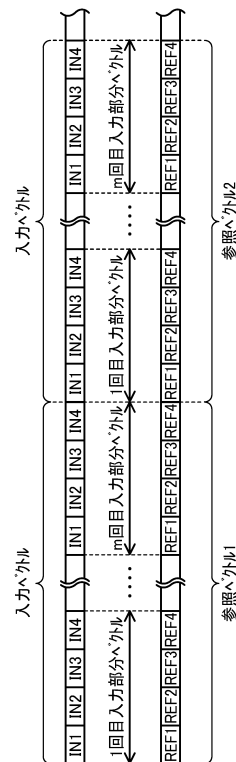
50

- 4 2 加算器ツリー
- 4 3 レジスタ
- 4 4 マルチプレクサ（レジスタの保持値およびゼロのいずれか一方を選択的に出力するマルチプレクサ）
- 4 5 マルチプレクサ（加算器への入力を切り替える複数のマルチプレクサ）
- 5 0 第5ステージ回路
- 5 1 レジスタ
- 5 2 比較器
- 6 0 デュアルポートメモリ
- 7 0 マルチプレクサ（学習係数の正値と負値とを切り替えるマルチプレクサ）

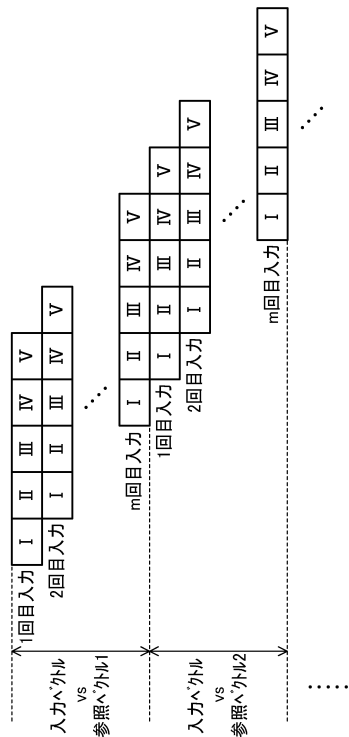
【図1】



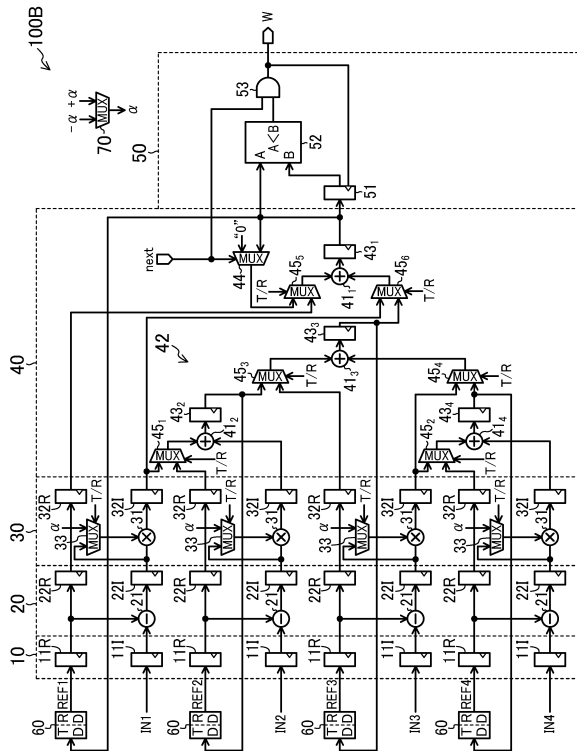
【図2】



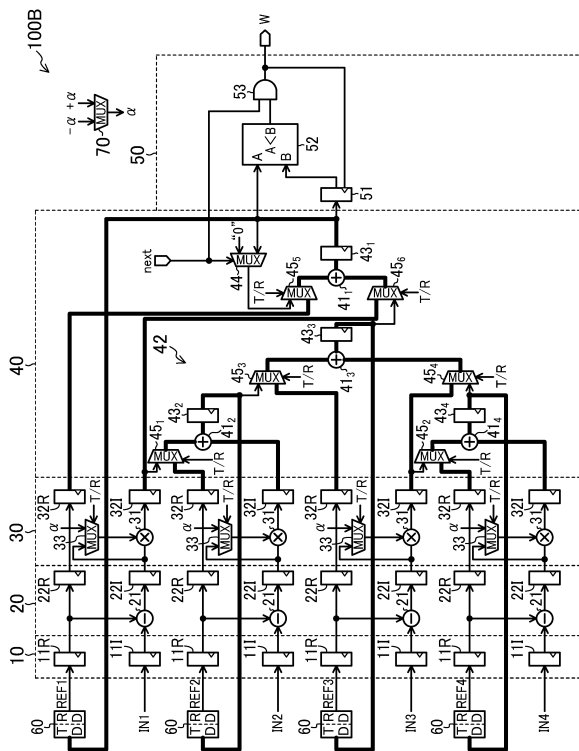
【図3】



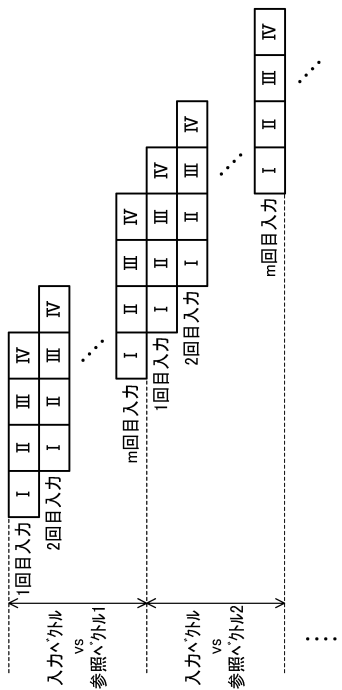
【図4】



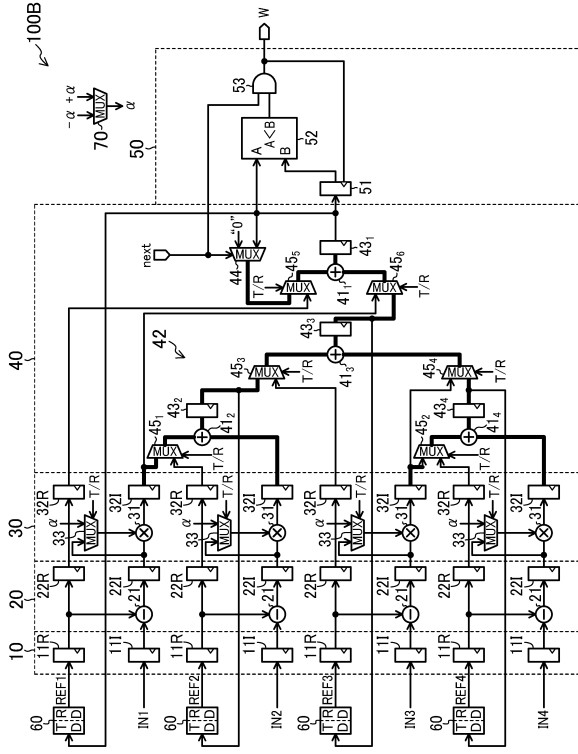
【図5】



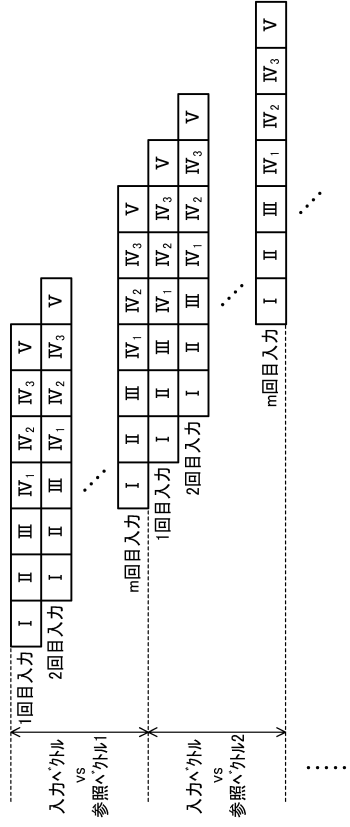
【図6】



【 図 7 】



【 図 8 】



---

フロントページの続き

(72)発明者 安 豊偉

広島県東広島市鏡山一丁目4番1号 国立大学法人広島大学大学院工学研究院内

(72)発明者 張 湘イク

広島県東広島市鏡山一丁目3番1号 国立大学法人広島大学大学院先端物質科学研究科内

審査官 北元 健太

(56)参考文献 特開平6 - 243194 (JP, A)

特開平3 - 2959 (JP, A)

特開2010 - 191633 (JP, A)

特開平4 - 67257 (JP, A)

特開2000 - 322400 (JP, A)

特開平6 - 52132 (JP, A)

特開2015 - 79308 (JP, A)

Fengwei An et al., LVQ Neural Network SoC Adaptable to Different On-Chip Learning and Recognition Applications, 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2014年11月17日, pp.623 - 626

(58)調査した分野(Int.Cl., DB名)

G06N 3/00 - 99/00