

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6327717号
(P6327717)

(45) 発行日 平成30年5月23日(2018.5.23)

(24) 登録日 平成30年4月27日(2018.4.27)

(51) Int.Cl.			F I		
G 1 1 C	15/04	(2006.01)	G 1 1 C	15/04	6 3 1 W
G 0 6 N	99/00	(2010.01)	G 0 6 N	99/00	1 5 6
G 0 6 F	17/30	(2006.01)	G 0 6 F	17/30	2 1 0 D
			G 0 6 F	17/30	3 5 0 C

請求項の数 9 (全 22 頁)

(21) 出願番号	特願2015-528142 (P2015-528142)	(73) 特許権者	504136568 国立大学法人広島大学 広島県東広島市鏡山1丁目3番2号
(86) (22) 出願日	平成26年7月17日(2014.7.17)	(74) 代理人	110001427 特許業務法人前田特許事務所
(86) 国際出願番号	PCT/JP2014/003809	(72) 発明者	マタウシュ ハンスユルゲン 広島県東広島市鏡山一丁目4番2号 国立 大学法人広島大学 ナノデバイス・バイオ 融合科学研究所内
(87) 国際公開番号	W02015/011907	(72) 発明者	赤澤 智信 広島県東広島市鏡山一丁目4番2号 国立 大学法人広島大学 ナノデバイス・バイオ 融合科学研究所内
(87) 国際公開日	平成27年1月29日(2015.1.29)		
審査請求日	平成29年7月14日(2017.7.14)		
(31) 優先権主張番号	特願2013-154887 (P2013-154887)		
(32) 優先日	平成25年7月25日(2013.7.25)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 k近傍法連想メモリ

(57) 【特許請求の範囲】

【請求項1】

R個の参照データを保持しており、前記R個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウント式連想メモリと、

前記クロックカウント式連想メモリから出力されるR個のマッチ信号のうちいずれかk個のマッチ信号がアクティブになったことを検出し、そのときの前記R個のマッチ信号を保持するk近傍検索回路と、

前記R個の参照データのそれぞれのクラスを表すR個のクラスデータから前記k近傍検索回路が保持するアクティブのk個のマッチ信号のそれぞれに対応するk個のクラスデータを選択し、前記k個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定するk近傍クラスタリング回路とを備えていることを特徴とするk近傍法連想メモリ。

【請求項2】

前記k近傍検索回路が、

前記クロックカウント式連想メモリから出力されるR個のマッチ信号のうちアクティブになったマッチ信号の数をカウントするマッチ信号カウント回路と、

前記マッチ信号カウント回路のカウント値がkに一致したことを検出するk-マッチ信号数一致検出回路と、

前記クロックカウント式連想メモリから出力されるR個のマッチ信号が入力され、前

記 k - マッチ信号数一致検出回路によって前記マッチ信号カウント回路のカウント値が k に一致したことが検出されたときの前記 R 個のマッチ信号を保持するマッチ信号保持回路とを有する、請求項 1 に記載の k 近傍法連想メモリ。

【請求項 3】

前記クロックカウント式連想メモリが、前記 k - マッチ信号数一致検出回路によって前記マッチ信号カウント回路のカウント値が k に一致したことが検出されたとき、動作を停止するように構成されている、請求項 2 に記載の k 近傍法連想メモリ。

【請求項 4】

前記 k - マッチ信号数一致検出回路が、前記マッチ信号カウント回路のカウント値が k を超えたことを検出するように構成されている、請求項 2 および 3 のいずれか一つに記載の k 近傍法連想メモリ。

10

【請求項 5】

前記マッチ信号カウント回路が、複数の加算器がツリー状に接続されてなり、リーフノードの複数の加算器に前記 R 個のマッチ信号がそれぞれ入力され、ルートノードの加算器からカウント値を出力する加算器ツリー回路である、請求項 2 から 4 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 6】

前記 k 近傍クラスタリング回路が、

前記 R 個のクラスデータを保持するクラスデータメモリと、

X 個のクラスのそれぞれに対応する X 個のクラスカウンタと、

20

前記 k 近傍検索回路が保持するアクティブの k 個のマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータを前記クラスデータメモリから読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタをカウントアップするクラス識別回路と、

前記 X 個のクラスカウンタの中からカウント値が最大のクラスカウンタを見つける最大カウンタ検出回路とを有する、請求項 1 から 5 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 7】

前記クラス識別回路が、前記 k 近傍検索回路が保持する R 個のマッチ信号のそれぞれに対応して設けられ、対応するマッチ信号がアクティブであることを検出して前記クラスデータメモリに当該マッチ信号に対応するクラスデータを選択する選択信号を出力する R 個のマッチ信号検出回路を有し、

30

前記 R 個のマッチ信号検出回路が、動作開始信号を伝搬するように直列に接続されており、

前記 R 個のマッチ信号検出回路のそれぞれが、前記対応するマッチ信号が非アクティブのとき、入力された前記動作開始信号をすぐさま次段に伝達し、前記対応するマッチ信号がアクティブのとき、前記動作開始信号を受けて前記選択信号を出力してから前記動作開始信号を次段に伝達するように構成されている、請求項 6 に記載の k 近傍法連想メモリ。

【請求項 8】

前記最大カウンタ検出回路が、

初期値からカウント値をカウントダウンするダウンカウンタと、

前記 X 個のクラスカウンタのそれぞれに対応して設けられ、対応するクラスカウンタのカウント値と前記ダウンカウンタのカウント値との一致を検出する X 個の一致検出回路とを有し、

40

前記ダウンカウンタのカウント値がカウントダウンされている間に、前記 X 個の一致検出回路のうちのいずれか一つによって前記ダウンカウンタのカウント値と対応するクラスカウンタのカウント値との一致が検出されたとき、前記ダウンカウンタのカウント動作を停止させる、請求項 6 および 7 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 9】

前記最大カウンタ検出回路が、2 入力 1 出力の複数の最大値選出回路がツリー状に接続

50

されてなり、リーフノードの複数の最大値選出回路に前記X個のクラスカウンタの各カウント値および各クラスカウンタの識別番号を結合した各信号が入力され、ルートノードの最大値選出回路から前記X個のクラスカウンタの最大カウント値およびそのクラスカウンタの識別番号を結合した信号を出力するトーナメント回路であり、

前記最大値選出回路が、第1のクラスカウンタのカウント値および前記第1のクラスカウンタの識別番号を結合した第1の信号、および第2のクラスカウンタのカウント値および前記第2のクラスカウンタの識別番号を結合した第2の信号を受け、前記第1および第2のクラスカウンタのうちカウント値が大きい方のクラスカウンタのカウント値およびそのクラスカウンタの識別番号を結合した第3の信号を出力する、請求項6および7のいずれか一つに記載のk近傍法連想メモリ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、連想メモリに関し、特に、k近傍法を効果的に実現する連想メモリに関する。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングをLSI(Large Scale Integrated circuit)上で実現することにより、将来、人工

20

知能およびモバイル機器などの高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

【0004】

前者は、CAM(Content Addressable Memory)と呼ばれ、ネットワークルータのIPアドレステーブルのルーティングおよびプロセッサのキャッシュなどの実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ(Associative Memory)と呼ぶ。

30

【0005】

連想メモリの例として、検索データと参照データとのマンハッタン距離またはユークリッド距離を用いて最類似検索処理を行うものが知られている(非特許文献1参照)。また、連想メモリにk近傍探索を取り入れたものが知られている(非特許文献2参照)。

【先行技術文献】

【特許文献】

【0006】

【非特許文献1】S.Sasaki et al., "Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization," ESSCIRC'2012, 2012, pp.185-188

【非特許文献2】M.A.Abedin et al., "Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories," IEICE Trans. on Fundamentals, vol. E90-A, No.6, 2007, pp.1240-1243

40

【発明の概要】

【発明が解決しようとする課題】

【0007】

パターン認識の分野において機械学習アルゴリズムとしてk近傍法がよく用いられる。k近傍法は、パターン認識において高い信頼性を持つ。従来技術では、連想メモリにおい

50

てk近傍探索を取り入れているものの、k近傍法が実効的に実現されておらず、特にk近傍法に基づいたパターンのクラス分けまでは実現できていない。

【0008】

上記問題に鑑み、本発明は、k近傍法を効果的に実現することができるk近傍法連想メモリを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一局面に従ったk近傍法連想メモリは、R個の参照データを保持しており、前記R個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウンタ式連想メモリと、前記クロックカウンタ式連想メモリから出力されるR個のマッチ信号のうちいずれかk個のマッチ信号がアクティブになったことを検出し、そのときの前記R個のマッチ信号を保持するk近傍検索回路と、前記R個の参照データのそれぞれのクラスを表すR個のクラスデータから前記k近傍検索回路が保持するアクティブのk個のマッチ信号のそれぞれに対応するk個のクラスデータを選択し、前記k個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定するk近傍クラスタリング回路とを備えている。

【0010】

これによると、クロックカウンタ式連想メモリによって検索データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなり、k近傍検索回路によってより先にアクティブになったk個のマッチ信号が検出および保持され、k近傍クラスタリング回路によって当該k個のマッチ信号に対応するk個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、k近傍法に基づいた検索データのクラス分けが実現される。

【発明の効果】

【0011】

本発明によると、LSI上にk近傍法を効果的に実装することができる。

【図面の簡単な説明】

【0012】

【図1】図1は、本発明の一実施形態に係るk近傍法連想メモリの概略構成図である。

【図2】図2は、一例に係るクロックカウンタ式連想メモリの概略構成図である。

【図3】図3は、一例に係る距離/クロック数変換回路の概略構成図である。

【図4】図4は、一例に係るカウンタ一致検出回路の概略構成図である。

【図5】図5は、一例に係るマッチ信号のタイミングチャートである。

【図6】図6は、一例に係るマッチ信号カウンタ回路の概略構成図である。

【図7】図7は、一例に係るk-マッチ信号数一致検出回路の概略構成図である。

【図8】図8は、一例に係るマッチ信号保持回路の概略構成図である。

【図9】図9は、一例に係るクラスデータメモリ、クラスカウンタ、およびクラス識別回路の概略構成図である。

【図10】図10は、一例に係るマッチ信号検出回路の概略構成図である。

【図11】図11は、一例に係る最大カウンタ検出回路の概略構成図である。

【図12】図12は、別例に係る最大カウンタ検出回路の概略構成図である。

【図13】図13は、一例に係る最大値選出回路の概略構成図である。

【発明を実施するための形態】

【0013】

以下、図面を参照しながら本発明を実施するための形態について説明する。なお、本発明は、以下の実施形態に限定されるものではない。

【0014】

図1は、本発明の一実施形態に係るk近傍法連想メモリ100の概略構成を示す。本実

10

20

30

40

50

施形態に係る k 近傍法連想メモリ 100 は、クロックカウント式連想メモリ 10 と、 k 近傍検索回路 20 と、 k 近傍クラスタリング回路 30 とを備えている。

【0015】

クロックカウント式連想メモリ 10 は、 R 個の参照データ（参照データ 1，参照データ 2，…，参照データ R ）を保持しており、これら R 個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力する回路である。なお、「距離」とはマンハッタン距離、ユークリッド距離などを含む。また、「アクティブ」とは、正論理では信号が L レベルから H レベルへと遷移することをいい、負論理では信号が H レベルから L レベルへと遷移することをいう。便宜のため、以下では正論理を前提に説明する。

10

【0016】

k 近傍検索回路 20 は、クロックカウント式連想メモリ 10 から出力される R 個のマッチ信号のうちいずれか k 個のマッチ信号がアクティブになったことを検出し、そのときの R 個のマッチ信号を保持する回路である。

【0017】

k 近傍クラスタリング回路 30 は、 R 個の参照データのそれぞれのクラスを表す R 個のクラスデータ（クラスデータ 1，クラスデータ 2，…，クラスデータ R ）から k 近傍検索回路 20 が保持するアクティブの k 個のマッチ信号のそれぞれに対応する k 個のクラスデータを選択し、これら k 個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する回路である。

20

【0018】

k 近傍法連想メモリ 100 は、上記 3 つの回路を備えることで、 k 近傍法に基づいて、与えられた検索データがいずれのクラスに分類されるかを判定することができる。以下、各回路の構成例について説明する。

【0019】

クロックカウント式連想メモリ 10 の構成例

図 2 は、一例に係るクロックカウント式連想メモリ 10 の概略構成を示す。クロックカウント式連想メモリ 10 は、メモリ部 11、行デコーダ 12、列デコーダ 13、読出/書込回路 14、および検索データ保存回路 15 を含む。

【0020】

メモリ部 11 は、参照データ保存回路（Storage Cell：SC） $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、…、 $SC_{R1} \sim SC_{RW}$ と、距離演算回路（絶対値差演算回路）（Distance Processor：DP） $DP_{11} \sim DP_{1W}$ 、 $DP_{21} \sim DP_{2W}$ 、…、 $DP_{R1} \sim DP_{RW}$ と、距離/クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、 W および R は、それぞれ、2 以上の整数である。

30

【0021】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。

40

【0022】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。

【0023】

参照データ保存回路 $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、…、 $SC_{R1} \sim SC_{RW}$ は、行デコーダ 12、列デコーダ 13、および読出/書込回路 14 によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$

50

(Mは1以上の整数)ビットの参照データ1を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ2を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データRを保存する。つまり、参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ のそれぞれは、参照データの $M \times W$ ビットを保存する。

【0024】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ1と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの参照データ2と、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの参照データRと、検索データ保存回路15に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...、距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行われる。

【0025】

そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ1と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力する。距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ2と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データRと検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_R へ出力する。

【0026】

距離演算回路 $DP_{11} \sim DP_{1W}$ のそれぞれは、参照データ1と検索データとの距離を次式を用いて演算する。

【0027】

【数1】

$$n_{Mr} = \sum_{j=1}^W D_{rj} = \sum_{j=1}^W |I_{nj} - R_{erj}| \quad \dots (1)$$

【0028】

式(1)において、 D_{rj} ($r = 1 \sim R$, $j = 1 \sim W$)は、参照データと検索データとの距離(絶対値差)を表す。 n_{Mr} は、参照データと検索データとのマンハッタン距離を示している。また、式(1)において、 I_{nj} は、検索データであり、 R_{erj} は、参照データである。各データ I_{nj} 、 R_{erj} は、それぞれ、 M ビットからなる。

【0029】

このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの参照データ1と、 $M \times W$ ビットの検索データとの距離を M ビットずつ演算し、それぞれが M ビットのビット長を有する W 個の距離信号 D_{1j} を距離/クロック数変換回路 DC_1 へ出力する。

【0030】

距離演算回路 $DP_{21} \sim DP_{2W}$ 、...および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、同様にして、それぞれ、式(1)を用いて参照データ2～Rと検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、それぞれが M ビットのビット長を有する W 個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離/クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

【0031】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ から W 個の距離

10

20

30

40

50

信号 D_{1j} を受け、各距離信号 D_{1j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total1 を後述する方法によってカウントする。そして、そのクロック数 CN_total1 をカウントしたタイミングを示すマッチ信号 M_1 を出力する。

【0032】

距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ から W 個の距離信号 D_{2j} を受け、各距離信号 D_{2j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total2 を後述する方法によってカウントする。そして、そのクロック数 CN_total2 をカウントしたタイミングを示すマッチ信号 M_2 を出力する。

【0033】

以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の距離信号 D_{Rj} を受け、各距離信号 D_{Rj} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_totalR を後述する方法によってカウントする。そして、そのクロック数 CN_totalR をカウントしたタイミングを示すマッチ信号 M_R を出力する。

10

【0034】

行デコーダ12は、メモリ部11の行方向のアドレスを指定する。列デコーダ13は、メモリ部11の列方向のアドレスを指定する。読出/書込回路14は、参照データを行デコーダ12および列デコーダ13によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路15に書き込む。

20

【0035】

検索データ保存回路15は、読出/書込回路14によって書き込まれた検索データ ($M \times W$ ビットのデータ) を保存する。

【0036】

図3は、一例に係る距離/クロック数変換回路 DC_1 の概略構成を示す。なお、距離/クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、図3に示す距離/クロック数変換回路 DC_1 と同様の構成を有する。距離/クロック数変換回路 DC_1 は、バッファ121~12Wと、カウンター一致検出回路131~13Wとを含む。

【0037】

バッファ121は、 k 近傍法連想メモリ100の制御回路(図示せず)から検索開始信号 SB を受け、 k 近傍法連想メモリ100に内蔵されたクロック発生回路(図示せず)からクロック信号 CLK を受ける。そして、バッファ121は、検索開始信号 SB が L レベルから H レベルに遷移すると、その受けたクロック信号 CLK をバッファ122およびカウンター一致検出回路131へ出力する。バッファ122は、クロック信号 CLK をバッファ121から受け、カウンター一致検出回路131から、後述する H レベルの一致信号 ($DETECT1$) を受けると、クロック信号 CLK をバッファ123(図示せず)およびカウンター一致検出回路132へ出力する。以下、同様にして、バッファ12Wは、クロック信号 CLK をバッファ12W-1(図示せず)から受け、カウンター一致検出回路13W-1(図示せず)から、後述する H レベルの一致信号 ($DETECTW-1$) を受けると、クロック信号 CLK をカウンター一致検出回路13Wへ出力する。

30

40

【0038】

カウンター一致検出回路131~13Wは、それぞれ、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。そして、カウンター一致検出回路131~13Wは、直列に接続される。ここで、カウンター一致検出回路131~13Wの概略構成について説明する。

【0039】

図4は、一例に係るカウンター一致検出回路131~13Wの概略構成を示す。本例は、 $W=2$ の場合を示している。カウンター一致検出回路131は、クロック数変換回路131aと、カウンタ131bと、一致検出回路131cとを含む。カウンター一致検出回路132は、クロック数変換回路132aと、カウンタ132bと、一致検出回路132cとを含む。以下、各構成の機能について説明する。

50

【 0 0 4 0 】

クロック数変換回路 1 3 1 a は、距離演算回路 DP_{11} から M ビットのビット長を有する距離信号 D_{11} と、バッファ 1 2 1 からのクロック信号 CLK とを受ける。クロック数変換回路 1 3 1 a は、クロック信号 CLK のクロック数をカウントし、距離信号 D_{11} が示す距離と一致するクロック数を検出したタイミングで、カウンタ 1 3 1 b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 1 3 1 a は、後述の一致検出回路 1 3 1 c から H レベルの一致信号 (DETECT 1) が出力されるまで、この処理を繰り返し行い、H レベルの一致信号 (DETECT 1) が出力されると動作を停止する。

【 0 0 4 1 】

カウンタ 1 3 1 b は、クロック数変換回路 1 3 1 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 1 3 1 c へ出力する。

10

【 0 0 4 2 】

一致検出回路 1 3 1 c は、カウンタ 1 3 1 b からカウンタ値を受け、距離演算回路 DP_{11} から M ビットのビット長を有する距離信号 D_{11} を受ける。一致検出回路 1 3 1 c は、距離信号 D_{11} が示す距離とカウンタ値とを比較し、距離信号 D_{11} が示す距離とカウンタ値とが一致するときに、H レベルの一致信号 (DETECT 1) をクロック数変換回路 1 3 1 a とバッファ 1 2 2 へ出力する。一致検出回路 1 3 1 c は、距離信号 D_{11} が示す距離とカウンタ値とが一致しないときは、L レベルの一致信号 (DETECT 1) をクロック数変換回路 1 3 1 a とバッファ 1 2 2 へ出力する。

20

【 0 0 4 3 】

クロック数変換回路 1 3 2 a は、バッファ 1 2 2 からクロック信号 CLK を受けると駆動する。クロック数変換回路 1 3 2 a は、距離演算回路 DP_{12} から M ビットのビット長を有する距離信号 D_{12} を受ける。クロック数変換回路 1 3 1 a と同様、クロック数変換回路 1 3 2 a は、クロック信号 CLK のクロック数をカウントし、距離信号 D_{12} が示す距離と一致するクロック数を検出したタイミングで、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 1 3 2 a は、後述の一致検出回路 1 3 2 c から H レベルの一致信号 (DETECT 2) が出力されるまで、この処理を繰り返し行う。クロック数変換回路 1 3 2 a は、H レベルの一致信号 (DETECT 2) が出力されると動作を停止する。

30

【 0 0 4 4 】

カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 1 3 2 c へ出力する。

【 0 0 4 5 】

一致検出回路 1 3 2 c は、カウンタ 1 3 2 b からカウンタ値を受け、距離演算回路 DP_{12} から M ビットのビット長を有する距離信号 D_{12} を受ける。一致検出回路 1 3 2 c は、距離信号 D_{12} が示す距離とカウンタ値とを比較し、距離信号 D_{12} が示す距離とカウンタ値とが一致するときに、H レベルの一致信号 (DETECT 2) をクロック数変換回路 1 3 2 a とバッファ 1 2 2 へ出力するとともに、H レベルの一致信号 (DETECT 2) をマッチ信号 M_1 として出力する。また、一致検出回路 1 3 2 c は、距離信号 D_{12} が示す距離とカウンタ値とが一致しないときは、L レベルの一致信号 (DETECT 2) をクロック数変換回路 1 3 2 a へ出力する。

40

【 0 0 4 6 】

ここで、例えば、距離演算回路 DP_{11} から距離「2」を示す M ビットの距離信号 D_{11} が出力され、距離演算回路 DP_{12} から距離「3」を示す M ビットの距離信号 D_{12} が出力された場合の動作例について説明する。

【 0 0 4 7 】

クロック数変換回路 1 3 1 a は、距離「2」を示す M ビットの距離信号 D_{11} を受け、バッファ 1 2 1 からのクロック信号 CLK のクロックに同期して、距離「2」に一致する

50

クロック数をカウントする。クロック数変換回路131aは、カウントしたクロック数と距離とが一致すると、Hレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウント値をカウントアップし、「1」を示すカウンタ値を一致検出回路131cに出力する。このとき、距離信号 D_{11} が示す距離「2」とカウンタ値「1」とが一致しないため、一致検出回路131cからLレベルの一致信号(DETECT1)が出力される。

【0048】

クロック数変換回路131aは、出力した一致検出信号がLレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路131aは、再びクロック信号CLKのクロック数をカウントし、カウントしたクロック数が距離「2」と一致すると、カウンタ131bにHレベルの一致検出信号を出力する。カウンタ131bは、一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路131cに「2」を示すカウンタ値を出力する。一致検出回路131cは、距離信号 D_{11} が示す距離「2」とカウンタ値「2」とが一致するため、一致信号(DETECT1)をバッファ122とクロック数変換回路131aに出力する。つまり、検索開始からのクロック数が「4」となるタイミングで、Hレベルの一致信号(DETECT1)が出力される。そして、クロック数変換回路131aは、Hレベルの一致信号(DETECT1)に応じて動作を停止する。

【0049】

バッファ122は、一致検出回路131cからHレベルの一致信号(DETECT1)を受けて、クロック数変換回路132aにクロック信号CLKを出力する。クロック数変換回路132aは、バッファ122からのクロック信号CLKのクロックに同期して、クロック信号CLKのクロック数をカウントする。クロック数変換回路132aは、距離「3」を示すMビットの距離信号 D_{12} を受け、カウントしたクロック数が距離「3」と一致するタイミングで、Hレベルの一致検出信号をカウンタ132bに出力する。カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路132cに「1」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「1」とが一致しないため、一致検出回路132cからLレベルの一致信号(DETECT2)が出力される。

【0050】

クロック数変換回路132aは、出力した一致検出信号がLレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路132aは、再びクロック信号CLKのクロック数をカウントし、カウントしたクロック数が距離「3」と一致すると、カウンタ132bにHレベルの一致検出信号を出力する。カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路132cに「2」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「2」とが一致しないため、一致検出回路132cからLレベルの一致信号(DETECT2)が出力される。

【0051】

クロック数変換回路132aは、一致検出信号がLレベルになると、再びカウントしたクロック数をリセットしてクロック信号CLKをカウントし、カウントしたクロック数が距離「3」と一致すると、カウンタ132bにHレベルの一致検出信号を出力する。そして、クロック数変換回路132aは、Hレベルの一致信号(DETECT2)に応じて動作を停止する。カウンタ132bは、クロック数変換回路132aからの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路132cに「3」を示すカウンタ値を出力する。一致検出回路132cは、距離「3」とカウンタ値「3」とが一致するために、Hレベルの一致信号(DETECT2)をクロック数変換回路132aに出力するとともに、マッチ信号 M_1 を出力する。つまり、クロック数変換回路132aにおいてカウントされたクロック数は「9(=3+3+3)」であり、検索開始からクロック数「13(=4+9)」のタイミングでマッチ信号 M_1 が出力される。

10

20

30

40

50

【 0 0 5 2 】

カウンター一致検出回路 1 3 1 , 1 3 2 全体でカウントされるクロック数 $C N_t o t a l 1$ 「 1 3 」は、カウンター一致検出回路 1 3 1 においてカウントするクロック数「 4 (= 2 + 2) 」と、カウンター一致検出回路 1 3 2 においてカウントするクロック数「 9 (= 3 + 3 + 3) 」とを加算したものである。つまり、カウンター一致検出回路 1 3 1 , 1 3 2 によって、距離「 2 」の二乗値と距離「 3 」の二乗値との和に一致するクロック数をカウントすることに相当する。

【 0 0 5 3 】

距離 / クロック数変換回路 $D C_1$ は、一般的に、 W 個の距離信号 $D_{11} \sim D_{1W}$ を受ける。そして、 W 個の距離信号 $D_{11} \sim D_{1W}$ のそれぞれは、 M ビットのビット長を有する。したがって、距離 / クロック数変換回路 $D C_1$ は、 $M \times W$ ビットのビット長を有する距離信号 $D_{11} D_{12} \dots D_{1W}$ を受ける。カウンター一致検出回路 1 3 1 において、距離信号 D_{11} が示す距離に一致する回数分だけ、その距離に一致するクロック数を繰り返しカウントする。また、カウンター一致検出回路 1 3 2 ~ 1 3 W は、それぞれ、カウンター一致検出回路 1 3 1 ~ 1 3 W - 1 から一致信号を受けた後に、距離信号 $D_{12} \sim D_{1W}$ にそれぞれ一致するクロック数を、その距離に一致する回数だけ繰り返しカウントする。その結果、距離 / クロック数変換回路 $D C_1$ においてカウントされる全体のクロック数 $C N_t o t a l 1$ は、カウンター一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数の和に等しい。カウンター一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数は、それぞれ、距離信号 $D_{11} \sim D_{1W}$ が示す各距離の二乗値に相当するため、距離 / クロック数変換回路 $D C_1$ においてカウントされる全体のクロック数 $C N_t o t a l R$ は、各距離信号 $D_{11} \sim D_{1W}$ の二乗値の和を表している。

【 0 0 5 4 】

ここで、ユークリッド距離 n_{Er} は、次式によって表される。

【 0 0 5 5 】

【 数 2 】

$$n_{Er} = \sum_{j=1}^W |I_{nj} - R_{erj}|^2 \dots (2)$$

【 0 0 5 6 】

式 (2) の右辺の $|I_{nj} - R_{erj}|^2$ は、式 (1) の右辺の $|I_{nj} - R_{erj}|$ において、検索データと参照データとの距離の二乗値に一致する。したがって、ユークリッド距離 n_{Er} の演算は、上述したように、式 (1) によって演算した W 個の各距離について、距離に一致するクロック数をカウントする処理を距離に一致する回数だけ繰り返し行うことで実現される。そうすると、図 4 の例において、カウンター一致検出回路 1 3 2 が、カウンター一致検出回路 1 3 1 , 1 3 2 全体でカウントしたクロック数のタイミングを示すマッチ信号 M_1 を出力することは、ユークリッド距離 n_{Er} によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示す信号を出力することに相当する。なお、距離 / クロック数変換回路 $D C_2 \sim D C_R$ のそれぞれも、距離 / クロック数変換回路 $D C_1$ の動作と同じ動作によって、それぞれ、マッチ信号 $M_2 \sim M_R$ を出力する。

【 0 0 5 7 】

図 5 は、一例に係るマッチ信号のタイミングチャートである。距離 / クロック数変換回路 $D C_1 \sim D C_R$ は、図 5 に示すように、例えばマッチ信号 $M_1 \sim M_R$ をそれぞれクロック信号 CLK に同期して出力する。

【 0 0 5 8 】

なお、上記構成のクロックカウント式連想メモリ 1 0 は一例に過ぎず、図 5 に示したような出力が可能なクロックカウント式連想メモリであればよい。

【 0 0 5 9 】

k 近傍検索回路 20 の構成例

図 1 に戻り、k 近傍検索回路 20 は、マッチ信号カウント回路 21 と、k - マッチ信号数一致検出回路 22 と、マッチ信号保持回路 23 とを含む。

【0060】

マッチ信号カウント回路 21 は、クロックカウント式連想メモリ 10 から出力される R 個のマッチ信号のうちアクティブになったマッチ信号の数をカウントする回路である。

【0061】

図 6 は、一例に係るマッチ信号カウント回路 21 の概略構成を示す。マッチ信号カウント回路 21 は、複数の加算器をツリー状に接続した加算器ツリー回路として構成することができる。加算器ツリー回路のリーフノードには $R/2$ 個の半加算器 (HA) 211 が配置される。各加算器 211 には R 個のマッチ信号のうちの 2 ビットが入力される。例えば、図 6 の左端の加算器 211 には参照データ 1 に対応するマッチ信号 M_1 と参照データ 2 に対応するマッチ信号 M_2 が入力され、右端の加算器 211 には参照データ $R-1$ に対応するマッチ信号 M_{R-1} と参照データ R に対応するマッチ信号 M_R が入力される。

10

【0062】

加算器ツリー回路の 2 段目には $R/2^2$ 個の 2 ビットの桁上げ伝播加算器 (2 bit - RCA) 212 が配置される。各加算器 212 には前段 (リーフノード) の 2 個の加算器 211 からそれぞれ 2 ビット出力が入力される。

【0063】

加算器ツリー回路の 3 段目には $R/2^3$ 個の 3 ビットの桁上げ伝播加算器 (3 bit - RCA) 213 が配置される。各加算器 213 には前段 (第 2 段目) の 2 個の加算器 212 からそれぞれ 3 ビット出力が入力される。

20

【0064】

加算器ツリー回路の L 段目のルートノードには 1 個の L ビットの桁上げ伝播加算器 (L bit - RCA) 21L が配置される。加算器 21L には前段 (L - 1 段目) の 2 個の加算器からそれぞれ L ビット出力が入力される。

【0065】

加算器 21L からは $L+1$ ビットの NMS (Number of Match Signals) が出力される。NMS が表す値は、R 個のマッチ信号 $M_1 \sim M_R$ のうちアクティブになったマッチ信号の数に相当する。

30

【0066】

上記構成のマッチ信号カウント回路 21 によると、複数のマッチ信号が同時にアクティブになっても、それらマッチ信号の数を正確にカウントすることができる。

【0067】

また、マッチ信号カウント回路 21 は k 近傍法連想メモリ 100 の構成要素の中で最長の遅延時間を有する回路であるが、上記のようにマッチ信号カウント回路 21 を加算器ツリー回路として構成することにより、遅延時間をマッチ信号の総数の対数オーダーに抑えることができる。したがって、マッチ信号カウント回路 21 の遅延時間は実用上問題とならない程度のものである。

【0068】

40

図 1 に戻り、k - マッチ信号数一致検出回路 22 は、マッチ信号カウント回路 21 のカウント値が k に一致したことを検出する回路である。なお、マッチ信号カウント回路 21 のカウント値は上記の NMS によって表され、また、k は外部から与えることができる。

【0069】

図 7 は、一例に係る k - マッチ信号数一致検出回路 22 の概略構成を示す。本例において、k は 4 ビット値として与えられるものとする。k - マッチ信号数一致検出回路 22 は、k と NMS の対応するビットどうしを比較する 4 個の 1 ビット一致検出回路 221 を含む。

【0070】

各 1 ビット一致検出回路 221 は、1 ビット入力 A, B、および 1 ビット出力 X, Y を

50

有する回路である。AにNMSの対応ビットが、Bにkの対応ビットが、それぞれ入力される。入力A、B、出力X、Yの真理値表は表1に示す通りである。

【0071】

【表1】

A	B	X	Y
0	0	0	1
0	1	0	0
1	0	1	0
1	1	0	1

10

【0072】

すなわち、各1ビット一致検出回路221は、NMSの対応ビットとkの対応ビットが一致すればYに1を出力し、NMSの対応ビットがkの対応ビットよりも大きければXに1を出力する。

20

【0073】

kの最上位ビット以外の1ビット一致検出回路221において、NMSの対応ビットとそれよりも上位ビットの1ビット一致検出回路221の出力Yとの論理積がAに入力されるようになっている。すなわち、MNSの対応ビットがそれよりも上位ビットの1ビット一致検出回路221の出力Yによってマスクされるようになっている。このため、上位ビットにおいてNMSとkとが一致しない限り、NMSとkの下位ビットどうしの一致検出は行われない。これは、NMSが時間とともに増加することに鑑み、NMSがkよりも小さい間はNMSとkの下位ビットどうしの一致を検出する必要はなく、上位ビットから順に一致を検出すればよいためである。このように、上位ビットの一致を見て下位ビットに進むという方式を採用することにより、1ビット一致検出回路221の不要な動作を抑制して消費電力を低減することができる。

30

【0074】

各1ビット一致検出回路221の出力YはANDゲート222に入力され、全出力Yの論理積が演算される。kとNMSとが完全一致したとき、ANDゲート222の出力がHレベルに遷移する。ANDゲート222の出力はDフリップフロップ224にクロック入力(CLK)される。Dフリップフロップ224には検索開始信号SBがデータ入力(D)されており、検索開始信号SBがHレベルの場合において、Dフリップフロップ224はクロック入力に応じてHレベルの検索開始信号SBを保持する。Dフリップフロップ224の出力(Q)は停止信号stopとして出力される。

40

【0075】

後述するように、停止信号stopはマッチ信号保持回路23によるマッチ信号の保持のタイミング信号として利用することができる。また、停止信号stopはクロックカウンタ式連想メモリ10の動作を停止させる制御信号として利用することができる。アクティブのマッチ信号の数がk個に達した後はクロックカウンタ式連想メモリ10はもはや動作しなくてもよい。したがって、クロックカウンタ式連想メモリ10において、例えば、停止信号stopを受けたときにクロック信号CLKの供給を遮断するように構成することで、クロックカウンタ式連想メモリ10の不要な動作を抑制して消費電力を低減することができる。

【0076】

50

各1ビット一致検出回路221の出力XはORゲート223aに入力され、全出力Xの論理和が演算される。1ビット一致検出回路221の少なくとも一つにおいてNMSの対応ビットがkの対応ビットよりも大きくなれば、ORゲート223aの出力がHレベルに遷移する。また、NMSの残りの全上位ビットはORゲート223bに入力され、これらビットの論理和が演算される。NMSの残りの全上位ビットにおいて少なくとも1ビットがHレベルとなった場合、ORゲート223bの出力がHレベルに遷移する。ORゲート223cは、ORゲート223aおよびORゲート223bの各出力の論理和を演算する。ORゲート223cの出力は、異常信号`abnormal`として出力される。すなわち、NMSがkを超えたとき、異常信号`abnormal`が出力される。異常信号`abnormal`は、k近傍検索のやり直し指示などに利用することができる。また、異常信号`abnormal`はDフリップフロップ224にクロック入力(CLK)される。これにより、異常信号`abnormal`の出力に合わせて停止信号`stop`が出力される。

10

【0077】

異常信号`abnormal`は、Dフリップフロップ224の出力(Q)の反転論理によってマスクされる。すなわち、異常信号`abnormal`が出力される前にNMSとKが完全一致して停止信号`stop`が出力された場合、その後NMSがkを超えても異常信号`abnormal`が出力されないようになっている。

【0078】

Dフリップフロップ224のリセットを行うために、k近傍法連想メモリ100の共通で使用されるリセット信号RSTが入力される。

20

【0079】

図1に戻り、マッチ信号保持回路23は、クロックカウント式連想メモリ10から出力されるR個のマッチ信号を受け、k-マッチ信号数一致検出回路22によってマッチ信号カウント回路21のカウント値がkに一致したことが検出されたときのR個のマッチ信号を保持する。

【0080】

図8は、一例に係るマッチ信号保持回路23の構成を示す。マッチ信号保持回路23は、クロックカウント式連想メモリ10から出力されるR個のマッチ信号 $M_1 \sim M_R$ のそれぞれを保持するR個のDフリップフロップ231を含む。各Dフリップフロップ231において、マッチ信号がデータ入力(D)されるとともに、停止信号`stop`がクロック入力(CLK)される。R個のDフリップフロップ231のそれぞれの出力(Q)は、R個のマッチ信号 $M_1 \sim M_R$ としてk近傍クラスタリング回路30に入力される。なお、図示していないが、各Dフリップフロップ231はリセット信号RSTを受けることで初期状態にリセットされる。

30

【0081】

k近傍クラスタリング回路30の構成例

図1に戻り、k近傍クラスタリング回路30は、クラスデータメモリ31と、X個のクラスカウンタ32と、クラス識別回路33と、最大カウンタ検出回路34とを含む。

【0082】

クラスデータメモリ31は、R個の参照データのそれぞれのクラスを表すR個のクラスデータ(クラスデータ1, クラスデータ2, ..., クラスデータR)を保持する回路である。

40

【0083】

各クラスカウンタ32は、対応するクラスのデータ数をカウントするための回路である。クラス数は、全部でX個(Xは2以上の整数)である。

【0084】

クラス識別回路33は、k近傍検索回路20(より詳細にはマッチ信号保持回路23)が保持するアクティブのk個のマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータをクラスデータメモリ31から読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタ32をカウントアップする回路である

50

。

【0085】

図9は、一例に係るクラスデータメモリ31、クラスカウンタ32、およびクラス識別回路33の概略構成を示す。

【0086】

クラスデータメモリ31は、メモリ部311、行選択回路312、列デコーダ313、および読出/書込回路314を含む。

【0087】

メモリ部311は、SRAMなどで構成されるクラスデータ保存回路 $S_{11} \sim S_{1Q}$ 、 $S_{21} \sim S_{2Q}$ 、 \dots 、 $S_{R1} \sim S_{RQ}$ を含む。なお、 Q は、2以上の整数である。

10

【0088】

クラスデータ保存回路 $S_{11} \sim S_{1Q}$ 、 $S_{21} \sim S_{2Q}$ 、 \dots 、 $S_{R1} \sim S_{RQ}$ は、行選択回路312、列デコーダ313、および読出/書込回路314によって書き込まれたクラスデータを保存する。この場合、クラスデータ保存回路 $S_{11} \sim S_{1Q}$ は、 $N \times Q$ (N は1以上の整数)ビットのクラスデータ1を保存し、クラスデータ保存回路 $S_{21} \sim S_{2Q}$ は、 $N \times Q$ ビットのクラスデータ2を保存し、以下、同様にして、クラスデータ保存回路 $S_{R1} \sim S_{RQ}$ は、 $N \times Q$ ビットのクラスデータ R を保存する。つまり、クラスデータ保存回路 $S_{11} \sim S_{1Q}$ 、 $S_{21} \sim S_{2Q}$ 、 \dots 、 $S_{R1} \sim S_{RQ}$ のそれぞれは、クラスデータの N ビットを保存する。

【0089】

20

行選択回路312は、メモリ部311の行方向のアドレスを指定する。列デコーダ313は、メモリ部311の列方向のアドレスを指定する。読出/書込回路314は、行選択回路312および列デコーダ313によって指定されたクラスデータ保存回路 $S_{11} \sim S_{1Q}$ 、 $S_{21} \sim S_{2Q}$ 、 \dots 、 $S_{R1} \sim S_{RQ}$ に対してクラスデータを読み書きする。

【0090】

クラス識別回路33は、 R 個のマッチ信号検出回路331と、デマルチプレクサ332と、バッファ333とを含む。動作開始信号 $start$ がHレベルに遷移することで、バッファ333がクラス識別回路33にクロック信号 CLK を供給する。これにより、クラス識別回路33は動作を開始する。また、クラス識別回路33によるクラス識別動作が終了すると終了信号 end がHレベルに遷移する。

30

【0091】

R 個のマッチ信号検出回路331は、 k 近傍検索回路20(より詳細にはマッチ信号保持回路23)が保持する R 個のマッチ信号のそれぞれに対応して設けられている。各マッチ信号検出回路331は、対応するマッチ信号がアクティブであることを検出してクラスデータメモリ31に当該マッチ信号に対応するクラスデータを選択する選択信号 act を出力する回路である。

【0092】

R 個のマッチ信号検出回路331は、動作開始信号を伝搬するように直列に接続されている。すなわち、マッチ信号検出回路331は動作開始信号を次々に受けて順次動作するようになっている。初段のマッチ信号検出回路331は、動作開始信号 $start$ を動作開始信号 $next_0$ として受けて動作を開始し、動作が終了すると次段(2段目)のマッチ信号検出回路331へ動作開始信号 $next_1$ を出力する。2段目のマッチ信号検出回路331は、動作開始信号 $next_1$ を受けて動作を開始し、動作が終了すると次段(3段目)のマッチ信号検出回路331へ動作開始信号 $next_2$ を出力する。以下、同様にして、最終段(R 段目)のマッチ信号検出回路331は、動作開始信号 $next_{R-1}$ を受けて動作を開始し、動作が終了すると動作開始信号 $next_R$ を出力する。動作開始信号 $next_R$ は終了信号 end に相当する。

40

【0093】

マッチ信号 M_1 が入力されるマッチ信号検出回路331から出力される選択信号 act_1 によって、クラスデータメモリ31においてクラスデータ1が選択され、出力される。

50

マッチ信号 M_2 が入力されるマッチ信号検出回路 331 から出力される選択信号 act_2 によって、クラスデータメモリ 31 においてクラスデータ 2 が選択され、出力される。以下、同様にして、マッチ信号 M_R が入力されるマッチ信号検出回路 331 から出力される選択信号 act_R によって、クラスデータメモリ 31 においてクラスデータ R が選択され、出力される。

【0094】

図 10 は、一例に係るマッチ信号検出回路 331 の概略構成を示す。マッチ信号検出回路 331 は、一致検出回路 3311 と、レジスタ 3312 とを含む。一致検出回路 3311 は、レジスタ 3312 が保持する 1 ビット値とマッチ信号 M_i との一致を検出して一致信号 $match$ を出力する回路である。両者が一致する場合、一致信号 $match$ は H レベルとなり、両者が一致しない場合、一致信号 $match$ は L レベルとなる。一致信号 $match$ およびマッチ信号検出回路 331 に入力される動作開始信号 $next_{i-1}$ は AND ゲート 3313 に入力されて論理積が演算される。AND ゲート 3313 の出力が、次段のマッチ信号検出回路 331 に供給される動作開始信号 $next_i$ となる。また、一致信号 $match$ の論理反転および動作開始信号 $next_{i-1}$ は AND ゲート 3314 に入力されて論理積が演算される。AND ゲート 3314 の出力が、クラスデータの選択信号 act_i となる。

10

【0095】

レジスタ 3312 には初期値として 0 が保持されている。したがって、マッチ信号 M_i が非アクティブのとき、両者は一致して一致信号 $match$ が H レベルとなる。このとき、AND ゲート 3313 の出力が H レベルとなり、次段のマッチ信号検出回路 331 に動作開始信号 $next_{i-1}$ が供給される。また、AND ゲート 3314 の出力は L レベルとなる。すなわち、クラスデータの選択信号 act_i は出力されない。このように、マッチ信号 M_i が非アクティブのとき、マッチ信号検出回路 331 は、クラスデータの選択信号を出力せずに、入力された動作開始信号をすぐさま次段のマッチ信号検出回路 331 に伝達する。

20

【0096】

一方、マッチ信号 M_i がアクティブのとき、両者が一致しないため一致信号 $match$ が L レベルとなる。このとき、AND ゲート 3313 の出力が L レベルとなり、H レベルの動作開始信号 $next_{i-1}$ が入力されることで、AND ゲート 3314 から H レベルの選択信号 act_i が出力される。

30

【0097】

レジスタ 3312 には、直列に接続されたバッファ 3315 とバッファ 3316 を介してクロック信号 CLK が接続されている。動作開始信号 $next_{i-1}$ が H レベルになると、バッファ 3315 はクロック信号 CLK をバッファ 3316 へ供給する。さらに、一致信号 $match$ の反転が H レベルになるとバッファ 3316 はクロック信号 CLK をレジスタ 3312 へ供給する。レジスタ 3312 はクロック信号 CLK を受けると保持値を 1 に変更する。これにより、アクティブのマッチ信号 M_i とレジスタ 3312 の保持値とが一致して一致信号 $match$ が L レベルとなる。このとき、AND ゲート 3313 の出力が H レベルとなり、次段のマッチ信号検出回路 331 に動作開始信号 $next_{i-1}$ が供給される。また、AND ゲート 3314 の出力は L レベルとなる。すなわち、クラスデータの選択信号 act_i が L レベルに遷移する。このように、マッチ信号 M_i がアクティブのとき、マッチ信号検出回路 331 は、クラスデータの選択信号を出力してから 1 クロック周期後に、入力された動作開始信号を次段のマッチ信号検出回路 331 に伝達する。このとき出力されるクラスデータの選択信号は 1 クロック周期だけ H レベルとなる。

40

【0098】

図 9 に戻り、デマルチプレクサ 332 にはバッファ 333 から供給されるクロック信号 CLK が入力され、出力先はクラスデータメモリ 31 から出力された Q ビットのクラスデータ cls によって決定される。すなわち、クラスデータ cls は X 個のクラスカウンタ 32 の中のいずれか一つを選択する信号として用いられる。そして、1 クロック周期ごと

50

にクラスデータが選択され、当該選択されたクラスデータに対応するクラスカウンタ 3 2 にクロック信号 CLK が入力されることで、当該クラスカウンタ 3 2 のカウント値がカウントアップされる。

【 0 0 9 9 】

上記構成のクラスデータメモリ 3 1、クラスカウンタ 3 2、およびクラス識別回路 3 3 によると、マッチ信号保持回路 2 3 が保持するマッチ信号の総数に拘わらず、k クロック周期で、アクティブの k 個のマッチ信号に対応するクラスのカウンタが完了する。したがって、k 近傍クラスタリング処理を高速に行うことができる。

【 0 1 0 0 】

X 個のクラスカウンタ 3 2 のカウント値 $C_{n_1} \sim C_{n_x}$ は、各クラスの近傍の数を示している。すなわち、カウント値 $C_{n_1} \sim C_{n_x}$ を参照することで各クラスの票数（データ数）がわかる。最大カウンタ検出回路 3 4 は、X 個のクラスカウンタ 3 2 の中からカウント値が最大のクラスカウンタを見つける回路である。

10

【 0 1 0 1 】

図 1 1 は、一例に係る最大カウンタ検出回路 3 4 の概略構成を示す。最大カウンタ検出回路 3 4 は、ダウンカウンタ 3 4 1 と、X 個の一致検出回路 3 4 2 とを含む。ダウンカウンタ 3 4 1 は、クロック信号 CLK を受けて、初期値からカウント値をカウントダウンする回路である。ダウンカウンタ 3 4 1 へはバッファ 3 4 3 を介してクロック信号 CLK が供給される。バッファ 3 4 3 は、クラス識別回路 3 3 によるクラス識別動作が終了したときに出力される終了信号 end を受けて、ダウンカウンタ 3 4 1 へクロック信号 CLK を供給する。

20

【 0 1 0 2 】

X 個の一致検出回路 3 4 2 は、X 個のクラスカウンタ 3 2 のそれぞれに対応して設けられている。各一致検出回路 3 4 2 は、対応するクラスカウンタ 3 2 のカウント値とダウンカウンタ 3 4 1 のカウント値との一致を検出して、一致信号 $C_1 \sim C_x$ を出力する回路である。各一致検出回路 3 4 2 は、一致を検出すると、一致信号 $C_1 \sim C_x$ を H レベルに遷移させる。

【 0 1 0 3 】

X 個の一致検出回路 3 4 2 の出力信号は OR ゲート 3 4 4 に入力され、これらの論理和が演算される。ダウンカウンタ 3 4 1 に入力されるクロック信号 CLK は、OR ゲート 3 4 4 の出力の論理反転によってマスクされるようになっている。すなわち、ダウンカウンタ 3 4 1 のカウント値がカウントダウンされている間に、X 個の一致検出回路 3 4 2 のうちのいずれか一つによってダウンカウンタ 3 4 1 のカウント値と対応するクラスカウンタ 3 2 のカウント値との一致が検出されたとき、ダウンカウンタ 3 4 1 のカウント動作を停止させるようになっている。これにより、最大のカウント値を保持するクラスカウンタ 3 2 のみを検出することができる。一致信号 $C_1 \sim C_x$ のうち H レベルになっているものが、k 近傍法に基づいて決定された検索データのクラスを表している。

30

【 0 1 0 4 】

図 1 2 は、別例に係る最大カウンタ検出回路 3 4 の概略構成を示す。最大カウンタ検出回路 3 4 は、複数の最大値選出回路 3 4 5 をツリー状に接続したトーナメント回路として構成することもできる。

40

【 0 1 0 5 】

図 1 3 は、一例に係る最大値選出回路 3 4 5 の概略構成を示す。最大値選出回路 3 4 5 は、比較回路 3 4 6 と、マルチプレクサ 3 4 7 とを含む。

【 0 1 0 6 】

最大値選出回路 3 4 5 には、あるクラスカウンタ 3 2 のカウント値 A とそのクラスカウンタ 3 2 の識別番号 i を結合した信号 A & i と、別のクラスカウンタ 3 2 のカウント値 B とそのクラスカウンタ 3 2 の識別番号 j を結合した信号 B & j が入力される。比較回路 3 4 6 は、カウンタ値 A およびカウンタ値 B の大小を比較する。マルチプレクサ 3 4 7 は、信号 A & i および信号 B & j を受け、比較回路 3 4 6 の出力信号に応じて信号 C として信

50

号 A & i および信号 B & j のいずれか一方を出力する。具体的には、マルチプレクサ 3 4 7 は、A = B の場合、信号 A & i を出力し、A < B の場合、信号 B & j を出力する。すなわち、信号 C として、カウンタ値が大きい方のクラスカウンタ 3 2 のカウント値 $\max(A, B)$ とそのクラスカウンタの識別番号 $\text{index}(i \text{ or } j)$ を結合した信号が出力される。なお、マルチプレクサ 3 4 7 は、A > B の場合、信号 A & i を出力し、A = B の場合、信号 B & j を出力してもよい。

【0107】

図 12 に戻り、トーナメント回路のリーフノードには $X/2$ 個の最大値選出回路 3 4 5 が配置される。リーフノードの各最大値選出回路 3 4 5 には X 個のクラスカウンタ 3 2 のうち隣り合う 2 個のクラスカウンタ 3 2 の各カウンタ値とそれら 2 個のクラスカウンタ 3 2 の各識別番号を結合した信号が入力される。

10

【0108】

トーナメント回路の 2 段目には $X/2^2$ 個の最大値選出回路 3 4 5 が配置される。2 段目の各最大値選出回路 3 4 5 にはリーフノードの隣り合う 2 個の最大値選出回路 3 4 5 から出力される信号が入力される。

【0109】

トーナメント回路のルートノードには 1 個の最大値選出回路 3 4 5 が配置される。そして、ルートノードの最大値選出回路 3 4 5 から、 X 個のクラスカウンタ 3 2 の最大カウンタ値 $\max(Cn_1, \dots, Cn_X)$ およびそのクラスカウンタ 3 2 の識別番号である class index を結合した信号が出力される。

20

【0110】

上記構成の最大カウンタ検出回路 3 4 によると、 X 個のクラスカウンタ 3 2 の最大値を 1 クロックサイクルで決定することができるため、特に高速処理に適している。

【0111】

以上のように、本実施形態によると、クロックカウント式連想メモリ 10 によって検索データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなる。そして、 k 近傍検索回路 20 によってより先にアクティブになった k 個のマッチ信号が検出および保持される。さらに、 k 近傍クラスタリング回路 30 によって当該 k 個のマッチ信号に対応する k 個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、 k 近傍法に基づいた検索データのクラス分けが実現される。

30

【0112】

なお、本実施形態では、 k 近傍検索回路 20 において、クロックカウント式連想メモリ 10 から出力される R 個のマッチ信号を各 1 ビット情報として保存するため、距離情報が欠落してしまう。そこで、例えば、 k 近傍検索回路 20 にカウンタを設けて、各マッチ信号がアクティブになるまでの時間情報（すなわち時間換算した距離情報）を保持するようにしてもよい。その場合、時間情報を用いて、検索データにより距離の近い参照データの重みを大きくするようにクラスデータの重み付けを行って、より高度なクラス判別を行うことができる。また、アクティブとなった k 個のマッチ信号に対応する参照データのうち、検索データとの距離が閾値以上のものは除外して k 個以下で k 近傍法を適用することも可能である。

40

【産業上の利用可能性】

【0113】

本発明に係る k 近傍法連想メモリは、LSI 上に k 近傍法を効果的に実装することができるため、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションに有用である。

【符号の説明】

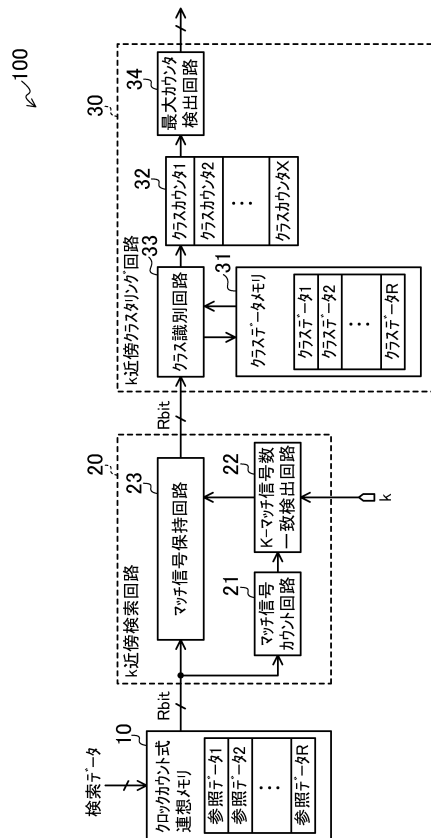
【0114】

- 100 k 近傍法連想メモリ
- 10 クロックカウント式連想メモリ

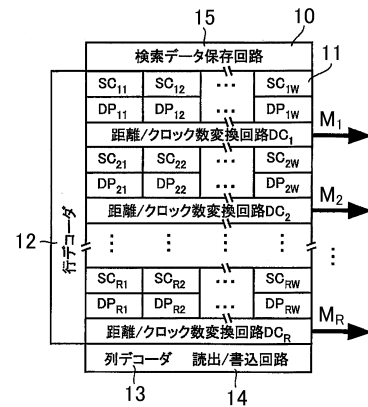
50

- 2 0 k 近傍検索回路
- 3 1 マッチ信号カウント回路
- 2 1 1, 2 1 2, 2 1 3, 2 1 L 加算器
- 2 2 k - マッチ信号数一致検出回路
- 2 3 マッチ信号保持回路
- 3 0 k 近傍クラスタリング回路
- 3 1 クラスデータメモリ
- 3 2 クラスカウンタ
- 3 3 クラス識別回路
- 3 3 1 マッチ信号検出回路
- 3 4 最大カウンタ検出回路
- 3 4 1 ダウンカウンタ
- 3 4 2 一致検出回路
- 3 4 5 最大値選出回路

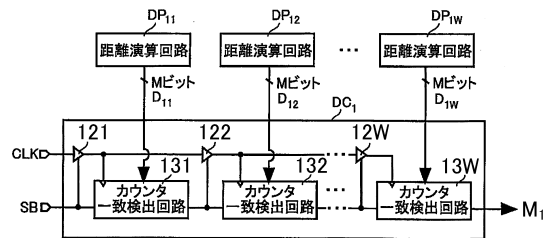
【図 1】



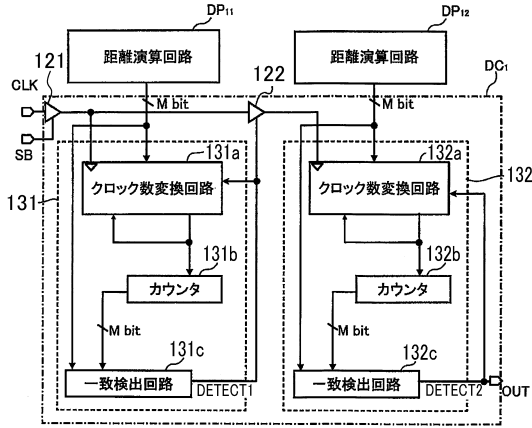
【図 2】



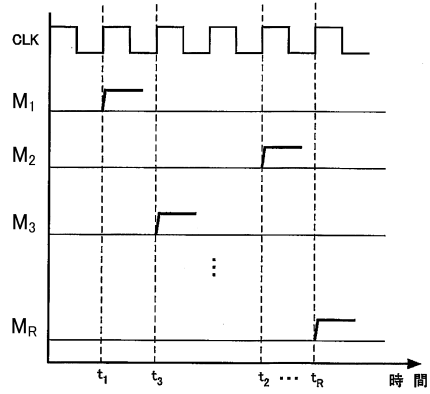
【図 3】



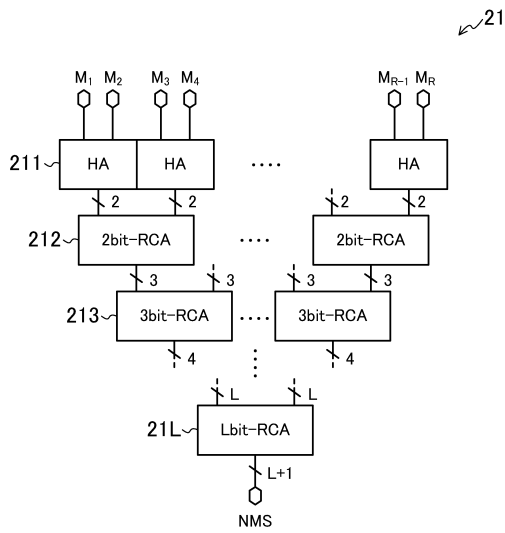
【図4】



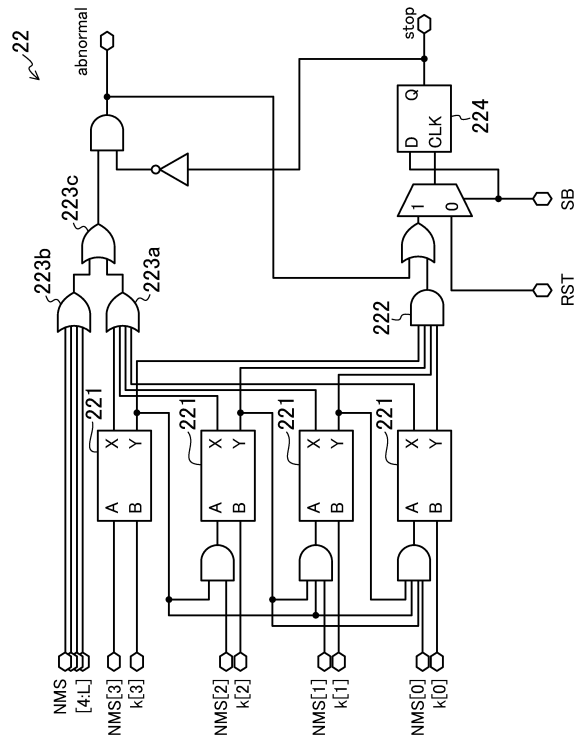
【図5】



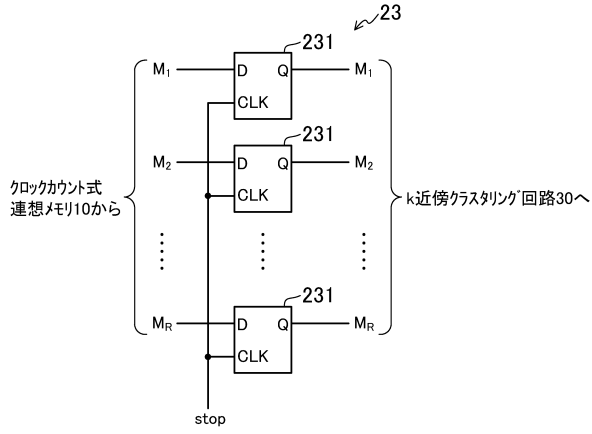
【図6】



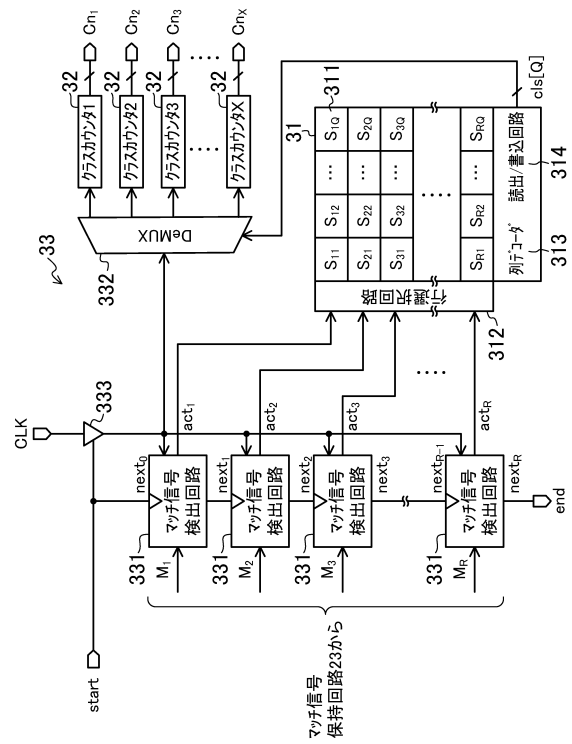
【図7】



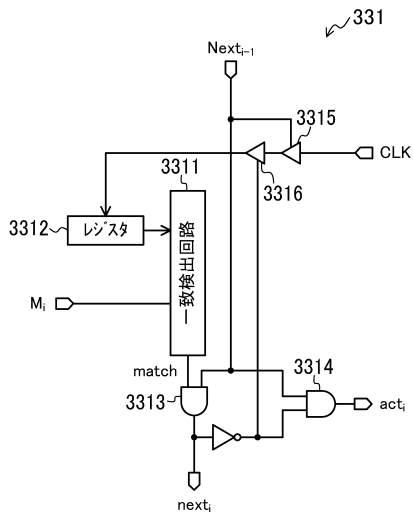
【図8】



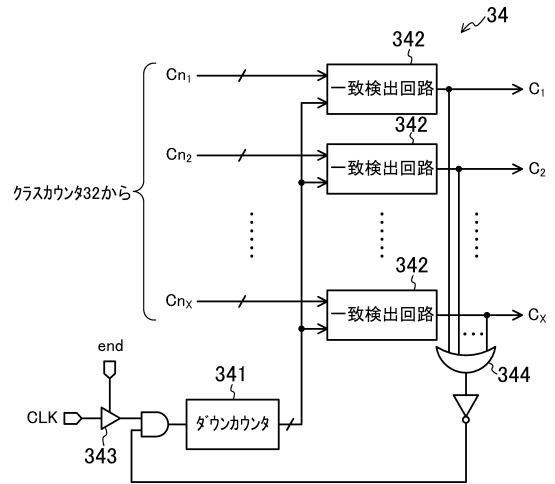
【図9】



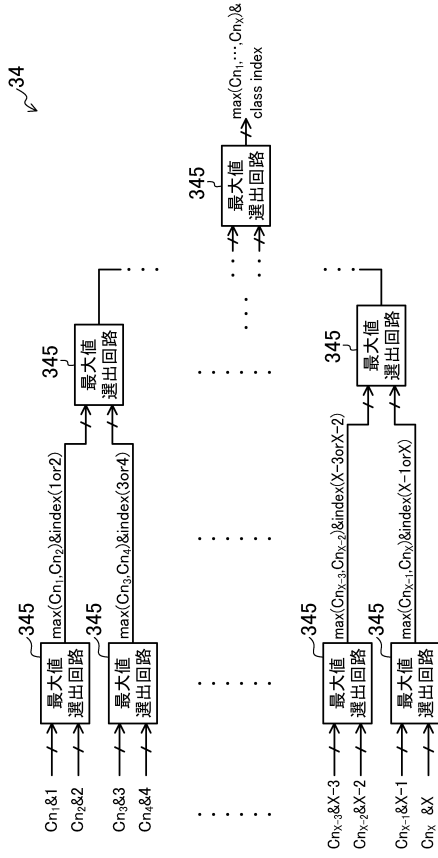
【図10】



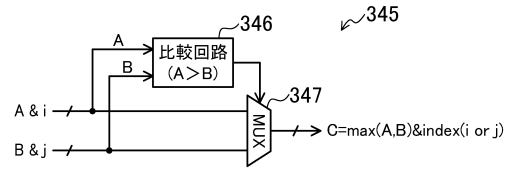
【図11】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 山崎 翔悟

広島県東広島市鏡山一丁目3番1号 国立大学法人広島大学大学院 先端物質科学研究科内

審査官 後藤 彰

(56)参考文献 国際公開第2005/083632(WO, A1)

Md.Anwarul ABEDIN, Yuki TANAKA, Ali AHMADI, Shogo SAKAKIBARA, Tetsushi KOIDE, Hans Jurgen MATTAUSCH, Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories, IEICE Transaction, 日本, IEICE TRANSACTIONS on Fundamentals of Electronics, , 2007年 6月 1日, Vol.E90-A No.6, pp.1240-1243

Seiryu SASAKI, Masahiro YASUDA, Hans Jurgen MATTAUSCH, Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization, 2012 Proceedings of the ESSCIRC, 米国, IEEE, 2012年 9月17日, pp.185-188

(58)調査した分野(Int.Cl., DB名)

G11C 15/04

G06F 17/30

G06N 99/00