

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2015/011907

発行日 平成29年3月2日 (2017.3.2)

(43) 国際公開日 平成27年1月29日 (2015.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
G11C 15/04 (2006.01)	G11C 15/04	631W
G06N 99/00 (2010.01)	G06N 99/00	156
G06F 17/30 (2006.01)	G06F 17/30	210D
	G06F 17/30	350C

審査請求 未請求 予備審査請求 未請求 (全 26 頁)

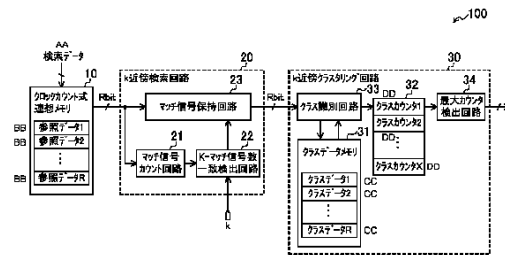
出願番号 特願2015-528142 (P2015-528142)	(71) 出願人 504136568 国立大学法人広島大学 広島県東広島市鏡山1丁目3番2号
(21) 国際出願番号 PCT/JP2014/003809	
(22) 国際出願日 平成26年7月17日 (2014.7.17)	
(31) 優先権主張番号 特願2013-154887 (P2013-154887)	(74) 代理人 110001427 特許業務法人前田特許事務所
(32) 優先日 平成25年7月25日 (2013.7.25)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 マタウシュ ハンスユルゲン 広島県東広島市鏡山一丁目4番2号 国立 大学法人広島大学 ナノデバイス・バイオ 融合科学研究所内
	(72) 発明者 赤澤 智信 広島県東広島市鏡山一丁目4番2号 国立 大学法人広島大学 ナノデバイス・バイオ 融合科学研究所内

最終頁に続く

(54) 【発明の名称】 k近傍法連想メモリ

(57) 【要約】

k近傍法連想メモリ(100)は、R個の参照データを保持しており、R個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウント式連想メモリ(10)と、クロックカウント式連想メモリから出力されるR個のマッチ信号のうちいずれかK個のマッチ信号がアクティブになったことを検出し、そのときのR個のマッチ信号を保持するk近傍検索回路(20)と、R個の参照データのそれぞれのクラスを表すR個のクラスデータからk近傍検索回路が保持するアクティブのk個のマッチ信号のそれぞれに対応するk個のクラスデータを選択し、k個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定するk近傍クラスタリング回路(30)とを備えている。



- 10... CLOCK COUNT TYPE ASSOCIATIVE MEMORY
- 20... k-NEAREST NEIGHBORS SEARCH CIRCUIT
- 21... MATCH SIGNAL COUNT CIRCUIT
- 22... CIRCUIT FOR DETECTING WHEN NUMBER OF MATCH SIGNALS REACHES K
- 23... MATCH SIGNAL RETENTION CIRCUIT
- 30... k-NEAREST NEIGHBORS CLUSTERING CIRCUIT
- 31... CLASS DATA MEMORY
- 33... CLASS IDENTIFICATION CIRCUIT
- 34... CIRCUIT FOR DETECTING COUNTER HAVING HIGHEST COUNT
- AA... SEARCH DATA
- BB... REFERENCE DATA
- CC... CLASS DATA
- DD... CLASS COUNTER

【特許請求の範囲】**【請求項 1】**

R 個の参照データを保持しており、前記 R 個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウンタ式連想メモリと、

前記クロックカウンタ式連想メモリから出力される R 個のマッチ信号のうちいずれか k 個のマッチ信号がアクティブになったことを検出し、そのときの前記 R 個のマッチ信号を保持する k 近傍検索回路と、

前記 R 個の参照データのそれぞれのクラスを表す R 個のクラスデータから前記 k 近傍検索回路が保持するアクティブの k 個のマッチ信号のそれぞれに対応する k 個のクラスデータを選択し、前記 k 個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する k 近傍クラスタリング回路とを備えていることを特徴とする k 近傍法連想メモリ。

10

【請求項 2】

前記 k 近傍検索回路が、

前記クロックカウンタ式連想メモリから出力される R 個のマッチ信号のうちアクティブになったマッチ信号の数をカウントするマッチ信号カウント回路と、

前記マッチ信号カウント回路のカウント値が k に一致したことを検出する k - マッチ信号数一致検出回路と、

前記クロックカウンタ式連想メモリから出力される R 個のマッチ信号が入力され、前記 k - マッチ信号数一致検出回路によって前記マッチ信号カウント回路のカウント値が k に一致したことが検出されたときの前記 R 個のマッチ信号を保持するマッチ信号保持回路とを有する、請求項 1 に記載の k 近傍法連想メモリ。

20

【請求項 3】

前記クロックカウンタ式連想メモリが、前記 k - マッチ信号数一致検出回路によって前記マッチ信号カウント回路のカウント値が k に一致したことが検出されたとき、動作を停止するように構成されている、請求項 2 に記載の k 近傍法連想メモリ。

【請求項 4】

前記 k - マッチ信号数一致検出回路が、前記マッチ信号カウント回路のカウント値が k を超えたことを検出するように構成されている、請求項 2 および 3 のいずれか一つに記載の k 近傍法連想メモリ。

30

【請求項 5】

前記マッチ信号カウント回路が、複数の加算器がツリー状に接続されてなり、リーフノードの複数の加算器に前記 R 個のマッチ信号がそれぞれ入力され、ルートノードの加算器からカウント値を出力する加算器ツリー回路である、請求項 2 から 4 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 6】

前記 k 近傍クラスタリング回路が、

前記 R 個のクラスデータを保持するクラスデータメモリと、

X 個のクラスのそれぞれに対応する X 個のクラスカウンタと、

前記 k 近傍検索回路が保持するアクティブの k 個のマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータを前記クラスデータメモリから読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタをカウントアップするクラス識別回路と、

40

前記 X 個のクラスカウンタの中からカウント値が最大のクラスカウンタを見つける最大カウンタ検出回路とを有する、請求項 1 から 5 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 7】

前記クラス識別回路が、前記 k 近傍検索回路が保持する R 個のマッチ信号のそれぞれに対応して設けられ、対応するマッチ信号がアクティブであることを検出して前記クラスデ

50

ータメモリに当該マッチ信号に対応するクラスデータを選択する選択信号を出力する R 個のマッチ信号検出回路を有し、

前記 R 個のマッチ信号検出回路が、動作開始信号を伝搬するように直列に接続されており、

前記 R 個のマッチ信号検出回路のそれぞれが、前記対応するマッチ信号が非アクティブのとき、入力された前記動作開始信号をすぐさま次段に伝達し、前記対応するマッチ信号がアクティブのとき、前記動作開始信号を受けて前記選択信号を出力してから前記動作開始信号を次段に伝達するように構成されている、請求項 6 に記載の k 近傍法連想メモリ。

【請求項 8】

前記最大カウンタ検出回路が、

初期値からカウント値をカウントダウンするダウンカウンタと、

前記 X 個のクラスカウンタのそれぞれに対応して設けられ、対応するクラスカウンタのカウント値と前記ダウンカウンタのカウント値との一致を検出する X 個の一致検出回路とを有し、

前記ダウンカウンタのカウント値がカウントダウンされている間に、前記 X 個の一致検出回路のうちのいずれか一つによって前記ダウンカウンタのカウント値と対応するクラスカウンタのカウント値との一致が検出されたとき、前記ダウンカウンタのカウント動作を停止させる、請求項 6 および 7 のいずれか一つに記載の k 近傍法連想メモリ。

【請求項 9】

前記最大カウンタ検出回路が、2 入力 1 出力の複数の最大値選出回路がツリー状に接続されてなり、リーフノードの複数の最大値選出回路に前記 X 個のクラスカウンタの各カウント値および各クラスカウンタの識別番号を結合した各信号が入力され、ルートノードの最大値選出回路から前記 X 個のクラスカウンタの最大カウント値およびそのクラスカウンタの識別番号を結合した信号を出力するトーナメント回路であり、

前記最大値選出回路が、第 1 のクラスカウンタのカウント値および前記第 1 のクラスカウンタの識別番号を結合した第 1 の信号、および第 2 のクラスカウンタのカウント値および前記第 2 のクラスカウンタの識別番号を結合した第 2 の信号を受け、前記第 1 および第 2 のクラスカウンタのうちカウント値が大きい方のクラスカウンタのカウント値およびそのクラスカウンタの識別番号を結合した第 3 の信号を出力する、請求項 6 および 7 のいずれか一つに記載の k 近傍法連想メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、連想メモリに関し、特に、k 近傍法を効果的に実現する連想メモリに関する。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを L S I (L a r g e S c a l e I n t e g r a t e d c i r c u i t) 上で実現することにより、将来、人工

【0003】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

【0004】

前者は、C A M (C o n t e n t A d d r e s s a b l e M e m o r y) と呼ばれ、ネットワークルータの I P アドレステーブルのルーティングおよびプロセッサのキャッシュなどの実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理

10

20

30

40

50

させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (Associative Memory) と呼ぶ。

【0005】

連想メモリの例として、検索データと参照データとのマンハッタン距離またはユークリッド距離を用いて最類似検索処理を行うものが知られている (非特許文献1参照)。また、連想メモリにk近傍探索を取り入れたものが知られている (非特許文献2参照)。

【先行技術文献】

【特許文献】

【0006】

【非特許文献1】S.Sasaki et al., "Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization," ESSCIRC'2012, 2012, pp.185-188

【非特許文献2】M.A.Abedin et al., "Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories," IEICE Trans. on Fundamentals, vol. E90-A, No.6, 2007, pp.1240-1243

【発明の概要】

【発明が解決しようとする課題】

【0007】

パターン認識の分野において機械学習アルゴリズムとしてk近傍法がよく用いられる。k近傍法は、パターン認識において高い信頼性を持つ。従来技術では、連想メモリにおいてk近傍探索を取り入れているものの、k近傍法が実効的に実現されておらず、特にk近傍法に基づいたパターンのクラス分けまでは実現できていない。

【0008】

上記問題に鑑み、本発明は、k近傍法を効果的に実現することができるk近傍法連想メモリを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一面に従ったk近傍法連想メモリは、R個の参照データを保持しており、前記R個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力するクロックカウンタ式連想メモリと、前記クロックカウンタ式連想メモリから出力されるR個のマッチ信号のうちいずれかk個のマッチ信号がアクティブになったことを検出し、そのときの前記R個のマッチ信号を保持するk近傍検索回路と、前記R個の参照データのそれぞれのクラスを表すR個のクラスデータから前記k近傍検索回路が保持するアクティブのk個のマッチ信号のそれぞれに対応するk個のクラスデータを選択し、前記k個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定するk近傍クラスタリング回路とを備えている。

【0010】

これによると、クロックカウンタ式連想メモリによって検索データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなり、k近傍検索回路によってより先にアクティブになったk個のマッチ信号が検出および保持され、k近傍クラスタリング回路によって当該k個のマッチ信号に対応するk個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、k近傍法に基づいた検索データのクラス分けが実現される。

【発明の効果】

【0011】

本発明によると、LSI上にk近傍法を効果的に実装することができる。

【図面の簡単な説明】

【0012】

10

20

30

40

50

【図 1】図 1 は、本発明の一実施形態に係る k 近傍法連想メモリの概略構成図である。

【図 2】図 2 は、一例に係るクロックカウンタ式連想メモリの概略構成図である。

【図 3】図 3 は、一例に係る距離 / クロック数変換回路の概略構成図である。

【図 4】図 4 は、一例に係るカウンタ一致検出回路の概略構成図である。

【図 5】図 5 は、一例に係るマッチ信号のタイミングチャートである。

【図 6】図 6 は、一例に係るマッチ信号カウンタ回路の概略構成図である。

【図 7】図 7 は、一例に係る k - マッチ信号数一致検出回路の概略構成図である。

【図 8】図 8 は、一例に係るマッチ信号保持回路の概略構成図である。

【図 9】図 9 は、一例に係るクラスデータメモリ、クラスカウンタ、およびクラス識別回路の概略構成図である。

10

【図 10】図 10 は、一例に係るマッチ信号検出回路の概略構成図である。

【図 11】図 11 は、一例に係る最大カウンタ検出回路の概略構成図である。

【図 12】図 12 は、別例に係る最大カウンタ検出回路の概略構成図である。

【図 13】図 13 は、一例に係る最大値選出回路の概略構成図である。

【発明を実施するための形態】

【0013】

以下、図面を参照しながら本発明を実施するための形態について説明する。なお、本発明は、以下の実施形態に限定されるものではない。

【0014】

図 1 は、本発明の一実施形態に係る k 近傍法連想メモリ 100 の概略構成を示す。本実施形態に係る k 近傍法連想メモリ 100 は、クロックカウンタ式連想メモリ 10 と、k 近傍検索回路 20 と、k 近傍クラスタリング回路 30 とを備えている。

20

【0015】

クロックカウンタ式連想メモリ 10 は、R 個の参照データ（参照データ 1，参照データ 2，…，参照データ R）を保持しており、これら R 個の参照データのそれぞれについて、与えられた検索データとの距離に応じたクロック数の経過後にアクティブとなるマッチ信号を出力する回路である。なお、「距離」とはマンハッタン距離、ユークリッド距離などを含む。また、「アクティブ」とは、正論理では信号が L レベルから H レベルへと遷移することをいい、負論理では信号が H レベルから L レベルへと遷移することをいう。便宜のため、以下では正論理を前提に説明する。

30

【0016】

k 近傍検索回路 20 は、クロックカウンタ式連想メモリ 10 から出力される R 個のマッチ信号のうちいずれか k 個のマッチ信号がアクティブになったことを検出し、そのときの R 個のマッチ信号を保持する回路である。

【0017】

k 近傍クラスタリング回路 30 は、R 個の参照データのそれぞれのクラスを表す R 個のクラスデータ（クラスデータ 1，クラスデータ 2，…，クラスデータ R）から k 近傍検索回路 20 が保持するアクティブの k 個のマッチ信号のそれぞれに対応する k 個のクラスデータを選択し、これら k 個のクラスデータをクラス別に分類した場合においてデータ数が最大となるクラスを判定する回路である。

40

【0018】

k 近傍法連想メモリ 100 は、上記 3 つの回路を備えることで、k 近傍法に基づいて、与えられた検索データがいずれのクラスに分類されるかを判定することができる。以下、各回路の構成例について説明する。

【0019】

クロックカウンタ式連想メモリ 10 の構成例

図 2 は、一例に係るクロックカウンタ式連想メモリ 10 の概略構成を示す。クロックカウンタ式連想メモリ 10 は、メモリ部 11、行デコーダ 12、列デコーダ 13、読出 / 書込回路 14、および検索データ保存回路 15 を含む。

【0020】

50

メモリ部 11 は、参照データ保存回路 (Storage Cell: SC) $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ と、距離演算回路 (絶対値差演算回路) (Distance Processor: DP) $DP_{11} \sim DP_{1W}$, $DP_{21} \sim DP_{2W}$, ..., $DP_{R1} \sim DP_{RW}$ と、距離/クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、W および R は、それぞれ、2 以上の整数である。

【0021】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。

10

【0022】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。

【0023】

参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ は、行デコーダ 12、列デコーダ 13、および読出/書込回路 14 によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$ (M は 1 以上の整数) ビットの参照データ 1 を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ 2 を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データ R を保存する。つまり、参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, ..., $SC_{R1} \sim SC_{RW}$ のそれぞれは、参照データの $M \times W$ ビットを保存する。

20

【0024】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ 1 と、検索データ保存回路 15 に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの参照データ 2 と、検索データ保存回路 15 に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの参照データ R と、検索データ保存回路 15 に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、...、距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行われる。

30

【0025】

そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ 1 と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力する。距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ 2 と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ R と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_R へ出力する。

40

【0026】

距離演算回路 $DP_{11} \sim DP_{1W}$ のそれぞれは、参照データ 1 と検索データとの距離を次式を用いて演算する。

【0027】

【数 1】

$$n_{Mr} = \sum_{j=1}^W D_{rj} = \sum_{j=1}^W |I_{nj} - R_{erj}| \quad \dots (1)$$

【0028】

式(1)において、 D_{rj} ($r = 1 \sim R, j = 1 \sim W$) は、参照データと検索データとの距離(絶対値差)を表す。 n_{Mr} は、参照データと検索データとのマンハッタン距離を示している。また、式(1)において、 I_{nj} は、検索データであり、 R_{erj} は、参照データである。各データ I_{nj} 、 R_{erj} は、それぞれ、Mビットからなる。

10

【0029】

このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの参照データ1と、 $M \times W$ ビットの検索データとの距離をMビットずつ演算し、それぞれがMビットのビット長を有するW個の距離信号 D_{1j} を距離/クロック数変換回路 DC_1 へ出力する。

【0030】

距離演算回路 $DP_{21} \sim DP_{2W}$ 、... および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、同様にして、それぞれ、式(1)を用いて参照データ2～Rと検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、... および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、それぞれがMビットのビット長を有するW個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離/クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

20

【0031】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ からW個の距離信号 D_{1j} を受け、各距離信号 D_{1j} の二乗値の和に相当するクロック信号CLKのクロック数 CN_total1 を後述する方法によってカウントする。そして、そのクロック数 CN_total1 をカウントしたタイミングを示すマッチ信号 M_1 を出力する。

【0032】

距離/クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ からW個の距離信号 D_{2j} を受け、各距離信号 D_{2j} の二乗値の和に相当するクロック信号CLKのクロック数 CN_total2 を後述する方法によってカウントする。そして、そのクロック数 CN_total2 をカウントしたタイミングを示すマッチ信号 M_2 を出力する。

30

【0033】

以下、同様にして、距離/クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ からW個の距離信号 D_{Rj} を受け、各距離信号 D_{Rj} の二乗値の和に相当するクロック信号CLKのクロック数 CN_totalR を後述する方法によってカウントする。そして、そのクロック数 CN_totalR をカウントしたタイミングを示すマッチ信号 M_R を出力する。

【0034】

行デコーダ12は、メモリ部11の行方向のアドレスを指定する。列デコーダ13は、メモリ部11の列方向のアドレスを指定する。読出/書込回路14は、参照データを行デコーダ12および列デコーダ13によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、...、 $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路15に書き込む。

40

【0035】

検索データ保存回路15は、読出/書込回路14によって書き込まれた検索データ($M \times W$ ビットのデータ)を保存する。

【0036】

図3は、一例に係る距離/クロック数変換回路 DC_1 の概略構成を示す。なお、距離/クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、図3に示す距離/クロック数変換回路 DC_1 と同様の構成を有する。距離/クロック数変換回路 DC_1 は、バッファ121～12Wと、カウンター一致検出回路131～13Wとを含む。

50

【 0 0 3 7 】

バッファ 1 2 1 は、k 近傍法連想メモリ 1 0 0 の制御回路（図示せず）から検索開始信号 S B を受け、k 近傍法連想メモリ 1 0 0 に内蔵されたクロック発生回路（図示せず）からクロック信号 C L K を受ける。そして、バッファ 1 2 1 は、検索開始信号 S B が L レベルから H レベルに遷移すると、その受けたクロック信号 C L K をバッファ 1 2 2 およびカウンタ一致検出回路 1 3 1 へ出力する。バッファ 1 2 2 は、クロック信号 C L K をバッファ 1 2 1 から受け、カウンタ一致検出回路 1 3 1 から、後述する H レベルの一致信号（D E T E C T 1）を受けると、クロック信号 C L K をバッファ 1 2 3（図示せず）およびカウンタ一致検出回路 1 3 2 へ出力する。以下、同様にして、バッファ 1 2 W は、クロック信号 C L K をバッファ 1 2 W - 1（図示せず）から受け、カウンタ一致検出回路 1 3 W - 1（図示せず）から、後述する H レベルの一致信号（D E T E C T W - 1）を受けると、クロック信号 C L K をカウンタ一致検出回路 1 3 W へ出力する。

10

【 0 0 3 8 】

カウンタ一致検出回路 1 3 1 ~ 1 3 W は、それぞれ、距離演算回路 $D P_{1,1} \sim D P_{1,W}$ に対応して設けられる。そして、カウンタ一致検出回路 1 3 1 ~ 1 3 W は、直列に接続される。ここで、カウンタ一致検出回路 1 3 1 ~ 1 3 W の概略構成について説明する。

【 0 0 3 9 】

図 4 は、一例に係るカウンタ一致検出回路 1 3 1 ~ 1 3 W の概略構成を示す。本例は、 $W = 2$ の場合を示している。カウンタ一致検出回路 1 3 1 は、クロック数変換回路 1 3 1 a と、カウンタ 1 3 1 b と、一致検出回路 1 3 1 c とを含む。カウンタ一致検出回路 1 3 2 は、クロック数変換回路 1 3 2 a と、カウンタ 1 3 2 b と、一致検出回路 1 3 2 c とを含む。以下、各構成の機能について説明する。

20

【 0 0 4 0 】

クロック数変換回路 1 3 1 a は、距離演算回路 $D P_{1,1}$ から M ビットのビット長を有する距離信号 $D_{1,1}$ と、バッファ 1 2 1 からのクロック信号 C L K とを受けると、クロック数変換回路 1 3 1 a は、クロック信号 C L K のクロック数をカウントし、距離信号 $D_{1,1}$ が示す距離と一致するクロック数を検出したタイミングで、カウンタ 1 3 1 b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 1 3 1 a は、後述の一致検出回路 1 3 1 c から H レベルの一致信号（D E T E C T 1）が出力されるまで、この処理を繰り返し行い、H レベルの一致信号（D E T E C T 1）が出力されると動作を停止する。

30

【 0 0 4 1 】

カウンタ 1 3 1 b は、クロック数変換回路 1 3 1 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 1 3 1 c へ出力する。

【 0 0 4 2 】

一致検出回路 1 3 1 c は、カウンタ 1 3 1 b からカウンタ値を受け、距離演算回路 $D P_{1,1}$ から M ビットのビット長を有する距離信号 $D_{1,1}$ を受ける。一致検出回路 1 3 1 c は、距離信号 $D_{1,1}$ が示す距離とカウンタ値とを比較し、距離信号 $D_{1,1}$ が示す距離とカウンタ値とが一致するときに、H レベルの一致信号（D E T E C T 1）をクロック数変換回路 1 3 1 a とバッファ 1 2 2 へ出力する。一致検出回路 1 3 1 c は、距離信号 $D_{1,1}$ が示す距離とカウンタ値とが一致しないときは、L レベルの一致信号（D E T E C T 1）をクロック数変換回路 1 3 1 a とバッファ 1 2 2 へ出力する。

40

【 0 0 4 3 】

クロック数変換回路 1 3 2 a は、バッファ 1 2 2 からクロック信号 C L K を受けると駆動する。クロック数変換回路 1 3 2 a は、距離演算回路 $D P_{1,2}$ から M ビットのビット長を有する距離信号 $D_{1,2}$ を受ける。クロック数変換回路 1 3 2 a は、クロック数変換回路 1 3 1 a と同様、クロック数変換回路 1 3 2 a は、クロック信号 C L K のクロック数をカウントし、距離信号 $D_{1,2}$ が示す距離と一致するクロック数を検出したタイミングで、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 1 3 2 a は、後述の一致検出回路 1 3 2 c から H レベルの一致信号（D E T E C T 2）が出力されるまで、この処理を繰り返

50

し行う。クロック数変換回路 132 a は、Hレベルの一致信号 (DETECT 2) が出力されると動作を停止する。

【0044】

カウンタ 132 b は、クロック数変換回路 132 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウント値を一致検出回路 132 c へ出力する。

【0045】

一致検出回路 132 c は、カウンタ 132 b からカウンタ値を受け、距離演算回路 DP₁₂ から M ビットのビット長を有する距離信号 D₁₂ を受ける。一致検出回路 132 c は、距離信号 D₁₂ が示す距離とカウンタ値とを比較し、距離信号 D₁₂ が示す距離とカウンタ値とが一致するときに、Hレベルの一致信号 (DETECT 2) をクロック数変換回路 132 a とバッファ 122 へ出力するとともに、Hレベルの一致信号 (DETECT 2) をマッチ信号 M₁ として出力する。また、一致検出回路 132 c は、距離信号 D₁₂ が示す距離とカウンタ値とが一致しないときは、Lレベルの一致信号 (DETECT 2) をクロック数変換回路 132 a へ出力する。

10

【0046】

ここで、例えば、距離演算回路 DP₁₁ から距離「2」を示す M ビットの距離信号 D₁₁ が出力され、距離演算回路 DP₁₂ から距離「3」を示す M ビットの距離信号 D₁₂ が出力された場合の動作例について説明する。

【0047】

クロック数変換回路 131 a は、距離「2」を示す M ビットの距離信号 D₁₁ を受け、バッファ 121 からのクロック信号 CLK のクロックに同期して、距離「2」に一致するクロック数をカウントする。クロック数変換回路 131 a は、カウントしたクロック数と距離とが一致すると、Hレベルの一致検出信号を出力する。カウンタ 131 b は、一致検出信号が立ち上がると、カウント値をカウントアップし、「1」を示すカウンタ値を一致検出回路 131 c へ出力する。このとき、距離信号 D₁₁ が示す距離「2」とカウンタ値「1」とが一致しないため、一致検出回路 131 c から Lレベルの一致信号 (DETECT 1) が出力される。

20

【0048】

クロック数変換回路 131 a は、出力した一致検出信号が Lレベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路 131 a は、再びクロック信号 CLK のクロック数をカウントし、カウントしたクロック数が距離「2」と一致すると、カウンタ 131 b に Hレベルの一致検出信号を出力する。カウンタ 131 b は、一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 131 c に「2」を示すカウンタ値を出力する。一致検出回路 131 c は、距離信号 D₁₁ が示す距離「2」とカウンタ値「2」とが一致するため、一致信号 (DETECT 1) をバッファ 122 とクロック数変換回路 131 a へ出力する。つまり、検索開始からのクロック数が「4」となるタイミングで、Hレベルの一致信号 (DETECT 1) が出力される。そして、クロック数変換回路 131 a は、Hレベルの一致信号 (DETECT 1) に応じて動作を停止する。

30

40

【0049】

バッファ 122 は、一致検出回路 131 c から Hレベルの一致信号 (DETECT 1) を受けて、クロック数変換回路 132 a にクロック信号 CLK を出力する。クロック数変換回路 132 a は、バッファ 122 からのクロック信号 CLK のクロックに同期して、クロック信号 CLK のクロック数をカウントする。クロック数変換回路 132 a は、距離「3」を示す M ビットの距離信号 D₁₂ を受け、カウントしたクロック数が距離「3」と一致するタイミングで、Hレベルの一致検出信号をカウンタ 132 b へ出力する。カウンタ 132 b は、クロック数変換回路 132 a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 132 c に「1」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「1」とが一致しないため、一致検出回路 132 c が

50

ら L レベルの一致信号 (D E T E C T 2) が出力される。

【 0 0 5 0 】

クロック数変換回路 1 3 2 a は、出力した一致検出信号が L レベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路 1 3 2 a は、再びクロック信号 C L K のクロック数をカウントし、カウントしたクロック数が距離「 3 」と一致すると、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する。カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a から的一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 1 3 2 c に「 2 」を示すカウンタ値を出力する。このとき、距離「 3 」とカウンタ値「 2 」とが一致しないため、一致検出回路 1 3 2 c から L レベルの一致信号 (D E T E C T 2) が出力される。

10

【 0 0 5 1 】

クロック数変換回路 1 3 2 a は、一致検出信号が L レベルになると、再びカウントしたクロック数をリセットしてクロック信号 C L K をカウントし、カウントしたクロック数が距離「 3 」と一致すると、カウンタ 1 3 2 b に H レベルの一致検出信号を出力する。そして、クロック数変換回路 1 3 2 a は、 H レベルの一致信号 (D E T E C T 2) に応じて動作を停止する。カウンタ 1 3 2 b は、クロック数変換回路 1 3 2 a から的一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 1 3 2 c に「 3 」を示すカウンタ値を出力する。一致検出回路 1 3 2 c は、距離「 3 」とカウンタ値「 3 」とが一致するために、 H レベルの一致信号 (D E T E C T 2) をクロック数変換回路 1 3 2 a に出力するとともに、マッチ信号 M₁ を出力する。つまり、クロック数変換回路 1 3 2 a においてカウントされたクロック数は「 9 (= 3 + 3 + 3) 」であり、検索開始からクロック数「 1 3 (= 4 + 9) 」のタイミングでマッチ信号 M₁ が出力される。

20

【 0 0 5 2 】

カウンタ一致検出回路 1 3 1 , 1 3 2 全体でカウントされるクロック数 C N _ t o t a l 1 「 1 3 」は、カウンタ一致検出回路 1 3 1 においてカウントするクロック数「 4 (= 2 + 2) 」と、カウンタ一致検出回路 1 3 2 においてカウントするクロック数「 9 (= 3 + 3 + 3) 」とを加算したものである。つまり、カウンタ一致検出回路 1 3 1 , 1 3 2 によって、距離「 2 」の二乗値と距離「 3 」の二乗値との和に一致するクロック数をカウントすることに相当する。

【 0 0 5 3 】

距離 / クロック数変換回路 D C₁ は、一般的に、 W 個の距離信号 D_{1 1} ~ D_{1 W} を受ける。そして、 W 個の距離信号 D_{1 1} ~ D_{1 W} のそれぞれは、 M ビットのビット長を有する。したがって、距離 / クロック数変換回路 D C₁ は、 M × W ビットのビット長を有する距離信号 D_{1 1} D_{1 2} ... D_{1 W} を受ける。カウンタ一致検出回路 1 3 1 において、距離信号 D_{1 1} が示す距離に一致する回数分だけ、その距離に一致するクロック数を繰り返しカウントする。また、カウンタ一致検出回路 1 3 2 ~ 1 3 W は、それぞれ、カウンタ一致検出回路 1 3 1 ~ 1 3 W - 1 から一致信号を受けた後に、距離信号 D_{1 2} ~ D_{1 W} にそれぞれ一致するクロック数を、その距離に一致する回数だけ繰り返しカウントする。その結果、距離 / クロック数変換回路 D C₁ においてカウントされる全体のクロック数 C N _ t o t a l 1 は、カウンタ一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数の和に等しい。カウンタ一致検出回路 1 3 1 ~ 1 3 W のそれぞれにおいてカウントされたクロック数は、それぞれ、距離信号 D_{1 1} ~ D_{1 W} が示す各距離の二乗値に相当するため、距離 / クロック数変換回路 D C₁ においてカウントされる全体のクロック数 C N _ t o t a l R は、各距離信号 D_{1 1} ~ D_{1 W} の二乗値の和を表している。

30

40

【 0 0 5 4 】

ここで、ユークリッド距離 n_{E r} は、次式によって表される。

【 0 0 5 5 】

【数 2】

$$n_{Er} = \sum_{j=1}^W |I_{nj} - R_{erj}|^2 \dots (2)$$

【0056】

式(2)の右辺の $|I_{nj} - R_{erj}|^2$ は、式(1)の右辺の $|I_{nj} - R_{erj}|$ において、検索データと参照データとの距離の二乗値に一致する。したがって、ユークリッド距離 n_{Er} の演算は、上述したように、式(1)によって演算したW個の各距離について、距離に一致するクロック数をカウントする処理を距離に一致する回数だけ繰り返すことにより実現される。そうすると、図4の例において、カウンター一致検出回路132が、カウンター一致検出回路131、132全体でカウントしたクロック数のタイミングを示すマッチ信号 M_1 を出力することは、ユークリッド距離 n_{Er} によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示す信号を出力することに相当する。なお、距離/クロック数変換回路 $DC_2 \sim DC_R$ のそれぞれも、距離/クロック数変換回路 DC_1 の動作と同じ動作によって、それぞれ、マッチ信号 $M_2 \sim M_R$ を出力する。

10

【0057】

図5は、一例に係るマッチ信号のタイミングチャートである。距離/クロック数変換回路 $DC_1 \sim DC_R$ は、図5に示すように、例えばマッチ信号 $M_1 \sim M_R$ をそれぞれクロック信号 CLK に同期して出力する。

20

【0058】

なお、上記構成のクロックカウント式連想メモリ10は一例に過ぎず、図5に示したような出力が可能なクロックカウント式連想メモリであればよい。

【0059】

k近傍検索回路20の構成例

図1に戻り、k近傍検索回路20は、マッチ信号カウント回路21と、k-マッチ信号数一致検出回路22と、マッチ信号保持回路23とを含む。

【0060】

マッチ信号カウント回路21は、クロックカウント式連想メモリ10から出力されるR個のマッチ信号のうちアクティブになったマッチ信号の数をカウントする回路である。

30

【0061】

図6は、一例に係るマッチ信号カウント回路21の概略構成を示す。マッチ信号カウント回路21は、複数の加算器をツリー状に接続した加算器ツリー回路として構成することができる。加算器ツリー回路のリーフノードには $R/2$ 個の半加算器(HA)211が配置される。各加算器211にはR個のマッチ信号のうち2ビットが入力される。例えば、図6の左端の加算器211には参照データ1に対応するマッチ信号 M_1 と参照データ2に対応するマッチ信号 M_2 が入力され、右端の加算器211には参照データ $R-1$ に対応するマッチ信号 M_{R-1} と参照データRに対応するマッチ信号 M_R が入力される。

【0062】

加算器ツリー回路の2段目には $R/2^2$ 個の2ビットの桁上げ伝播加算器(2bit-RCAs)212が配置される。各加算器212には前段(リーフノード)の2個の加算器211からそれぞれ2ビット出力が入力される。

40

【0063】

加算器ツリー回路の3段目には $R/2^3$ 個の3ビットの桁上げ伝播加算器(3bit-RCAs)213が配置される。各加算器213には前段(第2段目)の2個の加算器212からそれぞれ3ビット出力が入力される。

【0064】

加算器ツリー回路のL段目のルートノードには1個のLビットの桁上げ伝播加算器(Lbit-RCAs)21Lが配置される。加算器21Lには前段(L-1段目)の2個の加

50

算器からそれぞれLビット出力が入力される。

【0065】

加算器21LからはL+1ビットのNMS (Number of Match Signals) が出力される。NMSが表す値は、R個のマッチ信号M₁ ~ M_Rのうちアクティブになったマッチ信号の数に相当する。

【0066】

上記構成のマッチ信号カウント回路21によると、複数のマッチ信号が同時にアクティブになっても、それらマッチ信号の数を正確にカウントすることができる。

【0067】

また、マッチ信号カウント回路21はk近傍法連想メモリ100の構成要素の中で最長の遅延時間を有する回路であるが、上記のようにマッチ信号カウント回路21を加算器ツリー回路として構成することにより、遅延時間をマッチ信号の総数の対数オーダーに抑えることができる。したがって、マッチ信号カウント回路21の遅延時間は実用上問題とならない程度のものである。

10

【0068】

図1に戻り、k-マッチ信号数一致検出回路22は、マッチ信号カウント回路21のカウント値がkに一致したことを検出する回路である。なお、マッチ信号カウント回路21のカウント値は上記のNMSによって表され、また、kは外部から与えることができる。

【0069】

図7は、一例に係るk-マッチ信号数一致検出回路22の概略構成を示す。本例において、kは4ビット値として与えられるものとする。k-マッチ信号数一致検出回路22は、kとNMSの対応するビットどうしを比較する4個の1ビット一致検出回路221を含む。

20

【0070】

各1ビット一致検出回路221は、1ビット入力A, B、および1ビット出力X, Yを有する回路である。AにNMSの対応ビットが、Bにkの対応ビットが、それぞれ入力される。入力A, B、出力X, Yの真理値表は表1に示す通りである。

【0071】

【表1】

A	B	X	Y
0	0	0	1
0	1	0	0
1	0	1	0
1	1	0	1

30

【0072】

すなわち、各1ビット一致検出回路221は、NMSの対応ビットとkの対応ビットが一致すればYに1を出力し、NMSの対応ビットがkの対応ビットよりも大きければXに1を出力する。

【0073】

kの最上位ビット以外の1ビット一致検出回路221において、NMSの対応ビットとそれよりも上位ビットの1ビット一致検出回路221の出力Yとの論理積がAに入力されるようになっている。すなわち、MSNの対応ビットがそれよりも上位ビットの1ビット

40

50

一致検出回路 221 の出力 Y によってマスクされるようになっている。このため、上位ビットにおいて NMS と k とが一致しない限り、NMS と k の下位ビットどうしの一致検出は行われない。これは、NMS が時間とともに増加することに鑑み、NMS が k よりも小さい間は NMS と k の下位ビットどうしの一致を検出する必要はなく、上位ビットから順に一致を検出すればよいためである。このように、上位ビットの一致を見て下位ビットに進むという方式を採用することにより、1 ビット一致検出回路 221 の不要な動作を抑制して消費電力を低減することができる。

【0074】

各 1 ビット一致検出回路 221 の出力 Y は AND ゲート 222 に入力され、全出力 Y の論理積が演算される。k と NMS とが完全一致したとき、AND ゲート 222 の出力が H レベルに遷移する。AND ゲート 222 の出力は D フリップフロップ 224 にクロック入力 (CLK) される。D フリップフロップ 224 には検索開始信号 SB がデータ入力 (D) されており、検索開始信号 SB が H レベルの場合において、D フリップフロップ 224 はクロック入力に応じて H レベルの検索開始信号 SB を保持する。D フリップフロップ 224 の出力 (Q) は停止信号 stop として出力される。

10

【0075】

後述するように、停止信号 stop はマッチ信号保持回路 23 によるマッチ信号の保持のタイミング信号として利用することができる。また、停止信号 stop はクロックカウンタ式連想メモリ 10 の動作を停止させる制御信号として利用することができる。アクティブのマッチ信号の数が k 個に達した後はクロックカウンタ式連想メモリ 10 はもはや動作しなくてもよい。したがって、クロックカウンタ式連想メモリ 10 において、例えば、停止信号 stop を受けたときにクロック信号 CLK の供給を遮断するように構成することで、クロックカウンタ式連想メモリ 10 の不要な動作を抑制して消費電力を低減することができる。

20

【0076】

各 1 ビット一致検出回路 221 の出力 X は OR ゲート 223 a に入力され、全出力 X の論理和が演算される。1 ビット一致検出回路 221 の少なくとも一つにおいて NMS の対応ビットが k の対応ビットより大きくなれば、OR ゲート 223 a の出力が H レベルに遷移する。また、NMS の残りの全上位ビットは OR ゲート 223 b に入力され、これらビットの論理和が演算される。NMS の残りの全上位ビットにおいて少なくとも 1 ビットが H レベルとなった場合、OR ゲート 223 b の出力が H レベルに遷移する。OR ゲート 223 c は、OR ゲート 223 a および OR ゲート 223 b の各出力の論理和を演算する。OR ゲート 223 c の出力は、異常信号 abnormal として出力される。すなわち、NMS が k を超えたとき、異常信号 abnormal が出力される。異常信号 abnormal は、k 近傍検索のやり直し指示などに利用することができる。また、異常信号 abnormal は D フリップフロップ 224 にクロック入力 (CLK) される。これにより、異常信号 abnormal の出力に合わせて停止信号 stop が出力される。

30

【0077】

異常信号 abnormal は、D フリップフロップ 224 の出力 (Q) の反転論理によってマスクされる。すなわち、異常信号 abnormal が出力される前に NMS と K が完全一致して停止信号 stop が出力された場合、その後 NMS が k を超えても異常信号 abnormal が出力されないようになっている。

40

【0078】

D フリップフロップ 224 のリセットを行うために、k 近傍法連想メモリ 100 の共通に使用されるリセット信号 RST が入力される。

【0079】

図 1 に戻り、マッチ信号保持回路 23 は、クロックカウンタ式連想メモリ 10 から出力される R 個のマッチ信号を受け、k - マッチ信号数一致検出回路 22 によってマッチ信号カウンタ回路 21 のカウンタ値が k に一致したことが検出されたときの R 個のマッチ信号を保持する。

50

【0080】

図8は、一例に係るマッチ信号保持回路23の構成を示す。マッチ信号保持回路23は、クロックカウント式連想メモリ10から出力されるR個のマッチ信号 $M_1 \sim M_R$ のそれぞれを保持するR個のDフリップフロップ231を含む。各Dフリップフロップ231において、マッチ信号がデータ入力(D)されるとともに、停止信号stopがクロック入力(CLK)される。R個のDフリップフロップ231のそれぞれの出力(Q)は、R個のマッチ信号 $M_1 \sim M_R$ としてk近傍クラスタリング回路30に入力される。なお、図示していないが、各Dフリップフロップ231はリセット信号RSTを受けることで初期状態にリセットされる。

【0081】

k近傍クラスタリング回路30の構成例

図1に戻り、k近傍クラスタリング回路30は、クラスデータメモリ31と、X個のクラスカウンタ32と、クラス識別回路33と、最大カウンタ検出回路34とを含む。

【0082】

クラスデータメモリ31は、R個の参照データのそれぞれのクラスを表すR個のクラスデータ(クラスデータ1, クラスデータ2, ..., クラスデータR)を保持する回路である。

【0083】

各クラスカウンタ32は、対応するクラスのデータ数をカウントするための回路である。クラス数は、全部でX個(Xは2以上の整数)である。

【0084】

クラス識別回路33は、k近傍検索回路20(より詳細にはマッチ信号保持回路23)が保持するアクティブのk個のマッチ信号を順次選択し、当該選択したマッチ信号に対応するクラスデータをクラスデータメモリ31から読み出し、当該読み出したクラスデータによって表されるクラスに対応するクラスカウンタ32をカウントアップする回路である。

【0085】

図9は、一例に係るクラスデータメモリ31、クラスカウンタ32、およびクラス識別回路33の概略構成を示す。

【0086】

クラスデータメモリ31は、メモリ部311、行選択回路312、列デコーダ313、および読出/書込回路314を含む。

【0087】

メモリ部311は、SRAMなどで構成されるクラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ を含む。なお、Qは、2以上の整数である。

【0088】

クラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ は、行選択回路312、列デコーダ313、および読出/書込回路314によって書き込まれたクラスデータを保存する。この場合、クラスデータ保存回路 $S_{11} \sim S_{1Q}$ は、 $N \times Q$ (Nは1以上の整数)ビットのクラスデータ1を保存し、クラスデータ保存回路 $S_{21} \sim S_{2Q}$ は、 $N \times Q$ ビットのクラスデータ2を保存し、以下、同様にして、クラスデータ保存回路 $S_{R1} \sim S_{RQ}$ は、 $N \times Q$ ビットのクラスデータRを保存する。つまり、クラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ のそれぞれは、クラスデータのNビットを保存する。

【0089】

行選択回路312は、メモリ部311の行方向のアドレスを指定する。列デコーダ313は、メモリ部311の列方向のアドレスを指定する。読出/書込回路314は、行選択回路312および列デコーダ313によって指定されたクラスデータ保存回路 $S_{11} \sim S_{1Q}$, $S_{21} \sim S_{2Q}$, ..., $S_{R1} \sim S_{RQ}$ に対してクラスデータを読み書きする。

【0090】

10

20

30

40

50

クラス識別回路 33 は、R 個のマッチ信号検出回路 331 と、デマルチプレクサ 332 と、バッファ 333 とを含む。動作開始信号 $start$ が H レベルに遷移することで、バッファ 333 がクラス識別回路 33 にクロック信号 CLK を供給する。これにより、クラス識別回路 33 は動作を開始する。また、クラス識別回路 33 によるクラス識別動作が終了すると終了信号 end が H レベルに遷移する。

【0091】

R 個のマッチ信号検出回路 331 は、 k 近傍検索回路 20 (より詳細にはマッチ信号保持回路 23) が保持する R 個のマッチ信号のそれぞれに対応して設けられている。各マッチ信号検出回路 331 は、対応するマッチ信号がアクティブであることを検出してクラスデータメモリ 31 に当該マッチ信号に対応するクラスデータを選択する選択信号 act を出力する回路である。

10

【0092】

R 個のマッチ信号検出回路 331 は、動作開始信号を伝搬するように直列に接続されている。すなわち、マッチ信号検出回路 331 は動作開始信号を次々に受けて順次動作するようになっている。初段のマッチ信号検出回路 331 は、動作開始信号 $start$ を動作開始信号 $next_0$ として受けて動作を開始し、動作が終了すると次段 (2 段目) のマッチ信号検出回路 331 へ動作開始信号 $next_1$ を出力する。2 段目のマッチ信号検出回路 331 は、動作開始信号 $next_1$ を受けて動作を開始し、動作が終了すると次段 (3 段目) のマッチ信号検出回路 331 へ動作開始信号 $next_2$ を出力する。以下、同様にして、最終段 (R 段目) のマッチ信号検出回路 331 は、動作開始信号 $next_{R-1}$ を受けて動作を開始し、動作が終了すると動作開始信号 $next_R$ を出力する。動作開始信号 $next_R$ は終了信号 end に相当する。

20

【0093】

マッチ信号 M_1 が入力されるマッチ信号検出回路 331 から出力される選択信号 act_1 によって、クラスデータメモリ 31 においてクラスデータ 1 が選択され、出力される。マッチ信号 M_2 が入力されるマッチ信号検出回路 331 から出力される選択信号 act_2 によって、クラスデータメモリ 31 においてクラスデータ 2 が選択され、出力される。以下、同様にして、マッチ信号 M_R が入力されるマッチ信号検出回路 331 から出力される選択信号 act_R によって、クラスデータメモリ 31 においてクラスデータ R が選択され、出力される。

30

【0094】

図 10 は、一例に係るマッチ信号検出回路 331 の概略構成を示す。マッチ信号検出回路 331 は、一致検出回路 3311 と、レジスタ 3312 とを含む。一致検出回路 3311 は、レジスタ 3312 が保持する 1 ビット値とマッチ信号 M_i との一致を検出して一致信号 $match$ を出力する回路である。両者が一致する場合、一致信号 $match$ は H レベルとなり、両者が一致しない場合、一致信号 $match$ は L レベルとなる。一致信号 $match$ およびマッチ信号検出回路 331 に入力される動作開始信号 $next_{i-1}$ は AND ゲート 3313 に入力されて論理積が演算される。AND ゲート 3313 の出力が、次段のマッチ信号検出回路 331 に供給される動作開始信号 $next_i$ となる。また、一致信号 $match$ の論理反転および動作開始信号 $next_{i-1}$ は AND ゲート 3314 に入力されて論理積が演算される。AND ゲート 3314 の出力が、クラスデータの選択信号 act_i となる。

40

【0095】

レジスタ 3312 には初期値として 0 が保持されている。したがって、マッチ信号 M_i が非アクティブのとき、両者は一致して一致信号 $match$ が H レベルとなる。このとき、AND ゲート 3313 の出力が H レベルとなり、次段のマッチ信号検出回路 331 に動作開始信号 $next_{i-1}$ が供給される。また、AND ゲート 3314 の出力は L レベルとなる。すなわち、クラスデータの選択信号 act_i は出力されない。このように、マッチ信号 M_i が非アクティブのとき、マッチ信号検出回路 331 は、クラスデータの選択信号を出力せずに、入力された動作開始信号をすぐさま次段のマッチ信号検出回路 331 に

50

伝達する。

【0096】

一方、マッチ信号 M_i がアクティブのとき、両者が一致しないため一致信号 $match$ が Lレベルとなる。このとき、ANDゲート3313の出力がLレベルとなり、Hレベルの動作開始信号 $next_{i-1}$ が入力されることで、ANDゲート3314からHレベルの選択信号 act_i が出力される。

【0097】

レジスタ3312には、直列に接続されたバッファ3315とバッファ3316を介してクロック信号CLKが接続されている。動作開始信号 $next_{i-1}$ がHレベルになると、バッファ3315はクロック信号CLKをバッファ3316へ供給する。さらに、一致信号 $match$ の反転がHレベルになるとバッファ3316はクロック信号CLKをレジスタ3312へ供給する。レジスタ3312はクロック信号CLKを受けると保持値を1に変更する。これにより、アクティブのマッチ信号 M_i とレジスタ3312の保持値とが一致して一致信号 $match$ がLレベルとなる。このとき、ANDゲート3313の出力がHレベルとなり、次段のマッチ信号検出回路331に動作開始信号 $next_{i-1}$ が供給される。また、ANDゲート3314の出力はLレベルとなる。すなわち、クラスデータの選択信号 act_i がLレベルに遷移する。このように、マッチ信号 M_i がアクティブのとき、マッチ信号検出回路331は、クラスデータの選択信号を出力してから1クロック周期後に、入力された動作開始信号を次段のマッチ信号検出回路331に伝達する。このとき出力されるクラスデータの選択信号は1クロック周期だけHレベルとなる。

【0098】

図9に戻り、デマルチプレクサ332にはバッファ333から供給されるクロック信号CLKが入力され、出力先はクラスデータメモリ31から出力されたQビットのクラスデータ cls によって決定される。すなわち、クラスデータ cls はX個のクラスカウンタ32の中のいずれか一つを選択する信号として用いられる。そして、1クロック周期ごとにクラスデータが選択され、当該選択されたクラスデータに対応するクラスカウンタ32にクロック信号CLKが入力されることで、当該クラスカウンタ32のカウント値がカウントアップされる。

【0099】

上記構成のクラスデータメモリ31、クラスカウンタ32、およびクラス識別回路33によると、マッチ信号保持回路23が保持するマッチ信号の総数に拘わらず、kクロック周期で、アクティブのk個のマッチ信号に対応するクラスのカウンタが完了する。したがって、k近傍クラスタリング処理を高速に行うことができる。

【0100】

X個のクラスカウンタ32のカウント値 $C_{n_1} \sim C_{n_x}$ は、各クラスの近傍の数を示している。すなわち、カウント値 $C_{n_1} \sim C_{n_x}$ を参照することで各クラスの票数（データ数）がわかる。最大カウンタ検出回路34は、X個のクラスカウンタ32の中からカウント値が最大のクラスカウンタを見つける回路である。

【0101】

図11は、一例に係る最大カウンタ検出回路34の概略構成を示す。最大カウンタ検出回路34は、ダウンカウンタ341と、X個の一致検出回路342とを含む。ダウンカウンタ341は、クロック信号CLKを受けて、初期値からカウント値をカウントダウンする回路である。ダウンカウンタ341へはバッファ343を介してクロック信号CLKが供給される。バッファ343は、クラス識別回路33によるクラス識別動作が終了したときに出力される終了信号 end を受けて、ダウンカウンタ341へクロック信号CLKを供給する。

【0102】

X個の一致検出回路342は、X個のクラスカウンタ32のそれぞれに対応して設けられている。各一致検出回路342は、対応するクラスカウンタ32のカウント値とダウンカウンタ341のカウント値との一致を検出して、一致信号 $C_1 \sim C_x$ を出力する回路で

10

20

30

40

50

ある。各一致検出回路 3 4 2 は、一致を検出すると、一致信号 $C_1 \sim C_x$ を H レベルに遷移させる。

【 0 1 0 3 】

X 個の一致検出回路 3 4 2 の出力信号は OR ゲート 3 4 4 に入力され、これらの論理和が演算される。ダウンカウンタ 3 4 1 に入力されるクロック信号 CLK は、OR ゲート 3 4 4 の出力の論理反転によってマスクされるようになっている。すなわち、ダウンカウンタ 3 4 1 のカウント値がカウントダウンされている間に、X 個の一致検出回路 3 4 2 のうちのいずれか一つによってダウンカウンタ 3 4 1 のカウント値と対応するクラスカウンタ 3 2 のカウント値との一致が検出されたとき、ダウンカウンタ 3 4 1 のカウント動作を停止させるようになっている。これにより、最大のカウント値を保持するクラスカウンタ 3 2 のみを検出することができる。一致信号 $C_1 \sim C_x$ のうち H レベルになっているものが、k 近傍法に基づいて決定された検索データのクラスを表している。

10

【 0 1 0 4 】

図 1 2 は、別例に係る最大カウンタ検出回路 3 4 の概略構成を示す。最大カウンタ検出回路 3 4 は、複数の最大値選出回路 3 4 5 をツリー状に接続したトーナメント回路として構成することもできる。

【 0 1 0 5 】

図 1 3 は、一例に係る最大値選出回路 3 4 5 の概略構成を示す。最大値選出回路 3 4 5 は、比較回路 3 4 6 と、マルチプレクサ 3 4 7 とを含む。

【 0 1 0 6 】

最大値選出回路 3 4 5 には、あるクラスカウンタ 3 2 のカウント値 A とそのクラスカウンタ 3 2 の識別番号 i を結合した信号 A & i と、別のクラスカウンタ 3 2 のカウント値 B とそのクラスカウンタ 3 2 の識別番号 j を結合した信号 B & j が入力される。比較回路 3 4 6 は、カウンタ値 A およびカウンタ値 B の大小を比較する。マルチプレクサ 3 4 7 は、信号 A & i および信号 B & j を受け、比較回路 3 4 6 の出力信号に応じて信号 C として信号 A & i および信号 B & j のいずれか一方を出力する。具体的には、マルチプレクサ 3 4 7 は、A > B の場合、信号 A & i を出力し、A < B の場合、信号 B & j を出力する。すなわち、信号 C として、カウンタ値が大きい方のクラスカウンタ 3 2 のカウント値 max (A , B) とそのクラスカウンタの識別番号 index (i or j) を結合した信号が出力される。なお、マルチプレクサ 3 4 7 は、A > B の場合、信号 A & i を出力し、A < B の場合、信号 B & j を出力してもよい。

20

30

【 0 1 0 7 】

図 1 2 に戻り、トーナメント回路のリーフノードには X / 2 個の最大値選出回路 3 4 5 が配置される。リーフノードの各最大値選出回路 3 4 5 には X 個のクラスカウンタ 3 2 のうち隣り合う 2 個のクラスカウンタ 3 2 の各カウンタ値とそれら 2 個のクラスカウンタ 3 2 の各識別番号を結合した信号が入力される。

【 0 1 0 8 】

トーナメント回路の 2 段目には X / 2² 個の最大値選出回路 3 4 5 が配置される。2 段目の各最大値選出回路 3 4 5 にはリーフノードの隣り合う 2 個の最大値選出回路 3 4 5 から出力される信号が入力される。

40

【 0 1 0 9 】

トーナメント回路のルートノードには 1 個の最大値選出回路 3 4 5 が配置される。そして、ルートノードの最大値選出回路 3 4 5 から、X 個のクラスカウンタ 3 2 の最大カウント値 max (C n₁ , ... , C n_x) およびそのクラスカウンタ 3 2 の識別番号である class index を結合した信号が出力される。

【 0 1 1 0 】

上記構成の最大カウンタ検出回路 3 4 によると、X 個のクラスカウンタ 3 2 の最大値を 1 クロックサイクルで決定することができるため、特に高速処理に適している。

【 0 1 1 1 】

以上のように、本実施形態によると、クロックカウント式連想メモリ 1 0 によって検索

50

データと各参照データとの距離がクロック数に変換されて、距離に応じたタイミングで各参照データに対応するマッチ信号がアクティブとなる。そして、k近傍検索回路20によってより先にアクティブになったk個のマッチ信号が検出および保持される。さらに、k近傍クラスタリング回路30によって当該k個のマッチ信号に対応するk個のクラスデータをクラス別に分類した場合にデータ数が最大となるクラスが判定される。このようにして、k近傍法に基づいた検索データのクラス分けが実現される。

【0112】

なお、本実施形態では、k近傍検索回路20において、クロックカウント式連想メモリ10から出力されるR個のマッチ信号を各1ビット情報として保存するため、距離情報が欠落してしまう。そこで、例えば、k近傍検索回路20にカウンタを設けて、各マッチ信号がアクティブになるまでの時間情報（すなわち時間換算した距離情報）を保持するようにしてもよい。その場合、時間情報を用いて、検索データにより距離の近い参照データの重みを大きくするようにクラスデータの重み付けを行って、より高度なクラス判別を行うことができる。また、アクティブとなったk個のマッチ信号に対応する参照データのうち、検索データとの距離が閾値以上のものは除外してk個以下でk近傍法を適用することも可能である。

10

【産業上の利用可能性】

【0113】

本発明に係るk近傍法連想メモリは、LSI上にk近傍法を効果的に実装することができるため、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションに有用である。

20

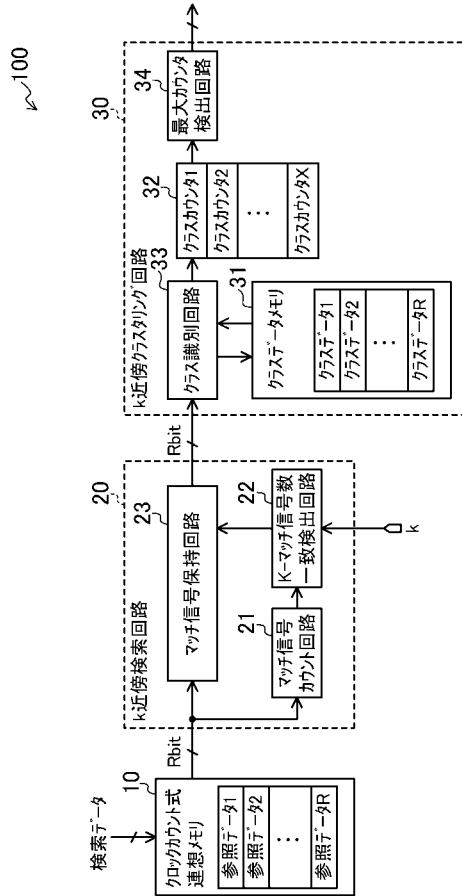
【符号の説明】

【0114】

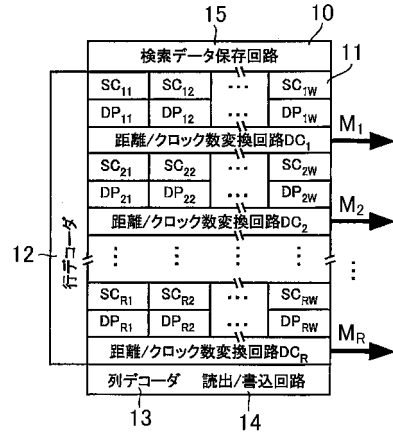
- 100 k近傍法連想メモリ
- 10 クロックカウント式連想メモリ
- 20 k近傍検索回路
- 31 マッチ信号カウント回路
- 211, 212, 213, 21L 加算器
- 22 k - マッチ信号数一致検出回路
- 23 マッチ信号保持回路
- 30 k近傍クラスタリング回路
- 31 クラスデータメモリ
- 32 クラスカウンタ
- 33 クラス識別回路
- 331 マッチ信号検出回路
- 34 最大カウンタ検出回路
- 341 ダウンカウンタ
- 342 一致検出回路
- 345 最大値選出回路

30

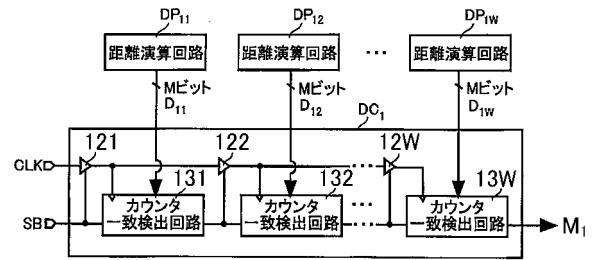
【図1】



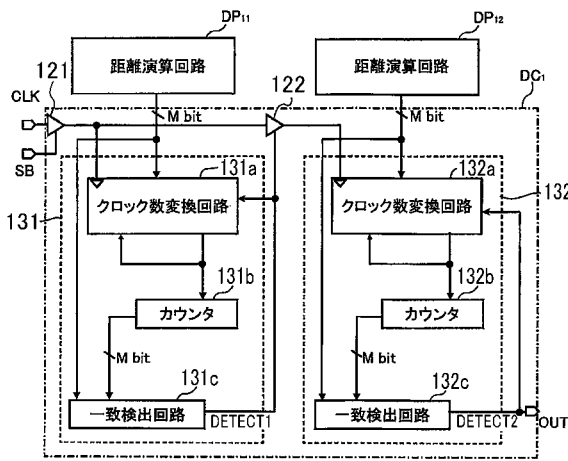
【図2】



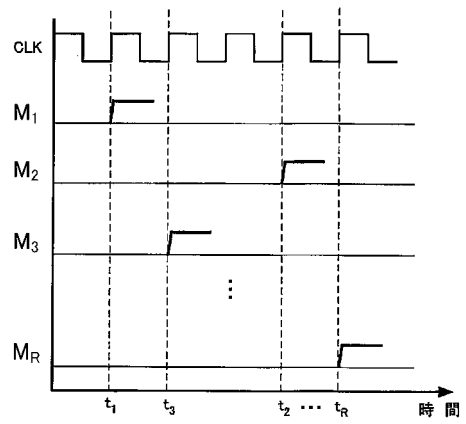
【図3】



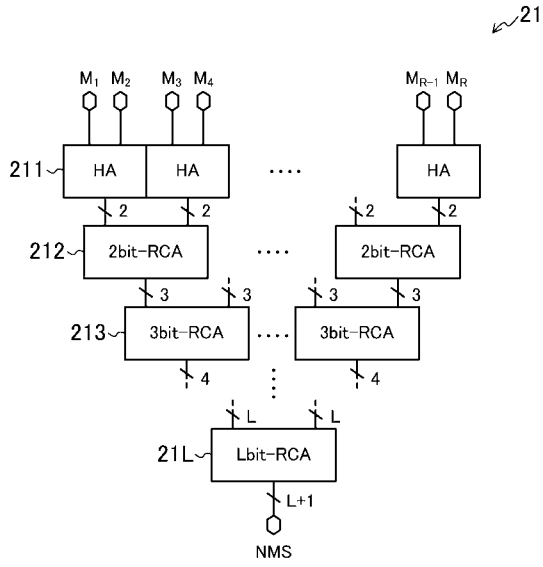
【図4】



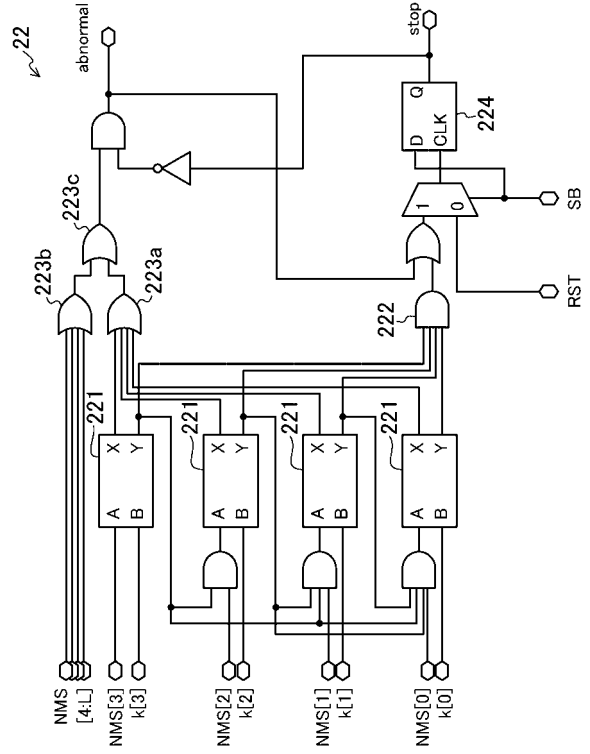
【図5】



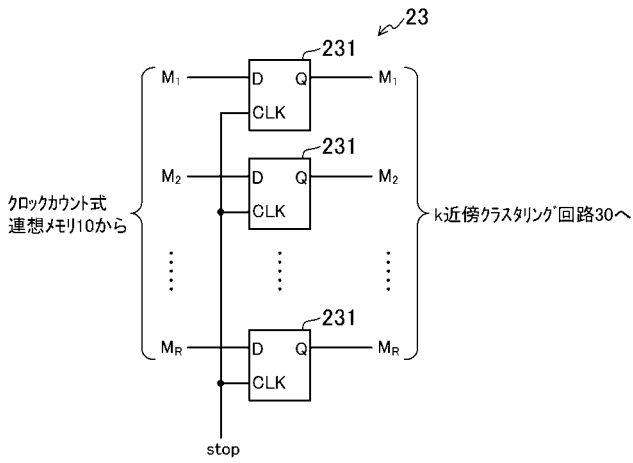
【 図 6 】



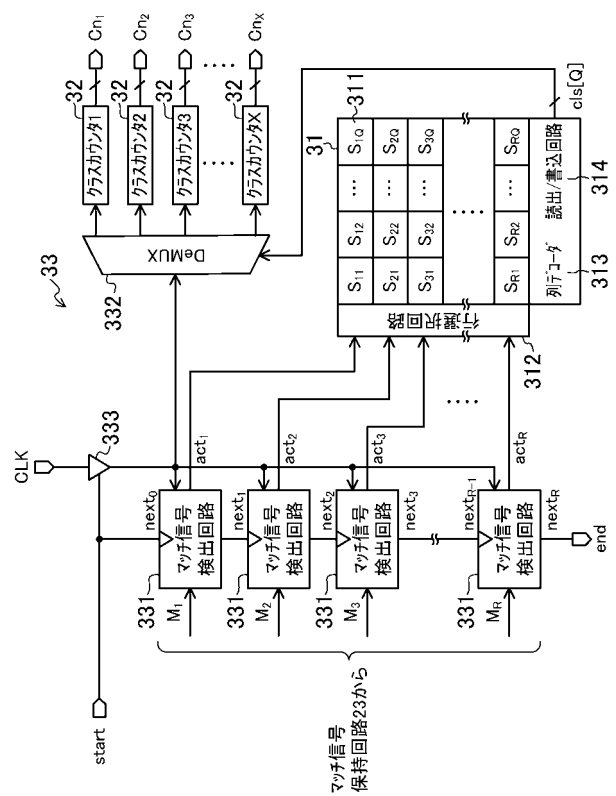
【 図 7 】



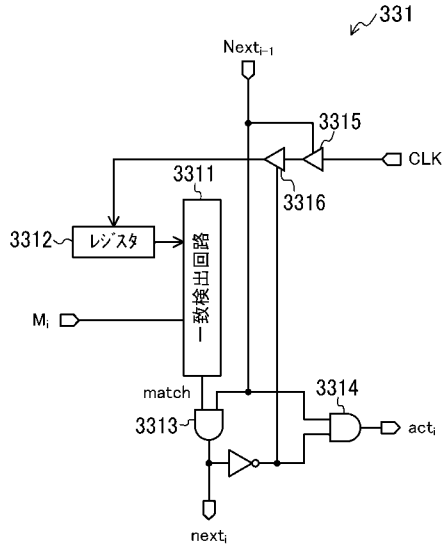
【 図 8 】



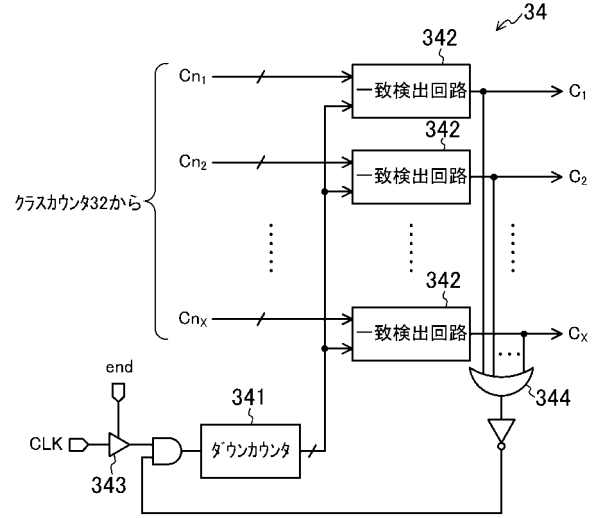
【 図 9 】



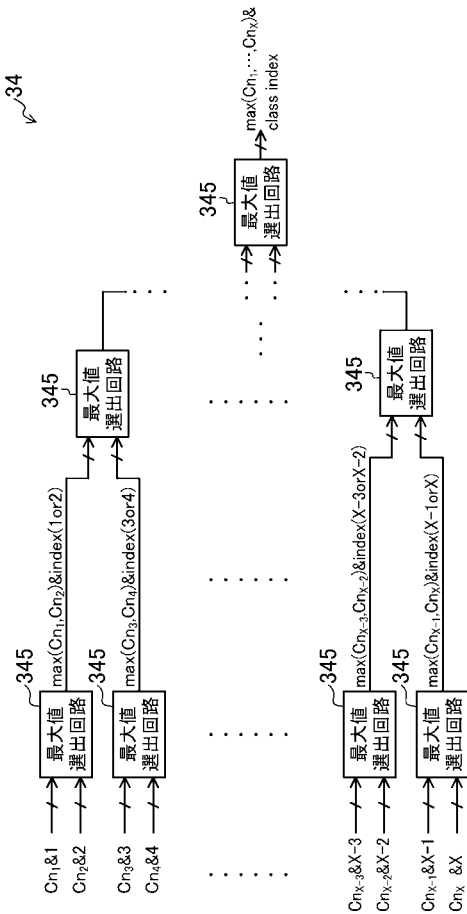
【図10】



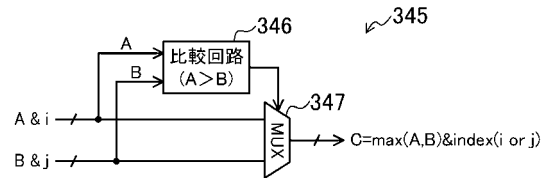
【図11】



【図12】



【図13】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2014/003809
A. CLASSIFICATION OF SUBJECT MATTER G06N3/00(2006.01)i, G06F17/30(2006.01)i, G11C15/04(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06N3/00, G06F17/30, G11C15/04 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Md.Anwarul ABEDIN, Yuki TANAKA, Ali AHMADI, Shogo SAKAKIBARA, Tetsushi KOIDE, Hans Jurgen MATTAUSCH, Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories, IEICE Transaction, 2007.06.01, Vol.E90-A No.6, pp.1240-1243	1-9
A	Seiryu SASAKI, Masahiro YASUDA, Hans Jurgen MATTAUSCH, Digital Associative Memory for Word-Parallel Manhattan-Distance-Based Vector Quantization, 2012 Proceedings of the ESSCIRC, 2012.09.17, pp.185-188	1-9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 September, 2014 (12.09.14)		Date of mailing of the international search report 22 September, 2014 (22.09.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003809

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/083632 A1 (Hiroshima University), 09 September 2005 (09.09.2005), paragraphs [0038] to [0043]; fig. 1, 2 & JP 2005-242808 A & US 2007/0003135 A1 & EP 1720130 A1 & KR 10-2006-0118598 A & CN 101546382 A	1-9

国際調査報告		国際出願番号 PCT/J P 2014/003809													
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06N3/00(2006.01)i, G06F17/30(2006.01)i, G11C15/04(2006.01)i															
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06N3/00, G06F17/30, G11C15/04															
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2014年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2014年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2014年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2014年	日本国実用新案登録公報	1996-2014年	日本国登録実用新案公報	1994-2014年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2014年														
日本国実用新案登録公報	1996-2014年														
日本国登録実用新案公報	1994-2014年														
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)															
C. 関連すると認められる文献															
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号													
A	Md. Anwarul ABEDIN, Yuki TANAKA, Ali AHMADI, Shogo SAKAKIBARA, Tetsushi KOIDE, Hans Jurgen MATTAUSCH, Realization of K-Nearest-Matches Search Capability in Fully-Parallel Associative Memories, IEICE Transaction, 2007.06.01, Vol. E90-A No. 6, pp. 1240-1243	1-9													
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。															
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」口頭による開示、使用、展示等に言及する文献</td> <td>「&」同一パテントファミリー文献</td> </tr> <tr> <td>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				* 引用文献のカテゴリー	の日の後に公表された文献	「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献	「P」国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献														
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの														
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの														
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの														
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献														
「P」国際出願日前で、かつ優先権の主張の基礎となる出願															
国際調査を完了した日 12.09.2014		国際調査報告の発送日 22.09.2014													
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 滝谷 亮一	5U 3135												
		電話番号 03-3581-1101 内線 3565													

国際調査報告		国際出願番号 PCT/JP2014/003809
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	Seiryu SASAKI, Masahiro YASUDA, Hans Jurgen MATTAUSCH, Digital Associative Memory for Word-Parrallel Manhattan-Distance-Based Vector Quantization, 2012 Proceedings of the ESSCIRC, 2012.09.17, pp.185-188	1 - 9
A	WO 2005/083632 A1 (国立大学法人 広島大学) 2005.09.09, [0038]-[0043], 図 1, 2 & JP 2005-242808 A & US 2007/0003135 A1 & EP 1720130 A1 & KR 10-2006-0118598 A & CN 101546382 A	1 - 9

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 山崎 翔悟

広島県東広島市鏡山一丁目3番1号 国立大学法人広島大学大学院 先端物質科学研究科内

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。