

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/022777

発行日 平成29年3月2日 (2017.3.2)

(43) 国際公開日 平成27年2月19日 (2015.2.19)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 J	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	5 F 1 5 2
HO 1 L 29/417 (2006.01)	HO 1 L 29/50 M	
HO 1 L 29/41 (2006.01)	HO 1 L 29/44 L	

審査請求 有 予備審査請求 有 (全 31 頁) 最終頁に続く

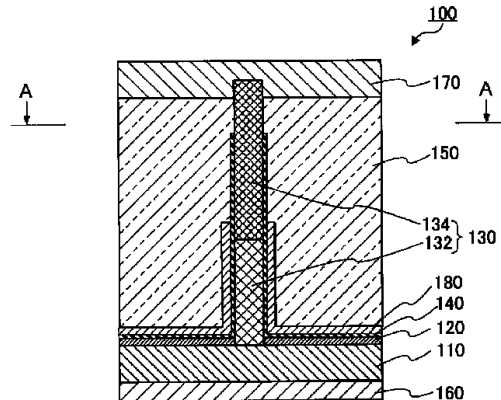
出願番号	特願2015-531725 (P2015-531725)	(71) 出願人	504173471 国立大学法人北海道大学 北海道札幌市北区北8条西5丁目
(21) 国際出願番号	PCT/JP2014/004175	(71) 出願人	503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(22) 国際出願日	平成26年8月12日 (2014.8.12)	(74) 代理人	100105050 弁理士 鷲田 公一
(11) 特許番号	特許第5999611号 (P5999611)	(72) 発明者	福井 孝志 北海道札幌市北区北8条西5丁目 国立大学法人北海道大学内
(45) 特許公報発行日	平成28年9月28日 (2016.9.28)	(72) 発明者	富岡 克広 埼玉県川口市本町4-1-8 川口センタービル 国立研究開発法人科学技術振興機構内
(31) 優先権主張番号	特願2013-168048 (P2013-168048)		
(32) 優先日	平成25年8月13日 (2013.8.13)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 トンネル電界効果トランジスタ、その製造方法およびスイッチ素子

(57) 【要約】

トンネル電界効果トランジスタ (TFET) は、p型を呈するIV族半導体基板の(111)面上に、III-V族化合物半導体ナノワイヤが配置され、ソース、ドレイン、およびゲートの各電極が適宜に配置され、または、n型を呈するIV族半導体基板の(111)面上に、III-V族化合物半導体ナノワイヤが配置され、ソース、ドレイン、およびゲートの各電極が適宜に配置され、構成されている。当該ナノワイヤは、第1の領域と第2の領域とによって構成されている。たとえば、第1の領域はp型ドーパントで断続的にドーブされ、第2の領域はn型ドーパントでドーブされている。



【特許請求の範囲】

【請求項 1】

n型およびp型のいずれか一方である第1導電型を呈する部分を含み、前記部分が(111)面を有するIV族半導体基板と、

前記(111)面上に起立する第1の領域、および、n型およびp型のいずれか他方である第2導電型を呈し、前記第1の領域に連続する第2の領域、を含むIII-V族化合物半導体ナノワイヤと、

前記III-V族化合物半導体ナノワイヤと接触せず、かつ前記IV族半導体基板に接続されたソース電極およびドレイン電極の一方と、

前記第2の領域に接続されたソース電極およびドレイン電極の他方と、

10

前記IV族半導体基板と前記第1の領域との界面に作用して前記ソース電極および前記ドレイン電極間のキャリアの流れを制御するための電界を発生させるように配置されたゲート電極と、

を有し、

前記第1の領域は、III-V族化合物半導体を前記第1導電型にするための第1導電型ドーパントおよびIII-V族化合物半導体を前記第2導電型にするための第2導電型ドーパントの一方または両方を含み、

前記第1の領域における前記第1導電型ドーパントおよび前記第2導電型ドーパントの少なくとも一方の濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上であり、かつ、前記第2の領域における前記第2導電型ドーパントの濃度未満である、

20

トンネル電界効果トランジスタ。

【請求項 2】

少なくとも前記III-V族化合物半導体ナノワイヤの前記第1の領域における側面に配置されたゲート誘電体膜をさらに有し、

前記ゲート電極は、前記ゲート誘電体膜上に配置されている、請求項1に記載のトンネル電界効果トランジスタ。

【請求項 3】

請求項1または2に記載のトンネル電界効果トランジスタを含むスイッチ素子。

【請求項 4】

IV族半導体基板における、n型およびp型のいずれか一方である第1導電型を呈する部分の(111)面上から、III-V族化合物半導体ナノワイヤを成長させるステップと、

30

前記IV族半導体基板および前記III-V族化合物半導体ナノワイヤの界面に作用する、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップと、

前記III-V族化合物半導体ナノワイヤと接触しないように前記IV族半導体基板に前記ソース電極および前記ドレイン電極のいずれか一方を形成するステップと、

前記III-V族化合物半導体ナノワイヤに前記ソース電極および前記ドレイン電極のいずれか他方を形成するステップと、

を含む、トンネル電界効果トランジスタの製造方法であって、

前記III-V族化合物半導体ナノワイヤを成長させるステップは、

40

前記(111)面上に、III族原料およびV族原料を供給しながら、III-V族化合物半導体を前記第1導電型にするための第1導電型ドーパント、および、III-V族化合物半導体を前記第2導電型にするための第2導電型ドーパントの一方または両方を断続的にドーピングして第1の領域を形成するステップと、

前記(111)面上に形成された前記第1の領域に、前記V族原料および前記III族原料をさらに供給し、前記第1の領域から連続する、n型およびp型のいずれか他方である第2導電型を呈する第2の領域を形成するステップと、

を含む、

トンネル電界効果トランジスタの製造方法。

【請求項 5】

50

前記第1の領域は、III-V族化合物半導体を前記第2導電型にするための第2導電型ドーパントを含み、

前記第1の領域を形成するステップは、前記第1の領域における前記第1導電型ドーパントの濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量で、前記第1導電型ドーパントを前記(111)面上に断続的に供給する、

請求項4に記載の製造方法。

【請求項6】

前記第1の領域を形成するステップにおける、前記第1導電型ドーパントをドーブする時間は、0.1～5秒間/回であり、前記第1導電型ドーパントのドーブのインターバルは、1.0～29.5秒間である、請求項4または5に記載の製造方法。

10

【請求項7】

前記第2の領域を形成するステップは、前記(111)面上に形成された前記第1の領域に、前記V族原料および前記III族原料を供給しながら前記第2導電型ドーパントをドーブし、前記第2導電型を呈する前記第2の領域を形成する、請求項4～6のいずれか一項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、III-V族化合物半導体ナノワイヤを有するトンネル電界効果トランジスタ、その製造方法、および、当該トランジスタを含むスイッチ素子、に関する。

20

【背景技術】

【0002】

トンネル電界効果トランジスタ(TFET)は、トランジスタのスイッチングにトンネル電流を利用する。このため、TFETは、急峻なオン・オフの切り替えが実現可能であり、また低電圧の動作が可能である。このようなTFETには、IV族半導体基板と当該基板上に起立するIII-V族化合物半導体ナノワイヤとを有し、当該基板と当該ナノワイヤとの界面でトンネル電流を生じさせるトランジスタが知られている(例えば、特許文献1、非特許文献1および2参照)。当該TFETは、小さなサブ閾値(60mV/桁以下)で動作可能であり、かつ容易に製造しうる点で優れている。このため、前記TFETは、

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開第2011/040012号

【非特許文献】

【0004】

【非特許文献1】Katsuhiko Tomioka, Takashi Fukui, "Tunnel field-effect transistor using InAs nanowire/Si heterojunction", Appl. Phys. Lett., Vol.98, pp.083114-1-083114-3.

40

【非特許文献2】Katsuhiko Tomioka, Masatoshi Yoshimura, Takashi Fukui, "Steep-slope tunnel field-effect transistors using III-V nanowire/Si heterojunction" IEEE VLSI Technology 2012 Symposium Proc., pp.47-48.

【発明の概要】

【発明が解決しようとする課題】

【0005】

前記TFETは、前記ナノワイヤにおける前記界面を構成する領域がアンドープで形成されているにも関わらず、前記スイッチ素子の立ち上がり電圧が負側にシフトしていることがある。このため、前記TFETについて、前記立ち上がり電圧を正側にシフトさせることがさらに望まれている。

50

【 0 0 0 6 】

本発明は、小さなサブ閾値（60 mV / 桁以下）で動作可能であり、より正側またはより負側の立ち上がり電圧で動作可能であり、かつ容易に製造しうるTFETおよびその製造方法を提供することを目的とする。

また、本発明は、当該TFETを含むスイッチ素子を提供することをさらなる目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明者は、III - V族化合物半導体ナノワイヤにおける、IV族半導体基板とIII - V族化合物半導体ナノワイヤとの界面を構成する第1の領域を、適当なドーパントを適当な間隔で断続的にドーブすることによって作製することにより、前記課題を解決しうることを見出し、さらに検討を加えて本発明を完成させた。

【 0 0 0 8 】

すなわち、本発明の第1は、以下のトンネル電界効果トランジスタ（TFET）およびスイッチ素子に関する。

[1] n型およびp型のいずれか一方である第1導電型を呈する部分を含み、前記部分が（111）面を有するIV族半導体基板と、前記（111）面上に起立する第1の領域、および、n型およびp型のいずれか他方である第2導電型を呈し、前記第1の領域に連続する第2の領域、を含むIII - V族化合物半導体ナノワイヤと、前記III - V族化合物半導体ナノワイヤと接触せず、かつ前記IV族半導体基板に接続されたソース電極およびドレイン電極の一方と、前記第2の領域に接続されたソース電極およびドレイン電極の他方と、前記IV族半導体基板と前記第1の領域との界面に作用して前記ソース電極および前記ドレイン電極間のキャリアの流れを制御するための電界を発生させるように配置されたゲート電極と、を有し、前記第1の領域は、III - V族化合物半導体を前記第1導電型にするための第1導電型ドーパントおよびIII - V族化合物半導体を前記第2導電型にするための第2導電型ドーパントの一方または両方を含み、前記第1の領域における前記第1導電型ドーパントおよび前記第2導電型ドーパントの少なくとも一方の濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上であり、かつ、前記第2の領域における前記第2導電型ドーパントの濃度未満である、トンネル電界効果トランジスタ。

[2] 少なくとも前記III - V族化合物半導体ナノワイヤの前記第1の領域における側面に配置されたゲート誘電体膜をさらに有し、前記ゲート電極は、前記ゲート誘電体膜上に配置されている、[1]に記載のトンネル電界効果トランジスタ。

[3] [1] または [2] に記載のトンネル電界効果トランジスタを含むスイッチ素子。

【 0 0 0 9 】

さらに、本発明の第2は、以下のトンネル電界効果トランジスタ（TFET）の製造方法に関する。

[4] IV族半導体基板における、n型およびp型のいずれか一方である第1導電型を呈する部分の（111）面上から、III - V族化合物半導体ナノワイヤを成長させるステップと、前記IV族半導体基板および前記III - V族化合物半導体ナノワイヤの界面に作用する、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップと、前記III - V族化合物半導体ナノワイヤと接触しないように前記IV族半導体基板に前記ソース電極および前記ドレイン電極のいずれか一方を形成するステップと、前記III - V族化合物半導体ナノワイヤに前記ソース電極および前記ドレイン電極のいずれか他方を形成するステップと、を含む、トンネル電界効果トランジスタの製造方法であって、前記III - V族化合物半導体ナノワイヤを成長させるステップは、前記（111）面上に、III族原料およびV族原料を供給しながら、III - V族化合物半導体を前記第1導電型にするための第1導電型ドーパント、および、III - V族化合物半導体を前記第2導電型にするための第2導電型ドーパントの一方または両方を断続的にドーブして第1の領域を形成するステップと、前記（111）面上に形成された

前記第 1 の領域に、前記 V 族原料および前記 III 族原料をさらに供給し、前記第 1 の領域から連続する、n 型および p 型のいずれか他方である第 2 導電型を呈する第 2 の領域を形成するステップと、を含む、トンネル電界効果トランジスタの製造方法。

[5] 前記第 1 の領域は、III - V 族化合物半導体を前記第 2 導電型にするための第 2 導電型ドーパントを含み、前記第 1 の領域を形成するステップは、前記第 1 の領域における前記第 1 導電型ドーパントの濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量で、前記第 1 導電型ドーパントを前記 (1 1 1) 面上に断続的に供給する、[4] に記載の製造方法。

[6] 前記第 1 の領域を形成するステップにおける、前記第 1 導電型ドーパントをドーブする時間は、0.1 ~ 5 秒間 / 回であり、前記第 1 導電型ドーパントのドーブのインターバルは、1.0 ~ 29.5 秒間である、[4] または [5] に記載の製造方法。

[7] 前記第 2 の領域を形成するステップは、前記 (1 1 1) 面上に形成された前記第 1 の領域に、前記 V 族原料および前記 III 族原料を供給しながら前記第 2 導電型ドーパントをドーブし、前記第 2 導電型を呈する前記第 2 の領域を形成する、[4] ~ [6] のいずれか一項に記載の製造方法。

【発明の効果】

【0010】

本発明によれば、小さなサブ閾値 (60 mV / 桁以下) で動作可能であり、かつ、より正側またはより負側の立ち上がり電圧で動作可能である T F E T (スイッチ素子) を提供することができる。本発明の T F E T は、容易に製造することができる。本発明の T F E T を用いることで、半導体マイクロプロセッサおよび高集積回路の電力消費量の増大を抑制しつつ、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。

【図面の簡単な説明】

【0011】

【図 1】本実施の形態の T F E T の構成を模式的に示す断面図である。

【図 2】図 2 A は、本実施の形態における III - V 族化合物半導体ナノワイヤを図 1 中の A - A 線に沿って切断したときの断面図であり、図 2 B は、本実施の形態におけるナノワイヤを模式的に示す斜視図である。

【図 3】図 3 A は、本実施の形態における T F E T の製造においてシリコン基板上に製造された III - V 族化合物半導体ナノワイヤを示す図であり、図 3 B は、当該 T F E T の製造においてゲート誘電体膜およびゲート電極層に被覆された III - V 族化合物半導体ナノワイヤを示す図であり、図 3 C は、絶縁保護膜に埋没した III - V 族化合物半導体ナノワイヤを示す図であり、図 3 D は、部分的に除去された絶縁保護膜から露出するゲート誘電体膜および III - V 族化合物半導体ナノワイヤを示す図であり、図 3 E は、絶縁保護膜から露出する III - V 族化合物半導体ナノワイヤを示す図であり、図 3 F は、ソース電極およびドレイン電極の形成によって完成した T F E T を示す図である。

【図 4】図 4 A は、本実施の形態における T F E T の製造において、III - V 族化合物半導体ナノワイヤが製造されるまでのシリコン基板の温度と原料ガスの供給を示す図であり、図 4 B は、図 4 A 中のゾーン C における原料ガスの供給の一例を示す図であり、図 4 C は、図 4 A 中のゾーン D における原料ガスの供給のパルスドーブの一例を示す図である。

【図 5】図 5 A は、本実施の形態の T F E T におけるバンド構造の一例を模式的に示す図であり、図 5 B は、他の実施の形態の T F E T におけるバンド構造の一例を模式的に示す図である。

【図 6】図 6 A は、従来の T F E T の一例における III - V 族化合物半導体ナノワイヤの走査電子顕微鏡写真であり、図 6 B は、本発明の T F E T の一例における III - V 族化合物半導体ナノワイヤの走査電子顕微鏡写真である。

【図 7】実施例 1、2 の T F E T と従来 (比較例 1) の T F E T のそれぞれの、ドレイン電流とゲート電圧との関係を示す図である。

【図 8】図 8 A は、実施例 3、4 の T F E T の製造におけるシリコン基板の温度と原料ガ

10

20

30

40

50

スの供給とを模式的に示す図であり、図8Bは、図8A中のゾーンDにおける原料ガスの供給のパルスドープを模式的に示す図である。

【図9】実施例3、4のTFETと従来(比較例2)のTFETのそれぞれの、ドレイン電流とゲート電圧との関係を示す図である。

【発明を実施するための形態】

【0012】

1. 本発明のトンネル電界効果トランジスタ

本発明のトンネル電界効果トランジスタ(TFET)は、IV族半導体基板、III-V族化合物半導体ナノワイヤ、ソース電極、ドレイン電極およびゲート電極を有する。1つのIV族半導体基板の上に複数のTFETが形成されていてもよい。本発明のTFETでは、IV族半導体基板の(111)面と当該(111)面上に配置されたIII-V族化合物半導体ナノワイヤとが界面(以下、「接合界面」とも言う)を形成する。本発明のTFETでは、この接合界面においてトンネル現象が生じる。なお、「接合界面」は、III-V族化合物半導体ナノワイヤが(111)面に直接接続している部分を言う。

10

【0013】

IV族半導体基板は、シリコン基板やゲルマニウム基板などの、IV族半導体からなる(111)面を有する基板である。IV族半導体基板は、例えばシリコン(111)基板またはシリコン(100)基板である。IV族半導体基板がシリコン(100)基板の場合は、(100)面とは別に(111)面が形成されている。

【0014】

IV族半導体基板は、(111)面を含む部分を有する。当該部分は、n型またはp型のいずれか一方を呈する。前記の部分が呈する導電性を「第1導電型」とも言う。したがって、IV族半導体基板の(111)面を含む一部分のみが第1導電性を呈していてもよいし、IV族半導体基板の全体が第1導電性を呈していてもよい。たとえば、IV族半導体基板は、その端面が(111)面であるIV族半導体層を有するIV族半導体基板であってもよい。また、IV族半導体基板は、n型またはp型にドーパされている。IV族半導体基板にドーパされるドーパントには、当該基板をn型またはp型にするドーパントが用いられる。たとえば、IV族半導体基板をp型にするドーパントの例には、B、Al、Ga、InおよびTlが含まれる。また、IV族半導体基板をn型にするドーパントの例には、N、P、As、SbおよびBiが含まれる。

20

30

【0015】

また、IV族半導体基板の表面には、絶縁膜が形成されていてもよい。絶縁膜の例には、酸化シリコン膜、および、誘電率3.9以上の化合物が含まれる。誘電率3.9以上の化合物の膜の例には、窒化シリコンおよびHfAlOが含まれる。

【0016】

III-V族化合物半導体ナノワイヤは、III-V族化合物半導体からなる、直径2~100nm、長さ50nm~10μmの構造体である。III-V族化合物半導体ナノワイヤは、例えば、IV族半導体基板の(111)面上に、その長軸が(111)面に垂直になるように配置されている。III-V族化合物半導体は、2つの元素からなる半導体、3つの元素からなる半導体、4つの元素からなる半導体、それ以上の元素からなる半導体のいずれでもよい。

40

【0017】

2つの元素からなるIII-V族化合物半導体の例には、InAs、InP、GaAs、GaN、InSb、GaSbおよびAlSbが含まれる。3つの元素からなるIII-V族化合物半導体の例には、AlGaAs、InGaAs、InGaN、AlGaN、GaInAs、InAsSb、GaAsSb、InGaSbおよびAlInSbが含まれる。4つ以上の元素からなるIII-V族化合物半導体の例には、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbおよびAlInGaPSbが含まれる。

【0018】

50

III - V 族化合物半導体ナノワイヤは、第 1 の領域と第 2 の領域を含む。第 1 の領域は、IV 族半導体基板の (1 1 1) 面に接合されている部分であり、(1 1 1) 面上から起立している。第 2 の領域は、第 1 の領域に連続する部分である。たとえば、第 1 の領域は、III - V 族化合物半導体ナノワイヤをその長軸方向に対して二分したときの基板側の部分であり、第 2 の領域は、基板側とは反対側の部分である。

【 0 0 1 9 】

第 1 の領域は、後述するゲート電圧のシフトを生じさせるように、第 1 導電型ドーパントがドーブされている。すなわち、上記第 1 の領域は、III - V 族化合物半導体を前記第 1 導電型にするための第 1 導電型ドーパントおよび III - V 族化合物半導体を前記第 2 導電型にするための第 2 導電型ドーパントの一方または両方を含む。たとえば、上記第 1 の領域は、ノンドープでは i 型である III - V 族化合物半導体に、第 1 導電型ドーパントおよび第 2 導電型ドーパントの一方または両方がドーブされていてもよい。また、上記第 1 の領域は、ノンドープでは p 型であるが意図せぬドーパントの存在により n 型を呈する III - V 族化合物半導体に、第 1 導電型ドーパントおよび第 2 導電型ドーパントの一方または両方がドーブされていてもよい。さらに、上記第 1 の領域は、ノンドープでは n 型であるが意図せぬドーパントの存在により p 型を呈する III - V 族化合物半導体に、第 1 導電型ドーパントおよび第 2 導電型ドーパントの一方または両方がドーブされていてもよい。

10

【 0 0 2 0 】

第 1 の領域における第 1 導電型ドーパントおよび第 2 導電型ドーパントの濃度は、第 1 導電型ドーパントまたは第 2 導電型ドーパントが単独でドーブされたときにドーパントとして有効な濃度から、第 1 の領域において一方のドーパントの影響を他方のドーパントで実質的に打ち消すことができる濃度まで、の範囲から、適宜に決めることが可能である。たとえば、第 1 の領域における第 1 導電型ドーパントおよび第 2 導電型ドーパントの少なくとも一方の濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上であり、かつ、第 2 の領域における第 2 導電型ドーパントの濃度未満である。

20

【 0 0 2 1 】

また、第 1 の領域が第 1 導電型ドーパントおよび第 2 導電型ドーパントの両方を含む場合では、第 1 導電型ドーパントおよび第 2 導電型ドーパントの一方の濃度は、他方の濃度未満であることが、一方のドーパントの影響を他方のドーパントで実質的に打ち消す観点から好ましい。たとえば、ノンドープでは i 型であるが意図せぬドーパントの存在により第 2 導電型を呈する III - V 族化合物半導体の第 1 の領域に第 1 導電型ドーパントがドーブされる場合、第 1 導電型ドーパントのドーブによって、意図せぬドーブによる第 2 導電型を抑制するためであれば、第 1 導電型ドーパントの濃度は、第 2 の領域における第 2 導電型ドーパントの濃度未満であり、かつ好ましくは、第 1 の領域における第 2 導電型ドーパントの濃度未満である。

30

【 0 0 2 2 】

第 1 導電型ドーパントの濃度が低すぎると、第 1 の領域の導電型を適切に制御することができない場合があり、第 1 導電型ドーパントの濃度が高すぎると、実質的な接触界面が第 1 の領域と第 2 の領域の界面となってしまう、好ましくない。第 1 導電型ドーパントの濃度および第 2 導電型ドーパントの濃度は、いずれも、ノンドープの上記 InAs ナノワイヤを、n 型、p 型または i 型のシリコン基板に作製して縦型 FET 構造を作製し、当該ナノワイヤの閾値電圧から算出することによって求めることが可能である。このような第 1 の領域は、例えば、後述する第 1 導電型ドーパントの断続的なドーブによって形成することが可能である。第 1 の領域における前記第 1 導電型ドーパントの濃度は、上記の観点から、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量であることがより好ましい。

40

【 0 0 2 3 】

第 1 導電型ドーパントの種類は、一種でもそれ以上でもよい。第 1 の領域を p 型にするための第 1 導電型ドーパントの例には、Zn、Cd、Hg、Te および C が含まれる。第 1 の領域を n 型にするための第 1 導電型ドーパントの例には、C、Si、Ge、Sn、O、S、Se および Po が含まれる。

50

【0024】

第1導電型ドーパントは、第1導電型ドーパントがドーブされていないIII-V族化合物半導体が呈する導電型とは反対の導電型を付与するためのドーパントであることが、第1の領域の導電型を適切に調整する観点から好ましい。すなわち、n型を呈するIII-V族化合物半導体には、p型の第1導電型ドーパントが好ましく、p型を呈するIII-V族化合物半導体には、n型の第1導電型ドーパントが好ましい。ここで、「第1導電型ドーパントがドーブされていないIII-V族化合物半導体」とは、意図しないドーパントのドーブ(混入)のために特定の導電型を呈するIII-V族化合物半導体を含む。このような第1導電型ドーパントは、例えば、第1導電型ドーパントをドーブせずに第1の領域を形成し、当該第1の領域の導電型を測定することによって、決めることが可能である。

10

【0025】

第2の領域は、n型およびp型のうち、第1導電型とは異なる導電型を呈する。第2の領域が呈する導電型を「第2導電型」とも言う。第2導電型を呈する第2の領域は、第2導電型ドーパントのドーブによって形成することが可能である。第2導電型ドーパントの種類は、一種でもそれ以上でもよい。第2導電型ドーパントは、例えば、第1導電型ドーパントとして例示されたドーパントから選ばれる。

【0026】

ソース電極は、本発明のTFETのソース領域に接続され、ドレイン電極は、本発明のTFETのドレイン領域に接続される。ソース電極およびドレイン電極は、例えばTi/Au合金膜やTi/Al/Ti/Au合金膜、Ge/Au/Ni/Au合金膜などである。

20

【0027】

ソース電極およびドレイン電極の位置は、本発明のTFETの構造により変わる。たとえば、IV族半導体基板がソース領域として機能し、III-V族化合物半導体ナノワイヤの第1の領域(IV族半導体基板の(111)面と接合している)がチャンネル領域として機能し、III-V族化合物半導体ナノワイヤの第2の領域(第1の領域以外の領域)がドレイン領域として機能する場合は、ソース電極は、IV族半導体基板に接続され、ドレイン電極は、III-V族化合物半導体ナノワイヤの第2の領域に接続される。

【0028】

一方、IV族半導体基板がドレイン領域として機能し、III-V族化合物半導体ナノワイヤの第1の領域(IV族半導体基板の(111)面と接合している)がチャンネル領域として機能し、III-V族化合物半導体ナノワイヤの第2の領域(第1の領域以外の領域)がソース領域として機能する場合は、ソース電極は、III-V族化合物半導体ナノワイヤの第2の領域に接続され、ドレイン電極は、IV族半導体基板に接続される。

30

【0029】

ゲート電極は、前記接合界面に電界を作用させることができる。通常、チャンネル領域(IV族半導体基板およびIII-V族化合物半導体ナノワイヤの一方または両方)上にゲート誘電体膜が配置され、ゲート電極は、前記ゲート誘電体膜上に配置される。

【0030】

本発明のTFETは、本発明の効果が得られる範囲において、前述した構成要素以外の他の構成要素をさらに含んでもよい。このような他の構成要素の例には、絶縁保護膜が含まれる。絶縁保護膜は、その厚さ方向がIII-V族化合物半導体ナノワイヤの長軸方向となるように配置される。絶縁保護膜は、IV族半導体基板上の全体に配置されてもよいし、一部に配置されてもよい。絶縁保護膜の厚さは、III-V族化合物半導体ナノワイヤの第1の領域と第2の領域の少なくとも一部を覆う厚さであることが、III-V族化合物半導体ナノワイヤ、ゲート誘電体膜およびゲート電極を保護する観点から好ましい。絶縁保護膜は、電気的な絶縁性が十分に得られる観点、および、ナノワイヤが曲がらない程度の低い粘性を有した溶液から形成されうる観点から、BCB(ベンゾシクロブテン)層であることが好ましい。

40

【0031】

50

本発明のTFETでは前記接合界面は、無転位かつ無欠陥であることが好ましいが、少数の転位または欠陥を含んでいてもよい。具体的には、前記接合界面におけるミスフィット転位の周期は、前記IV族半導体と前記III-V族化合物半導体との格子不整合から計算されるミスフィット転位の周期よりも大きければよい。また、前記接合界面における貫通転位の密度は、 $0 \sim 10^{10}$ 個/cm²の範囲内であればよい。後述する本発明のTFETの製造方法で本発明のTFETを製造することで、基本的に無転位かつ無欠陥の接合界面を有する本発明のTFETを製造することができる。

【0032】

本発明のTFETでは、前記接合界面がトンネル層として機能する。後の実施の形態に示されるように、本発明のTFETでは、ゲート電極に正または負のバイアスを印加することで、ソース領域（IV族半導体基板またはIII-V族化合物半導体ナノワイヤ）内のキャリアがトンネル現象によりチャネル領域（III-V族化合物半導体ナノワイヤまたはIV族半導体基板）内に移動する（ON状態となる）。この動作は、CMOSスイッチのn型またはp型MOSFETのスイッチ動作に相当する（図5A、図5B）。

10

【0033】

本発明のTFETは、IV族半導体基板とIII-V族化合物半導体ナノワイヤとの接合界面に生じるポテンシャルを利用することで、サブ閾値60mV/桁以下で動作することができる（実施例参照）。本発明のTFETをスイッチ素子として利用することで、半導体デバイスの消費電力を削減することができる。その結果、省エネルギーおよび環境負荷低減も実現することができる。

20

【0034】

また、本発明のTFETでは、III-V族化合物半導体ナノワイヤにおける第1の領域の導電型を適宜に調整することによって、閾値電圧（スレシヨルド電圧）が正側または負側にシフトする。このため、第1の領域の導電型を適宜に調整することにより、ON状態に必要な供給電圧（ゲート電圧）の符号および大きさを任意に制御することができる（図7）。

【0035】

2. 本発明のTFETの製造方法

本発明のTFETの製造方法は、ナノワイヤ成長ステップと、ゲート電極形成ステップと、ソース電極およびドレイン電極形成ステップと、を含む。

30

【0036】

「ナノワイヤ成長ステップ」は、IV族半導体基板における第1導電型を呈する（111）面上から、III-V族化合物半導体ナノワイヤを成長させるステップである。「ゲート電極形成ステップ」は、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップである。当該ゲート電極は、前記IV族半導体基板および前記III-V族化合物半導体ナノワイヤの界面に作用するように配置される。「ソース電極およびドレイン電極形成ステップ」は、前記III-V族化合物半導体ナノワイヤと接触しないように前記IV族半導体基板に前記ソース電極および前記ドレイン電極のいずれか一方を形成するステップ、および、前記III-V族化合物半導体ナノワイヤに前記ソース電極および前記ドレイン電極のいずれか他方を形成するステップ、である。

40

【0037】

ナノワイヤ成長ステップ以外のステップは、従来技術に基づいて、例えば、特許文献1に記載されている方法に従って、行うことができる。

【0038】

本発明のTFETの製造方法では、「ナノワイヤ成長ステップ」に先立って、必要に応じて、IV族半導体基板の前処理ステップを行うことができる。このような前処理ステップの例には、開口部を有する絶縁膜を形成するステップが含まれる。

【0039】

絶縁膜が形成される、（111）面を有するIV族半導体基板の例には、n型シリコン（

50

111)基板、p型シリコン(111)基板、異方性エッチングにより(111)面が表面の一部にまたは全面に露出したシリコン(100)基板、が含まれる。絶縁膜としての酸化シリコン膜は、例えば、シリコン基板を熱酸化することやスパッタ法などの一般的な薄膜形成法により形成することが可能である。絶縁膜の厚さは、特に限定されないが、例えば20nm程度であればよい。

【0040】

絶縁膜の開口部は、電子ビームリソグラフィや、フォトリソグラフィ、ナノインプリントリソグラフィなどの微細パターン加工技術を用いることで形成される。開口部の形状は、任意に決定することができ、開口部の形状の例には、三角形、四角形、六角形および円形が含まれる。開口部の直径は、例えば2~100nm程度であればよい。開口部の直径が大きすぎると、前記接合界面に多数の転位または欠陥が形成されるおそれがある。1つのIV族半導体基板に複数の開口部を周期的に配列する場合、開口部の間隔は、例えば、10nm~数μm程度である。

10

【0041】

また、上記の前処理ステップの例には、高温熱処理が含まれる。高温熱処理は、IV族半導体基板の(111)面に形成された自然酸化膜を除去するための処理である。前記自然酸化膜は、III-V族化合物半導体ナノワイヤの成長を阻害する。自然酸化膜は、前記開口部が設けられたIV族半導体基板を高温熱処理することにより除去される。自然酸化膜の除去により、IV族半導体基板の表面(開口部内の(111)面)が露出する。高温熱処理は、例えば、水素ガスや窒素ガス、アルゴンガスなどの不活性ガス雰囲気中で約900の条件で行うことができる。

20

【0042】

また、上記の前処理ステップの例には、低温熱処理が含まれる。低温熱処理は、高温熱処理後のIV族半導体基板の温度を、III-V族化合物半導体ナノワイヤの成長時の温度かそれ以下の温度、例えば400程度にまで下げて、IV族半導体基板の(111)面を(111)1×1面にする処理である。

【0043】

元来、高温熱処理後の(111)面は、1×1構造で構成されるが、冷却途中で(111)2×1面に変換することがある。しかしながら、IV族半導体基板の温度を400程度にまで下げるにより、(111)2×1面を(111)1×1面に再び変換することができる。なお、「(111)2×1面」とは、原子配列を構成する最小単位が2原子間隔×1原子間隔となっている面をいう。「(111)1×1面」とは、原子配列を構成する最小単位が1原子間隔×1原子間隔となっている面をいう。

30

【0044】

前記低温熱処理は、約350~450(例えば、約400)の温度で行えばよい。低温熱処理は、水素ガス、窒素ガス、アルゴンガス、ヘリウムガスなどの不活性ガス、の雰囲気下で行うことが好ましい。

【0045】

さらに、本発明のTFETの製造方法では、「ナノワイヤ成長ステップ」において、必要に応じて、ナノワイヤ成長のための準備ステップを行うことができる。このような準備ステップの例には、(111)面を(111)A面または(111)B面に変換するステップが含まれる。「(111)A面」とは、表面にIII族元素が配置されている(111)面をいう。また、「(111)B面」とは、表面にV族元素が配置されている(111)面をいう。III-V族化合物半導体の(111)A面または(111)B面は、(111)2×2面、つまり最小単位が2原子間隔×2原子間隔の周期で構成された構造である。よって、IV族半導体基板の表面に、2原子間隔×2原子間隔よりも小さい最小単位でIII族元素またはV族元素が配置されていると、その表面にIII-V族化合物半導体が成長しやすい。

40

【0046】

(111)面を(111)A面または(111)B面に変換するステップは、III族原

50

料またはV族原料をIV半導体基板の(111)面に供給することによって行うことができる。(111)面を(111)A面または(111)B面に変換する工程は、IV族半導体基板の表面を(111)1×1面に変換する工程の後に行ってもよいが、(111)1×1面に変換する工程と同時にしてもよい。たとえば、IV族半導体基板の(111)2×1面を低温熱処理により(111)1×1面に変換するとともに、III族原料またはV族原料をIV半導体基板の表面に供給することによって、(111)1×1面を、(111)A面または(111)B面に変換することができる(図4A、図4B)。

【0047】

III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタン(有機金属化合物であってもよい)を含むガスであることが好ましい。III族原料は、例えばトリメチルインジウムなどの有機アルキル金属化合物である。V族原料は、窒素、リン、ヒ素、アンチモンまたはビスマス(有機金属化合物であってもよい)を含むガスであることが好ましい。V族原料は、例えば水素化ヒ素(アルシン; AsH_3)である。III族原料またはV族原料の供給は、400~500にて行われることが好ましい。

10

【0048】

また、前記準備ステップの例には、交互原料供給変調法が含まれる。「交互原料供給変調法」とは、IV族半導体基板にIII族元素を含む原料ガスとV族元素を含む原料ガスを交互に提供して、絶縁膜の開口部を通して露出した(111)A面または(111)B面にIII-V族化合物半導体の薄膜を形成する方法である。交互原料供給変調法は、III-V族化合物半導体ナノワイヤを成長させるために必要な温度で行うことが可能であり、それよりも低い温度にて行われることが好ましい。たとえば、交互原料供給変調法は、III-V族化合物半導体ナノワイヤの成長時の温度で行うか、約400で行うか、または400から昇温しながら行えばよい。

20

【0049】

具体的には、IV族半導体基板に(111)A面が形成されている場合は、まずIII族元素を含む原料ガスを供給し、その後V族元素を含む原料ガスを供給する。さらに、III族元素を含む原料ガスとV族元素を含む原料ガスを交互に繰り返し供給する。一方、IV族半導体基板に(111)B面が形成されている場合は、まずV族元素を含む原料ガスを供給し、その後III族元素を含む原料ガスを供給する。さらに、V族元素を含む原料ガスとIII族元素を含む原料ガスを交互に繰り返し供給する。

30

【0050】

V族元素を含む原料ガスの供給時間およびIII族元素を含む原料ガスの供給時間は、それぞれ数秒程度であればよい。また、V族元素を含む原料ガスの供給とIII族元素を含む原料ガスの供給との間に、数秒のインターバルを設けることが好ましい。III-V族化合物半導体の薄膜が所望の厚さになるまで、V族元素を含む原料ガスとIII族元素を含む原料ガスを交互に供給すればよい。何回か繰り返してガスを供給することにより、III-V化合物半導体の薄膜が形成される。

【0051】

この交互原料供給変調法は、IV族半導体基板の(111)1×1面を(111)A面または(111)B面に変換したときに変換できなかった部位があったとしても、(111)A面または(111)B面を再形成することができるという補償効果もある。交互原料供給変調法により、IV族元素とIII族元素またはV族元素とが結合するからである。

40

【0052】

交互原料供給変調法により形成されたIII-V化合物半導体の薄膜は、交互原料供給変調法の後、半導体ナノワイヤを成長させるために基板温度を上げたときに、基板に吸着したIII族元素やV族元素が熱で乖離することを防ぐ。

【0053】

ナノワイヤ成長ステップは、前記(111)面上に、III族原料およびV族原料を供給しながら、前記第1導電型ドーパントおよび前記第2導電型ドーパントの一方または両方を断続的にドーブし、疑似真性を呈する第1の領域を形成するステップ(第1の領域形成

50

ステップ)と、前記(111)面上に形成された第1の領域に、III族原料およびV族原料を供給し、必要に応じて前記第2導電型ドーパントを併せてドーブし、前記第1の領域に連続する、n型およびp型のいずれか他方である第2導電型を呈する第2の領域を形成するステップ(第2の領域形成ステップ)とを含む。「III-V族化合物半導体ナノワイヤ」は、第1の領域および第2の領域の他に、例えば、前述したナノワイヤ成長の準備ステップで形成された、当該ナノワイヤの原料に由来する部分を含んでもよい。

【0054】

第1の領域形成ステップおよび第2の領域形成ステップのいずれにおいても、III-V族化合物半導体ナノワイヤの成長は、III族原料およびV族原料を(111)面上に供給する方法、例えば、有機金属化学気相エピタキシ法(以下「MOVPE法」ともいう)や分子線エピタキシ法(以下「MBE法」ともいう)など、により行われる。好ましくは、III-V族化合物半導体ナノワイヤの成長は、MOVPE法により行われる。

10

【0055】

MOVPE法による半導体ナノワイヤの形成は、通常のMOVPE装置を用いて行うことができる。つまり、所定の温度かつ減圧条件下で、III族元素を含む原料ガスおよびV族元素を含む原料ガスを提供すればよい。たとえば、InAsナノワイヤを形成するときは、約540で水素化ヒ素(AsH₃)およびトリメチルインジウムを含むガスを提供すればよい。また、GaAsナノワイヤを形成するときは、約750で水素化ヒ素およびトリメチルガリウムを含むガスを提供すればよい。また、InGaAsナノワイヤを形成するときは、約670で水素化ヒ素、トリメチルインジウムおよびトリメチルガリウムを含むガスを提供すればよい。

20

【0056】

第1の領域形成ステップにおいて、III族原料およびV族原料は、前述したIV族半導体基板の(111)面に供給される。交互原料供給変調法による前記の薄膜が形成された場合には、III族原料およびV族原料は、当該薄膜に供給される。III族原料およびV族原料の供給量は、通常、一定である。第1の領域形成ステップでは、必要に応じて、一方の原料の供給量を連続してまたは断続的に変えてもよいし、両原料を断続的に供給してもよい。

【0057】

第1の領域形成ステップでは、III族原料およびV族原料の供給と並行して第1導電型ドーパントおよび第2導電型ドーパントの一方または両方を断続的にドーブして第1の領域を形成する。形成された第1の領域は、疑似真性を呈する。「疑似真性」とは、第1導電型ドーパントおよび第2導電型ドーパントの第1の領域における濃度に応じて決まる第1の領域の導電型である。たとえば、疑似真性は、ドーパントをドーブしなくても第1導電型または第2導電型を呈してしまう、第1の領域を構成する半導体に、第2導電型ドーパントまたは第1導電型ドーパントをドーブすることにより、当該半導体の当初の導電型の一部または全部が電氣的に打ち消すように調整された導電型である。疑似真性は、n型であってもよいし、p型であってもよいし、i型であってもよい。

30

【0058】

なお、疑似真性における「i型」とは、例えば、第1の領域のn型ドーパントの濃度およびp型ドーパントの濃度が、いずれも、 $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、かつ第1の領域の抵抗値が $0.1 \cdot \text{cm}$ 以上であることを言う。上記抵抗値は、例えば、4短針電圧電流特性や、トランジスタ特性の非線形領域の電流の傾きなどから求めることができる。

40

【0059】

前記第1の領域は、前記第2導電型ドーパントを含むことがある。たとえば、III族原料またはV族原料が微量の有機触媒を含有していると、当該有機触媒に起因する炭素原子が第1の領域にドーブされる。当該炭素原子は、前記III-V族化合物半導体ナノワイヤではn型ドーパントとして作用する。

【0060】

50

この場合、第1の領域形成ステップにおいて、第1導電型ドーパントのドーブ量は、ノンドープでは第2導電型を呈してしまう第1の領域に第1導電型の特性を付与し、ゲート電圧をシフトさせる（例えば、負から正にシフトさせる）観点から、第1の領域における前記第1導電型ドーパントの濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以上かつ第2導電型ドーパントの濃度未満となる量であることが好ましく、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量であることがより好ましい。また、第1の領域形成ステップにおける、1回当たりの前記第1導電型ドーパントをドーブする時間は、0.1～5秒間であり、前記第1導電型ドーパントのドーブのインターバルは、1～29.5秒間であることが、適当な量でゲート電圧をシフトさせる観点から好ましい。

【0061】

第2の領域形成ステップにおいて、III族原料およびV族原料を供給しながら第2導電型ドーパントをドーブして、第2導電型を呈する前記第2の領域を形成することは、適度な第2導電型を呈する第2の領域を形成する観点から好ましい。第2の領域形成ステップにおける第2導電型ドーパントのドーブは、III族原料およびV族原料の供給によって形成されるIII-V族化合物半導体ナノワイヤの導電型によっては、省略することが可能である。

【0062】

以上の手順により、第1の領域および第2の領域を含むIII-V族化合物半導体ナノワイヤを、その長軸が(111)面に対して垂直になるようにIV族半導体基板の(111)面上に形成することができる。このようにしてIII-V族化合物半導体ナノワイヤが形成されたときの前記接合界面は、基本的に無転位かつ無欠陥である。

【0063】

ゲート電極形成ステップでは、ゲート電極が形成される。ゲート電極は、たとえば、フォトリソグラフィ法を用いる方法によって形成することができる。このような方法は、例えば、電極形成予定部位以外の領域をレジスト膜でマスクし、金や白金、チタン、クロム、アルミニウム、パラジウム、モリブデンなどの金属またはポリシリコンなどの半導体を蒸着させ、レジスト膜を除去（リフトオフ）する。また、チタンを蒸着させた後、さらに金を蒸着させて重層して、二層構造の電極としてもよい。

【0064】

ゲート電極は、前述したように、ゲート誘電膜上に配置されていることが好ましい。この場合、ゲート電極は、ゲート誘電膜上に形成される。ゲート誘電体膜を形成する方法は特に限定されない。たとえば、ALD（原子層堆積（atomic layer deposition））法などを用いて酸化シリコン（ SiO_2 ）、酸化アルミニウム（ Al_2O_3 ）酸化ハフニウム（ HfO_2 ）または酸化ジルコニウム（ ZrO_2 ）からなる膜を形成すればよい。

【0065】

ソース電極およびドレイン電極形成ステップでは、ソース電極およびドレイン電極が形成される。ソース電極およびドレイン電極を形成する方法は、例えば、ゲート電極と同様にフォトリソグラフィ法を用いて形成することができる。

【0066】

ソース電極、ドレイン電極およびゲート電極のうち、III-V族化合物半導体ナノワイヤの第2の領域に形成されるソース電極またはドレイン電極は、ナノワイヤ成長ステップ後に行われる。しかしながら、前記第2の領域に形成されるソース電極またはドレイン電極以外の電極を形成する時期は、TFETの構成に応じて所期の位置に配置可能である限りにおいて、特に限定されない。

【0067】

以上の手順により、本発明のTFETを製造することができる。

【0068】

上記のTFETの製造方法によれば、第1の領域のドーパントの種類を適宜選択し、当該ドーパントを断続的にドーブすることで、所望の特性を有するTFETを製造することができる。

10

20

30

40

50

【0069】

以下、図面を参照して本発明のトンネル電界効果トランジスタ(TFET)の実施の形態を説明する。

【0070】

図1は、本実施の形態のTFETの構成を示す断面図である。図1に示されるように、本実施の形態のTFET100は、p型に高ドーパされたシリコン基板110、絶縁膜120、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜140、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180を有する。

【0071】

シリコン基板110は、p型に高ドーパされたシリコン(111)基板である。

10

【0072】

絶縁膜120は、p型シリコン基板110の2つの面のうち少なくともIII-V族化合物半導体ナノワイヤ130が配置されている面((111)面)を被覆する絶縁性の膜である。絶縁膜120は、例えば膜厚20nmの酸化シリコン(SiO_2)膜である。p型シリコン基板110の(111)面は、III-V族化合物半導体ナノワイヤ130と直接接触して接合界面を形成している。当該界面に絶縁膜120は存在しない。

【0073】

III-V族化合物半導体ナノワイヤ130は、例えば直径20nm、長さ300nmのIII-V族化合物半導体からなるナノワイヤである。III-V族化合物半導体ナノワイヤ130は、p型ドーパントがドーパされている第1の領域132、および、n型に高ドーパされた第2の領域134、を含む。III-V族化合物半導体ナノワイヤ130は、p型シリコン基板110の(111)面上に、その長軸が前記(111)面に対して略垂直になるように配置されている。第1の領域132(疑似真性半導体)は、第2の領域134(n型半導体)よりもp型シリコン基板110側(p型半導体)に位置する。第1の領域132およびp型シリコン基板110の接合界面(例えば、接合部における(111)面など)は、基本的に無転位かつ無欠陥である。III-V族化合物半導体ナノワイヤ130の形状は、図2Aおよび図2Bに示されるように、六角柱である。

20

【0074】

ゲート誘電体膜140は、絶縁膜120の表面およびIII-V族化合物半導体ナノワイヤ130の側面(第1の領域132の側面および第2の領域134の側面の一部)を被覆する絶縁膜である。ゲート誘電体膜140は、例えばハフニウムアルミネート(HfAlO_x)膜などの高誘電体膜である。

30

【0075】

絶縁保護膜150は、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜140およびゲート電極180を被覆する、BCBなどの絶縁樹脂からなる膜である。

【0076】

ソース電極160は、p型シリコン基板110の裏面(III-V族化合物半導体ナノワイヤ130が配置されている面とは反対側の面)に配置されており、p型シリコン基板110(p型半導体)に接続されている。p型シリコン基板110とソース電極160とは直接接触して界面を形成しており、その界面に絶縁膜120は存在しない。ソース電極160は、例えばp型シリコン基板110の裏面に形成されたTi/Au合金膜である。ソース電極160は、p型シリコン基板110の2つの面のうちIII-V族化合物半導体ナノワイヤ130が配置されている面に配置されていてもよい。

40

【0077】

ドレイン電極170は、III-V族化合物半導体ナノワイヤ130および絶縁保護膜150上に配置されており、III-V族化合物半導体ナノワイヤ130の第2の領域134(n型半導体)に接続されている。ドレイン電極170は、例えば、III-V族化合物半導体ナノワイヤ130および絶縁保護膜150上に配置されたTi/Au合金膜、Ti/Al/Ti/Au合金膜、またはGe/Au/Ni/Au合金膜である。

【0078】

50

ゲート電極 180 は、第 1 の領域 132 の周囲を覆うようにゲート誘電体膜 140 上に配置されている。ゲート電極 180 は、例えば、ゲート誘電体膜 140 上に形成された W 膜または Ti / Au 合金膜である。

【0079】

図 3 A ~ 図 3 F は、TFET 100 の製造方法の一例を概略的に示す図である。図 4 A ~ 図 4 C は、III - V 族化合物半導体ナノワイヤ 130 の作製の工程の一例を示す図である。以下、これらの図を参照して TFET 100 の製造方法を説明する。

【0080】

まず、p 型シリコン基板 110 を準備する。p 型シリコン基板 110 の表面には、酸化シリコン (SiO_2) からなる膜厚 20 nm の絶縁膜 120 が熱酸化法により形成されている。絶縁膜 120 には、開口部 122 が形成されている。開口部 122 の直径は、例えば、20 nm である。開口部 122 は、フォトリソグラフィ法などによって形成される。なお、p 型シリコン基板 110 の裏面には、ソース電極 160 が予め配置されていてもよい。

10

【0081】

p 型シリコン基板 110 は、当該基板の温度を 900 に一定時間保持する高温熱処理に供される。高温熱処理は、図 4 A のゾーン A に示されるように、例えば、不活性ガスの雰囲気中で約 900 の条件で行われる。図 4 A 中、「折れ線」は、基板の温度を表している。前述したように、引き続き、本実施形態では p 型シリコン基板 100 の温度を約 400 に維持し、(111) 面を (111) A 面、または (111) B 面にするために、III 属元素または V 族元素を (111) 面に供給する (図 4 A のゾーン B)。たとえば、(111) 面を (111) B 面とするために、図 4 A に示されるように、高温熱処理に続き、基板温度を 400 に保ちながら、V 族元素を含む原料ガスである AsH_3 ガスを (111) 面に供給する。図 4 A 中、横方向に延びる「棒」は、原料ガスの種類およびその供給のタイミングを表している。

20

【0082】

次いで、図 3 A に示されるように、MOVPE 法により、開口部 122 を通して露出した p 型シリコン基板 110 の (111) 面から III - V 族化合物半導体ナノワイヤ 130 を成長させる。このとき、III - V 族化合物半導体ナノワイヤ 130 を成長させる前に、交互原料供給変調法により p 型シリコン基板 110 の (111) 面に III - V 族化合物半導体の薄膜を形成することが好ましい。

30

【0083】

交互原料供給変調法は、図 4 A 中のゾーン C で行われる。交互原料供給変調法では、基板の温度を、III - V 族化合物半導体ナノワイヤ 130 の成長時の温度に向けて徐々に上昇させる。また、交互原料供給変調法では、本実施形態では図 4 B に示されるように、III - V 族化合物半導体ナノワイヤ 130 の基材となる III 属元素および V 属元素を含む原料ガス、TMIn (トリメチルインジウム) ガスと AsH_3 ガスとを交互に供給する。

【0084】

たとえば、各原料ガスの供給時間は、2 秒間であり、各原料ガスの供給のインターバルは、1 秒間である。当該インターバルでは、水素ガスが (111) 面に供給される。交互原料供給変調法では、図 4 B 中の矢印で示される、TMIn ガスと AsH_3 ガスとの 1 回ずつの供給と各原料ガスの供給後における水素ガスの二回の供給を 1 サイクルとしたときに、当該サイクルが複数回 (例えば 30 回) 繰り返される。

40

【0085】

次いで、III - V 族化合物半導体ナノワイヤ 130 の第 1 の領域 132 の成長が行われる。第 1 の領域 132 の成長は、図 4 A 中のゾーン D で行われる。第 1 の領域 132 の成長では、基板の温度は、一定 (例えば 540) に保たれる。第 1 の領域 132 の成長では、図 4 C に示されるように、基材となる AsH_3 ガスおよび TMIn ガスを連続して供給する一方で、p 型ドーパントとなる Zn を第 1 の領域 132 にドーブするために、DEZn (ジエチル亜鉛) ガスを断続的に供給する。

50

【 0 0 8 6 】

たとえば、DEZnガスは、AsH₃ガスおよびTMInガスが30秒間供給される間に、X秒間供給される。すなわち、DEZnガスは、X秒間供給され、(30 - X)秒のインターバルを経て、再びX秒間供給される。DEZnガスの一回当たりの供給時間Xは、第1の領域132において補償ドーピング効果が得られる範囲において、適切に決めることができ、例えば、0.5～5秒間である。供給時間Xは、ゾーンDにおいて同じであってもよいし、異なってもよい。第1の領域132の成長では、図4C中の矢印で示される、DEZnガスの1回の供給および1回のインターバルを1サイクルとしたときに、当該サイクルが複数回(例えば30回)繰り返される。

【 0 0 8 7 】

次いで、III-V族化合物半導体ナノワイヤ130の第2の領域134の成長が行われる。第2の領域134の成長は、図4A中のゾーンEで行われる。第2の領域134の成長でも、基板の温度は、一定(例えば540)に保たれる。第2の領域134の成長では、図4Aに示されるように、基材となるAsH₃ガスおよびTMInガスとともに、本実施形態では、n型ドーパントとなるSiを第2の領域134にドーブするために、SiH₄ガスを連続して供給する。

【 0 0 8 8 】

第1の領域132および第2の領域134が形成されたら、図3Bに示されるように、絶縁膜120の表面およびIII-V族化合物半導体ナノワイヤ130の表面をゲート誘電体膜140で覆い、次いでゲート誘電体膜140をゲート電極180で覆う。ゲート誘電体膜140は、例えば、ALD法によって形成される。ゲート電極180は、例えば、スパッタリング法によって形成される。

【 0 0 8 9 】

次いで、図3Cに示されるように、p型シリコン基板110の表面上に絶縁保護膜150を形成する。絶縁保護膜150は、例えば、スピコート法によって形成される。

【 0 0 9 0 】

次いで、図3Dに示されるように、絶縁保護膜150、ゲート電極180およびゲート誘電体膜140をそれぞれ部分的に除去し、III-V族化合物半導体ナノワイヤ130の頂部(第2の領域134の端部)およびゲート誘電体膜140を露出させる。上記の部分的な除去は、例えば、反応性イオンエッチング(reactive ion etching)法によって行われる。

【 0 0 9 1 】

次いで、図3Eに示されるように、再び、絶縁保護膜150を形成した後にIII-V族化合物半導体ナノワイヤ130の頂部を露出させる。そして、図3Fに示されるように、絶縁保護膜150の表面にドレイン電極170を形成し、p型シリコン基板110の裏面にソース電極160を形成する。ドレイン電極170およびソース電極160は、例えば、真空蒸着によって形成される。

【 0 0 9 2 】

TFET100では、III-V族化合物半導体ナノワイヤ130の第1の領域132とシリコン基板110の(111)面との接合面がトンネル層として機能する。図5Aに示されるように、TFET100では、ゲート電極180に正のバイアスを印加することで、p型シリコン基板110内のキャリアがトンネル現象によりIII-V族化合物半導体ナノワイヤ130内に移動する(ON状態となる)。この動作は、CMOSスイッチのn型MOSFETのスイッチ動作に相当する。

【 0 0 9 3 】

また、TFET100は、p型に高ドーブされたシリコン基板110と、p型にドーブされた第1の領域132と、n型にドーブされた第2の領域134とを含む。このため、後述の実施例で明らかのように、ノンドープの第1の領域を含むTFETに比べて、ゲート電圧を正側にシフトさせることができる。

【 0 0 9 4 】

10

20

30

40

50

また、III - V 族化合物半導体ナノワイヤにおける第 1 の領域の導電型を適宜に調整することによって、閾値電圧（スレシヨルド電圧）が正側または負側にシフトするため、III - V 族化合物半導体の種類を変えることにより、ON 状態に必要な供給電圧を任意に制御することができる。

【0095】

また、絶縁保護膜 150 で III - V 族化合物半導体ナノワイヤ 130 の周囲を被覆するため、複数の TFET 100 を集積化することもできる。

【0096】

なお、TFET 100 では、シリコン基板 110 に、p 型に高ドーブされたシリコン基板を用いたが、本発明の TFET は、n 型に高ドーブされたシリコン（111）基板を用いて作製することも可能である。この場合、第 1 の領域 132 には n 型ドーパントを断続的にドーブし、第 2 の領域 134 には p 型ドーパントを連続してドーブする。このように作製された TFET では、III - V 族化合物半導体ナノワイヤの第 1 の領域と n 型シリコン基板の（111）面との接合面がトンネル層として機能する。

10

【0097】

前記の TFET では、図 5 B に示されるように、ゲート電極に負のバイアスを印加することで、n 型シリコン基板内のキャリアがトンネル現象により III - V 族化合物半導体ナノワイヤ内に移動する（ON 状態となる）。この動作は、CMOS スイッチの p 型 MOSFET のスイッチ動作に相当する。また、前記 TFET は、ノンドープの第 1 の領域を含む TFET に比べて、ゲート電圧を負側にシフトさせることができる。

20

【0098】

本実施の形態によれば、小さなサブ閾値（60 mV / 桁以下）で動作可能な TFET およびスイッチ素子を提供することができる。また、本実施の形態によれば、正のゲート電圧で電流値が増大する素子の場合では、より正側の立ち上がり電圧で動作可能であり、負のゲート電圧で電流値が増大する素子の場合では、より負側の立ち上がり電圧で動作可能な TFET およびスイッチ素子を提供することができる。当該 TFET およびスイッチ素子は、容易に製造することができる。

【実施例】

【0099】

以下、本発明について実施例を参照して詳細に説明するが、本発明はこれらの実施例により限定されない。

30

まず、下記の方法によって、従来の TFET（TFET - A）を作製した。

【0100】

[比較例 1：TFET - A の作製]

1) 基板の準備

p 型シリコン（111）基板（キャリア濃度： $7 \times 10^{18} \text{ cm}^{-3}$ ）を、熱酸化処理して、表面に膜厚 20 nm の酸化シリコン膜を形成した。電子線ビームリソグラフィおよびウェットケミカルエッチングにより酸化シリコン膜に周期的に開口部を形成して、シリコン基板の表面を露出させた。開口部の形状は六角形とし、開口部の面積円相当径は 100 nm とした。

40

【0101】

2) InAs ナノワイヤの作製

開口部を形成した基板を減圧横型 MOVPE 装置（HR2339；大陽日酸株式会社）にセットした。MOVPE 装置の内温を 925 に上昇させて 5 分間維持することで、シリコン基板の開口部表面に形成された自然酸化膜を除去した。次いで、装置の内温を 925 から 400 に低下させた。水素化ヒ素を水素ガス（キャリアガス）とともに供給した。水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とした。

【0102】

次に、交互原料供給変調法によりシリコン基板の開口部に InAs の薄膜を形成した。具体的には、トリメチルインジウムの供給を 2 秒間、水素ガスによるインターバルを 1 秒

50

間、水素化ヒ素の供給を2秒間、水素ガスによるインターバルを1秒間の組合せを1サイクルとして、2分間かけて20回繰り返した。トリメチルインジウムの分圧は $9.6 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $2.5 \times 10^{-4} \text{ atm}$ とした。

【0103】

次に、装置の内温を上昇させた後、MOVPE法により長さ800nmのInAsナノワイヤを成長させた。具体的には、装置の内温を400 から540 に上昇させた後、トリメチルインジウムおよび水素化ヒ素を水素ガスとともに供給して、長さ500nmのInAsナノワイヤ(第1の領域; キャリア濃度: $2 \times 10^{17} \text{ cm}^{-3}$)を成長させた。続いて、トリメチルインジウム、水素化ヒ素およびモノシランを水素ガスとともに供給して、長さ300nmのn型InAsナノワイヤ(第2の領域; キャリア濃度: $2 \times 10^{19} \text{ cm}^{-3}$)を成長させた。トリメチルインジウムの分圧は $4.9 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とし、モノシランの分圧は $7 \times 10^{-8} \text{ atm}$ とした。

10

【0104】

3) TFETの作製

シリコン基板上およびInAsナノワイヤの側面にゲート誘電体膜を形成し、さらにもその上にゲート電極を形成した。具体的には、ALD法により、膜厚20nmの HfO_2 、 Al_2O_3 膜(ゲート誘電体膜)を形成した。その後、高周波スパッタリング法により、膜厚100nmのW膜(ゲート電極)を形成した。

20

【0105】

次に、誘電体膜を形成したシリコン基板上に絶縁樹脂(BCB樹脂)膜を形成して、シリコン基板上のInAsナノワイヤを絶縁樹脂中に包埋した。次いで、反応性イオンエッチングにより絶縁樹脂の上側の一部を除去して、InAsナノワイヤの先端を露出させた。

【0106】

次に、InAsナノワイヤが露出した面にドレイン電極として膜厚120nmのTi(20nm)/Au(100nm)多層膜を形成した。また、シリコン基板上にソース電極として膜厚50nmのTi(20nm)/Au(30nm)多層膜を形成した。こうして、TFET-Aを作製した。

30

【0107】

次に、本発明に係るTFET(TFET-BおよびTFET-C)を作製した。

【0108】

[実施例1: TFET-Bの作製]

第1の領域の成長において、トリメチルインジウムおよび水素化ヒ素の連続供給に併せて、ジエチル亜鉛を断続的に供給した以外は、TFET-Aと同様に作製し、TFET-Bを作製した。ジエチル亜鉛の供給では、1秒間の供給と29秒間のインターバルとを1サイクルとして、当該サイクルを30回繰り返した。ジエチル亜鉛の分圧は、 $3 \times 10^{-7} \text{ atm}$ とした。TFET-Bの第1の領域におけるドーパント(Zn)の濃度は、 $3 \times 10^{15} \text{ cm}^{-3}$ であった。なお、前記濃度は、ノンドープの上記InAsナノワイヤをn型シリコン基板に作製し、縦型FET構造を作製し、当該ナノワイヤの閾値電圧から算出することによって求めた。

40

【0109】

[実施例2: TFET-Cの作製]

ジエチル亜鉛の供給のサイクルを、2秒間の供給と28秒間のインターバルとを1サイクルとする以外は、TFET-Bと同様に作製し、TFET-Cを作製した。TFET-Cの第1の領域におけるドーパント(Zn)の濃度は、 $6 \times 10^{15} \text{ cm}^{-3}$ であった。

【0110】

図6Aは、TFET-AのInAsナノワイヤの走査電子顕微鏡写真であり、図6Bは、TFET-BのInAsナノワイヤの走査電子顕微鏡写真である。いずれのナノワイヤも、シリコン基板の(111)面に対して垂直な方向に成長していることがわかる。

50

【0111】

前記工程により作製されたTFET - A、TFET - BおよびTFET - Cの、ゲート電圧を印加したときのドレイン電流の関係を測定した。結果を図7に示す。

【0112】

図7中、曲線Aは、TFET - Aの電気特性を表している。曲線Aから明らかなように、TFET - Aのサブスレッショルド特性は、 21 mV/桁 であった。サブ閾値が 60 mV/桁 を下回することは、TFET - AがトンネルFETであることを実証している。ただし、TFET - Aの立ち上がり電圧は、 -0.4 V であった。

【0113】

図7中、曲線Bは、TFET - Bの電気特性を表し、Znのパルスドーピングを1秒間、ドーピング間隔を29秒間としたときのトンネルFETの特性を示している。また、曲線Cは、TFET - Cの電気特性を表し、Znのパルスドーピングを2秒間、ドーピング間隔を28秒間としたときのトンネルFETの特性を示している。曲線Bから明らかなように、TFET - Bの立ち上がり電圧は、 0.3 V であり、TFET - Bのサブ閾値は、 30 mV/桁 であった。また、曲線Cから明らかなように、TFET - Cの立ち上がり電圧は、 0.6 V であり、TFET - Cのサブ閾値は、 30 mV/桁 であった。

10

【0114】

このように、第1の領域にZnをドーピングしたTFET - BおよびTFET - Cでは、いずれも、第1の領域にZnをドーピングしなかったTFET - Aに比べて、立ち上がり電圧が正側にシフトしていること、トンネルFETの特徴である急峻なサブ閾値も維持できること、および、パルスドーピングにおけるドーパントの供給時間によって立ち上がり電圧を調整できること、がわかる。

20

【0115】

TFET - Aの立ち上がり電圧が負である理由は、原料ガス中のドーパントの存在のためと考えられる。すなわち、ノンドーピングでInAsナノワイヤを作製した場合、有機金属由来の炭素原子が $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度の濃度で第1の領域および第2の領域に添加される。これは、n型ドーパントとして作用する。

【0116】

これに対して、TFET - BおよびTFET - Cでは、III - V族半導体のp型ドーパントとして作用するZn原子をパルスドーピング法によって添加した。すなわち、ノンドーピング層の成長中、分圧で $3 \times 10^{-7} \text{ atm}$ 程度の供給量で、1または2秒間の供給および29または28秒間のインターバルを繰り返した。同じ供給量でZn原子を連続して添加した場合、ナノワイヤ中のZn原子の濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ になる。

30

【0117】

しかしながら、パルスドーピング法によってZn原子を供給することによって、 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ のZn濃度が、ナノメートルスケールの構造物で実現される。このような適当なp型ドーパントのドーピングによって、n型ドーパントとして作用するドーパントとしての炭素原子に対する補償効果（補償ドーピング効果）がもたらされる。当該補償効果を生じると、ノンドーピングのInAsナノワイヤが電気的により中性になる。このため、例えば、真性層と同等の電気特性を示すナノ構造物（擬似真性層）を作製できる。

40

【0118】

また、下記の方法によってTFETを作製した。

【0119】

[比較例2：TFET - Dの作製]

比較例1と同様にしてp型シリコン(111)基板から自然酸化膜を除去し、次いで、減圧横型MOVPE装置の内温を 925 から 670 に低下させ、水素化ヒ素を水素ガス(キャリアガス)とともに供給した(図8AのゾーンB)。水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とした。

【0120】

次に、交互原料供給変調法によりシリコン基板の開口部にInGaAsの薄膜を形成し

50

た（図 8 A のゾーン C）。具体的には、トリメチルインジウムに代えて、トリメチルインジウムおよびトリメチルガリウムの混合ガスを供給する以外は、TFET-A の作製と同様にして、上記開口部に InGaAs の薄膜を形成した。トリメチルインジウムの分圧は $9.7 \times 10^{-7} \text{ atm}$ とし、トリメチルガリウムの分圧は $5.7 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $6.0 \times 10^{-4} \text{ atm}$ とした。

【0121】

次に、装置の内温を 670 に維持し、トリメチルインジウムを上記混合ガスに代えた以外は、TFET-A の作製と同様にして、MOVPE 法により長さ 800 nm の InGaAs ナノワイヤを成長させた。第 1 の領域の長さは 500 nm であり、第 1 の領域を形成する際のキャリア濃度は $6 \times 10^{16} \text{ cm}^{-3}$ であった。また、第 2 の領域の長さは 300 nm であり、第 2 の領域を形成する際のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ であった。トリメチルインジウムの分圧は $9.7 \times 10^{-7} \text{ atm}$ とし、トリメチルガリウムの分圧は $5.7 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $6.0 \times 10^{-4} \text{ atm}$ とし、モノシランの分圧は $6.0 \times 10^{-8} \text{ atm}$ とした。

10

【0122】

次いで、TFET-A と同様にして、ゲート誘電体膜、ゲート電極、絶縁樹脂（BCB 樹脂）膜、ドレイン電極およびソース電極を形成し、TFET-D を作製した。TFET-D における第 1 の領域の導電型は n-型であり、第 2 の領域の導電型は n+型である。

【0123】

[実施例 3：TFET-E の作製]

図 8 A は、実施例 3、4 の TFET の製造におけるシリコン基板の温度と原料ガスの供給とを模式的に示す図であり、図 8 B は、図 8 A 中のゾーン D における原料ガスの供給のパルスドープを模式的に示す図である。

20

【0124】

第 1 の領域の成長において、上記混合ガスおよび水素化ヒ素の連続供給に併せて、ジエチル亜鉛を断続的に供給した（図 8 A のゾーン D および図 8 B）以外は、TFET-D の作製と同様に作製し、TFET-E を作製した。ジエチル亜鉛は、TFET-B の作製におけるサイクルと同じサイクルで供給した。すなわち、1 サイクルは、ジエチル亜鉛の 1 秒間の供給と、29 秒間のインターバルとからなり、当該サイクルの繰り返し回数は 30 回とした。ジエチル亜鉛の分圧は、 $5 \times 10^{-7} \text{ atm}$ とした。TFET-E の第 1 の領域におけるドーパント（Zn）の濃度は、 $2 \times 10^{15} \text{ cm}^{-3}$ であった。TFET-E における第 1 の領域の導電型は i 型であり、第 2 の領域の導電型は n+型である。

30

【0125】

[実施例 4：TFET-F の作製]

ジエチル亜鉛の供給のサイクルを、2 秒間の供給と 28 秒間のインターバルとを 1 サイクルとする以外は、TFET-E と同様に作製し、TFET-F を作製した。TFET-F の第 1 の領域におけるドーパント（Zn）の濃度は、 $2 \times 10^{15} \text{ cm}^{-3}$ であった。TFET-F における第 1 の領域の導電型は i 型であり、第 2 の領域の導電型は n+型である。

【0126】

TFET-D、TFET-E および TFET-F の、ゲート電圧を印加したときのドレイン電流の関係を測定した。結果を図 9 に示す。図 9 中、曲線 D は、TFET-D の電気特性を、曲線 E は、TFET-E の電気特性を、そして曲線 F は、TFET-F の電気特性を、それぞれ表している。

40

【0127】

曲線 D から明らかなように、TFET-D のサブスレッショルド特性（サブ閾値）は、380 mV / 桁であり、TFET-D の立ち上がり電圧は、-1.0 V であった。これに対して、曲線 E から明らかなように、TFET-E のサブ閾値は、58 mV / 桁であり、TFET-E の立ち上がり電圧は、0.05 V であった。また、曲線 F から明らかなように、TFET-F のサブ閾値は、55 mV / 桁であり、TFET-F の立ち上がり電圧

50

は、+0.2Vであった。

【0128】

以上より、実施例1および2と同様に、第1の領域にZnをドーピングしたTFET-EおよびTFET-Fでは、いずれも、第1の領域にZnをドーピングしなかったTFET-Dに比べて、立ち上がり電圧が正側にシフトし、かつトンネルFETの特徴である急峻なサブ閾値を有することがわかる。また、パルスドーピングにおけるドーパントの供給時間によって当該立ち上がり電圧を調整できることもわかる。

【0129】

2013年8月13日出願の特願2013-168048の日本出願に含まれる明細書、図面および要約書の開示内容は、すべて本願に援用される。

10

【産業上の利用可能性】

【0130】

本発明のTFETは、例えば半導体マイクロプロセッサおよび高集積回路に形成されるスイッチ素子として有用である。特に、正のゲート電圧で電流が流れるnチャネルトランジスタの場合にゲート電圧を正側にシフトすること、負のゲート電圧で電流が流れるpチャネルトランジスタの場合にゲート電圧を負側にシフトすることが可能である。このため、ゲート電圧がゼロであるときのドレイン電流をより少なくすることが可能となる。したがって、待機時のリーク電力をさらに抑制することが可能となり、例えば省電力化の観点からより一層効果的である。

20

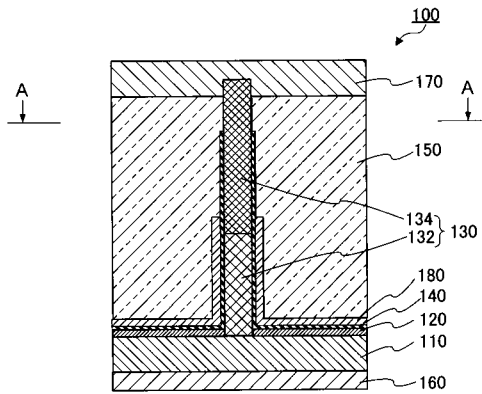
【符号の説明】

【0131】

- 100 TFET
- 110 p型シリコン基板
- 120 絶縁膜
- 122 開口部
- 130 III-V族化合物半導体ナノワイヤ
- 132 第1の領域
- 134 第2の領域
- 140 ゲート誘電体膜
- 150 絶縁保護膜
- 160 ソース電極
- 170 ドレイン電極
- 180 ゲート電極

30

【 図 1 】



【 図 2 】

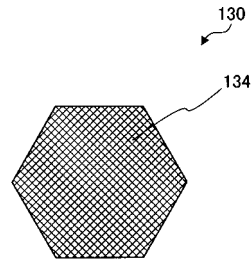


図2A

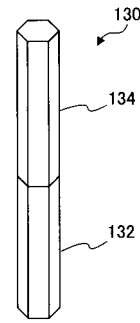


図2B

【 図 3 】

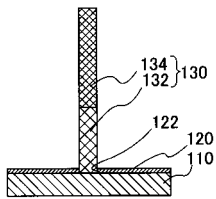


図3A

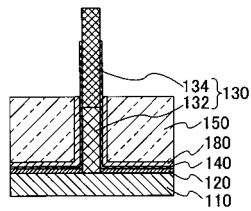


図3D

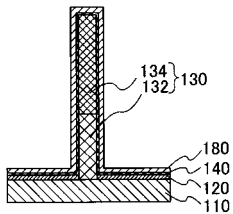


図3B

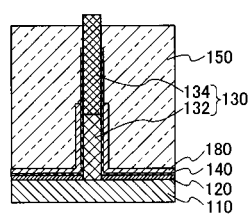


図3E

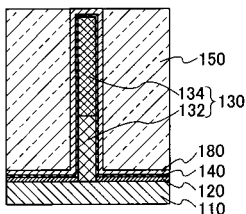


図3C

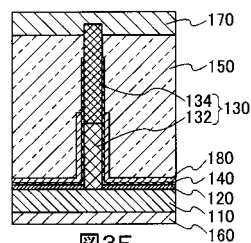


図3F

【 図 4 】

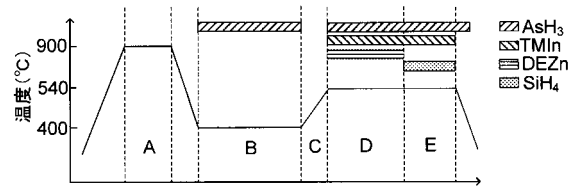


図4A

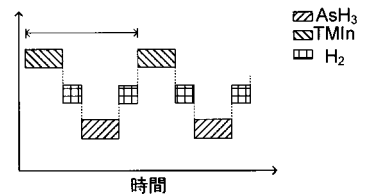


図4B

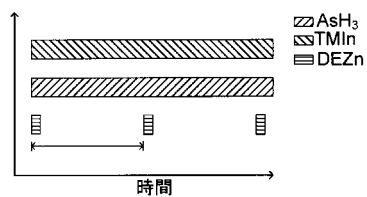


図4C

【 図 5 】

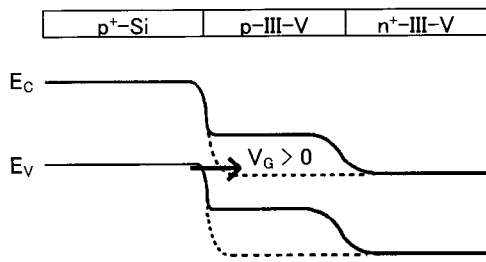


図5A

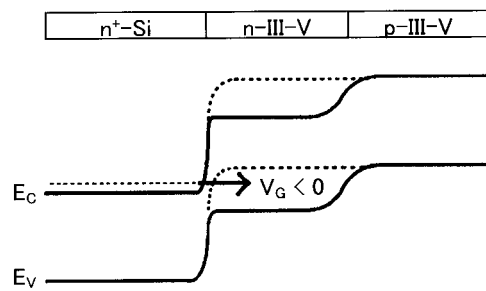
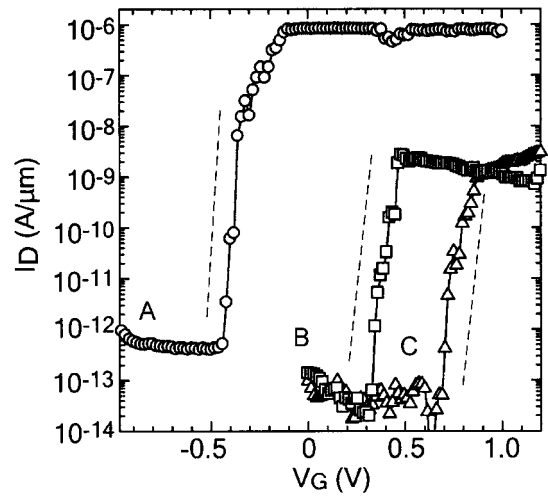


図5B

【 図 7 】



【 図 8 】

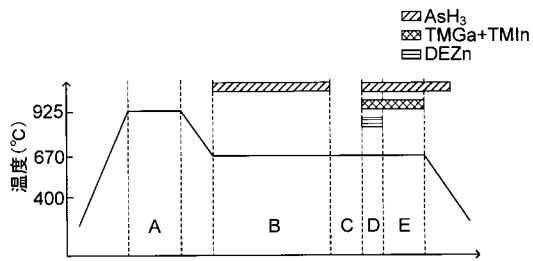


図8A

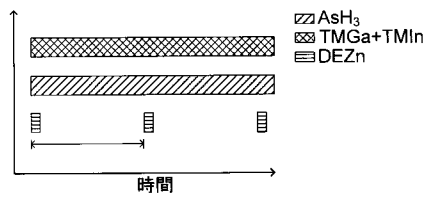
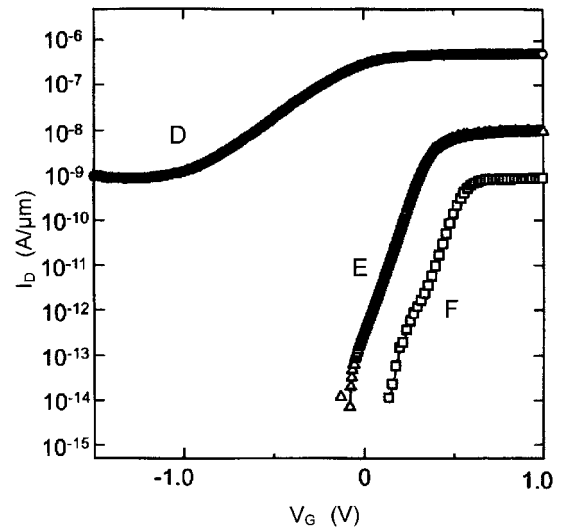


図8B

【 図 9 】



【 図 6 】

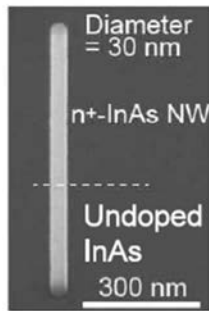


図6A

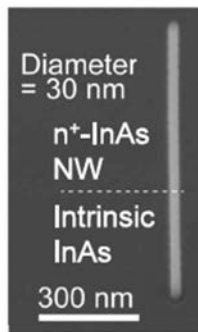


図6B

【 手続補正書 】

【 提出日 】平成27年5月18日 (2015.5.18)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

(削除)

【 請求項 2 】

(削除)

【 請求項 3 】

(削除)

【 請求項 4 】

I V 族半導体基板における、n型およびp型のいずれか一方である第1導電型を呈する部分の(111)面上から、III-V族化合物半導体ナノワイヤを成長させるステップと、

前記I V 族半導体基板および前記III-V族化合物半導体ナノワイヤの界面に作用する、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップと、

前記III-V族化合物半導体ナノワイヤと接触しないように前記I V 族半導体基板に前記ソース電極および前記ドレイン電極のいずれか一方を形成するステップと、

前記III-V族化合物半導体ナノワイヤに前記ソース電極および前記ドレイン電極のいずれか他方を形成するステップと、

を含む、トンネル電界効果トランジスタの製造方法であって、

前記 III - V 族化合物半導体ナノワイヤを成長させるステップは、

前記 (111) 面上に、III 族原料および V 族原料を供給しながら、III - V 族化合物半導体を前記第 1 導電型にするための第 1 導電型ドーパント、および、III - V 族化合物半導体を、n 型および p 型のいずれか他方である第 2 導電型にするための第 2 導電型ドーパントの一方または両方を断続的にドーピングして第 1 の領域を形成するステップと、

前記 (111) 面上に形成された前記第 1 の領域に、前記 V 族原料および前記 III 族原料をさらに供給し、前記第 1 の領域から連続する、前記第 2 導電型を呈する第 2 の領域を形成するステップと、

を含む、

トンネル電界効果トランジスタの製造方法。

【請求項 5】

前記第 1 の領域は、III - V 族化合物半導体を前記第 2 導電型にするための第 2 導電型ドーパントを含み、

前記第 1 の領域を形成するステップは、前記第 1 の領域における前記第 1 導電型ドーパントの濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量で、前記第 1 導電型ドーパントを前記 (111) 面上に断続的に供給する、

請求項 4 に記載の製造方法。

【請求項 6】

前記第 1 の領域を形成するステップにおける、前記第 1 導電型ドーパントをドーピングする時間は、0.1 ~ 5 秒間 / 回であり、前記第 1 導電型ドーパントのドーピングのインターバルは、1.0 ~ 29.5 秒間である、請求項 4 または 5 に記載の製造方法。

【請求項 7】

前記第 2 の領域を形成するステップは、前記 (111) 面上に形成された前記第 1 の領域に、前記 V 族原料および前記 III 族原料を供給しながら前記第 2 導電型ドーパントをドーピングし、前記第 2 導電型を呈する前記第 2 の領域を形成する、請求項 4 ~ 6 のいずれか一項に記載の製造方法。

【請求項 8】

IV 族半導体基板における、n 型および p 型のいずれか一方である第 1 導電型を呈する部分の (111) 面上から、III - V 族化合物半導体ナノワイヤを成長させて III - V 族化合物半導体ナノワイヤを製造する方法であって、

前記 (111) 面上に、III 族原料および V 族原料を供給しながら、III - V 族化合物半導体を前記第 1 導電型にするための第 1 導電型ドーパント、および、III - V 族化合物半導体を、n 型および p 型のいずれか他方である第 2 導電型にするための第 2 導電型ドーパントの一方または両方を断続的にドーピングして第 1 の領域を形成するステップと、

前記 (111) 面上に形成された前記第 1 の領域に、前記 V 族原料および前記 III 族原料をさらに供給し、前記第 1 の領域から連続する、前記第 2 導電型を呈する第 2 の領域を形成するステップと、

を含む、

III - V 族化合物半導体ナノワイヤの製造方法。

【請求項 9】

前記第 1 の領域は、III - V 族化合物半導体を前記第 2 導電型にするための第 2 導電型ドーパントを含み、

前記第 1 の領域を形成するステップは、前記第 1 の領域における前記第 1 導電型ドーパントの濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ となる量で、前記第 1 導電型ドーパントを前記 (111) 面上に断続的に供給する、

請求項 8 に記載の製造方法。

【請求項 10】

前記第 1 の領域を形成するステップにおける、前記第 1 導電型ドーパントをドーピングする時間は、0.1 ~ 5 秒間 / 回であり、前記第 1 導電型ドーパントのドーピングのインターバル

は、1.0～29.5秒間である、請求項8または9に記載の製造方法。

【請求項11】

前記第2の領域を形成するステップは、前記(111)面上に形成された前記第1の領域に、前記V族原料および前記III族原料を供給しながら前記第2導電型ドーパントをドーブし、前記第2導電型を呈する前記第2の領域を形成する、請求項8～10のいずれか一項に記載の製造方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2014/004175
A. CLASSIFICATION OF SUBJECT MATTER H01L21/336(2006.01)i, B82Y30/00(2011.01)i, B82Y40/00(2011.01)i, H01L21/28 (2006.01)i, H01L29/06(2006.01)i, H01L29/417(2006.01)i, H01L29/66 (2006.01)i, H01L29/78(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/336, B82Y30/00, B82Y40/00, H01L21/28, H01L29/06, H01L29/417, H01L29/66, H01L29/78 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2011/040012 A1 (National University Corporation Hokkaido University), 07 April 2011 (07.04.2011), paragraphs [0013], [0015], [0017] to [0025], [0056] to [0068]; fig. 4 & US 2012/0187376 A1 & EP 2472585 A1 & CN 102576726 A & KR 10-2012-0081100 A	1-3 4-7
Y	JP 2013-12723 A (IMEC), 17 January 2013 (17.01.2013), paragraphs [0032] to [0034], [0082], [0090]; fig. 1 & US 2012/0298959 A1 & EP 2528099 A1	1-3
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 October, 2014 (29.10.14)		Date of mailing of the international search report 11 November, 2014 (11.11.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/004175

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-263365 A (Mitsubishi Electric Corp.), 13 October 1995 (13.10.1995), entire text; all drawings & US 5679603 A & DE 19503974 A1 & FR 2716036 A	1-7

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 4 1 7 5	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/336(2006.01)i, B82Y30/00(2011.01)i, B82Y40/00(2011.01)i, H01L21/28(2006.01)i, H01L29/06(2006.01)i, H01L29/417(2006.01)i, H01L29/66(2006.01)i, H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/336, B82Y30/00, B82Y40/00, H01L21/28, H01L29/06, H01L29/417, H01L29/66, H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	WO 2011/040012 A1 (国立大学法人北海道大学) 2011.04.07, 段落 [0013], [0015], [0017]-[0025], [0056]-[0068], 図 4 & US 2012/0187376 A1 & EP 2472585 A1 & CN 102576726 A & KR 10-2012-0081100 A	1-3 4-7	
Y	JP 2013-12723 A (アイメック) 2013.01.17, 段落【0032】 - 【0034】 , 【0082】 , 【0090】 , 図 1 & US 2012/0298959 A1 & EP 2528099 A1	1-3	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 29.10.2014		国際調査報告の発送日 11.11.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 市川 武宜	5 F 4056
		電話番号 03-3581-1101 内線 3516	

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 4 1 7 5
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-263365 A (三菱電機株式会社) 1995. 10. 13, 全文, 全図 & US 5679603 A & DE 19503974 A1 & FR 2716036 A	1-7

フロントページの続き

(51) Int.Cl.	F I		テーマコード(参考)	
H 0 1 L 29/06 (2006.01)	H 0 1 L	29/06	6 0 1 N	
H 0 1 L 29/66 (2006.01)	H 0 1 L	29/66	T	
B 8 2 Y 10/00 (2011.01)	B 8 2 Y	10/00		
B 8 2 Y 40/00 (2011.01)	B 8 2 Y	40/00		

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 4M104 AA01 AA02 BB01 BB02 BB06 BB07 BB09 BB13 BB14 BB16
BB36 CC05 DD34 EE16 FF04 FF06 GG09 GG14
5F140 AA06 AC12 BA01 BA03 BA06 BA07 BA08 BA09 BA16 BA20
BB04 BB13 BD11 BD13 BE09 BF01 BF05 BF07 BF11 BF15
BF54 BJ01 BJ06 CE02
5F152 LL05 LL09 LM02 MM04 NN03 NN04 NN27 NQ05 NQ06 NQ07
NQ08 NQ09

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。