

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-45897  
(P2017-45897A)

(43) 公開日 平成29年3月2日(2017.3.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	4M104
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 301B	5F102
HO 1 L 29/812 (2006.01)	HO 1 L 21/28 301B	5F140
HO 1 L 21/336 (2006.01)	HO 1 L 21/28 301R	5F152
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 A	

審査請求 未請求 請求項の数 7 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2015-168227 (P2015-168227)  
(22) 出願日 平成27年8月27日 (2015.8.27)

(71) 出願人 899000068  
学校法人早稲田大学  
東京都新宿区戸塚町1丁目104番地  
(74) 代理人 100137800  
弁理士 吉田 正義  
(74) 代理人 100148253  
弁理士 今枝 弘充  
(74) 代理人 100148079  
弁理士 梅村 裕明  
(72) 発明者 川原田 洋  
東京都新宿区戸塚町1丁目104番地 学  
校法人早稲田大学内

最終頁に続く

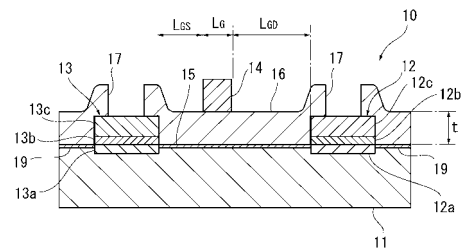
(54) 【発明の名称】 ダイヤモンド電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】より耐圧の高いダイヤモンド電界効果トランジスタ及びその製造方法を提供する。

【解決手段】ダイヤモンド基板11の表面にドレイン電極12とソース電極13とが形成されている。ドレイン電極12とソース電極13と間のダイヤモンド基板11の表面は、水素終端されて水素化層15とされている。水素化層15は、アルミナのゲート絶縁膜16で覆われており、ゲート絶縁膜16上にゲート電極14が形成されている。ダイヤモンド基板10は、黒色の多結晶ダイヤモンドで作製されており、表面は研磨されて平坦化されている。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

多結晶のダイヤモンドからなるダイヤモンド基板と、  
前記ダイヤモンド基板の表面に互いに離間して設けられたドレイン電極及びソース電極と、

前記ダイヤモンド基板の表面の前記ドレイン電極と前記ソース電極の間の領域を水素終端した水素化層と、

前記水素化層を覆うゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極と

を備えることを特徴とするダイヤモンド電界効果トランジスタ。

10

## 【請求項 2】

前記ゲート絶縁膜は、アルミナであることを特徴とする請求項 1 記載のダイヤモンド電界効果トランジスタ。

## 【請求項 3】

前記ゲート絶縁膜は、膜厚が 50 nm 以上であることを特徴とする請求項 2 記載のダイヤモンド電界効果トランジスタ。

## 【請求項 4】

多結晶のダイヤモンドからなるダイヤモンド基板の表面にドレイン電極及びソース電極を形成する第 1 の電極形成工程と、

前記ドレイン電極と前記ソース電極の間のダイヤモンド基板の表面を水素終端して水素化層を形成する水素化層形成工程と、

予め設定された膜厚以上にゲート絶縁膜を形成して前記水素化層を覆うゲート絶縁膜形成工程と、

前記ゲート絶縁膜上にゲート電極を形成する第 2 の電極形成工程と

を有することを特徴とするダイヤモンド電界効果トランジスタの製造方法。

20

## 【請求項 5】

前記ゲート絶縁膜形成工程は、前記ゲート絶縁膜をアルミナで形成することを特徴とする請求項 4 記載のダイヤモンド電界効果トランジスタの製造方法。

## 【請求項 6】

前記ゲート絶縁膜形成工程は、膜厚が 50 nm 以上の前記ゲート絶縁膜を形成することを特徴とする請求項 5 記載のダイヤモンド電界効果トランジスタの製造方法。

30

## 【請求項 7】

前記第 1 の電極形成工程の前に、前記ダイヤモンド基板の表面を研磨して平坦化することを特徴とする請求項 6 記載のダイヤモンド電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ダイヤモンド基板を用いたダイヤモンド電界効果トランジスタ及びその製造方法に関するものである。

40

## 【背景技術】

## 【0002】

ダイヤモンドは、高電圧、大電流動作が必要とされる大電力用の半導体装置に適した半導体材料として期待されており、ダイヤモンド基板を用いた電界効果トランジスタ (FET: Field effect transistor) が種々提案されている。非特許文献 1 では、単結晶のダイヤモンド基板上に不純物を含む単結晶のダイヤモンド薄膜を形成し、このダイヤモンド薄膜を P 型の導電層として MES 型のダイヤモンド電界効果トランジスタを構成することにより、30 μm のゲート - ドレイン間隔で、ソース - ドレイン間における耐圧 1530 V を達成している。

50

## 【 0 0 0 3 】

また、単結晶のダイヤモンドからなるダイヤモンド基板の表面を水素終端することにより、その表面直下にP型の導電層を誘起して、ダイヤモンド電界効果トランジスタとして動作させる技術が提案されている（例えば、特許文献1を参照）。

## 【 先行技術文献 】

## 【 非特許文献 】

## 【 0 0 0 4 】

【 非特許文献 1 】 Umezawa .H, Matsumoto.T, Shikata.S-I, " Diamond Metal-Semiconductor Field-Effect Transistor With Breakdown Voltage Over 1.5 kV ", IEEE Electron Device Letters, Vol. 35 Issue 11, (2014), 1112-1114

10

## 【 特許文献 】

## 【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 1 4 - 0 6 0 3 7 7 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

ところで、大電力を扱うパワーデバイスとしての電界効果トランジスタとしては、高耐圧であることが要求されるが、ダイヤモンド基板を用いたダイヤモンド電界効果トランジスタにおいて十分な耐圧が得られていなかった。

## 【 0 0 0 7 】

20

本発明は、上記事情に鑑みてなされたものであり、より耐圧の高いダイヤモンド電界効果トランジスタ及びその製造方法を提供することを目的とする。

## 【 課題を解決するための手段 】

## 【 0 0 0 8 】

本発明のダイヤモンド電界効果トランジスタは、多結晶のダイヤモンドからなるダイヤモンド基板と、ダイヤモンド基板の表面に互いに離間して設けられたドレイン電極及びソース電極と、ダイヤモンド基板の表面のドレイン電極とソース電極の間の領域を水素終端した水素化層と、水素化層を覆うゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極とを備えるものである。

## 【 0 0 0 9 】

30

また、本発明のダイヤモンド電界効果トランジスタの製造方法は、多結晶のダイヤモンドからなるダイヤモンド基板の表面にドレイン電極及びソース電極を形成する第1の電極形成工程と、ドレイン電極とソース電極の間のダイヤモンド基板の表面を水素終端して水素化層を形成する水素化層形成工程と、予め設定された膜厚以上にゲート絶縁膜を形成して水素化層を覆うゲート絶縁膜形成工程と、ゲート絶縁膜上にゲート電極を形成する第2の電極形成工程とを有するものである。

## 【 発明の効果 】

## 【 0 0 1 0 】

本発明によれば、ダイヤモンド電界効果トランジスタのダイヤモンド基板として多結晶のダイヤモンドを用いているので、より高い耐圧を得ることができる。

40

## 【 図面の簡単な説明 】

## 【 0 0 1 1 】

【 図 1 】 本発明を実施したダイヤモンド電界効果トランジスタを示す平面図である。

【 図 2 】 ダイヤモンド電界効果トランジスタの構造を示す断面図である。

【 図 3 】 Ti層とAu層との形成過程を示す説明図である。

【 図 4 】 カーバイド層の形成過程を示す説明図である。

【 図 5 】 水素化層の形成過程を示す説明図である。

【 図 6 】 素子分離層の形成過程を示す説明図である。

【 図 7 】 ゲート絶縁膜を蒸着した状態を示す説明図である。

【 図 8 】 ゲート絶縁膜をエッチングした状態を示す説明図である。

50

【図 9】ゲート電極の形成過程を示す説明図である。

【図 10】実施例に用いた測定回路を示す説明図である。

【図 11】実施例におけるダイヤモンド電界効果トランジスタのドレイン電流 - ドレイン電圧特性を示すグラフである。

【図 12】耐圧測定の際のドレイン電圧に対するドレイン電流とゲート電流の変化を示すグラフである。

【図 13】耐圧測定の際のドレイン電圧に対するドレイン電流とゲート電流の変化をログスケールで示すグラフである。

【図 14】ストレステスト前のドレイン電流 - ドレイン電圧特性を示すグラフである。

【図 15】500Vのドレイン電圧を与えた後のドレイン電流 - ドレイン電圧特性を示すグラフである。

10

【図 16】500Vまでドレイン電圧を漸増した際のドレイン電圧に対するドレイン電流とゲート電流の変化を示すグラフである。

【図 17】1000Vのドレイン電圧を与えた後のドレイン電流 - ドレイン電圧特性を示すグラフである。

【図 18】1000Vまでドレイン電圧を漸増した際のドレイン電圧に対するドレイン電流とゲート電流の変化を示すグラフである。

【図 19】オン/オフ比を測定した際のゲート電圧に対するドレイン電流の変化を示すグラフである。

【図 20】ゲート - ドレイン間隔が異なるダイヤモンド電界効果トランジスタのサンプルにおけるドレイン電流 - ドレイン電圧特性を示すグラフである。

20

【発明を実施するための形態】

【0012】

図 1 において、本実施形態に係るダイヤモンド電界効果トランジスタ（以下、FET (Field effect transistor) という) 10 は、ダイヤモンド基板 11 上に形成されている。FET 10 は、ダイヤモンド基板 11 の他に、ドレイン電極 12、ソース電極 13、ゲート電極 14、これらドレイン電極 12 とソース電極 13 との間に設けられた水素化層 15、水素化層 15 を覆うゲート絶縁膜 16、コンタクト孔 17、コンタクト 18、素子分離層 19 を備えている。ドレイン電極 12、ソース電極 13、水素化層 15、及び素子分離層 19 は、ゲート絶縁膜 16 で覆われており、ドレイン電極 12 とソース電極 13 とは、コンタクト孔 17 を通して上部に露呈している。ゲート電極 14 とコンタクト 18 は、一体に形成されおり、ゲート絶縁膜 16 上に設けられている。ゲート電極 14 は、ゲート絶縁膜 16 を挟んで水素化層 15 の上方に設けられている。素子分離層 19 は、ダイヤモンド基板 11 の表面のうちドレイン電極 12、ソース電極 13 及び水素化層 15 が形成された以外の領域に形成されている。

30

【0013】

ダイヤモンド基板 11 としては、黒色多結晶のダイヤモンドを板状に形成したものである。このように黒色多結晶のダイヤモンドをダイヤモンド基板 11 として用いることにより、FET 10 の耐圧  $V_B$  を高くしている。耐圧  $V_B$  は、ソース - ドレイン間の絶縁が破壊されるドレイン電圧  $V_{DS}$  の絶対値である。黒色多結晶ダイヤモンドは、内包するグラファイトなどにより黒色不透明となった多結晶のダイヤモンドである。なお、黒色の多結晶のダイヤモンドに代えて透明な多結晶のダイヤモンドからなるダイヤモンド基板 11 を用いてもよい。

40

【0014】

図 2 において、ダイヤモンド基板 11 は、その表面が研磨されて平坦化されている。このダイヤモンド基板 11 の表面に、ドレイン電極 12 とソース電極 13 とが所定の間隔をあけて設けられている。

【0015】

ドレイン電極 12 は、カーバイド層 12 a と、Ti (チタン) からなる Ti 層 12 b と、Au (金) からなる Au 層 12 c とを積層した構成であり、ダイヤモンド基板 11 にオ

50

ーミック接続している。カーバイド層 12 a は、Ti をカーバイド化したものであり、ドレイン電極 12 とダイヤモンド基板 11 との接触抵抗を低くするために設けられている。カーバイド層 12 a は、Ti 層 12 b を構成する Ti をその直下のダイヤモンド基板 11 の領域に拡散させて TiC を形成することによってダイヤモンド基板 11 に埋設した状態に形成される。このカーバイド層 12 a の形成のために、後述するように Ti 層 12 b の形成後にダイヤモンド基板 11 を加熱し、Ti 層 12 b を構成する Ti をその直下のダイヤモンド基板 11 の領域に拡散させる。

【0016】

ソース電極 13 は、カーバイド層 13 a、Ti 層 13 b、Au 層 13 c を積層した構成である。このソース電極 13 の各層 13 a ~ 13 c は、ドレイン電極 12 の各層 12 a ~ 12 c と同じであるので、その詳細な説明は省略する。

10

【0017】

Ti 層 12 b、13 b、Au 層 12 c、13 c は、例えば蒸着法などを用いて、ダイヤモンド基板 11 の表面に積層される。この例では、Ti 層 12 b、13 b の厚みは 30 nm、Au 層 12 c、13 c の厚みは 100 nm となっている。なお、Ti 層 12 b、13 b、Au 層 12 c、13 c の厚みは、適宜決めることができ、Ti 層 12 b、13 b については、3 nm ~ 50 nm の範囲内とし、Au 層 12 c、13 c については 50 nm ~ 1 μm の範囲内とするのがよい。

【0018】

水素化層 15 は、ドレイン電極 12 とソース電極 13 との間のダイヤモンド基板 11 の表面を水素終端することによって形成されている。水素終端は、周知のように、ダイヤモンド基板 11 の表面における炭素原子の未結合手（ダングリングボンド：dangling bond）に水素を結合させた状態にすることである。水素化層 15 を形成することにより、その水素化層 15 の直下に、2次元正孔ガス（2DHG：two-dimensional hole gas）を誘起して P 型導電層（チャネル、図示せず）を形成する。

20

【0019】

素子分離層 19 は、ダイヤモンド基板 11 の表面を酸素終端することによって形成されている。酸素終端は、ダイヤモンド基板 11 の表面における炭素原子の未結合手に酸素を結合させた状態にすることである。素子分離層 19 によって、同一基板上における複数素子、すなわち FET 10 を分離することができる。

30

【0020】

ゲート絶縁膜 16 は、Al<sub>2</sub>O<sub>3</sub>（アルミナ）で形成されている。このゲート絶縁膜 16 は、水素化層 15 の表面を覆い、ゲート電極 14 とダイヤモンド基板 11 の表面とを電氣的に絶縁するとともに、水素化層 15 を保護する保護膜としても機能する。この例では、上述のようにゲート絶縁膜 16 は、水素化層 15 とともに、ドレイン電極 12、ソース電極 13、水素化層 15、素子分離層 19 を覆っている。ゲート絶縁膜 16 の膜厚 t は、適宜決めることができるが、FET 10 の耐圧を向上させる観点からは、50 nm 以上とし、好ましくは 100 nm 以上とし、より好ましくは 400 nm 以上とするのがよい。なお、ゲート絶縁膜 16 は、必ずしも Al : O = 2 : 3 となっている訳でない。

【0021】

ゲート電極 14 は、水素化層 15 の上方のゲート絶縁膜 16 上に設けられ、ドレイン電極 12 とソース電極 13 との双方に所定の間隔をあけて配されている。ゲート - ドレイン間隔 L<sub>GD</sub>、ゲート - ソース間隔 L<sub>GS</sub>、ゲート長 L<sub>G</sub> は、適宜決めることができるが、ゲート - ドレイン間隔 L<sub>GD</sub> は 1 ~ 30 μm、ゲート - ソース間隔 L<sub>GS</sub> は 1 ~ 10 μm、ゲート長 L<sub>G</sub> は 1 ~ 20 μm の範囲内とするのがよい。ゲート電極 14 は、例えば Al（アルミニウム）で形成されている。

40

【0022】

ドレイン電極 12、ソース電極 13 の上方のゲート絶縁膜 16 の部分には、それぞれコンタクト孔 17 が形成されている。これらコンタクト孔 17 は、ゲート絶縁膜 16 を貫通するように設けられており、これらのコンタクト孔 17 を介してゲート絶縁膜 16 の上面

50

にドレイン電極 12、ソース電極 13 の上部を露呈している。各コンタクト孔 17 を通してドレイン電極 12、ソース電極 13 が外部の電源等に接続され、ゲート電極 14 はコンタクト 18 を介して外部の電源等に接続される。なお、コンタクト孔 17 内に、例えば A1 でコンタクトを形成して、このコンタクトを介して各電極 12、13 を外部の電源等に接続してもよい。

#### 【0023】

上記のように構成される FET 10 は、水素化層 15 の直下に P 型導電層が形成されるため、ゲート電圧  $V_{GS}$  が 0 V のときでも、ソース電極 13 とドレイン電極 12 と間に P 型導電層を介してドレイン電流  $I_{DS}$  が流れる。また、P 型導電層に流れる電流、すなわちドレイン電流  $I_{DS}$  は、ゲート電極 14 に印加される電圧によって制御される。したがって、FET 10 は、デプレッション型の MOSFET として作動する。

10

#### 【0024】

そして、FET 10 は、黒色多結晶のダイヤモンド基板 11 を用いているため、これまでのダイヤモンドを用いた FET よりも高い耐圧  $V_B$  を有している。この高い耐圧  $V_B$  は、ダイヤモンド基板 11 が多結晶であるため、インパクトイオン化が起きづらいことが理由の 1 つとして考えられる。

#### 【0025】

次に上記 FET 10 の製造方法について説明する。この例では、基板作製工程と、第 1 の電極形成工程と、水素化層形成工程と、素子分離層形成工程と、ゲート絶縁膜形成工程と、第 2 の電極形成工程とを順番に行うことによって、FET 10 を作製する。なお、下記の FET 10 の製造方法は、一例であり、これに限定されるものではない。

20

#### 【0026】

基板作製工程では、ダイヤモンド基板 11 を作製する。例えば、まずシリコン基板上に、CVD など厚み、例えば  $200\ \mu\text{m} \sim 1\ \text{mm}$  程度の黒色多結晶ダイヤモンドを形成する。この後、黒色多結晶ダイヤモンドをシリコン基板から外し、得られる多結晶ダイヤモンドの表面を研磨して平坦化して、ダイヤモンド基板 11 とする。表面の研磨後、酸素終端処理を行う。この酸素終端処理では、例えばプラズマリアクタ装置を用いて、ダイヤモンド基板 11 の表面を酸素プラズマに曝すことにより行う。これにより、ダイヤモンド基板 11 の表面を酸素終端すると同時に、表面に付着している不純物を除去する。ここでダイヤモンド基板 11 の表面に酸素終端を行うのは、ドレイン電極 12、ソース電極 13 の接着性を向上させるためである。なお、予め研磨されたダイヤモンド基板 11 を用いてもよい。

30

#### 【0027】

第 1 の電極形成工程では、基板作製工程で作製されるダイヤモンド基板 11 にドレイン電極 12 とソース電極 13 とを形成する。第 1 の電極形成工程では、図 3 に示すように、まずドレイン電極 12 とソース電極 13 に対応したパターンのレジストマスク 31 をダイヤモンド基板 11 上に形成する。レジストマスク 31 は、一般的なフォトリソグラフィ技術を用いて形成すればよい。レジストマスク 31 の形成後、蒸着法、例えば電子ビーム蒸着法によって Ti、Au を順番に、それぞれ所定の厚みとなるようにダイヤモンド基板 11 上に堆積して、ドレイン電極 12 を構成する Ti 層 12b、Au 層 12c と、ソース電極 13 を構成する Ti 層 13b、Au 層 13c とを形成する。レジストマスク 31 は、その上に形成された Ti と Au の積層膜 32 とともに、アセトン等の有機溶媒を用いて除去される。このようにリフトオフプロセスにより、Ti 層 12b、13b と、Au 層 12c、13c を形成する。

40

#### 【0028】

レジストマスク 31 の除去後、高温アニール処理を行う。この高温アニール処理は、水素ガスを導入した低圧雰囲気下でダイヤモンド基板 11 を所定時間加熱した後、ダイヤモンド基板 11 を急冷する。この高温アニール処理によって、図 4 に示すように、Ti 層 12b、13b の直下のダイヤモンド基板 11 の領域に TiC からなるカーバイド層 12a、13a がそれぞれ形成される。

50

## 【0029】

第1の電極形成工程に続いて水素化層形成工程が行われる。水素化層形成工程では、ドレイン電極12とソース電極13が形成されたダイヤモンド基板11を加熱しながら水素プラズマに曝す。これによって、図5に示すように、ドレイン電極12とソース電極13との間のダイヤモンド基板11の表面が水素終端されて、水素化層15が形成される。水素化層15が形成されることによって、水素化層15の直下にP型導電層が誘起される。なお、この水素化層形成工程では、ダイヤモンド基板11の表面のうちドレイン電極12とソース電極13が形成されていない領域の全てが水素終端される。図5では、水素化層15以外の水素終端された部分に符号15aを付してある。

## 【0030】

水素化層形成工程に続いて、素子分離層形成工程を行う。この素子分離層形成工程では、まず水素化層15を保護するために、図6に示すように、水素化層15を覆うパターンのレジストマスク34を形成する。この例では、水素化層15とともに、ドレイン電極12、ソース電極13の上面を覆うように、レジストマスク34を形成するが、レジストマスク34がドレイン電極12、ソース電極13の周縁にかからないように形成する。レジストマスク34は、フォトリソグラフィ技術を用いて形成すればよい。

## 【0031】

レジストマスク34の形成後、例えばプラズマリアクタ装置を用いて、ダイヤモンド基板11の表面を酸素プラズマに曝す。これにより、ダイヤモンド基板11の表面のうちレジストマスク34で隠されていない部分、すなわち水素化層15以外の領域が水素終端された状態から酸素終端された状態に変化し、素子分離層19が形成される。素子分離層19の形成後、レジストマスク34は、アセトン等の有機溶媒を用いて除去される。

## 【0032】

レジストマスク34の除去後、ゲート絶縁膜形成工程を行う。このゲート絶縁膜形成工程では、原子層堆積(ALD: Atomic Layer Deposition)法により、ゲート絶縁膜16を形成する。具体的には、反応室内でダイヤモンド基板11を加熱した状態にし、第1のプリカーサとしてのトリメチルアルミニウム(TMA: Trimethylaluminium)ガスを投入して、TMA分子をドレイン電極12、ソース電極13、水素化層15、素子分離層19の各表面に吸着させるステップと、余剰なTMAガスすなわち未吸着のTMA分子を排気するステップと、第2のプリカーサとしての水(気体)を投入しTMAと反応させるステップと、TMAが水分子に反応することによって生成されるメタン分子及び余剰な水(気体)を排気するステップとからなる4ステップを1サイクルとし、このサイクルを繰り返す。サイクル数を調整することによって、図7に示すように、所望とする膜厚tのゲート絶縁膜16を形成する。ゲート絶縁膜16を形成する際のダイヤモンド基板11の温度は、FET11の高温における動作安定性の観点からは、200以上、好ましくは400以上とするのが好ましい。

## 【0033】

上記のように第2のプリカーサとして水(気体)を用いることは、水素化層15の水素終端を消失させることがないので、ゲート絶縁膜16を形成するうえで好適である。なお、第2のプリカーサとしては、ダイヤモンド基板11の表面におけるC-H結合と吸熱反応をする反応種を用いることが好ましい。これは、C-H結合と発熱反応をする反応種を用いた場合に、その反応による発熱で水素終端が消失する可能性が高くなるためである。ゲート絶縁膜16の形成後、水素終端が消失することなく残っているか否かは、例えば二次イオン質量分析法(SIMS; Secondary Ion Mass Spectrometry)を用いて確認することができる。この場合、形式的には、水素終端を重水素で行うようにすれば、水素化層形成工程で結合された水素であるか否かを判別することも可能である。

## 【0034】

続いて、図8に示すように、各コンタクト孔17に対応したパターンのレジストマスク36を形成する。レジストマスク36は、フォトリソグラフィ技術を用いて形成される。レジストマスク36の形成後、例えばTMAH(Tetramethylammonium hydroxide: 水酸

10

20

30

40

50

化テトラメチルアンモニウム)系現像液であるNMD-3(東京応化工業製)を用いてゲート絶縁膜16をエッチングし、ドレイン電極12、ソース電極13の上方のゲート絶縁膜16にそれぞれコンタクト孔17を形成する。コンタクト孔17の形成後、レジストマスク34をアセトン等の有機溶媒を用いて除去する。

#### 【0035】

レジストマスク34の除去後、第2の電極形成工程を行って、コンタクト18を含むゲート電極14を形成する。この第2の電極形成工程では、図9に示すように、コンタクト18を含むゲート電極14に対応したパターンのレジストマスク38を形成する。続いて、電子ビーム蒸着法や抵抗加熱蒸着法により、Alを堆積して、コンタクト18を含むゲート電極14を形成する。レジストマスク38は、その上に形成されたAlの堆積膜39とともに、アセトン等の有機溶媒を用いて除去される。このようにリフトオフプロセスにより、ゲート電極14を形成する。なお、コンタクト孔17内にコンタクトを形成する場合には、レジストマスク38にコンタクト孔17に対応したパターン(開口)を設け、上記のように電子ビーム蒸着法や抵抗加熱蒸着法によってAlを堆積すればよい。

10

#### 【実施例】

#### 【0036】

実施例では、図1及び図2に示す構成のFET10のサンプルを作製して特性を測定した。本実施例においては、上記実施形態に記載した製造方法にしたがってFET10のサンプル1~4を作製した。サンプル1~4は、同一のダイヤモンド基板11上に同時に作製している。サンプル1~4に共通な仕様は次の通りである。

20

ダイヤモンド基板11の厚み : 500  $\mu$ m  
Ti層12b, 13bの厚み : 30 nm  
Au層12c, 13cの厚み : 100 nm  
ゲート電極14の厚み : 100 nm  
ゲート絶縁膜16の膜厚t : 200 nm  
ゲート幅(水素化層15の幅) : 25  $\mu$ m

#### 【0037】

なお、第1の電極形成工程では、ダイヤモンド基板11を30分間、450 に加熱した後、ダイヤモンド基板11を急冷することで、カーバイド層12a、13aを形成した。また、水素化終端工程では、ダイヤモンド基板11を450 に加熱した状態で水素プラズマに30分間に曝して水素終端を行い、水素化層15を形成した。素子分離層形成工程では、プラズマリアクタ装置(ヤマト科学株式会社製 PR510)を用いて、常温・大気圧でダイヤモンド基板11を酸素プラズマから離して配することで酸素終端して素子分離層19を形成した。ゲート絶縁膜形成工程では、ダイヤモンド基板11を450 に加熱した状態で、上記ALD法によってゲート絶縁膜16を形成した。

30

#### 【0038】

FET10の特性の測定では、図10に示すように、サンプルのソース電極13を接地し、電流計41と直流電源42とを介してドレイン電極12を接地し、ソース電極13とゲート電極14との間に直流電源43と電流計44とを接続した。そして、直流電源42によりドレイン電圧 $V_{DS}$ を調整し、直流電源43によりゲート電圧 $V_{GS}$ を調整した。また、電流計41によりドレイン電流 $I_{DS}$ を測定し、電流計44によりゲート電流 $I_G$ を測定した。ドレイン電圧 $V_{DS}$ を負( $V_{DS} < 0$ )として、その絶対値を大きくした場合に流れるゲート電流 $I_G$ のほとんどは、ゲート絶縁膜16を通してゲート電極14からドレイン電極12に流れるものと考えられる。したがって、ソース電極13からダイヤモンド基板11を通してドレイン電極12に流れる電流は、電流計41によって測定されるドレイン電流 $I_{DS}$ から電流計44によって測定されるゲート電流 $I_G$ を差し引いた電流とほぼみなすことができる。

40

#### 【0039】

サンプル1を用いて、ドレイン電流-ドレイン電圧( $I_{DS} - V_{DS}$ )特性を室温にて測定した。この測定では、ゲート電圧 $V_{GS}$ を-10V~+10Vの範囲で2Vずつ変化

50



させた。サンプル1のゲート - ドレイン間隔  $L_{GD}$ 、ゲート - ソース間隔  $L_{GS}$ 、ゲート長  $L_G$  は、次の通りである。

ゲート - ドレイン間隔  $L_{GD}$  :  $18 \mu\text{m}$

ゲート - ソース間隔  $L_{GS}$  :  $2 \mu\text{m}$

ゲート長  $L_G$  :  $2 \mu\text{m}$

#### 【0040】

測定されたサンプル1のドレイン電流 - ドレイン電圧 ( $I_{DS} - V_{DS}$ ) 特性を図11に示す。なお、図11では、ドレイン電流  $I_{DS}$  をゲート電極14のゲート幅で規格化した値を縦軸に示してある。なお、図14、図15、図17、図20についてもドレイン電流  $I_{DS}$  をゲート電極14のゲート幅で規格化した値を縦軸に示してある。

10

#### 【0041】

図11に示すように、サンプル1は、良好な特性を示した。すなわち、サンプル1は、ピンチオフ及び飽和領域で良好なドレイン電流 - ドレイン電圧 ( $I_{DS} - V_{DS}$ ) 特性を有し、最大ドレイン電流  $I_{DS}$  は  $1.1 \text{ (mA/mm)}$  を示した。この最大ドレイン電流  $I_{DS}$  は、ホウ素がドーパされた多結晶のダイヤモンドを用いたFETの値よりも高い。

#### 【0042】

続いて、サンプル1を用いて耐圧  $V_B$  を測定した。この測定では、ゲート電圧  $V_{GS}$  を  $50 \text{ V}$  に設定して、サンプル1のOFF状態における耐圧  $V_B$  を求めた。この測定の際のドレイン電圧  $V_{DS}$  に対するドレイン電流  $I_{DS}$  (絶対値) とゲート電流  $I_G$  の変化を図12、図13に示すように、ドレイン電圧  $V_{DS}$  が  $-1802 \text{ V}$  であるときに絶縁破壊が確認され、耐圧  $V_B$  が  $1802 \text{ V}$  であることがわかった。なお、図12、図13は、いずれもドレイン電流  $I_{DS}$  の絶対値とゲート電流  $I_G$  とを縦軸にしてあるが、図12はリニアスケールで示し、図13は対数スケールで示してある。 $18 \mu\text{m}$  のゲート - ドレイン間隔  $L_{GD}$  における  $1802 \text{ V}$  の耐圧  $V_B$  は、耐圧  $V_B$  とゲート - ドレイン間隔  $L_{GD}$  との比 ( $V_B / L_{GD}$ ) が  $100 \text{ V}/\mu\text{m}$  ( $= 1 \text{ MV}/\text{cm}$ ) を満足する単結晶ダイヤモンドを用いたこれまでのFETよりも優れた値である。

20

#### 【0043】

次に、サンプル2を用いて、ステステストを行った。このステステストでは、サンプル2のドレイン電流 - ドレイン電圧 ( $I_{DS} - V_{DS}$ ) の初期特性を測定してから、ドレイン電圧  $V_{DS}$  を  $500 \text{ V}$  まで漸増してストレスを与え、この後にドレイン電流 - ドレイン電圧 ( $I_{DS} - V_{DS}$ ) 特性を測定した。なお、サンプル2のゲート - ドレイン間隔  $L_{GD}$ 、ゲート - ソース間隔  $L_{GS}$ 、ゲート長  $L_G$  は、サンプル1と同じである。

30

#### 【0044】

図14にサンプル2のステステスト前(初期)のドレイン電流 - ドレイン電圧 ( $I_{DS} - V_{DS}$ ) 特性を測定した結果を示し、ストレスを与えた後のドレイン電圧 ( $I_{DS} - V_{DS}$ ) 特性を図15に示す。また、図16にストレスを与えた際、すなわちドレイン電圧  $V_{DS}$  を  $500 \text{ V}$  まで漸増した際のドレイン電流(絶対値)とゲート電流の変化を示す。ストレスを与える際には、ゲート電圧  $V_{GS}$  を  $50 \text{ V}$  とした。

#### 【0045】

サンプル2について上記測定を行った後、さらにドレイン電圧  $V_{DS}$  を  $1000 \text{ V}$  まで漸増させてさらなるストレスを与え、ドレイン電流 - ドレイン電圧 ( $I_{DS} - V_{DS}$ ) 特性を測定した。この結果を図17に示す。また、図18にドレイン電圧  $V_{DS}$  を  $1000 \text{ V}$  まで漸増した際のドレイン電流の絶対値とゲート電流の変化を示す。ストレスを与える際には、ゲート電圧  $V_{GS}$  を  $50 \text{ V}$  とした。この結果からストレスを与えた後には僅かなり電流の増大が見られるが、良好な特性を維持していることがわかる。

40

#### 【0046】

次に、サンプル3を用いて、ドレイン電流  $I_{DS}$  のON/OFF比を測定した。図19に示すように、ドレイン電流  $I_{DS}$  (絶対値) は、およそ  $1 \times 10^{-11} \sim 1 \times 10^{-5}$  の間で変化し、6桁のON/OFF比が得られている。なお、測定では、ドレイン電圧  $V_{DS}$  を  $-10 \text{ V}$  に設定した。サンプル3のゲート - ドレイン間隔  $L_{GD}$ 、ゲート - ソース

50

間隔  $L_{GS}$ 、ゲート長  $L_G$  は、次の通りである。

ゲート - ドレイン間隔  $L_{GD}$  :  $28 \mu m$

ゲート - ソース間隔  $L_{GS}$  :  $2 \mu m$

ゲート長  $L_G$  :  $2 \mu m$

【0047】

さらに、下記のようにゲート - ドレイン間隔  $L_{GD}$  をサンプル 1 よりも短くしたサンプル 4 のドレイン電流 - ドレイン電圧 ( $I_{DS} - V_{DS}$ ) 特性を測定した結果を図 20 に示す。サンプル 4 のゲート - ドレイン間隔  $L_{GD}$ 、ゲート - ソース間隔  $L_{GS}$ 、ゲート長  $L_G$  は、次の通りである。

ゲート - ドレイン間隔  $L_{GD}$  :  $11 \mu m$

ゲート - ソース間隔  $L_{GS}$  :  $4 \mu m$

ゲート長  $L_G$  :  $10 \mu m$

10

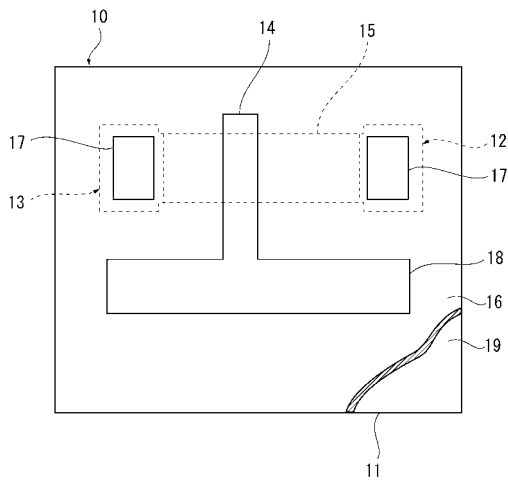
【符号の説明】

【0048】

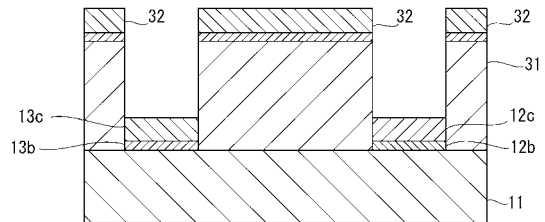
- 10 MOSFET
- 11 ダイヤモンド基板
- 12 ドレイン電極
- 13 ソース電極
- 14 ゲート電極
- 15 水素化層
- 16 ゲート絶縁膜

20

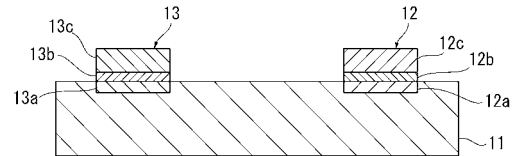
【図 1】



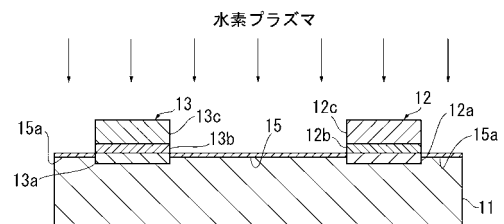
【図 3】



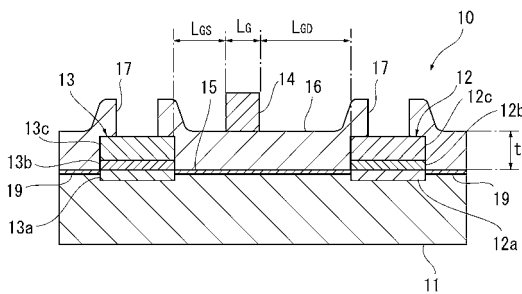
【図 4】



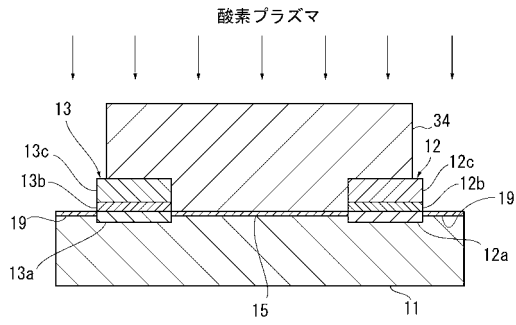
【図 5】



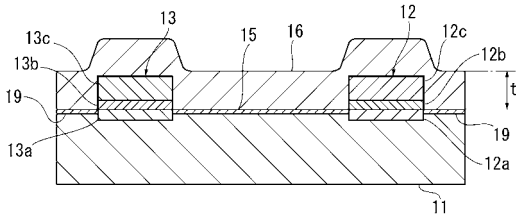
【図 2】



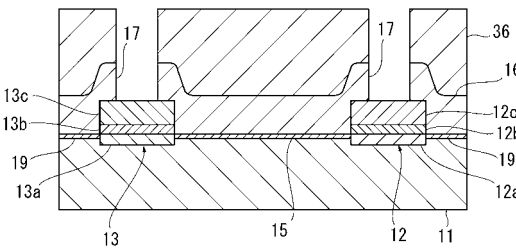
【 図 6 】



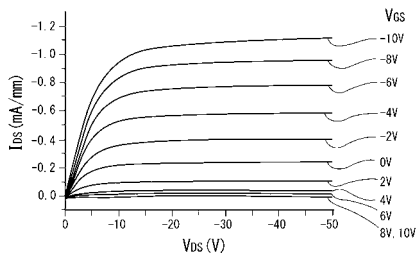
【 図 7 】



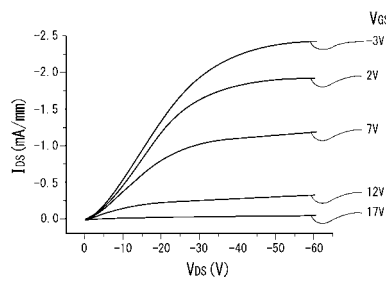
【 図 8 】



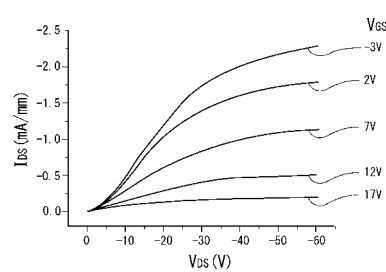
【 図 1 1 】



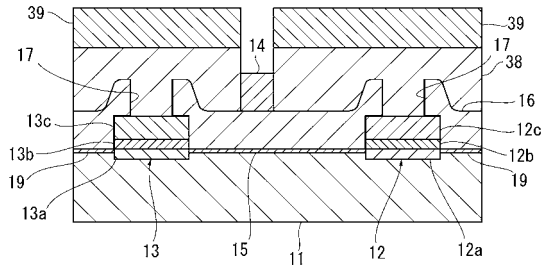
【 図 1 4 】



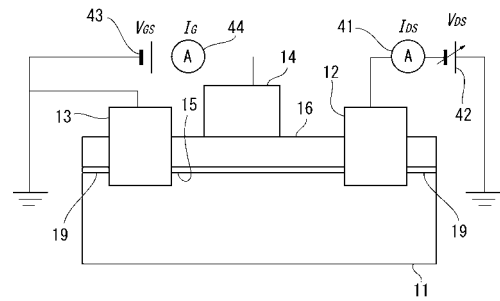
【 図 1 5 】



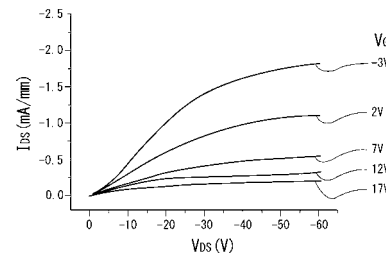
【 図 9 】



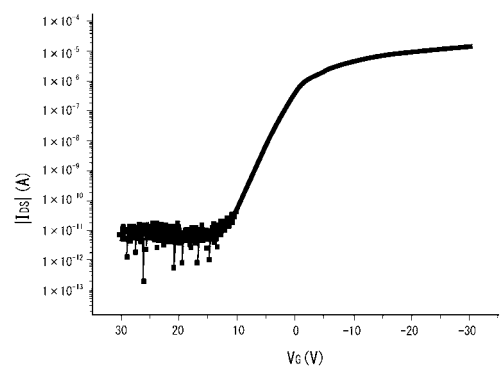
【 図 1 0 】



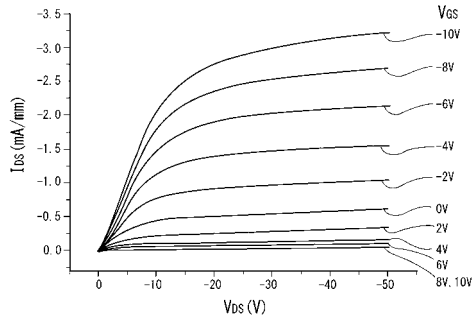
【 図 1 7 】



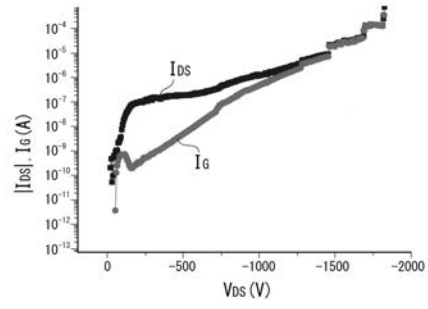
【 図 1 9 】



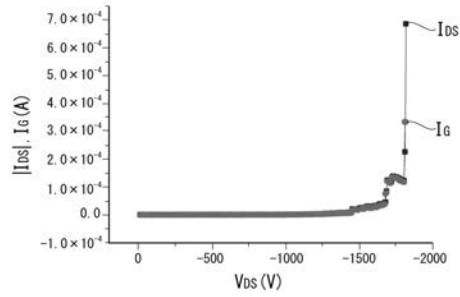
【 図 2 0 】



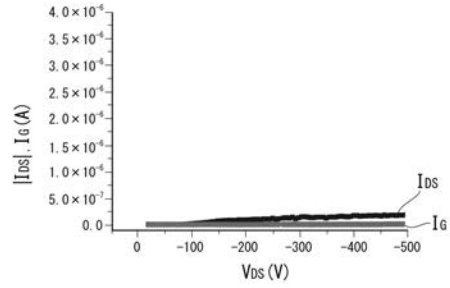
【 図 1 3 】



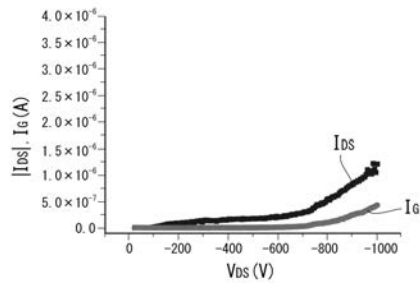
【 図 1 2 】



【 図 1 6 】



【 図 1 8 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>H 0 1 L 21/28 (2006.01)</b>	H 0 1 L 21/20	
<b>H 0 1 L 21/20 (2006.01)</b>	H 0 1 L 21/322	Z
<b>H 0 1 L 21/322 (2006.01)</b>		

(72)発明者 モフト シャムスル ナシリク ビン サムソル バハリン  
 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

(72)発明者 稲葉 優文  
 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

(72)発明者 平岩 篤  
 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

(72)発明者 山田 哲也  
 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

(72)発明者 許 徳シン  
 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

(72)発明者 北林 祐哉  
 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

(72)発明者 柴田 将暢  
 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

Fターム(参考) 4M104 AA10 BB02 BB36 CC00 DD22 DD34 DD68 DD78 GG09 HH08  
 5F102 FA01 GB01 GC01 GD10 GJ02 GL02 GL11 GQ09 GR12 GV05  
 HC11 HC19 HC21 HC24  
 5F140 AA25 AC02 BA04 BB06 BD11 BE09 BH30 BJ03 BJ11 BJ15  
 BJ17 BK38 CB00 CE02  
 5F152 LL03 NN03 NQ02 NQ12