

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/064094

発行日 平成29年3月9日 (2017.3.9)

(43) 国際公開日 平成27年5月7日 (2015.5.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 6 O 1 N	5 F 1 4 O
HO 1 L 29/20 (2006.01)	HO 1 L 29/20	
HO 1 L 29/66 (2006.01)	HO 1 L 29/66 T	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 B	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 J	

審査請求 有 予備審査請求 有 (全 29 頁) 最終頁に続く

出願番号 特願2015-544804 (P2015-544804)	(71) 出願人 504173471 国立大学法人北海道大学 北海道札幌市北区北8条西5丁目
(21) 国際出願番号 PCT/JP2014/005463	
(22) 国際出願日 平成26年10月29日 (2014.10.29)	
(31) 優先権主張番号 特願2013-226675 (P2013-226675)	(71) 出願人 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(32) 優先日 平成25年10月31日 (2013.10.31)	
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100105050 弁理士 鷲田 公一
	(72) 発明者 福井 孝志 北海道札幌市北区北8条西5丁目 国立大学法人北海道大学内
	(72) 発明者 富岡 克広 埼玉県川口市本町4-1-8 川口センタービル 国立研究開発法人科学技術振興機構内

最終頁に続く

(54) 【発明の名称】 III-V族化合物半導体ナノワイヤ、電界効果トランジスタおよびスイッチ素子

(57) 【要約】

本発明は、小さなサブ閾値(100mV/桁以下)で動作可能なIII-V族化合物半導体MOSFET(FET)に使用されうるIII-V族化合物半導体ナノワイヤに関する。III-V族化合物半導体ナノワイヤの側面は、微小な(111)面で構成される(-110)面である。たとえば、III-V族化合物半導体ナノワイヤは、その側面が(111)A面である第1の層と、その側面が(111)B面である第2の層とを有する。前記第1の層および前記第2の層は、軸方向に沿って交互に積層されている。

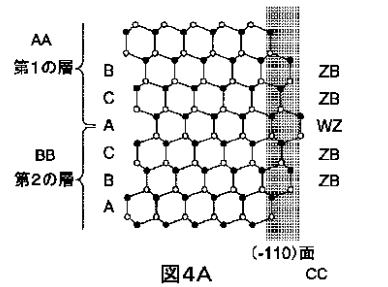


図4A

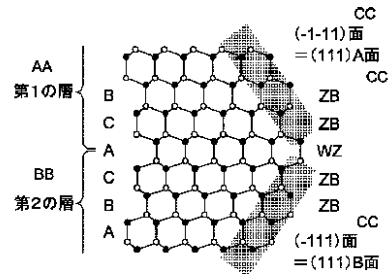


図4B

AA First layer  
BB Second layer  
CC Plane

## 【特許請求の範囲】

## 【請求項 1】

III - V 族化合物半導体からなるナノワイヤであって、その側面が微小な (111) 面で構成される (-110) 面である、III - V 族化合物半導体ナノワイヤ。

## 【請求項 2】

その側面が (111) A 面である第 1 の層と、その側面が (111) B 面である第 2 の層とが、軸方向に沿って交互に積層されている、請求項 1 に記載の III - V 族化合物半導体ナノワイヤ。

## 【請求項 3】

その側面における (111) A 面の割合は、50% を超え、100% 未満である、請求項 1 または請求項 2 に記載の III - V 族化合物半導体ナノワイヤ。 10

## 【請求項 4】

前記第 1 の層および前記第 2 の層は、それぞれ 1 ~ 5 原子層からなり、かつそのうちの 90% 以上が 1 ~ 3 原子層からなる、請求項 2 に記載の III - V 族化合物半導体ナノワイヤ。

## 【請求項 5】

その側面のラフネスが 1 ~ 6 原子層の範囲内である、請求項 1 または請求項 2 に記載の III - V 族化合物半導体ナノワイヤ。

## 【請求項 6】

前記 III - V 族化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSb または AlInGaP Sb である、請求項 1 ~ 5 のいずれか一項に記載の III - V 族化合物半導体ナノワイヤ。 20

## 【請求項 7】

(111) 面を有し、第 1 導電型にドーブされた IV 族半導体基板と、前記 IV 族半導体基板の (111) 面上に配置された III - V 族化合物半導体ナノワイヤであって、前記 IV 族半導体基板の (111) 面に接続された第 1 の領域と、前記第 1 導電型または前記第 1 導電型と異なる第 2 導電型にドーブされた第 2 の領域とを含む III - V 族化合物半導体ナノワイヤと、 30

前記 III - V 族化合物半導体ナノワイヤの側面に配置されたゲート誘電体膜と、前記 IV 族半導体基板に接続されたソース電極およびドレイン電極から選択されるいずれか一方と、

前記 III - V 族化合物半導体ナノワイヤの第 2 の領域に接続されたソース電極およびドレイン電極から選択されるいずれか他方と、

前記ゲート誘電体膜上に配置され、前記 IV 族半導体基板の (111) 面と前記 III - V 族化合物半導体ナノワイヤとの界面に電界を作用させるゲート電極と、

を有し、

前記 III - V 族化合物半導体ナノワイヤは、請求項 1 ~ 6 のいずれか一項に記載の III - V 族化合物半導体ナノワイヤである、電界効果トランジスタ。 40

## 【請求項 8】

トンネル電界効果トランジスタである、請求項 7 に記載の電界効果トランジスタ。

## 【請求項 9】

請求項 7 または請求項 8 に記載の電界効果トランジスタを含むスイッチ素子。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、III - V 族化合物半導体ナノワイヤ、前記 III - V 族化合物半導体ナノワイヤ 50

を有する電界効果トランジスタ（以下「F E T」という）、および前記F E Tを有するスイッチ素子に関する。

【背景技術】

【0002】

半導体マイクロプロセッサおよび高集積回路は、金属 - 酸化膜 - 半導体電界効果トランジスタ（以下「M O S F E T」という）などの素子を半導体基板上に集積して製造される。一般的には、相補型M O S F E T（以下「C M O S」という）が集積回路の基本素子（スイッチ素子）となる。半導体基板の材料には、IV族半導体であるシリコンが主として使用される。C M O Sを構成するトランジスタを小型化することで、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。

10

【0003】

シリコンの代わりにIII - V族化合物半導体を使用したM O S F E T（以下「III - V族化合物半導体M O S F E T」という）も開発されている。III - V族化合物半導体M O S F E Tでは、III - V族化合物半導体と酸化膜との界面において化学結合状態に特有な欠陥が形成されてしまい、界面準位が高密度に導入されてしまう。このため、III - V族化合物半導体M O S F E Tの高性能化は困難であった。

【0004】

ところが、近年、酸化物材料の原子層堆積（A L D）技術の進展により、界面準位密度がある程度低いIII - V族化合物半導体M O S F E Tを作製できるようになってきた。界面準位密度を低減するための技術としては、例えば、硫化物水溶液による表面処理や、表面エッチング、中間層の導入、異なる種類の酸化物の使用などが提案されている（例えば、非特許文献1～4参照）。

20

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】H. D. Trinh, et al., "The influences of surface treatment and gas annealing conditions on the inversion behaviors of the atomic-layer-deposition Al<sub>2</sub>O<sub>3</sub>/n-In<sub>0.53</sub>Ga<sub>0.47</sub>As metal-oxide-semiconductor capacitor", Appl. Phys. Lett., Vol. 97, pp. 042903-1-042903-3.

【非特許文献2】E. O' Connor, et al., "A systematic study of (NH<sub>4</sub>)<sub>2</sub>S passivation (22%, 10%, 5%, or 1%) on the interface properties of the Al<sub>2</sub>O<sub>3</sub>/In<sub>0.53</sub>Ga<sub>0.47</sub>As/InP system for n-type and p-type In<sub>0.53</sub>Ga<sub>0.47</sub>As epitaxial layers", J. Appl. Phys., Vol. 109, pp. 024101-1-024101-10.

30

【非特許文献3】Y. D. Wu, et al., "Engineering of threshold voltages in molecular beam epitaxy-grown Al<sub>2</sub>O<sub>3</sub>/Ga<sub>2</sub>O<sub>3</sub>(Gd<sub>2</sub>O<sub>3</sub>)/In<sub>0.2</sub>Ga<sub>0.8</sub>As", J. Vac. Sci. Technol. B, Vol. 28, pp. C3H10-C3H13.

【非特許文献4】Roman Engel-Herbert, et al., "Metal-oxide-semiconductor capacitors with ZrO<sub>2</sub> dielectrics grown on In<sub>0.53</sub>Ga<sub>0.47</sub>As by chemical beam deposition", Appl. Phys. Lett., Vol. 95, pp. 062908-1-062908-3.

【発明の概要】

40

【発明が解決しようとする課題】

【0006】

しかしながら、上記非特許文献1～4に係る技術では、界面準位密度を十分に低減させることができず、III - V族化合物半導体M O S F E Tのサブスレッショルド係数を100 mV / 桁以下にすることは不可能であった。これに対し、近年のシリコンを使用したM O S F E T（以下「S i - M O S F E T」という）のサブスレッショルド係数は、70 mV / 桁前後である。したがって、S i - M O S F E Tと同品質の界面を有するIII - V族化合物半導体M O S F E Tを作製することができれば、そのIII - V族化合物半導体M O S F E Tのサブスレッショルド係数は、70 mV / 桁前後になるはずである。

【0007】

50

本発明の目的は、小さなサブ閾値（100 mV / 桁以下）で動作可能なIII - V族化合物半導体MOSFETおよびそれに使用されうるIII - V族化合物半導体ナノワイヤを提供することである。

【課題を解決するための手段】

【0008】

本発明者は、周期的な双晶構造を含むようにナノワイヤを形成することで、原子レベルで平坦であり、かつ化学的に安定な(111)A面を含む側面を有するIII - V族化合物半導体ナノワイヤを形成できることを見出した。そして、本発明者は、このIII - V族化合物半導体ナノワイヤを用いることで、界面準位密度が小さく、小さなサブ閾値（100 mV / 桁以下）で動作可能なMOSFETを製造できることを見出し、本発明を完成させた。

10

【0009】

すなわち、本発明は、以下のIII - V族化合物半導体ナノワイヤに関する。

[1] III - V族化合物半導体からなるナノワイヤであって、その側面が微小な(111)面で構成される(-110)面である、III - V族化合物半導体ナノワイヤ。

[2] その側面が(111)A面である第1の層と、その側面が(111)B面である第2の層とが、軸方向に沿って交互に積層されている、[1]に記載のIII - V族化合物半導体ナノワイヤ。

[3] その側面における(111)A面の割合は、50%を超え、100%未満である、[1]または[2]に記載のIII - V族化合物半導体ナノワイヤ。

20

[4] 前記第1の層および前記第2の層は、それぞれ1~5原子層からなり、かつそのうちの90%以上が1~3原子層からなる、[2]に記載のIII - V族化合物半導体ナノワイヤ。

[5] その側面のラフネスが1~6原子層の範囲内である、[1]または[2]に記載のIII - V族化合物半導体ナノワイヤ。

[6] 前記III - V族化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbまたはAlInGaPSbである、[1]~[5]のいずれか一項に記載のIII - V族化合物半導体ナノワイヤ。

30

【0010】

また、本発明は、以下の電界効果トランジスタ(FET)およびスイッチ素子に関する。

[7] (111)面を有し、第1導電型にドーブされたIV族半導体基板と、前記IV族半導体基板の(111)面上に配置されたIII - V族化合物半導体ナノワイヤであって、前記IV族半導体基板の(111)面に接続された第1の領域と、前記第1導電型または前記第1導電型と異なる第2導電型にドーブされた第2の領域とを含むIII - V族化合物半導体ナノワイヤと、前記III - V族化合物半導体ナノワイヤの側面に配置されたゲート誘電体膜と、前記IV族半導体基板に接続されたソース電極およびドレイン電極から選択されるいずれか一方と、前記III - V族化合物半導体ナノワイヤの第2の領域に接続されたソース電極およびドレイン電極から選択されるいずれか他方と、前記ゲート誘電体膜上に配置され、前記IV族半導体基板の(111)面と前記III - V族化合物半導体ナノワイヤとの界面に電界を作用させるゲート電極と、を有し、前記III - V族化合物半導体ナノワイヤは、[1]~[6]のいずれか一項に記載のIII - V族化合物半導体ナノワイヤである、電界効果トランジスタ。

40

[8] トンネル電界効果トランジスタである、[7]に記載の電界効果トランジスタ。

[9] [7]または[8]に記載の電界効果トランジスタを含むスイッチ素子。

【発明の効果】

【0011】

50

本発明によれば、小さなサブ閾値（100mV/桁以下）で動作可能なFET（スイッチ素子）を容易に製造することができる。本発明に係るFETを用いることで、半導体マイクロプロセッサおよび高集積回路の電力消費量の増大を抑制しつつ、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。

【図面の簡単な説明】

【0012】

【図1】図1Aは、InAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡像（斜視像）である。図1Bは、InGaAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡像（斜視像）である。

【図2】図2Aおよび図2Bは、InGaAsナノワイヤの断面の高分解透過電子顕微鏡像である。

10

【図3】InAsナノワイヤの側面近傍の結晶構造を示す模式図である。

【図4】図4Aおよび図4Bは、InAsナノワイヤの側面近傍の結晶構造を示す模式図である。

【図5】図5Aは、外径28nmのInAsナノワイヤにおける双晶の導入頻度を示すグラフである。図5Bは、外径60nmのInAsナノワイヤにおける双晶の導入頻度を示すグラフである。図5Cは、外径170nmのInAsナノワイヤにおける双晶の導入頻度を示すグラフである。

【図6】図6Aおよび図6Bは、InAsナノワイヤの側面近傍の結晶構造を示す高分解透過電子顕微鏡像である。図6Cは、InAsナノワイヤの側面のラフネスを示すグラフである。

20

【図7】本発明の一実施の形態に係るTFETの構成を示す断面図である。

【図8】図8A～Dは、本発明の一実施の形態に係るTFETの製造工程を示す模式図である。

【図9】実施例で作製したFETの構成を示す断面図である。

【図10】図10Aおよび図10Bは、実施例で作製したFETの電気特性を示すグラフである。

【図11】図11Aおよび図11Bは、実施例で作製したFETの電気特性を示すグラフである。

【発明を実施するための形態】

30

【0013】

#### 1. 電界効果トランジスタ

本発明に係る電界効果トランジスタ（FET）は、IV族半導体基板、III-V族化合物半導体ナノワイヤ、ゲート誘電体膜、ソース電極、ドレイン電極およびゲート電極を有する。1つのIV族半導体基板の上に複数のFETが形成されていてもよい。以下、本発明に係るFETの代表例としてトンネル電界効果トランジスタ（TFET）について説明するが、基本的構成はその他のFETでも同じである。

【0014】

本発明に係るTFETでは、IV族半導体基板の（111）面とIII-V族化合物半導体ナノワイヤとが界面（以下、「接合界面」とも言う）を形成する。本発明に係るTFETでは、この接合界面においてトンネル現象が生じる。なお、「接合界面」とは、III-V族化合物半導体ナノワイヤが（111）面に直接接続している部分を言う。

40

【0015】

IV族半導体基板は、シリコン基板やゲルマニウム基板などの、IV族半導体からなる（111）面を有する基板である。IV族半導体基板は、例えばシリコン（111）基板またはシリコン（100）基板である。IV族半導体基板がシリコン（100）基板の場合は、（100）面とは別に（111）面が形成されている。

【0016】

IV族半導体基板は、（111）面を含む部分を有する。この部分は、n型またはp型のいずれか一方の導電型である。この部分の導電型を「第1導電型」とも言う。したがって

50

、IV族半導体基板の(111)面を含む一部分のみが第1導電型を呈していてもよいし、IV族半導体基板の全体が第1導電型を呈していてもよい。たとえば、IV族半導体基板は、その表面が(111)面であるn型またはp型のIV族半導体層を有するIV族半導体基板であってもよい。また、IV族半導体基板は、n型またはp型にドーピングされていてもよい。IV族半導体基板にドーピングされるドーパントには、IV族半導体基板をn型またはp型にするドーパントが用いられる。たとえば、IV族半導体基板をn型にするドーパントの例には、N、P、As、SbおよびBiが含まれる。また、IV族半導体基板をp型にするドーパントの例には、B、Al、Ga、InおよびTlが含まれる。

【0017】

また、IV族半導体基板の表面には、絶縁膜が形成されていてもよい。絶縁膜の例には、酸化シリコン膜、および、誘電率3.9以上の化合物からなる膜が含まれる。誘電率3.9以上の化合物の例には、窒化シリコンおよびHfAlOが含まれる。

10

【0018】

III-V族化合物半導体ナノワイヤは、III-V族化合物半導体からなる、直径2~100nm、長さ50nm~10μmの構造体である。III-V族化合物半導体ナノワイヤは、例えば、IV族半導体基板の(111)面上に、その長軸が(111)面に垂直になるように配置されている。以下の説明では、ナノワイヤの長軸(以下「軸」ともいう)に沿う面を「側面」という。III-V族化合物半導体は、2つの元素からなる半導体、3つの元素からなる半導体、4つの元素からなる半導体、それ以上の元素からなる半導体のいずれでもよい。

20

【0019】

2つの元素からなるIII-V族化合物半導体の例には、InAs、InP、GaAs、GaN、InSb、GaSbおよびAlSbが含まれる。3つの元素からなるIII-V族化合物半導体の例には、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSbおよびAlInSbが含まれる。4つ以上の元素からなるIII-V族化合物半導体の例には、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbおよびAlInGaPsbが含まれる。

【0020】

図1は、III-V族化合物半導体ナノワイヤの例を示す走査電子顕微鏡像(斜視像)である。図1Aは、複数のInAsナノワイヤの走査電子顕微鏡像(斜視像)であり、図1Bは、複数のInGaAsナノワイヤの走査電子顕微鏡像(斜視像)である(実施例参照)。

30

【0021】

本発明に係るTFETに含まれる本発明に係るIII-V族化合物半導体ナノワイヤは、その側面が微小な(111)面で構成される(-110)面であることを特徴とする。より具体的には、本発明に係るIII-V族化合物半導体ナノワイヤでは、その側面が(111)A面である第1の層と、その側面が(111)B面である第2の層とが、軸方向に沿って交互に積層されている。ここで「(111)A面」とは、表面にIII族元素が配置されている(111)面をいう。また、「(111)B面」とは、表面にV族元素が配置されている(111)面をいう。第1の層および第2の層の厚みは、それぞれ1~5原子層(ML)程度であり、そのうちの90%以上が1~3原子層からなる。このため、本発明に係るIII-V族化合物半導体ナノワイヤの側面のラフネスは、1~6原子層(ML)程度である。なお、その側面における(111)A面の割合は、50%を超えていてもよい。たとえば、側面における(111)A面の割合は、50%を超え、100%未満である。また、側面における(111)A面の割合は、100%であってもよい。

40

【0022】

図2は、本発明に係るIII-V族化合物半導体ナノワイヤの断面の一例を示す高分解透過電子顕微鏡像である。図2Aは、InGaAsナノワイヤの断面を示す高分解透過電子顕微鏡像であり、図2Bは、図2Aにおいて破線で示される領域の拡大像である。図3お

50

よび図4は、InAsナノワイヤの側面近傍の結晶構造を示す模式図である。図2～図4において、上下方向がナノワイヤの軸方向に対応し、左右方向がナノワイヤの径方向に対応する。また、図3および図4において、黒丸はInを示し、白丸はAsを示し、右側の端部がナノワイヤの側面に対応する。

【0023】

図3に示されるように、本発明に係るIII-V族化合物半導体ナノワイヤは、双晶を含む閃亜鉛鉱型(ZB)結晶構造である。双晶境界(第1の層と第2の層との境界に相当)では、ウルツ鉱型(WZ)結晶構造が観察される。

【0024】

また、図4Aに示されるように、本発明に係るIII-V族化合物半導体ナノワイヤの側面は、巨視的には(-110)面である。しかしながら、図4Bに示されるように、微視的に見ると、第1の層の側面は、(111)A面であり、第2の層の側面は、(111)B面である。したがって、本発明に係るIII-V族化合物半導体ナノワイヤの側面では、微小な(111)A面と微小な(111)B面とが交互に存在する。

10

【0025】

(111)B面では、V族元素(例えばAs)の三量体が形成されるため、ダングリングボンドが無い。一方、(111)A面は、化学的に安定な面であるが、(111)A面では、ダングリングボンドがむき出しになる。したがって、(111)A面は、ゲート誘電体膜との界面形成に直接関与する面となる。

【0026】

従来のIII-V族化合物半導体MOSFETにおいて、III-V族化合物半導体の(-110)面の上にゲート誘電体膜を形成する場合、As-Asダイマーの形成などにより、III-V族化合物半導体の他の面の上にゲート誘電体膜を形成する場合に比べて界面準位密度が高くなる傾向があった。これに対し、本発明に係るTFETでは、巨視的に見れば(-110)面である面を、微小な(111)A面および(111)B面で構成している。このように(111)A面が界面形成に寄与できるようにすることで、III-V族化合物半導体の(-110)面の上にゲート誘電体膜を形成する場合であっても、界面準位密度の低減を実現している。

20

【0027】

図5は、InAsナノワイヤにおける双晶の導入頻度(第1の層および第2の層の厚みに相当)を示すグラフである。図5Aは、外径28nmのInAsナノワイヤにおける双晶の導入頻度を示すグラフである。図5Bは、外径60nmのInAsナノワイヤにおける双晶の導入頻度を示すグラフである。図5Cは、外径170nmのInAsナノワイヤにおける双晶の導入頻度を示すグラフである。これらのグラフでは、双晶の導入頻度をダブルカウントしないように、ウルツ鉱型(WZ)結晶構造から閃亜鉛鉱型(ZB)結晶構造に変わる境界と、閃亜鉛鉱型(ZB)結晶構造からウルツ鉱型(WZ)結晶構造に変わる境界とを区別して示している。

30

【0028】

図5A～図5Cに示されるように、本発明に係るIII-V族化合物半導体ナノワイヤでは、ナノワイヤの外径に関係なく、双晶境界は実質的に1～5原子層(ML)ごとに導入されており、そのうちの90%以上が1～3原子層ごとに導入されている。すなわち、本発明に係るIII-V族化合物半導体ナノワイヤでは、第1の層および第2の層は、1～5原子層(ML)からなり、そのうちの90%以上が1～3原子層からなる。これは、III-V族化合物半導体ナノワイヤの側面のラフネスが、1～6原子層(ML)の範囲内になることを意味する。

40

【0029】

図6Aおよび図6Bは、InAsナノワイヤの側面近傍の結晶構造を示す高分解透過電子顕微鏡像である。図6Cは、InAsナノワイヤの側面のラフネスを示すグラフである。図6Cにおいて、横軸の-1～-6は、(111)A面が露出している部位(第1の層)において原子層が何層積層しているかを示し、横軸の+1～+6は、(111)B面が

50

露出している部位（第2の層）において原子層が何層積層しているかを示す。縦軸は割合である。図6Aおよび図6Bから、InAsナノワイヤの側面が微小な(111)A面および(111)B面で構成されることがわかる。また、図6Cから、InAsナノワイヤの側面のラフネスが1~6原子層の範囲内であり、InAsナノワイヤの側面は原子レベルで平坦であることがわかる。

【0030】

III-V族化合物半導体ナノワイヤは、第1の領域と第2の領域を含む。第1の領域は、IV族半導体基板の(111)面に接合されている部分であり、(111)面上から起立している。第2の領域は、第1の領域に連続する部分である。たとえば、第1の領域は、III-V族化合物半導体ナノワイヤをその長軸方向に対して二分したときの基板側の部分であり、第2の領域は、基板側とは反対側の部分である。

10

【0031】

第1の領域の導電型は、特に限定されない。たとえば、第1の領域の導電型は、IV族半導体基板と同じ第1導電型であってもよいし、第2の領域と同じ第2導電型（後述）であってもよい。前者の場合、第1の領域における第1導電型（n型またはp型）ドーパントの濃度は、IV族半導体基板における第1導電型ドーパントの濃度未満である。後者の場合、第1の領域における第2導電型（p型またはn型）ドーパントの濃度は、第2の領域における第2導電型ドーパントの濃度未満である。もちろん、第1の領域は、真性半導体であってもよい。第1の領域をn型にするためのドーパントの例には、C、Si、Ge、Sn、O、S、SeおよびPoが含まれる。第1の領域をp型にするためのドーパントの例には、Zn、Cd、Hg、TeおよびCが含まれる。

20

【0032】

第2の領域は、n型およびp型のうち、第1導電型とは異なる導電型を呈する。第2の領域の導電型を「第2導電型」とも言う。たとえば、第2導電型ドーパントをドーピングすることによって、第2の領域を第2導電型にすることができる。第2導電型ドーパントの種類は、一種でも二種以上でもよい。第2の領域をn型にするためのドーパントの例には、C、Si、Ge、Sn、O、S、SeおよびPoが含まれる。第2の領域をp型にするためのドーパントの例には、Zn、Cd、Hg、TeおよびCが含まれる。

【0033】

なお、第2の領域の導電型をIV族半導体基板と同じ第1導電型とすることで、TFETではない一般的なFETを構成することができる（実施例参照）。すなわち、第2の領域の導電型をIV族半導体基板と同じ第1導電型とすることで、一般的なFETを構成ことができ、第2の領域の導電型をIV族半導体基板とは異なる第2導電型とすることで、TFETを構成することができる。たとえば、第1導電型ドーパントをドーピングすることによって、第2の領域を第1導電型にすることができる。第1導電型ドーパントの種類は、一種でも二種以上でもよい。

30

【0034】

本発明に係るIII-V族化合物半導体ナノワイヤは、後述するIII-V族化合物半導体ナノワイヤの製造方法で製造されうる。

【0035】

本発明に係るTFETの説明に戻る。ゲート誘電体膜は、III-V族化合物半導体ナノワイヤの側面に形成されている絶縁膜である。前述のとおり、本発明に係るIII-V族化合物半導体ナノワイヤは、原子レベルで平坦であり、かつ化学的に安定な(111)A面を含む側面を有する。ゲート誘電体膜は、この(111)A面に対して界面準位密度が小さい界面を形成する。ゲート誘電体膜の例には、酸化シリコン膜、および、誘電率3.9以上の化合物からなる膜が含まれる。誘電率3.9以上の化合物の例には、窒化シリコンおよびHfAlOが含まれる。

40

【0036】

ソース電極は、本発明に係るTFETのソース領域に接続され、ドレイン電極は、本発明に係るTFETのドレイン領域に接続される。ソース電極およびドレイン電極は、例え

50



ばTi/Au合金膜やTi/Al/Ti/Au合金膜、Ge/Au/Ni/Au合金膜などである。

【0037】

ソース電極およびドレイン電極の位置は、本発明に係るTFETの構造により変わる。たとえば、IV族半導体基板がソース領域として機能し、III-V族化合物半導体ナノワイヤの第2の領域がドレイン領域として機能する場合は、ソース電極は、IV族半導体基板に接続され、ドレイン電極は、III-V族化合物半導体ナノワイヤの第2の領域に接続される。一方、IV族半導体基板がドレイン領域として機能し、III-V族化合物半導体ナノワイヤの第2の領域がソース領域として機能する場合は、ソース電極は、III-V族化合物半導体ナノワイヤの第2の領域に接続され、ドレイン電極は、IV族半導体基板に接続される。

10

【0038】

ゲート電極は、ゲート誘電体膜上に配置されており、IV族半導体基板とIII-V族化合物半導体ナノワイヤとの接合界面に電界を作用させることができる。

【0039】

本発明に係るFETは、本発明の効果が得られる範囲において、前述した構成要素以外の他の構成要素をさらに含んでもよい。このような他の構成要素の例には、絶縁保護膜が含まれる。絶縁保護膜は、その厚さ方向がIII-V族化合物半導体ナノワイヤの長軸方向となるように、IV族半導体基板上に配置される。絶縁保護膜は、IV族半導体基板上の全体に配置されてもよいし、一部に配置されてもよい。絶縁保護膜の厚さは、III-V族化合物半導体ナノワイヤの第1の領域および第2の領域の少なくとも一部を覆う厚さであることが、III-V族化合物半導体ナノワイヤ、ゲート誘電体膜およびゲート電極を保護する観点から好ましい。絶縁保護膜は、電気的な絶縁性が十分に得られる観点、および、ナノワイヤが曲がらない程度の低い粘性を有した溶液から形成されうる観点から、ベンゾシクロブテン(BCB)層であることが好ましい。

20

【0040】

本発明に係るFETでは、IV族半導体基板とIII-V族化合物半導体ナノワイヤとの接合界面は、無転位かつ無欠陥であることが好ましいが、少数の転位または欠陥を含んでもよい。具体的には、接合界面におけるミスフィット転位の周期は、IV族半導体とIII-V族化合物半導体との格子不整合から計算されるミスフィット転位の周期よりも大きければよい。また、接合界面における貫通転位の密度は、 $0 \sim 10^{10}$  個/cm<sup>2</sup>の範囲内であればよい。後述する本発明に係るFETの製造方法で本発明のFETを製造することで、基本的に無転位かつ無欠陥の接合界面を有する本発明に係るFETを製造することができる。

30

【0041】

本発明に係るTFETでは、IV族半導体基板の(111)面とIII-V族化合物半導体ナノワイヤとの接合界面がトンネル層として機能する。実施の形態に示されるように、本発明のTFETでは、ゲート電極に正または負のバイアスを印加することで、ソース領域(IV族半導体基板またはIII-V族化合物半導体ナノワイヤの第2の領域)内のキャリアがトンネル現象によりチャンネル領域(III-V族化合物半導体ナノワイヤの第1の領域)内に移動する(ON状態となる)。この動作は、CMOSスイッチのn型またはp型MOSFETのスイッチ動作に相当する。III-V族化合物半導体ナノワイヤを構成するIII-V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III-V族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御することができる。

40

【0042】

本発明に係るFETは、III-V族化合物半導体ナノワイヤとゲート誘電体膜との界面における界面順位密度が低いため、小さなサブ閾値(100mV/桁以下)で動作することができる(実施例参照)。本発明に係るFETをスイッチ素子として利用することで、半導体デバイスの消費電力を削減することができる。その結果、省エネルギーおよび環境

50

負荷低減も実現することができる。

【0043】

## 2. FETの製造方法

以下、本発明に係るFETの製造方法の代表例としてTFETの製造方法について説明するが、基本的工程はその他のFETでも同じである。本発明に係るTFETの製造方法は、ナノワイヤ成長ステップと、ゲート電極形成ステップと、ソース電極およびドレイン電極形成ステップと、を含む。

【0044】

「ナノワイヤ成長ステップ」は、IV族半導体基板における第1導電型を呈する(111)面上から、III-V族化合物半導体ナノワイヤを成長させるステップである。ナノワイヤ成長ステップのみを行えば、本発明に係るIII-V族化合物半導体ナノワイヤを製造することができる。「ゲート電極形成ステップ」は、IV族半導体基板およびIII-V族化合物半導体ナノワイヤの界面に作用する、ソース電極およびドレイン電極間のキャリアの流れを制御するための電界を発生させるためのゲート電極を形成するステップである。ゲート電極形成ステップでは、III-V族化合物半導体ナノワイヤとゲート電極との間にゲート誘電体膜も形成する。「ソース電極およびドレイン電極形成ステップ」は、IV族半導体基板に接続するようにソース電極およびドレイン電極のいずれか一方を形成するステップ、および、III-V族化合物半導体ナノワイヤに接続するようにソース電極およびドレイン電極のいずれか他方を形成するステップ、である。

【0045】

ナノワイヤ成長ステップ以外のステップは、従来の技術に基づいて適宜行うことができる。

【0046】

本発明に係るTFETの製造方法では、「ナノワイヤ成長ステップ」に先立って、必要に応じて、IV族半導体基板の前処理ステップを行うことができる。このような前処理ステップの例には、開口部を有する絶縁膜を形成するステップが含まれる。

【0047】

絶縁膜が形成される、(111)面を有するIV族半導体基板の例には、n型シリコン(111)基板、p型シリコン(111)基板、異方性エッチングにより(111)面が表面の一部にまたは全面に露出したシリコン(100)基板、が含まれる。絶縁膜としての酸化シリコン膜は、例えば、シリコン基板を熱酸化することやスパッタ法などの一般的な薄膜形成法により形成することが可能である。絶縁膜の厚さは、特に限定されないが、例えば20nm程度であればよい。

【0048】

絶縁膜の開口部は、電子ビームリソグラフィや、フォトリソグラフィ、ナノインプリントリソグラフィなどの微細パターン加工技術を用いることで形成されうる。開口部の形状は、任意に決定することができ、開口部の形状の例には、三角形、四角形、六角形および円形が含まれる。開口部の外径(直径)は、例えば2~100nm程度であればよい。開口部の外径が大きすぎると、接合界面に多数の転位または欠陥が形成されるおそれがある。1つのIV族半導体基板に複数の開口部を周期的に配列する場合、開口部の間隔は、例えば、10nm~数μm程度である。

【0049】

また、上記の前処理ステップの例には、高温熱処理が含まれる。高温熱処理は、IV族半導体基板の(111)面に形成された自然酸化膜を除去するための処理である。自然酸化膜は、III-V族化合物半導体ナノワイヤの成長を阻害する。自然酸化膜は、開口部を設けられたIV半導体基板を高温熱処理することにより除去される。自然酸化膜の除去により、IV半導体基板の表面(開口部内の(111)面)が露出する。高温熱処理は、例えば、水素ガスや窒素ガス、アルゴンガスなどの不活性ガス雰囲気中で約900の条件で行うことができる。

【0050】

10

20

30

40

50

また、上記の前処理ステップの例には、低温熱処理が含まれる。低温熱処理は、高温熱処理後のIV族半導体基板の温度を400程度にまで下げて、IV族半導体基板の(111)面を(111)1×1面にする処理である。元来、高温熱処理後の(111)面は、1×1構造で構成されるが、冷却途中で(111)2×1面に変換することがある。しかしながら、IV族半導体基板の温度を400程度にまで下げることにより、(111)2×1面を(111)1×1面に再び変換することができる。なお、「(111)2×1面」とは、原子配列を構成する最小単位が2原子間隔×1原子間隔となっている面をいう。「(111)1×1面」とは、原子配列を構成する最小単位が1原子間隔×1原子間隔となっている面をいう。低温熱処理は、約350~450(例えば、約400)の温度で行えばよい。低温熱処理は、水素ガス、窒素ガス、アルゴンガス、ヘリウムガスなどの不活性ガスの雰囲気下で行うことが好ましい。

10

#### 【0051】

さらに、本発明に係るTFETの製造方法では、「ナノワイヤ成長ステップ」において、必要に応じて、ナノワイヤ成長のための準備ステップを行うことができる。このような準備ステップの例には、(111)面を(111)A面または(111)B面に変換するステップが含まれる。前述のとおり、「(111)A面」とは、表面にIII族元素が配置されている(111)面をいう。また、「(111)B面」とは、表面にV族元素が配置されている(111)面をいう。III-V族化合物半導体の(111)A面または(111)B面は、(111)2×2面、つまり最小単位が2原子間隔×2原子間隔の周期で構成された構造である。よって、IV族半導体基板の表面に、2原子間隔×2原子間隔よりも小さい最小単位でIII族元素またはV族元素が配置されていると、その表面にIII-V族化合物半導体が成長しやすい。

20

#### 【0052】

(111)面を(111)A面または(111)B面に変換するステップは、III族原料またはV族原料をIV半導体基板の(111)面に供給することによって行うことができる。(111)面を(111)A面または(111)B面に変換する工程は、IV族半導体基板の表面を(111)1×1面に変換する工程の後に行ってもよいが、(111)1×1面に変換する工程と同時に進めてもよい。たとえば、IV族半導体基板の(111)2×1面を低温熱処理により(111)1×1面に変換するとともに、III族原料またはV族原料をIV半導体基板の表面に供給することによって、(111)1×1面を、(111)A面または(111)B面に変換することができる。

30

#### 【0053】

III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタン(有機金属化合物であってもよい)を含むガスであることが好ましい。III族原料は、例えばトリメチルインジウムなどの有機アルキル金属化合物である。V族原料は、窒素、リン、ヒ素、アンチモンまたはビスマス(有機金属化合物であってもよい)を含むガスであることが好ましい。V族原料は、例えば水素化ヒ素(アルシン;  $AsH_3$ )である。III族原料またはV族原料の供給は、400~500にて行われることが好ましい。

#### 【0054】

また、準備ステップの例には、交互原料供給変調法が含まれる。「交互原料供給変調法」とは、IV族半導体基板にIII族元素を含む原料ガスとV族元素を含む原料ガスとを交互に提供して、絶縁膜の開口部を通して露出した(111)A面または(111)B面にIII-V族化合物半導体の薄膜を形成する方法である。交互原料供給変調法は、III-V族化合物半導体ナノワイヤを成長させるために必要な温度よりも低い温度にて行われることが好ましい。たとえば、交互原料供給変調法は、約400で行うか、または400から昇温しながら行えばよい。

40

#### 【0055】

具体的には、IV族半導体基板に(111)A面が形成されている場合は、まずIII族元素を含む原料ガスを供給し、その後V族元素を含む原料ガスを供給する。さらに、III族元素を含む原料ガスとV族元素を含む原料ガスとを交互に繰り返し供給する。一方、IV族

50

半導体基板に(111)B面が形成されている場合は、まずV族元素を含む原料ガスを供給し、その後III族元素を含む原料ガスを供給する。さらに、V族元素を含む原料ガスとIII族元素を含む原料ガスを交互に繰り返し供給する。

【0056】

V族元素を含む原料ガスの供給時間およびIII族元素を含む原料ガスの供給時間は、それぞれ数秒程度であればよい。また、V族元素を含む原料ガスの供給とIII族元素を含む原料ガスの供給との間に、数秒のインターバルを設けることが好ましい。III-V族化合物半導体の薄膜が所望の厚さになるまで、V族元素を含む原料ガスとIII族元素を含む原料ガスを交互に供給すればよい。何回か繰り返してガスを供給することにより、III-V化合物半導体の薄膜が形成される。

10

【0057】

この交互原料供給変調法は、IV族半導体基板の(111)1×1面を(111)A面または(111)B面に変換したときに変換できなかった部位があったとしても、(111)A面または(111)B面を再形成することができるという補償効果もある。交互原料供給変調法により、IV族元素とIII族元素またはV族元素とが結合するからである。

【0058】

この後、半導体ナノワイヤを成長させるために基板温度を上げるが、交互原料供給変調法により形成されたIII-V化合物半導体の薄膜は、基板に吸着したIII族元素やV族元素が熱で乖離することを防ぐ。

20

【0059】

ナノワイヤ成長ステップは、IV族半導体基板の(111)面から絶縁膜の開口部を通してIII-V族化合物半導体ナノワイヤを成長させる。III-V族化合物半導体ナノワイヤの成長は、例えば有機金属化学気相エピタキシ法(以下「MOVPE法」ともいう)や、分子線エピタキシ法(以下「MBE法」ともいう)などにより行われる。好ましくは、III-V族化合物半導体ナノワイヤの成長は、MOVPE法により行われる。

【0060】

MOVPE法による半導体ナノワイヤの形成は、通常MOVPE装置を用いて行うことができる。つまり、所定の温度かつ減圧条件下で、III族元素を含む原料ガスおよびV族元素を含む原料ガスを提供すればよい。

30

【0061】

このとき、ナノワイヤの側面を微小な(111)面(例えば(111)A面および(111)B面)で構成される(-110)面とするために、ナノワイヤの成長時における原料の脱離反応が生じやすくなる温度で、ナノワイヤを成長させることが好ましい。具体的には、成長温度をナノワイヤの成長に最適な温度よりも10~20高くすることが好ましい。たとえば、InAsナノワイヤを形成するときは、最適な成長温度は540~560であるので、成長温度を560~580にすることが好ましい。したがって、InAsナノワイヤを形成するときは、560~580で、水素化ヒ素(AsH<sub>3</sub>)およびトリメチルインジウムを含むガスを提供すればよい。

【0062】

また、ナノワイヤの側面を微小な(111)面(例えば(111)A面および(111)B面)で構成される(-110)面とするために、III族元素の過飽和度が高くなるように、原料ガスに含まれるIII族元素とV族元素との比を調整することが好ましい。たとえば、InAsナノワイヤを形成するときは、通常はIII族元素に対するV族元素の比(V/III比)は250程度であるが、これよりもIII族元素の供給量を1.5倍以上にすることが好ましい。

40

【0063】

上記の方法でIII-V族化合物半導体ナノワイヤを形成した場合、(111)A面および(111)B面の面積比は、ほぼ同じとなる。必要に応じて、この後、(111)B面に対して選択的にエッチングを行い、(111)A面を新たに露出させることで、ゲート誘電体膜との界面形成に直接関与する(111)A面の割合を増大させることができる。

50

通常、III - V 族化合物半導体では ( 1 1 1 ) B 面よりも ( 1 1 1 ) A 面の方がエッチングされにくいいため、III - V 族化合物半導体をエッチングできる酸性水溶液またはアルカリ性水溶液であれば、エッチング液の種類は特に限定されない。たとえば、アンモニア水と過酸化水素水の混合液 ( 体積比約 1 : 1 0 0 ) で 1 ~ 2 秒程度エッチングすればよい。これにより、( 1 1 1 ) A 面の割合を、5 0 % を超え、1 0 0 % 未満とすることができる。また、( 1 1 1 ) A 面の割合を、1 0 0 % とすることもできる。

#### 【 0 0 6 4 】

形成された III - V 族化合物半導体ナノワイヤは、さらに n 型または p 型にドーピングされてもよい。たとえば、MOVPE 法で III - V 族化合物半導体ナノワイヤを形成している間にドーピングガスまたはドーピング有機金属を供給することで、III - V 族化合物半導体ナノワイヤに n 型ドーパントまたは p 型ドーパントをドーピングすることができる。たとえば、MOVPE 法で III - V 族化合物半導体ナノワイヤの第 1 の領域を形成した後に、IV 族原子を含むガスまたは有機金属材料と III - V 族化合物半導体ナノワイヤの材料とを同時に供給することで、第 2 の領域となる n 型の III - V 族化合物半導体ナノワイヤを形成することができる。同様に、III - V 族化合物半導体ナノワイヤの第 1 の領域を形成した後に、VI 族原子を含むガスまたは有機金属材料と III - V 族化合物半導体ナノワイヤの材料とを同時に供給することで、第 2 の領域となる p 型の III - V 族化合物半導体ナノワイヤを形成することができる。この他にも、第 1 の領域に相当する III - V 族化合物半導体ナノワイヤに対して IV 族原子からなるイオンをイオン注入法で打ち込むことで、n 型の III - V 族化合物半導体ナノワイヤを形成することができる。同様に、第 1 の領域に相当する III - V 族化合物半導体ナノワイヤに対して VI 族原子からなるイオンを打ち込むことで、p 型の III - V 族化合物半導体ナノワイヤを形成することができる。

10

20

#### 【 0 0 6 5 】

以上の手順により、第 1 の領域および第 2 の領域を含む、本発明に係る III - V 族化合物半導体ナノワイヤを、その長軸が ( 1 1 1 ) 面に対して垂直になるように IV 族半導体基板の ( 1 1 1 ) 面上に形成することができる。このようにして III - V 族化合物半導体ナノワイヤが形成されたときの接合界面は、基本的に無転位かつ無欠陥である。また、III - V 族化合物半導体ナノワイヤの側面は、微小な ( 1 1 1 ) 面 ( より具体的には ( 1 1 1 ) A 面および ( 1 1 1 ) B 面 ) で構成される ( - 1 1 0 ) 面である。

#### 【 0 0 6 6 】

ゲート電極形成ステップでは、III - V 族化合物半導体ナノワイヤの側面にゲート誘電体膜が形成され、ゲート誘電体膜上にゲート電極が形成される。ゲート誘電体膜を形成する方法は、特に限定されない。たとえば、ALD ( 原子層堆積 ( atomic layer deposition ) ) 法などを用いて、酸化シリコン (  $\text{SiO}_2$  )、酸化アルミニウム (  $\text{Al}_2\text{O}_3$  )、酸化ハフニウム (  $\text{HfO}_2$  ) または酸化ジルコニウム (  $\text{ZrO}_2$  ) からなる膜を形成すればよい。ゲート電極を形成する方法も、特に限定されない。たとえば、フォトリソグラフィ法などを用いて、ゲート電極を形成すればよい。具体的には、電極形成予定部位以外の領域をレジスト膜でマスクし、金や白金、チタン、クロム、アルミニウム、パラジウム、モリブデンなどの金属またはポリシリコンなどの半導体を蒸着させ、レジスト膜を除去 ( リフトオフ ) する。また、チタンを蒸着させた後、さらに金を蒸着させて重層して、二層構造の電極としてもよい。

30

40

#### 【 0 0 6 7 】

ソース電極およびドレイン電極形成ステップでは、ソース電極およびドレイン電極が形成される。ソース電極およびドレイン電極を形成する方法は、特に限定されない。たとえば、ゲート電極と同様に、フォトリソグラフィ法などを用いてソース電極およびドレイン電極を形成することができる。

#### 【 0 0 6 8 】

ソース電極、ドレイン電極およびゲート電極のうち、III - V 族化合物半導体ナノワイヤの第 2 の領域に接続されるソース電極またはドレイン電極は、ナノワイヤ成長ステップ後に形成される。しかしながら、第 2 の領域に接続されるソース電極またはドレイン電極

50

以外の電極を形成する時期は、TFETの構成に応じて所期の位置に配置可能である限りにおいて、特に限定されない。

【0069】

以上の手順により、本発明に係るTFETを製造することができる。

【0070】

本発明に係るFETの製造方法は、金属触媒を用いずにIII-V族化合物半導体ナノワイヤを形成するため、金属汚染の影響を受けることなく高品位の結晶構造でデバイスを形成することができる。また、本発明のFETの製造方法は、IV族半導体およびIII-V族化合物半導体の種類を適宜選択することで、精密なドーピング技術を用いることなく所望の特性を有するFETを製造することができる。さらに、本発明のFETの製造方法では、InGaAsなどの混晶半導体からなるナノワイヤを形成する場合、In組成を変化させるのみで接合界面のバンド不連続性が互いに反対の性質を示すようになる。したがって、この性質を利用することで、III-V族化合物半導体ナノワイヤを1回成長させるのみで、異なるスイッチ特性を示すFETを製造することができる。

10

【0071】

### 3. 実施の形態

以下、図面を参照して、本発明に係る電界効果トランジスタ(FET)の実施の形態を説明する。本実施の形態では、本発明に係る電界効果トランジスタ(FET)の代表例としてトンネル電界効果トランジスタ(TFET)について説明する。

【0072】

図7は、本発明の一実施の形態に係るTFETの構成を示す断面図である。図7に示されるように、本実施の形態に係るTFET100は、n型に高ドーピングされたシリコン基板110、絶縁膜120、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜140、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180を有する。III-V族化合物半導体ナノワイヤ130は、ドーピングされていない第1の領域132およびp型に高ドーピングされた第2の領域134からなる。

20

【0073】

シリコン基板110は、n型に高ドーピングされたシリコン(111)基板である。

【0074】

絶縁膜120は、n型シリコン基板110の2つの面のうち少なくともIII-V族化合物半導体ナノワイヤ130が配置されている面((111)面)を被覆する絶縁性の膜である。絶縁膜120は、例えば膜厚20nmの酸化シリコン(SiO<sub>2</sub>)膜である。n型シリコン基板110の(111)面は、III-V族化合物半導体ナノワイヤ130と直接接触して接合界面を形成している。したがって、n型シリコン基板110とIII-V族化合物半導体ナノワイヤ130との間には、絶縁膜120は存在しない。

30

【0075】

III-V族化合物半導体ナノワイヤ130は、例えば直径20nm、長さ300nmのIII-V族化合物半導体からなるナノワイヤである。III-V族化合物半導体ナノワイヤ130は、n型シリコン基板110の(111)面上に、その長軸が前記(111)面に対して略垂直になるように配置されている。III-V族化合物半導体ナノワイヤ130の形状は、例えば六角柱である。

40

【0076】

III-V族化合物半導体ナノワイヤ130では、その側面が(111)A面である第1の層と、その側面が(111)B面である第2の層とが、軸方向に沿って交互に積層されている。したがって、III-V族化合物半導体ナノワイヤ130の側面では、微小な(111)A面と微小な(111)B面とが交互に配置されている。第1の層および第2の層の厚みは、それぞれ1~5原子層(ML)程度であり、そのうちの90%以上が1~3原子層からなる。

【0077】

III-V族化合物半導体ナノワイヤ130の第1の領域132(真性半導体)は、第2

50

の領域 134 (p 型半導体) よりも n 型シリコン基板 110 側 (n 型半導体) に位置する。III - V 族化合物半導体ナノワイヤ 130 の第 1 の領域 132 および n 型シリコン基板 110 の (111) 面は、基本的に無転位かつ無欠陥の接合界面を形成する。

【0078】

ゲート誘電体膜 140 は、絶縁膜 120 の表面および III - V 族化合物半導体ナノワイヤ 130 の側面 (第 1 の領域 132 の側面および第 2 の領域 134 の側面の一部) を被覆する絶縁膜である。ゲート誘電体膜 140 は、例えばハフニウムアルミネート ( $\text{HfAlO}_x$ ) 膜などの高誘電体膜である。

【0079】

絶縁保護膜 150 は、III - V 族化合物半導体ナノワイヤ 130、ゲート誘電体膜 140 およびゲート電極 180 を被覆する、BCB などの絶縁樹脂からなる膜である。

10

【0080】

ソース電極 160 は、n 型シリコン基板 110 上に配置されており、n 型シリコン基板 110 (n 型半導体) に接続されている。したがって、n 型シリコン基板 110 とソース電極 160 との間には、絶縁膜 120 は存在しない。ソース電極 160 は、例えば n 型シリコン基板 110 上に形成された Ti / Au 合金膜である。ソース電極 160 は、n 型シリコン基板 110 の 2 つの面のうち III - V 族化合物半導体ナノワイヤ 130 が配置されている面に配置されていてもよいし、n 型シリコン基板 110 のもう一方の面 (III - V 族化合物半導体ナノワイヤ 130 が配置されていない面) に配置されていてもよい。

【0081】

ドレイン電極 170 は、III - V 族化合物半導体ナノワイヤ 130 および絶縁保護膜 150 上に配置されており、III - V 族化合物半導体ナノワイヤ 130 の第 2 の領域 134 (p 型半導体) に接続されている。ドレイン電極 170 は、例えば、III - V 族化合物半導体ナノワイヤ 130 および絶縁保護膜 150 上に配置された Ti / Au 合金膜、Ti / Al / Ti / Au 合金膜、または Ge / Au / Ni / Au 合金膜である。

20

【0082】

ゲート電極 180 は、第 1 の領域 132 の周囲を覆うようにゲート誘電体膜 140 上に配置されている。ゲート電極 180 は、例えば、ゲート誘電体膜 140 上に形成された W 膜または Ti / Au 合金膜である。

【0083】

図 8A ~ 図 8D は、本実施の形態に係る TFET 100 の製造方法の一例を示す模式図である。以下、図 8A ~ 図 8D を参照して、TFET 100 の製造方法について説明する。

30

【0084】

まず、図 8A に示されるように、n 型シリコン基板 110 を準備する。この n 型シリコン基板 110 上には、酸化シリコン ( $\text{SiO}_2$ ) からなる膜厚 20 nm の絶縁膜 120 が熱酸化法により形成されている。次いで、図 8B に示されるように、n 型シリコン基板 110 上の絶縁膜 120 に、フォトリソグラフィ法などを用いて直径 20 nm の開口部 122 を形成する。次いで、図 8C に示されるように、MOVPE 法により、開口部 122 を通して露出した n 型シリコン基板 110 の (111) 面から III - V 族化合物半導体ナノワイヤ 130 を成長させる。このとき、III - V 族化合物半導体ナノワイヤ 130 を成長させる前に、交互原料供給変調法により n 型シリコン基板 110 の (111) 面に III - V 族化合物半導体の薄膜を形成することが好ましい。また、成長温度を最適な成長温度から 10 ~ 20 高くするとともに、III 族元素の過飽和度が高くなるように III 族元素と V 族元素との比率を調整することが好ましい。これにより、その側面が微小な (111) A 面および (111) B 面で構成される (-110) 面からなる、III - V 族化合物半導体ナノワイヤ 130 を形成することができる。III - V 族化合物半導体ナノワイヤ 130 を形成した直後に、(111) B 面を選択的にエッチングして、(111) A 面の割合を増大させてもよい。この後、III - V 族化合物半導体ナノワイヤ 130 の第 2 の領域 134 をドーピングして、ドーピングされていない第 1 の領域 132 および n 型に高ドーピングされた第 2

40

50

の領域 134 を形成する。

【0085】

第1の領域 132 および第2の領域 134 が形成されたら、図 8D に示されるように、絶縁膜 120 の表面および III - V 族化合物半導体ナノワイヤ 130 の表面をゲート誘電体膜 140 で覆い、次いでゲート誘電体膜 140 をゲート電極 180 で覆う。ゲート誘電体膜 140 は、例えば、ALD 法によって形成される。ゲート電極 180 は、例えば、スパッタリング法によって形成される。

【0086】

さらに、n 型シリコン基板 110 の表面上に絶縁保護膜 150 を形成する。絶縁保護膜 150 は、例えば、スピコート法によって形成される。この後、絶縁保護膜 150 およびゲート誘電体膜 140 をそれぞれ部分的に除去し、III - V 族化合物半導体ナノワイヤ 130 の頂部（第2の領域 134 の端部）およびゲート誘電体膜 140 を露出させる。この部分的な除去は、例えば、反応性イオンエッチング（reactive ion etching）法によって行われる。

【0087】

最後に、絶縁保護膜 150 を再び形成した後に III - V 族化合物半導体ナノワイヤ 130 の頂部を露出させる。そして、図 8D に示されるように、絶縁保護膜 150 の表面にドレイン電極 170 を形成し、n 型シリコン基板 110 の上にソース電極 160 を形成する。ドレイン電極 170 およびソース電極 160 は、例えば、真空蒸着によって形成される。

【0088】

本実施の形態に係る TFET 100 では、III - V 族化合物半導体ナノワイヤ 130 の第1の領域 132 と n 型シリコン基板 110 の (111) 面との接合面がトンネル層として機能する。TFET 100 では、ゲート電極 180 に負のバイアスを印加することで、n 型シリコン基板 110 内のキャリアがトンネル現象により III - V 族化合物半導体ナノワイヤ 130 内に移動する（ON 状態となる）。この動作は、CMOS スイッチの p 型 MOSFET のスイッチ動作に相当する。

【0089】

また、III - V 族化合物半導体ナノワイヤ 130 を構成する III - V 族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III - V 族化合物半導体の種類を変えることにより、ON 状態に必要な供給電圧を任意に制御することができる。また、絶縁保護膜 150 で III - V 族化合物半導体ナノワイヤ 130 の周囲を被覆するため、複数の TFET 100 を集積化することもできる。

【0090】

また、本実施の形態に係る TFET 100 は、III - V 族化合物半導体ナノワイヤ 130 とゲート誘電体膜 140 との界面における界面順位密度が低いため、小さなサブ閾値（100 mV / 桁以下）で動作することができる。本実施の形態に係る TFET 100 をスイッチ素子として利用することで、半導体デバイスの消費電力を削減することができる。その結果、省エネルギーおよび環境負荷低減も実現することができる。

【0091】

なお、第2の領域 134 の導電型をシリコン基板 110 と同じ n 型とすることで、TFET ではない一般的な FET を構成することができる。

【実施例】

【0092】

以下、本発明について実施例を参照して詳細に説明するが、本発明はこれらの実施例により限定されない。

【0093】

1. 基板の準備

n 型シリコン (111) 基板（キャリア濃度： $1 \times 10^{18} \text{ cm}^{-3}$ ）を、熱酸化処理して、表面に膜厚 20 nm の酸化シリコン膜を形成した。電子線ビームリソグラフィーお

10

20

30

40

50



よびウェットケミカルエッチングにより酸化シリコン膜に周期的に開口部を形成して、シリコン基板の表面を露出させた。開口部の形状は六角形とし、開口部の外径は70nmとした。

【0094】

2. III-V族化合物半導体ナノワイヤの作製

シリコン基板の(111)面上に、III-V族化合物半導体ナノワイヤとして、InAsナノワイヤまたはInGaAsナノワイヤを形成した。

【0095】

開口部を形成した基板を減圧横型MOVPE装置(HR2339;大陽日酸株式会社)にセットした。MOVPE装置の内温を900に上昇させて5分間維持することで、シリコン基板の開口部表面に形成された自然酸化膜を除去した。次いで、装置の内温を900から400または670に低下させた。水素化ヒ素を水素ガス(キャリアガス)とともに供給した。水素化ヒ素の分圧は $2 \times 10^{-4}$  atmとした。

10

【0096】

次に、交互原料供給変調法によりシリコン基板の開口部にInAsの薄膜(InAsナノワイヤを作製する場合)またはInGaAsの薄膜(InGaAsナノワイヤを作製する場合)を形成した。この工程では、トリメチルインジウム、またはトリメチルインジウムおよびトリメチルガリウムの組み合わせと、水素化ヒ素とを交互に供給した。具体的には、トリメチルインジウムおよび/またはトリメチルガリウムの供給を2秒間、水素ガスによるインターバルを1秒間、水素化ヒ素の供給を2秒間、水素ガスによるインターバルを1秒間の組合せを1サイクルとして、2分間かけて20回繰り返した。トリメチルインジウムの分圧は $9 \times 10^{-7}$  atmとし、トリメチルガリウムの分圧は $2 \times 10^{-7}$  atmとし、水素化ヒ素の分圧は $3 \times 10^{-4}$  atmとした。

20

【0097】

次に、装置の内温を上昇させた後、MOVPE法により長さ1200nmのInAsナノワイヤまたはInGaAsナノワイヤを成長させた。具体的には、InAsナノワイヤを形成する場合は、装置の内温を400から580に上昇させた後、トリメチルインジウムおよび水素化ヒ素を水素ガスとともに供給して、長さ200nmのInAsナノワイヤ(第1の領域;キャリア濃度: $1 \times 10^{16}$  cm<sup>-3</sup>)を成長させた。続いて、トリメチルインジウム、水素化ヒ素およびモノシランガスを水素ガスとともに供給して、長さ1000nmのn型InAsナノワイヤ(第2の領域;キャリア濃度: $1 \times 10^{18}$  cm<sup>-3</sup>)を成長させた。トリメチルインジウムの分圧は $6 \times 10^{-7}$  atmとし、水素化ヒ素の分圧は $1 \times 10^{-4}$  atmとし、モノシランガスの分圧は $1 \times 10^{-7}$  atmとした。

30

【0098】

一方、InGaAsナノワイヤを形成する場合は、装置の内温を690にした後、トリメチルインジウム、トリメチルガリウムおよび水素化ヒ素を水素ガスとともに供給して、長さ1200nmのInGaAsナノワイヤ(第1の領域;キャリア濃度: $1 \times 10^{16}$  cm<sup>-3</sup>)を成長させた。続いて、トリメチルインジウム、トリメチルガリウム、水素化ヒ素およびモノシランガスを水素ガスとともに供給して、長さ1000nmのn型InGaAsナノワイヤ(第2の領域;キャリア濃度: $1 \times 10^{18}$  cm<sup>-3</sup>)を成長させた。トリメチルインジウムの分圧は $1.3 \times 10^{-6}$  atmとし、トリメチルガリウムの分圧は $3 \times 10^{-7}$  atmとし、水素化ヒ素の分圧は $5 \times 10^{-4}$  atmとし、モノシランガスの分圧は $1 \times 10^{-7}$  atmとした。

40

【0099】

上記工程により、InAsナノワイヤまたはInGaAsナノワイヤがシリコン基板表面に形成された。InAsナノワイヤおよびGaAsナノワイヤの長軸は、シリコン基板の表面に対し垂直であった。図1Aは、InAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡像(斜視像)であり、図1Bは、InGaAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡像(斜視像)である。

50

## 【0100】

図2Aは、InGaAsナノワイヤの断面を示す高分解透過電子顕微鏡像であり、図2Bは、図2Aにおいて破線で示される領域の拡大像である。図2に示されるようにInAsナノワイヤおよびInGaAsナノワイヤの断面を観察したところ、その側面が(111)A面である第1の層とその側面が(111)B面である第2の層とが軸方向に沿って交互に積層されており、全体としてその側面が微小な(111)面で構成される(-110)面であることが確認された(図6Aおよび図6B参照)。また、第1の層および第2の層は、いずれも実質的に1~5原子層からなっており、その90%以上は1~3原子層からなっていた(図5参照)。また、ナノワイヤの側面のラフネスは、1~6原子層の範囲内であった(図6C参照)。

10

## 【0101】

## 3. FETの作製

シリコン基板上およびIII-V族化合物半導体ナノワイヤの側面にゲート誘電体膜を形成し、さらにその上にゲート電極を形成した。具体的には、ALD法により、膜厚4~14nmの $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}$ 膜(ゲート誘電体膜)を形成した。その後、高周波スパッタリング法により、膜厚100nmのW膜(ゲート電極)を形成した。

## 【0102】

次に、誘電体膜を形成したシリコン基板上に絶縁樹脂(BCB)膜を形成して、シリコン基板上的III-V族化合物半導体ナノワイヤを絶縁樹脂中に包埋した。次いで、反応性イオンエッチングにより絶縁樹脂の上側の一部を除去して、III-V族化合物半導体ナノワイヤの先端を露出させた。

20

## 【0103】

次に、絶縁樹脂のIII-V族化合物半導体ナノワイヤが露出した面にドレイン電極として膜厚120nmのTi(20nm)/Au(100nm)多層膜を形成した。また、シリコン基板上にソース電極として膜厚50nmのTi(20nm)/Au(30nm)多層膜を形成した。

## 【0104】

図9は、作製した本発明に係るFETの構成を示す断面図である。図9に示されるように、このFET200は、n型シリコン基板210、絶縁膜(酸化シリコン膜)220、III-V族化合物半導体ナノワイヤ230(InAsナノワイヤまたはInGaAsナノワイヤ)、ゲート誘電体膜( $\text{Hf}_{0.8}\text{Al}_{0.2}\text{O}$ 膜)240、絶縁保護膜(BCB樹脂からなる膜)250、ソース電極(Ti/Au多層膜)260、ドレイン電極(Ti/Au多層膜)270およびゲート電極(W膜)280、を有する。III-V族化合物半導体ナノワイヤ230は、n型シリコン基板210側の第1の領域232とドレイン電極270側の第2の領域234とに分けられる。

30

## 【0105】

## 4. 電気特性の測定

上記工程により作製されたFETの電気特性を測定した。

## 【0106】

図10Aは、InAsナノワイヤを有するFET(ゲート誘電体膜の膜厚( $t_{ox}$ ): 4nm、ゲート誘電体膜の酸化膜換算膜厚(EOT): 0.70nm)におけるゲート電圧( $V_G$ )とソース-ドレイン電流( $I_D$ )との関係を示すグラフである。ソース-ドレイン電圧( $V_{DS}$ )に応じて5本の曲線が引かれている。図10Bは、InAsナノワイヤを有するFETにおけるゲート誘電体膜の酸化膜換算膜厚(EOT)とサブスレッショルド係数との関係を示すグラフである。

40

## 【0107】

これらのグラフに示されるように、InAsナノワイヤを有するFETのサブスレッショルド係数は、75~80mV/桁であった。なお、InAsナノワイヤとゲート誘電体膜との界面における界面準位密度は、 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。

50

## 【0108】

図11Aは、InGaAsナノワイヤを有するFET（ゲート誘電体膜の膜厚（ $t_{ox}$ ）：4nm、ゲート誘電体膜の酸化膜換算膜厚（EOT）：0.70nm）におけるゲート電圧（ $V_G$ ）とソース-ドレイン電流（ $I_D$ ）との関係を示すグラフである。ソース-ドレイン電圧（ $V_{DS}$ ）に応じて4本の曲線が引かれている。図11Bは、InGaAsナノワイヤを有するFETにおけるゲート誘電体膜の酸化膜換算膜厚（EOT）とサブスレッショルド係数との関係を示すグラフである。

## 【0109】

これらのグラフに示されるように、InGaAsナノワイヤを有するFETのサブスレッショルド係数は、68～72mV/桁であった。なお、InGaAsナノワイヤとゲート誘電体膜との界面における界面準位密度は、 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。

10

## 【0110】

以上の結果から、本発明に係るFETは、界面準位密度が低く、100mV/桁以下の小さなサブ閾値で動作可能であることがわかる。

## 【0111】

本出願は、2013年10月31日出願の特願2013-226675に基づく優先権を主張する。当該出願明細書および図面に記載された内容は、すべて本願明細書に援用される。

## 【産業上の利用可能性】

20

## 【0112】

本発明に係るFETは、例えば半導体マイクロプロセッサおよび高集積回路に形成されるスイッチ素子として有用である。

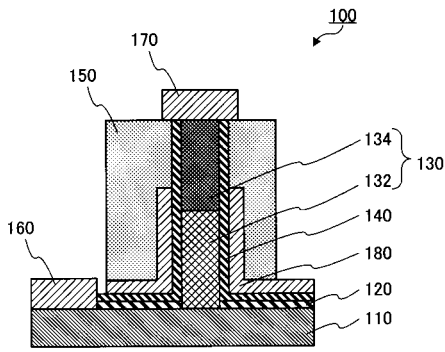
## 【符号の説明】

## 【0113】

100 FET  
 110, 210 n型シリコン基板  
 120, 220 絶縁膜  
 122 開口部  
 130, 230 III-V族化合物半導体ナノワイヤ  
 132, 232 第1の領域  
 134, 234 第2の領域  
 140, 240 ゲート誘電体膜  
 150, 250 絶縁保護膜  
 160, 260 ソース電極  
 170, 270 ドレイン電極  
 180, 280 ゲート電極  
 200 FET

30

【 図 7 】



【 図 8 】



図8A

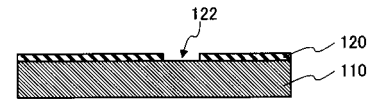


図8B

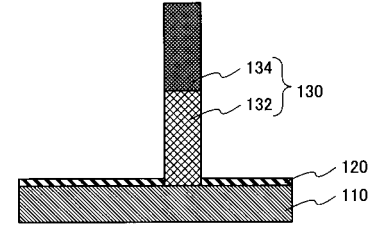


図8C

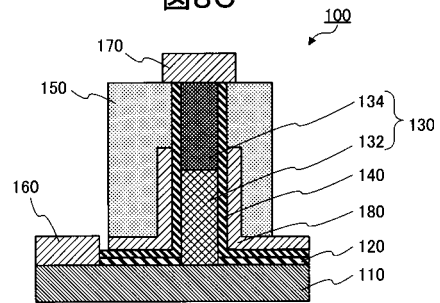
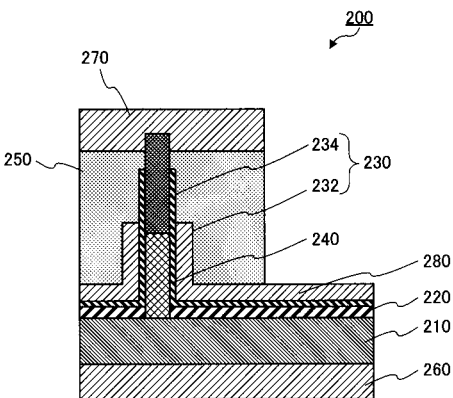


図8D

【 図 9 】



【 図 10 】

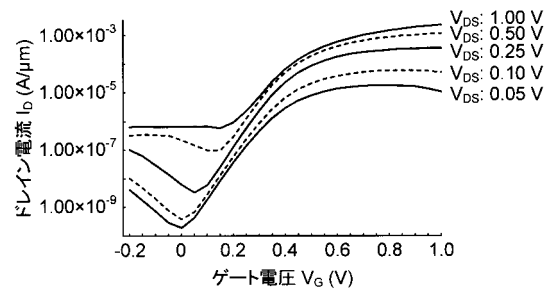


図10A

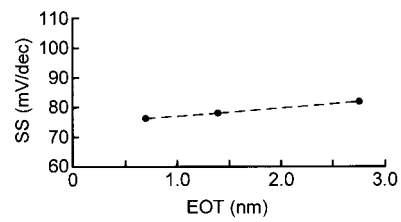


図10B

【 図 1 1 】

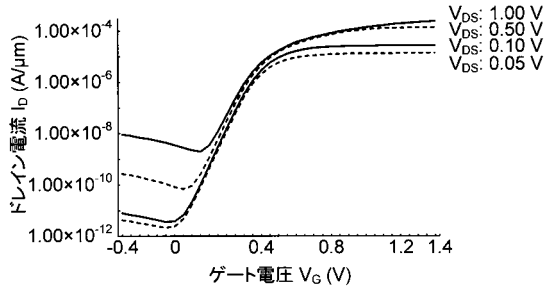


図11A

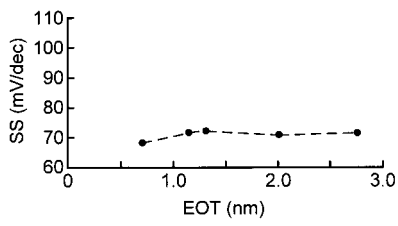


図11B

【 図 1 】

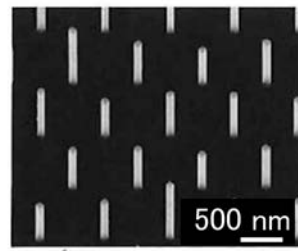


図1A

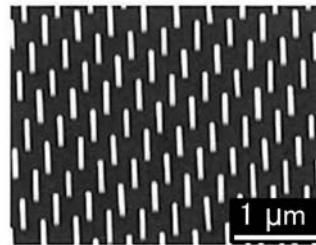


図1B

【 図 2 】

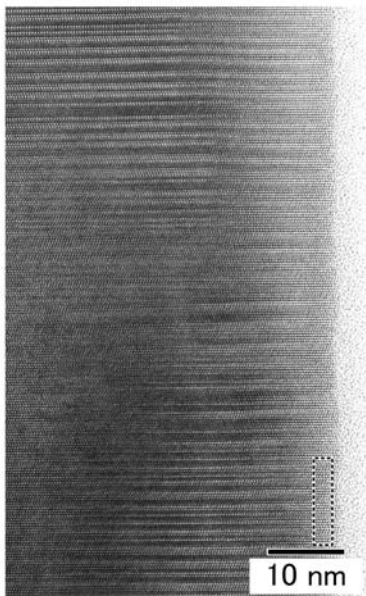
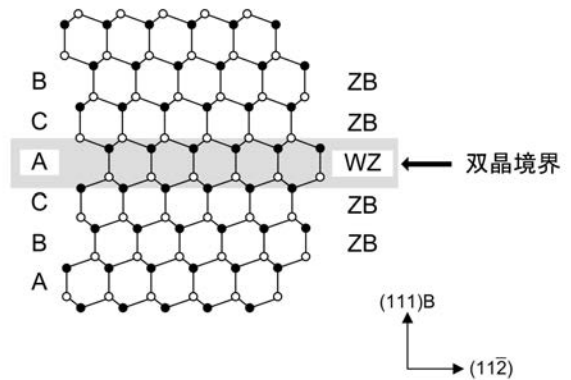


図2A

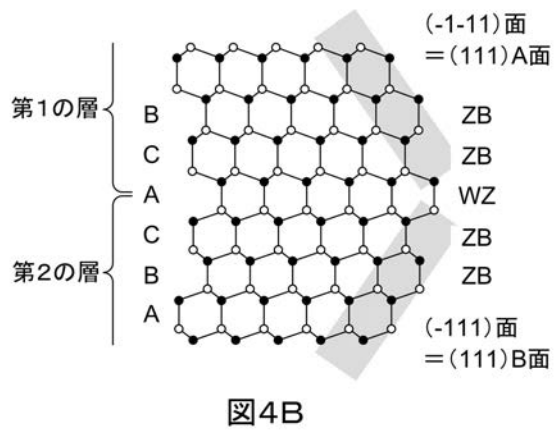
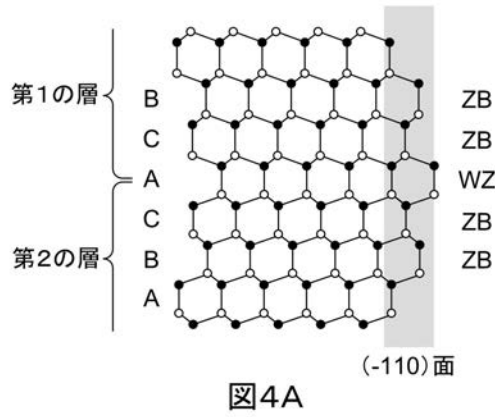


図2B

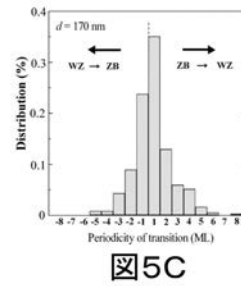
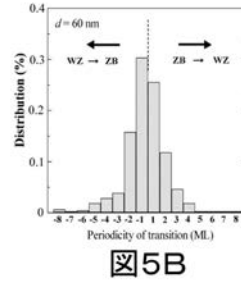
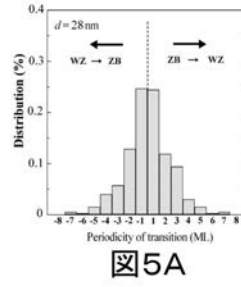
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

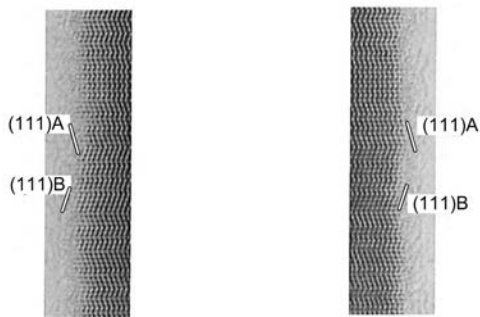


図6A

図6B

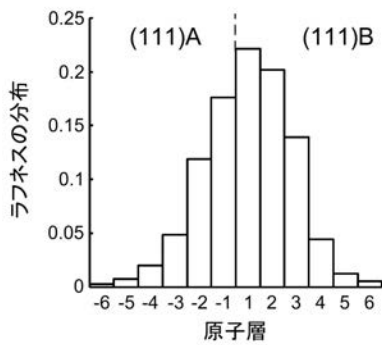


図6C

## 【手続補正書】

【提出日】平成27年8月12日(2015.8.12)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

III-V族化合物半導体からなるナノワイヤであって、  
その側面が微小な(111)面で構成される(-110)面であり、  
その側面のラフネスが1~6原子層の範囲内である、  
III-V族化合物半導体ナノワイヤ。

【請求項2】

その側面が(111)A面である第1の層と、その側面が(111)B面である第2の層とが、軸方向に沿って交互に積層されている、請求項1に記載のIII-V族化合物半導体ナノワイヤ。

【請求項3】

その側面における(111)A面の割合は、50%を超え、100%未満である、請求項1または請求項2に記載のIII-V族化合物半導体ナノワイヤ。

【請求項4】

前記第1の層および前記第2の層は、それぞれ1~5原子層からなり、かつそのうちの90%以上が1~3原子層からなる、請求項2に記載のIII-V族化合物半導体ナノワイヤ。

【請求項5】

(削除)

【請求項6】

前記III-V族化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbまたはAlInGaPSbである、請求項1~4のいずれか一項に記載のIII-V族化合物半導体ナノワイヤ。

【請求項7】

(111)面を有し、第1導電型にドーブされたIV族半導体基板と、  
前記IV族半導体基板の(111)面上に配置されたIII-V族化合物半導体ナノワイヤであって、前記IV族半導体基板の(111)面に接続された第1の領域と、前記第1導電型または前記第1導電型と異なる第2導電型にドーブされた第2の領域とを含むIII-V族化合物半導体ナノワイヤと、  
前記III-V族化合物半導体ナノワイヤの側面に配置されたゲート誘電体膜と、  
前記IV族半導体基板に接続されたソース電極およびドレイン電極から選択されるいずれか一方と、  
前記III-V族化合物半導体ナノワイヤの第2の領域に接続されたソース電極およびドレイン電極から選択されるいずれか他方と、  
前記ゲート誘電体膜上に配置され、前記IV族半導体基板の(111)面と前記III-V族化合物半導体ナノワイヤとの界面に電界を作用させるゲート電極と、  
を有し、  
前記III-V族化合物半導体ナノワイヤは、請求項1~4および請求項6のいずれか一項に記載のIII-V族化合物半導体ナノワイヤである、  
電界効果トランジスタ。

【請求項 8】

トンネル電界効果トランジスタである、請求項 7 に記載の電界効果トランジスタ。

【請求項 9】

請求項 7 または請求項 8 に記載の電界効果トランジスタを含むスイッチ素子。



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2014/005463
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L29/06(2006.01)i, B82Y30/00(2011.01)i, H01L21/205(2006.01)i, H01L21/336(2006.01)i, H01L29/04(2006.01)i, H01L29/66(2006.01)i, H01L29/78 (2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L29/06, B82Y30/00, H01L21/205, H01L21/336, H01L29/04, H01L29/66, H01L29/78 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2011/040012 A1 (National University Corporation Hokkaido University), 07 April 2011 (07.04.2011), fig. 4; paragraphs [0056] to [0065] & US 2012/0187376 A1 & EP 2472585 A1 & CN 102576726 A & KR 10-2012-0081100 A	1-3, 6-9 4-5
Y A	JP 7-6963 A (Nippon Telegraph and Telephone Corp.), 10 January 1995 (10.01.1995), paragraphs [0015] to [0016]; fig. 2 (Family: none)	1-3, 6-9 4-5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 December, 2014 (09.12.14)		Date of mailing of the international search report 16 December, 2014 (16.12.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/005463

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 7-45813 A (Canon Inc.), 14 February 1995 (14.02.1995), paragraph [0031] & US 5663592 A & EP 582986 A2 & DE 69323127 C & DE 69323127 D	1-3, 6-9 4-5
A	JP 4966153 B2 (Toshiba Corp.), 06 April 2012 (06.04.2012), paragraphs [0046] to [0047] & JP 2009-94229 A & US 2009/0090934 A1 & US 2011/0163355 A1 & US 2011/0165738 A1 & CN 101404257 A	1-9
A	JP 9-50058 A (Hitachi, Ltd.), 18 February 1997 (18.02.1997), paragraphs [0007] to [0009] (Family: none)	1-9

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 5 4 6 3	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/06(2006.01)i, B82Y30/00(2011.01)i, H01L21/205(2006.01)i, H01L21/336(2006.01)i, H01L29/04(2006.01)i, H01L29/66(2006.01)i, H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/06, B82Y30/00, H01L21/205, H01L21/336, H01L29/04, H01L29/66, H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	WO 2011/040012 A1 (国立大学法人北海道大学) 2011.04.07, 図4、 段落0056-0065 & US 2012/0187376 A1 & EP 2472585 A1 & CN 102576726 A & KR 10-2012-0081100 A	1-3, 6-9 4-5	
Y A	JP 7-6963 A (日本電信電話株式会社) 1995.01.10, 段落0015- 0016、図2 (ファミリーなし)	1-3, 6-9 4-5	
Y A	JP 7-45813 A (キヤノン株式会社) 1995.02.14, 段落0031 & US 5663592 A & EP 582986 A2 & DE 69323127 C & DE 69323127 D	1-3, 6-9 4-5	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 09.12.2014		国際調査報告の発送日 16.12.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 儀同 孝信	5 F 3566
		電話番号 03-3581-1101 内線	3516

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 5 4 6 3
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4966153 B2 (株式会社東芝) 2012.04.06, 段落0046-0047 & JP 2009-94229 A & US 2009/0090934 A1 & US 2011/0163355 A1 & US 2011/0165738 A1 & CN 101404257 A	1-9
A	JP 9-50058 A (株式会社日立製作所) 1997.02.18, 段落0007-0009 (ファミリーなし)	1-9

## フロントページの続き

(51) Int.Cl. F I テーマコード(参考)  
**B 8 2 Y 30/00 (2011.01)** B 8 2 Y 30/00

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5F140 AA02 AA06 AC12 BA01 BA06 BA07 BA08 BA09 BA17 BA20  
 BB04 BD13 BF01 BF07 BF11 BF54 BG30 BH30 BJ11 CC16

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。