

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/118884

発行日 平成29年3月23日 (2017.3.23)

(43) 国際公開日 平成27年8月13日 (2015.8.13)

(51) Int.Cl.		F I	テーマコード (参考)	
GO1S	7/486	(2006.01)	GO1S 7/486	4M118
HO1L	27/146	(2006.01)	HO1L 27/14	A 5J084
GO1S	17/10	(2006.01)	GO1S 17/10	
GO1S	17/89	(2006.01)	GO1S 17/89	

審査請求 未請求 予備審査請求 未請求 (全 52 頁)

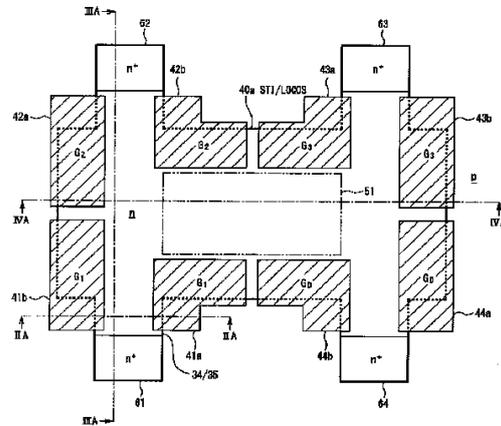
出願番号	特願2015-561233 (P2015-561233)	(71) 出願人	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(21) 国際出願番号	PCT/JP2015/000559	(74) 代理人	100108914 弁理士 鈴木 壯兵衛
(22) 国際出願日	平成27年2月6日 (2015.2.6)	(72) 発明者	川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
(31) 優先権主張番号	特願2014-22516 (P2014-22516)	(72) 発明者	安富 啓太 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
(32) 優先日	平成26年2月7日 (2014.2.7)	(72) 発明者	韓 相萬 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 電荷変調素子及び固体撮像装置

(57) 【要約】

電荷移動経路の長い距離にわたって電界を一定にすることが容易で、界面欠陥等に起因した問題が回避できる電荷変調素子、固体撮像装置を提供する。受光領域の中心位置に関して対称位置に設けられた第1の電荷蓄積領域(61)、第2の電荷蓄積領域(62)、第3の電荷蓄積領域(63)及び第4の電荷蓄積領域(64)と、受光領域の中心位置から第1の電荷蓄積領域(61)、第2の電荷蓄積領域(62)、第3の電荷蓄積領域(63)及び第4の電荷蓄積領域(64)のそれぞれに至る電荷移動経路の両側に配置され、電荷移動経路の空乏化電位を変化させる第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)とを備える。



【特許請求の範囲】**【請求項 1】**

第 1 導電型の半導体からなる活性領域形成層、前記活性領域形成層の上部の一部に設けられた、第 2 導電型の表面埋込領域、及び前記表面埋込領域の表面に接して設けられた、第 1 導電型のピニング層を含む画素形成領域と、

前記画素形成領域上に設けられた絶縁膜と、

前記画素形成領域の中央部を受光領域とし、前記受光領域を囲むように前記受光領域の中心位置に関して対称となる 4 つ位置のそれぞれに互いに離間して設けられた、前記活性領域形成層よりも高不純物密度で第 2 導電型の第 1、第 2、第 3 及び第 4 の電荷蓄積領域と、

前記受光領域を囲む位置において、前記絶縁膜上に前記受光領域の中心位置から前記第 1、第 2、第 3 及び第 4 の電荷蓄積領域のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第 1、第 2、第 3 及び第 4 の電界制御電極対と、

を備え、前記第 1、第 2、第 3 及び第 4 の電界制御電極対に対し、それぞれ互いに位相の異なる電界制御パルスを周期的に印加し、前記表面埋込領域の空乏化電位を順次変化させることにより、前記電荷移動経路のいずれかに電荷が輸送される電位勾配を順次形成して、前記表面埋込領域中で発生した多数キャリアの移動先を前記第 1、第 2、第 3 及び第 4 の電荷蓄積領域のいずれかに順次設定するように制御することを特徴とする電荷変調素子。

【請求項 2】

前記第 1、第 2、第 3 及び第 4 の電荷蓄積領域の配置トポロジーは、前記前記受光領域の中心位置に関して 2 回回転対称又は 4 回回転対称であることを特徴とする請求項 1 に記載の電荷変調素子。

【請求項 3】

前記第 1、第 2 及び第 3 の電荷蓄積領域のそれぞれは、前記表面埋込領域中で発生した多数キャリアを信号電荷として蓄積して読み出す電荷読み出し領域として機能し、

前記第 4 の電荷蓄積領域は、背景光により前記表面埋込領域中で発生した暗電流成分としての電荷を排出する電荷排出領域として機能することを特徴とする請求項 1 又は 2 に記載の電荷変調素子。

【請求項 4】

前記第 1、第 2、第 3 及び第 4 の電荷蓄積領域のそれぞれから離間し、前記受光領域を囲む位置に配置された、前記活性領域形成層よりも高不純物密度で第 2 導電型の電荷排出領域を更に備え、

前記第 1、第 2、第 3 及び第 4 の電荷蓄積領域のそれぞれは、前記表面埋込領域中で発生した多数キャリアを信号電荷として蓄積して読み出す電荷読み出し領域として機能することを特徴とする請求項 1 又は 2 に記載の電荷変調素子。

【請求項 5】

前記活性領域形成層が、第 1 導電型又は第 2 導電型の半導体基板上に設けられていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の電荷変調素子。

【請求項 6】

前記ピニング層において、前記信号電荷と反対導電型のキャリアの密度が、前記電荷移動経路の空乏化電位の変化と共に、前記第 1 ~ 第 4 の電界制御電極対に印加される電圧によって変化することを特徴とする請求項 3 又は 4 に記載の電荷変調素子。

【請求項 7】

前記絶縁膜の上方に、遮蔽板を更に備え、

該遮蔽板の開口部を介して、前記画素形成領域の中央部に選択的に光を照射することにより前記受光領域の平面パターンが定義されることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の電荷変調素子。

【請求項 8】

第 1 導電型の半導体からなる活性領域形成層、前記活性領域形成層の上部の一部に設け

10

20

30

40

50

られた、第2導電型の表面埋込領域、及び前記表面埋込領域の表面に接して設けられた、第1導電型のピニング層を含む画素形成領域と、

前記画素形成領域上に設けられた絶縁膜と、

前記画素形成領域の中央部を受光領域とし、前記受光領域を囲むように前記受光領域の中心位置に関して対称となる4つ位置のそれぞれに互いに離間して設けられた、前記活性領域形成層よりも高不純物密度で第2導電型の第1、第2、第3及び第4の電荷蓄積領域と、

前記受光領域を囲む位置において、前記絶縁膜上に前記受光領域の中心位置から前記第1、第2、第3及び第4の電荷蓄積領域のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第1、第2、第3及び第4の電界制御電極対と、

を備える電荷変調素子を複数個マトリクス状に配置した集積化構造を能動画素とし、該能動画素の複数個が同一半導体チップ上に配列され、

前記電荷変調素子のそれぞれにおいて、前記第1、第2、第3及び第4の電界制御電極対に対し、それぞれ互いに位相の異なる電界制御パルスを周期的に印加し、前記表面埋込領域の空乏化電位を順次変化させることにより、前記電荷変調素子のそれぞれの前記電荷移動経路のいずれかに電荷が輸送される電位勾配を順次形成して、前記表面埋込領域中で発生した多数キャリアの移動先を前記第1、第2、第3及び第4の電荷蓄積領域のいずれかに順次設定するように制御することを特徴とする固体撮像素子。

【請求項9】

前記能動画素を構成する前記複数個の電荷変調素子のそれぞれにおいて、

前記第1、第2及び第3の電荷蓄積領域のそれぞれは、前記表面埋込領域中で発生した多数キャリアを信号電荷として蓄積して読み出す電荷読み出し領域として機能し、

前記第4の電荷蓄積領域は、背景光により前記表面埋込領域中で発生した暗電流成分としての電荷を排出する電荷排出領域として機能することを特徴とする請求項8に記載の固体撮像素子。

【請求項10】

前記能動画素のそれぞれの内部に、前記複数個の電荷変調素子のそれぞれの前記第1、第2及び第3の電荷蓄積領域から前記信号電荷を読み出す周辺回路が、前記マトリクス状に配置された集合の周囲に配置されていることを特徴とする請求項9に記載の固体撮像素子。

【請求項11】

前記能動画素を構成する前記複数個の電荷変調素子のそれぞれにおいて、

前記第1、第2、第3及び第4の電荷蓄積領域のそれぞれから離間し、前記受光領域を囲む位置に配置された、前記活性領域形成層よりも高不純物密度で第2導電型の電荷排出領域を更に備え、

前記第1、第2、第3及び第4の電荷蓄積領域のそれぞれは、前記表面埋込領域中で発生した多数キャリアを信号電荷として蓄積して読み出す電荷読み出し領域として機能することを特徴とする請求項8に記載の固体撮像素子。

【請求項12】

前記能動画素のそれぞれの内部に、前記複数個の電荷変調素子のそれぞれの前記第1、第2、第3及び第4の電荷蓄積領域から前記信号電荷を読み出す周辺回路が、前記マトリクス状に配置された集合の周囲に配置されていることを特徴とする請求項9に記載の固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子又は正孔（ホール）からなる信号電荷を、3つ以上の電荷蓄積領域に順次輸送する経路選択機能を持った電荷変調素子、及びこの電荷変調素子又はこの電荷変調素子と等価な構造を周期的に配列して構成した単位カラムを、1次元又は2次元に周期的に配列した固体撮像装置に関する。

10

20

30

40

50

【背景技術】

【0002】

光の飛行時間を用いて距離画像を取得する光飛行時間型（TOF型）距離センサでは、MOS構造を用いてゲート電極直下のポテンシャルを縦方向（垂直方向）に制御している。例えば、p型半導体層上に埋め込まれたn型の電荷生成埋込領域、電荷輸送埋込領域、電荷読み出し埋込領域と、これらの上を被覆する絶縁膜と、絶縁膜上に配置され、信号電荷を電荷輸送埋込領域へ転送する転送ゲート電極と、絶縁膜上に配置され、信号電荷を電荷読み出し埋込領域へ転送する読み出しゲート電極とを備える構造において、電荷生成埋込領域で、パルス光を受光し、電荷生成埋込領域直下の半導体層で光信号を信号電荷に変換し、電荷輸送埋込領域に蓄積された電荷の配分比から対象物までの距離を測定するCMOS測距素子やこれを用いたTOF型イメージセンサが提案されている（特許文献1参照。）。

10

【0003】

これらのCMOS測距素子やこれを用いたTOF型イメージセンサにおいては、転送ゲート電極直下の界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題が懸念される。更に、特許文献1に記載されたような転送ゲート電極を用いる場合は、長い距離にわたるポテンシャル勾配の制御が困難で、電荷移動経路の長い距離にわたって、電界をほぼ一定にするのは、現実的には無理であった。このため、長い電荷移動経路を有する測距素子等の電荷変調素子においては、電荷移動経路の途中でキャリアが止まり、期待した性能が得にくくなるような不都合が発生していた。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開第2007/119626号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、半導体表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題や輸送速度の低下の問題が回避でき、更に、TOF型距離センサ等に必要で、長い電荷移動経路の長い距離にわたって、電界をほぼ一定にするための電位分布の制御が容易で、長い電荷移動経路中を信号電荷が、複数の領域に対称性よく高速に輸送される電荷変調素子、及びこの電荷変調素子の複数個を配列した低雑音、高分解能で、応答速度の速い固体撮像装置を提供することを目的とする。

30

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明の第1の態様は、(a)第1導電型の半導体からなる活性領域形成層、活性領域形成層の上部の一部に設けられた、第2導電型の表面埋込領域、及び表面埋込領域の表面に接して設けられた、第1導電型のピニング層を含む画素形成領域と、(b)画素形成領域上に設けられた絶縁膜と、(c)画素形成領域の中央部を受光領域とし、受光領域を囲むように受光領域の中心位置に関して対称となる4つ位置のそれぞれに互いに離間して設けられた、活性領域形成層よりも高不純物密度で第2導電型の第1、第2、第3及び第4の電荷蓄積領域と、(d)受光領域を囲む位置において、絶縁膜上に受光領域の中心位置から第1、第2、第3及び第4の電荷蓄積領域のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第1、第2、第3及び第4の電界制御電極対とを備える電荷変調素子であることを要旨とする。この第1の態様に係る電荷変調素子においては、第1、第2、第3及び第4の電界制御電極対に対し、それぞれ互いに位相の異なる電界制御パルスを周期的に印加し、表面埋込領域の空乏化電位を順次変化させることにより、電荷移動経路のいずれかに電荷が輸送される電位勾配を順次形成して、表面埋込領域中で発生した多数キャリアの移動先を第1、第2、第3及び第4の電荷蓄積領域のいずれかに順次設定するように制御する。

40

50

【 0 0 0 7 】

本発明の第2の態様は、第1の態様に係る電荷変調素子を複数個、マトリクス状に配置した集積化構造を能動画素とし、この能動画素の複数個が、同一半導体チップ上に配列された固体撮像装置であることを要旨とする。第2の態様に係る固体撮像装置においては、電荷変調素子のそれぞれにおいて、第1、第2、第3及び第4の電界制御電極対に対し、それぞれ互いに位相の異なる電界制御パルスを周期的に印加し、表面埋込領域の空乏化電位を順次変化させることにより、電荷変調素子のそれぞれの電荷移動経路のいずれかに電荷が輸送される電位勾配を順次形成して、表面埋込領域中で発生した多数キャリアの移動先を第1、第2、第3及び第4の電荷蓄積領域のいずれかに順次設定するように制御して距離画像が撮像される。

10

【 発明の効果 】

【 0 0 0 8 】

本発明によれば、電荷移動経路の長い距離にわたって、電界をほぼ一定にするための電位分布の制御が容易で、長い電荷移動経路中を信号電荷が、複数の領域に対称性よく高速に輸送され、しかも、半導体表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題や輸送速度の低下の問題が回避できる電荷変調素子、及びこの電荷変調素子の複数個を配列した低雑音、高分解能で、応答速度の速い固体撮像装置を提供することができる。

【 図面の簡単な説明 】

【 0 0 0 9 】

20

【 図 1 】本発明の第1の実施形態に係る3出力電荷変調素子の概略を説明する模式的平面図（上面図）である。

【 図 2 】図 2（a）は、図 1のIIA - IIA方向から見た第1の実施形態に係る3出力電荷変調素子の概略構造を説明する模式的な断面図で、図 2（b）は、図 2（a）の断面図のIIB - IIB方向のレベルで見た伝導帯の下端部（底部）のポテンシャル分布を第1の電界制御電極に印加される電圧をパラメータとして示す図で、図 2（c）は、図 2（a）の断面図の水平方向のIIC - IIC方向のレベルで見た荷電子帯の上端部（頂上）のポテンシャル分布の変化を、第1の電界制御電極に印加される電圧をパラメータとして示す図である。

【 図 3 】図 3（a）は、図 1のIIIA - IIIA方向から見た第1の実施形態に係る3出力電荷変調素子の概略構造を説明する模式的な断面図で、図 3（b）は、対応する伝導帯の下端部（底部）のポテンシャル分布を第1～第4の電界制御電極に印加される電圧をパラメータとして示す図である。

30

【 図 4 】図 4（a）は、図 1のIIVA - IIVA方向から見た第1の実施形態に係る3出力電荷変調素子の概略構造を説明する模式的な断面図で、図 4（b）は、対応する伝導帯の下端部（底部）のポテンシャル分布を第1～第4の電界制御電極に印加される電圧をパラメータとして示す図である。

【 図 5 】本発明の第1の実施形態に係る3出力電荷変調素子の動作を説明するタイミング図である。

【 図 6 】本発明の第1の実施形態に係る3出力電荷変調素子の別の動作を説明する他のタイミング図である。

40

【 図 7 】背景光がない場合の、第1の実施形態に係る3出力電荷変調素子の精度（線形性）と分解能の測定結果を示す図である。

【 図 8 】3000ルクスの背景光もとで、背景光キャンセル処理を行ったときの第1の実施形態に係る3出力電荷変調素子の精度（線形性）と分解能の測定結果を示す図である。

【 図 9 】本発明の第1の実施形態に係る固体撮像素子の半導体チップ上のレイアウトの概略を説明する模式的平面図である。

【 図 10 】図 9に示した固体撮像素子に用いられている能動画素の内部構造の概略を説明する模式的平面図である。

50

【図 1 1】第 1 の実施形態に係る固体撮像装置による距離画像の撮像例を示す図である。

【図 1 2】本発明の第 1 の実施形態の変形例に係る 3 出力電荷変調素子の概略を説明する模式的平面図（上面図）である。

【図 1 3】図 1 2 の XIII - XIII 方向から見た第 1 の実施形態の変形例に係る 3 出力電荷変調素子の伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 の電界制御電極に印加される電圧をパラメータとして示す図である。

【図 1 4】図 1 2 の XIV - XIV 方向から見た第 1 の実施形態の変形例に係る 3 出力電荷変調素子の伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 の電界制御電極に印加される電圧をパラメータとして示す図である。

【図 1 5】図 1 4 に実線で示した電位勾配に対応する、第 1 の実施形態の変形例に係る 3 出力電荷変調素子の画素形成領域の上方から見た X - Y 面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を示す図である。

【図 1 6】図 1 4 に破線で示した電位勾配に対応する、第 1 の実施形態の変形例に係る 3 出力電荷変調素子の画素形成領域の上方から見た X - Y 面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を示す図である。

【図 1 7】本発明の第 2 の実施形態に係る 3 出力電荷変調素子の概略を説明する模式的平面図（上面図）である。

【図 1 8】図 1 7 の XVIII - XVIII 方向から見た第 2 の実施形態に係る 3 出力電荷変調素子の伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 の電界制御電極に印加される電圧をパラメータとして示す図である。

【図 1 9】図 1 7 の XVII - XVII 方向から見た第 2 の実施形態に係る 3 出力電荷変調素子の伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 の電界制御電極に印加される電圧をパラメータとして示す図である。

【図 2 0】図 1 9 に破線で示した電位勾配に対応する、第 2 の実施形態に係る 3 出力電荷変調素子の画素形成領域の上方から見た X - Y 面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を示す図である。

【図 2 1】図 1 9 に実線で示した電位勾配に対応する、第 2 の実施形態に係る 3 出力電荷変調素子の画素形成領域の上方から見た X - Y 面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を示す図である。

【図 2 2】本発明の第 3 の実施形態に係る 4 出力電荷変調素子の概略を説明する模式的平面図（上面図）である。

【図 2 3】図 2 3 (a) は、図 2 2 の XXIII A - XXIII A 方向から見た第 3 の実施形態に係る 4 出力電荷変調素子の概略構造を説明する模式的な断面図で、図 2 3 (b) は、図 2 3 (a) の断面図の XXIII B - XXIII B 方向のレベルで見た伝導帯の下端部（底部）のポテンシャル分布を第 1 電荷転送ゲート電極及び第 3 電荷転送ゲート電極に印加される電圧をパラメータとして示す図である。

【図 2 4】図 2 3 (b) に示したポテンシャル分布を、より具体的な第 1 ~ 第 4 の電界制御電極対に印加される電圧をパラメータとして用いてシミュレーションした結果を示す図である。

【図 2 5】図 2 5 (a) は、図 2 2 の XXV - XXV 方向から見た第 3 の実施形態に係る 4 出力電荷変調素子の概略構造を説明する模式的な断面図で、図 2 5 (b) は、図 2 5 (a) の断面図の XXV B - XXV B 方向のレベルで見た伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 電荷転送ゲート電極に印加される電圧をパラメータとして示す図である。

【図 2 6】図 2 2 の XXV - XXV 方向に沿ったレベルで見た伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 電荷転送ゲート電極に印加される電圧をパラメータとして示す図である。

【図 2 7】図 2 2 の XXVII - XXVII 方向に沿ったレベルで見た伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 電荷転送ゲート電極に印加される電圧をパラメータとして示す図である。

【図 2 8】図 2 7 に破線で示した電位勾配に対応する、第 3 の実施形態に係る 4 出力電荷

10

20

30

40

50

変調素子の画素形成領域の上方から見た X - Y 面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を示す図である。

【図 29】図 27 に実線で示した電位勾配に対応する、第 3 の実施形態に係る 4 出力電荷変調素子の画素形成領域の上方から見た X - Y 面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を示す図である。

【図 30】図 24 の 2 点鎖線で示した電位勾配に対応する、第 3 の実施形態に係る 4 出力電荷変調素子の画素形成領域の上方から見た X - Y 面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を、第 1 の電荷排出補助領域に至る電荷移動経路のみに着目して示す図である。

【図 31】本発明の第 3 の実施形態に係る 4 出力電荷変調素子の動作を説明するタイミング図である。

【図 32】本発明の第 3 の実施形態に係る 4 出力電荷変調素子の別の動作を説明する他のタイミング図である。

【図 33】本発明の第 4 の実施形態に係る 4 出力電荷変調素子の概略を説明する模式的平面図（上面図）である。

【図 34】図 34 (a) は、図 33 の XXXIV - XXXIV 方向から見た第 4 の実施形態に係る 4 出力電荷変調素子の概略構造を説明する模式的な断面図で、図 34 (b) は、図 34 (a) の断面図の XXXIV B - XXXIV B 方向のレベルで見た伝導帯の下端部（底部）のポテンシャル分布を第 1 ~ 第 4 電荷転送ゲート電極に印加される電圧をパラメータとして示す図である。

【図 35】本発明の第 4 の実施形態に係る 4 出力電荷変調素子の動作を説明するタイミング図である。

【発明を実施するための形態】

【0010】

以下に本発明の第 1 ~ 第 4 の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。以下の第 1 ~ 第 4 の実施形態の説明では、第 1 導電型が p 型、第 2 導電型が n 型の場合について例示的に説明するが、導電型を逆の関係に選択して、第 1 導電型が n 型、第 2 導電型が p 型としても構わない。第 1 導電型が p 型、第 2 導電型が n 型の場合は、信号電荷としてのキャリアは電子となるが、第 1 導電型が n 型、第 2 導電型が p 型の場合は、信号電荷としてのキャリアは正孔（ホール）となることは、勿論である。又、以下の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を 90 度回転すれば「左右」と「上下」は交換して読まれ、紙面を 180 度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。

【0011】

（第 1 の実施形態）

図 1 の平面図及び図 2 (a) の断面図等を示すように、本発明の第 1 の実施形態に係る 3 出力電荷変調素子は、第 1 導電型（p 型）の半導体からなる活性領域形成層 32、活性領域形成層 32 の上部の一部に設けられた、第 2 導電型（n 型）の表面埋込領域 35、及び表面埋込領域 35 の表面に接して設けられた、p 型のピニング層 34 を含む画素形成領域（32, 34, 35）と、画素形成領域（32, 34, 35）上に設けられた絶縁膜 11 と、画素形成領域（32, 34, 35）の中央部を受光領域とし、受光領域を囲むように受光領域の中心位置に関して対称となる 4 つ位置のそれぞれに互いに離間して設けられた、活性領域形成層 32 よりも高不純物密度で n 型の第 1 の電荷蓄積領域 61、第 2 の電荷蓄積領域 62、第 3 の電荷蓄積領域 63 及び第 4 の電荷蓄積領域 64 と、受光領域を囲む位置において、絶縁膜 11 上に受光領域の中心位置から第 1 の電荷蓄積領域 61、第 2

10

20

30

40

50

の電荷蓄積領域 6 2、第 3 の電荷蓄積領域 6 3 及び第 4 の電荷蓄積領域 6 4 のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第 1 の電界制御電極対 (4 1 a , 4 1 b)、第 2 の電界制御電極対 (4 2 a , 4 2 b)、第 3 の電界制御電極対 (4 3 a , 4 3 b) 及び第 4 の電界制御電極対 (4 4 a , 4 4 b) とを備える。

【 0 0 1 2 】

第 1 の実施形態に係る 3 出力電荷変調素子は、第 1 の電界制御電極対 (4 1 a , 4 1 b)、第 2 の電界制御電極対 (4 2 a , 4 2 b)、第 3 の電界制御電極対 (4 3 a , 4 3 b) 及び第 4 の電界制御電極対 (4 4 a , 4 4 b) に対し、図 5 に示すような、それぞれ互いに位相の異なる電界制御パルスを周期的に印加し、表面埋込領域 3 5 の空乏化電位を順次変化させることにより、電荷移動経路のいずれかに、図 3 (b) 及び図 4 (b) に示したような、電荷が輸送される電位勾配を順次形成して、表面埋込領域 3 5 中で発生した多数キャリアの移動先を第 1 の電荷蓄積領域 6 1、第 2 の電荷蓄積領域 6 2、第 3 の電荷蓄積領域 6 3 及び第 4 の電荷蓄積領域 6 4 のいずれかに順次設定するように制御する。則ち、第 1 の実施形態に係る 3 出力電荷変調素子は、電荷移動経路を横断する方向に静電誘導効果で電界制御を行う 4 つのゲートである第 1 の電界制御電極対 (4 1 a , 4 1 b)、第 2 の電界制御電極対 (4 2 a , 4 2 b)、第 3 の電界制御電極対 (4 3 a , 4 3 b)、第 4 の電界制御電極対 (4 4 a , 4 4 b) によって、受光領域で発生した光電子を、H 型を構成する電荷移動経路に沿って、H 字の左右の方向、上下の方向に電界制御により高速に移動させて、電荷変調を行う。

【 0 0 1 3 】

図 1 の平面図から分かるように、第 1 の電荷蓄積領域 6 1、第 2 の電荷蓄積領域 6 2、第 3 の電荷蓄積領域 6 3 及び第 4 の電荷蓄積領域 6 4 の配置トポロジーは、受光領域の中心位置に関して 2 回回転対称である。別の見方をすれば、第 1 の電荷蓄積領域 6 1 及び第 4 の電荷蓄積領域 6 4 の配置トポロジーは、第 2 の電荷蓄積領域 6 2 及び第 3 の電荷蓄積領域 6 3 の配置トポロジーと、受光領域の中心位置を通る水平線に関して鏡像対称である。

図 1 に示した第 1 の電荷蓄積領域 6 1、第 2 の電荷蓄積領域 6 2 及び第 3 の電荷蓄積領域 6 3 のそれぞれは、図 2 (a)、図 3 (a) 及び図 4 (a) 等に示した表面埋込領域 3 5 中で発生した多数キャリアを信号電荷として蓄積して読み出す電荷読み出し領域として機能し、第 4 の電荷蓄積領域 6 4 は、背景光により表面埋込領域 3 5 中で発生した暗電流成分としての電荷を排出する電荷排出領域として機能する。なお、図 3 (a) では、第 1 の電荷蓄積領域 6 1 及び第 2 の電荷蓄積領域 6 2 の下方には、上方から見た平面パターンがキャパシタ形成領域 2 5 と一致するように、第 1 ブロック層 3 6 及び第 2 ブロック層 3 7 が示されている。第 1 ブロック層 3 6 及び第 2 ブロック層 3 7 は、第 1 の実施の形態に係る 3 出力電荷変調素子への到来光の波長が長い場合において、活性領域形成層 3 2 の深い位置発生した電子が表面に拡散によって戻ってくる状況において、その一部が、第 1 の電荷蓄積領域 6 1 及び第 2 の電荷蓄積領域 6 2 に取り込まれるのをブロックすることを目的とする半導体領域である。このため、例えば近赤外光など、使用する光の波長が長い場合であっても、信号電荷の第 1 の電荷蓄積領域 6 1 及び第 2 の電荷蓄積領域 6 2 への輸送時の変調特性に対する、活性領域形成層 3 2 の深い位置発生した電子が表面に拡散によって戻ってくる影響を抑制することが可能である。しかしながら、使用する光の波長が可視光や紫外光の場合、或いは活性領域形成層 3 2 の深い位置発生した電子が表面に拡散が問題とならない場合等、使用目的によっては、第 1 ブロック層 3 6 及び第 2 ブロック層 3 7 は省略してもよい。又、製造工程の簡略化のためには、第 1 ブロック層 3 6 及び第 2 ブロック層 3 7 はない方が好ましいので、第 1 ブロック層 3 6 及び第 2 ブロック層 3 7 は必須の領域ではない。

【 0 0 1 4 】

図 2 (a)、図 3 (a) 及び図 4 (a) 等に示すように、絶縁膜 1 1 の上方に遮蔽板 5 1 が更に備えられている。この遮蔽板 5 1 の開口部を介して、画素形成領域 (3 2 , 3 4 , 3 5) の中央部に受光領域の平面パターンが定義され、この受光領域に対し選択的に光

が照射される。

【 0 0 1 5 】

図 1 の平面図においては、画素形成領域 (3 2 , 3 4 , 3 5) の中央部に、遮蔽板 5 1 の開口部としての受光領域が定義されているが、この受光領域中に水平方向 (x - 方向) に電荷移動経路が設定される。この水平方向の電荷移動経路を H 字の中棒とし、この中棒の両端のそれぞれにおいて、水平方向の電荷移動経路に直交する垂直方向 (y - 方向) に沿った電荷移動経路が設定されるので、図 1 の平面図では、H 型の電荷移動経路が定義される。そして、H 型の 4 つの端部にそれぞれ、第 1 の電荷蓄積領域 6 1、第 2 の電荷蓄積領域 6 2、第 3 の電荷蓄積領域 6 3 及び第 4 の電荷蓄積領域 6 4 が接続される。

【 0 0 1 6 】

図 1 に示すように、平面パターン上、左側の垂直方向の電荷移動経路を挟むように、画素形成領域 (3 2 , 3 4 , 3 5) 上に絶縁膜 1 1 (図 3 参照。) を介して、左側の垂直方向の電荷移動経路の上部側に、一对の第 2 の電界制御電極 4 2 a , 4 2 b が配置されている。更に、第 1 の電荷蓄積領域 6 1 と第 2 の電荷蓄積領域 6 2 の間に定義された左側の電荷移動経路の下部側に、第 2 の電界制御電極 4 2 a , 4 2 b のそれぞれと離間して、それぞれに隣接して配置され、且つ、左側の電荷移動経路と直交する方向に沿って、平面パターン上、垂直方向の電荷移動経路を挟むように、画素形成領域 (3 2 , 3 4 , 3 5) 上に絶縁膜 1 1 を介して、一对の第 1 の電界制御電極 4 1 a , 4 1 b とを備える。

【 0 0 1 7 】

図 1 に示した平面パターン上、右側の垂直方向の電荷移動経路を挟むように、画素形成領域 (3 2 , 3 4 , 3 5) 上に絶縁膜 1 1 を介して、右側の垂直方向の電荷移動経路の上部側に、一对の第 3 の電界制御電極 4 3 a , 4 3 b が配置されている。更に、第 3 の電荷蓄積領域 6 3 と第 4 の電荷蓄積領域 6 4 の間に定義された右側の電荷移動経路に沿って、右側の電荷移動経路の下部側に、第 3 の電界制御電極 4 3 a , 4 3 b のそれぞれと離間して、それぞれに隣接して配置され、且つ、右側の電荷移動経路と直交する方向に沿って、平面パターン上、垂直方向の電荷移動経路を挟むように、画素形成領域 (3 2 , 3 4 , 3 5) 上に絶縁膜 1 1 を介して、一对の第 4 の電界制御電極 4 4 a , 4 4 b とを備える。第 3 の電界制御電極対 (4 3 a , 4 3 b) 及び第 4 の電界制御電極対 (4 4 a , 4 4 b) に対し、互いに異なる電界制御電圧をそれぞれ印加し、電荷移動経路の空乏化電位を変化させることにより、画素形成領域 (3 2 , 3 4 , 3 5) 中を輸送される信号電荷の移動方向が順次制御される。

【 0 0 1 8 】

更に、水平方向の電荷移動経路に着目すると、この水平方向の電荷移動経路を挟むように、水平方向の電荷移動経路の右側に第 3 の電界制御電極 4 3 a と第 4 の電界制御電極 4 4 b とが対をなして配置されている。更に水平方向の電荷移動経路に沿って、水平方向の電荷移動経路の左側に、対をなす第 3 の電界制御電極 4 3 a と第 4 の電界制御電極 4 4 b のそれぞれと離間して、それぞれに隣接して配置され、且つ、水平方向の電荷移動経路と直交する方向に沿って、平面パターン上、水平方向の電荷移動経路を挟むように、第 1 の電界制御電極 4 1 a と第 2 の電界制御電極 4 2 b とが対をなして配置されている。

【 0 0 1 9 】

先ず、図 1 の中央に符号 5 1 を付した二点鎖線で示した受光領域で発生した電子を、H 字の中棒に沿って、図 1 の左方向に移動させ、更に第 1 の電界制御電極対 (4 1 a , 4 1 b) の間を通過する電荷移動経路に移動させる場合は、第 2 の電界制御電極対 (4 2 a , 4 2 b)、第 3 の電界制御電極対 (4 3 a , 4 3 b) 及び第 4 の電界制御電極対 (4 4 a , 4 4 b) に低い電圧である第 2 電界制御パルス G_2 、第 3 電界制御パルス G_3 及び第 4 電界制御パルス G_0 をそれぞれ与え、第 3 の電界制御電極対 (4 3 a , 4 3 b) に高い電圧である第 3 電界制御パルス G_3 を与える。

【 0 0 2 0 】

第 1 の電界制御電極対 (4 1 a , 4 1 b) 及び第 2 の電界制御電極対 (4 2 a , 4 2 b) に対し、互いに異なる電界制御電圧を第 1 電界制御パルス G_1 及び第 2 電界制御パルス

10

20

30

40

50

G_2 によって、それぞれ印加し、電荷移動経路の空乏化電位を変化させることにより、図3(b)に破線と実線で示したような方向の異なる電位勾配が形成されて、画素形成領域(32, 34, 35)中を輸送される信号電荷の移動方向が順次、制御される。第1の電界制御電極対(41a, 41b)の間を通過する電荷移動経路を経由して、第1の電荷蓄積領域61に電荷を移動させるためには、図3(b)に破線で示したような電位勾配を形成すればよい。一方、第2の電界制御電極対(42a, 42b)の間を通過する電荷移動経路を経由して、第2の電荷蓄積領域62に電荷を移動させるためには、図3(b)に実線で示したような電位勾配を形成すればよい。

【0021】

空乏化電位を効率良く変化させるため、図2(a)の断面図に示すように、対をなす第1の電界制御電極41a, 41bの直下の部分の絶縁膜11の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。図示を省略しているが、対をなす第2の電界制御電極42a, 42b、対をなす第3の電界制御電極43a, 43b及び対をなす第4の電界制御電極44a, 44bのそれぞれの直下の部分の絶縁膜11の厚さも他の部分より薄く設定され、同様にゲート絶縁膜として機能している。

同様に、図1の中央に符号51を付した二点鎖線で示した受光領域で発生した電子を、H字の中棒に沿って、図1の右方向に移動させ、更に第3の電界制御電極対(43a, 43b)の間を通過する電荷移動経路に移動させる場合は、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)及び第4の電界制御電極対(44a, 44b)にそれぞれ低い電圧である第1電界制御パルス G_1 、第2電界制御パルス G_2 及び第4電界制御パルス G_D をそれぞれ与え、第3の電界制御電極対(43a, 43b)に高い電圧である第3電界制御パルス G_3 を与えて、図4(b)の破線で示したような電位勾配を形成する。

【0022】

図2(a)、図3(a)及び図4(a)の断面図に示すとおり、図1に示した画素形成領域(32, 34, 35)は、p型の半導体からなる活性領域形成層32と、活性領域形成層32の上部の一部に設けられた、n型の表面埋込領域35とを備え、表面埋込領域35中の多数キャリアである電子が、信号電荷として表面埋込領域35中を輸送される。電荷移動経路として機能する表面埋込領域35の表面に接して、p型のピニング層34が設けられている。図2(a)、図3(a)及び図4(a)の断面図に示すとおり、第1の実施形態に係る3出力電荷変調素子の断面構造は、3層構造の画素形成領域(32, 34, 35)が、更にp型の半導体基板31上に形成されているので、実際は4層構造である。

【0023】

図2(a)、図3(a)及び図4(a)の断面図では、活性領域形成層32が、p型の半導体基板31上にエピタキシャル成長等により堆積された構造を例示しているが、活性領域形成層32はn型の半導体基板31上に設けられていても構わない。更に、活性領域形成層32と半導体基板31との間等に他の層を含んで、5層以上の構造としても構わない。ピニング層34において、信号電荷と反対導電型のキャリアである正孔(ホール)の密度が、電荷移動経路の空乏化電位の変化と共に、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)に印加される電圧によって変化する。

【0024】

図1の平面図では絶縁膜11が図示されていないが、図2(a)の断面図に示すとおり、一对の第1の電界制御電極41a, 41bは、絶縁膜11を介して、電荷移動経路として機能する表面埋込領域35を挟むように、信号電荷の輸送方向と直交する方向に沿って、半導体領域(32, 34, 35)上に配列されていることが理解できる。又、第2の電界制御電極42a, 42b側の断面構造の図示を省略しているが、図2(a)の断面図と同様に、一对の第2の電界制御電極42a, 42bも、電荷移動経路として機能する表面埋込領域35を挟むようにして、絶縁膜11を介して半導体領域(32, 34, 35)上に配列されている。

10

20

30

40

50

【 0 0 2 5 】

図 1 の平面図には矩形の二点鎖線で遮蔽板 5 1 の開口部であるアパーチャを示したが、図 2 (a) 及び図 3 (b) に示す断面図は、受光領域から外れた位置での断面に対応するので、電荷移動経路の上の全面を遮蔽板 5 1 が覆っている構造を示している。図 1 の平面図において、矩形の二点鎖線によって示すアパーチャの内部の直下に位置する p 型の活性領域形成層 3 2 の一部と、n 型の表面埋込領域 3 5 の一部とが、埋込フォトダイオード領域を構成している。図 1 では、このアパーチャ直下の受光領域として機能する埋込フォトダイオード領域を取り巻くように、第 1 の電界制御電極対 (4 1 a , 4 1 b)、第 2 の電界制御電極対 (4 2 a , 4 2 b)、第 3 の電界制御電極対 (4 3 a , 4 3 b) 及び第 4 の電界制御電極対 (4 4 a , 4 4 b) が配置され、第 1 の電界制御電極対 (4 1 a , 4 1 b)、第 2 の電界制御電極対 (4 2 a , 4 2 b)、第 3 の電界制御電極対 (4 3 a , 4 3 b) 及び第 4 の電界制御電極対 (4 4 a , 4 4 b) に加える電位を変化させたとき、表面埋込領域 3 5 の空乏化電位を電荷移動経路を形成するように、変化させることができる。

10

【 0 0 2 6 】

図 3 (a) に示すように、第 1 の電荷読み出し領域 6 1 には、第 1 の信号読み出しトランジスタ (増幅トランジスタ) $T_1 A_{ijb}$ のゲート電極が、絶縁膜 1 1 中に設けられたコンタクト窓を介して接続される。第 1 の信号読み出しトランジスタ (増幅トランジスタ) $T_1 A_{ijb}$ のドレイン電極は電源 V D D に接続され、ソース電極は画素選択用の第 1 のスイッチングトランジスタ $T_1 S_{ijb}$ のドレイン電極に接続されている。画素選択用の第 1 のスイッチングトランジスタ $T_1 S_{ijb}$ のソース電極は、垂直信号線 B_{jb} に接続され、ゲート電極には水平ラインの選択用制御信号 $SL(i)$ が、図 9 に示した垂直シフトレジスタ 2 3 から与えられる。選択用制御信号 $SL(i)$ をハイ (H) レベルにすることにより、第 1 のスイッチングトランジスタ $T_1 S_{ijb}$ が導通し、第 1 の信号読み出しトランジスタ $T_1 A_{ijb}$ で増幅された第 1 の電荷読み出し領域 6 1 の電位に対応する電流が垂直信号線 B_{jb} に流れる。更に、第 1 の電荷読み出し領域 6 1 には、第 1 のリセットトランジスタ $T_1 R_{ijb}$ のソース電極が接続されている。第 1 のリセットトランジスタ $T_1 R_{ijb}$ のドレイン電極は電源 V D D に接続され、第 1 のリセットトランジスタ $T_1 R_{ijb}$ のゲート電極にはリセット信号 $RT_1(i)$ が図 9 に示した垂直シフトレジスタ 2 3 から与えられる。リセット信号 $RT_1(i)$ をハイ (H) レベルにして、第 1 のリセットトランジスタ $T_1 R_{ijb}$ が第 1 の電荷読み出し領域 6 1 に蓄積された電荷を吐き出し、第 1 の電荷読み出し領域 6 1 をリセットする。

20

30

【 0 0 2 7 】

一方、第 2 の電荷読み出し領域 6 2 には、第 2 の信号読み出しトランジスタ (増幅トランジスタ) $T_2 A_{ija}$ のゲート電極が、絶縁膜 1 1 中に設けられたコンタクト窓を介して接続されている。第 2 の信号読み出しトランジスタ (増幅トランジスタ) $T_2 A_{ija}$ のドレイン電極は電源 V D D に接続され、ソース電極は画素選択用の第 2 のスイッチングトランジスタ $T_2 S_{ija}$ のドレイン電極に接続されている。画素選択用の第 2 のスイッチングトランジスタ $T_2 S_{ija}$ のソース電極は、垂直信号線 B_{ja} に接続され、ゲート電極には水平ラインの選択用制御信号 $SL(i)$ が、図 9 に示した垂直シフトレジスタ 2 3 から与えられる。選択用制御信号 $SL(i)$ をハイ (H) レベルにすることにより、第 2 のスイッチングトランジスタ $T_2 S_{ija}$ が導通し、第 2 の信号読み出しトランジスタ $T_2 A_{ija}$ で増幅された第 2 の電荷読み出し領域 6 2 の電位に対応する電流が垂直信号線 B_{ja} に流れる。更に、第 2 の電荷読み出し領域 6 2 には、第 2 のリセットトランジスタ $T_2 R_{ija}$ のソース電極が接続されている。第 2 のリセットトランジスタ $T_2 R_{ija}$ のドレイン電極は電源 V D D に接続され、第 2 のリセットトランジスタ $T_2 R_{ija}$ のゲート電極にはリセット信号 $RT_2(i)$ が与えられる。リセット信号 $RT_2(i)$ をハイ (H) レベルにして、第 2 のリセットトランジスタ $T_2 R_{ija}$ が第 2 の電荷読み出し領域 6 2 に蓄積された電荷を吐き出し、第 2 の電荷読み出し領域 6 2 をリセットする。

40

以下、図 2 に示した一对の第 1 の電界制御電極 4 1 a , 4 1 b に着目して、便宜上説明するが、第 1 の電界制御電極対 (4 1 a , 4 1 b)、第 2 の電界制御電極対 (4 2 a , 4

50

2 b)、第3の電界制御電極対(43 a, 43 b)及び第4の電界制御電極対(44 a, 44 b)に与える電圧によって、受光領域で発生した電子の移動の制御を自在に行うためには、図2(b)に示したように、第1の電界制御電極対(41 a, 41 b)、で挟まれた半導体領域の空乏化電位(埋め込みダイオード内の空乏化電位)が、第1の電界制御電極対(41 a, 41 b)、に加える電圧によって大きく変動するように構成すればよい。これは、基板の濃度を低く設定し、表面のホールピンングのためのp+ピニング層34を比較的純物密度に選ぶことによって行える。

【0028】

図2(b)は、図2(a)の断面図の水平方向のII B - II B方向に沿って図った伝導帯の下端部(底部)のポテンシャル分布の、一对の第1の電界制御電極41 a, 41 bに印加される電圧による変化を示し、図2(c)は、図2(a)の断面図の水平方向のII C - II C方向に沿って図った荷電子帯の上端部(頂上)のポテンシャル分布の、一对の第1の電界制御電極41 a, 41 bに印加される電圧による変化を示す。埋込フォトダイオード領域の面積、表面埋込領域35、表面のp+ピニング層34の不純物密度によっても変わるが、一对の第1の電界制御電極41 a, 41 bに、低い、或いは負電圧(第1電位レベルLの電圧)を加えたときは、図2(b)の波線で示すように電子に対する電位井戸が浅く、一对の第1の電界制御電極41 a, 41 bに高い電圧(第2電位レベルHの電圧)を与えたとき、図2(b)の実線で示すように電子に対する電位井戸が深くなる。一方、図2(c)に示すように、一对の第1の電界制御電極41 a, 41 bに、低い、或いは負電圧(第1電位レベルLの電圧)を加えたときは、図2(c)の波線で示すように正孔(ホール)に対する電位井戸が深くなりピニング層に正孔(ホール)がたまるが、一对の第1の電界制御電極41 a, 41 bに高い電圧(第2電位レベルHの電圧)を与えたとき、図2(c)の実線で示すように正孔(ホール)に対する電位井戸が浅くなり、正孔(ホール)が空乏化する。このため、表面埋込領域35の空乏化電位を一对の第1の電界制御電極41 a, 41 bの電圧で大きく変化させるには、表面のp+ピニング層34のアクセプタの不純物密度の設定が重要である。

【0029】

つまり、この領域では、もし一对の第1の電界制御電極41 a, 41 bの電圧が低い、或いは小さい負電圧を加えた状況では、表面のp+ピニング層34の正孔(ホール)密度は、ほぼp+ピニング層34を形成するアクセプタの不純物密度と同程度となっているが、一对の第1の電界制御電極41 a, 41 bに非常に高い電圧を加えると、p+ピニング層34内の正孔(ホール)密度が低下して空乏化した状態になることによって、電位が上昇する。よって、図2(b)に示す伝導帯の下端部の電位井戸の深さ V_{well} を大きくするためには、図2(c)に示す荷電子帯の上端部のポテンシャル分布の、特に中央部の電位が大きく変化することが必要になる。もし表面のp+ピニング層34の不純物密度が非常に高い場合(例えば、不純物密度で 10^{19} cm^{-3} 以上)、この領域が空乏化することはなく中央部のp+ピニング層34の電位は、一对の第1の電界制御電極41 a, 41 bに加える電界制御電圧を変化させても基板電位にほぼ固定され、変化しなくなる。そのような場合には、 V_{well} は小さい変化に留まる。

【0030】

一方、表面のp+ピニング層34は、図4(a)に示すようにアパーチャ直下の受光領域を含む広い範囲にまで延在しており、p+ピニング層34の不純物密度は、埋込フォトダイオード領域としての暗電流の低減のためにはできる限り高くすることが望ましい。暗電流の発生要因として、シリコンとシリコン酸化膜の界面トラップの準位による発生・再結合電流 J_d があるが、これは、表面のp+ピニング層34の正孔(ホール)密度を p とし、次式で与えられる。

【0031】

$$J_d = S_0 n_i^2 / p \quad \dots \dots (1)$$

10

20

30

40

50

ここで、 S_0 は、発生速度を表す定数、 n_i は、真性半導体キャリア不純物密度である。則ち、式(1)に示すように、界面トラップの準位による発生・再結合電流 J_0 は、表面のp+ピニング層34の正孔(ホール)密度に反比例する。

【0032】

したがって、低暗電流化と、一对の第1の電界制御電極41a, 41bによる空乏化電位の大きな変化を共に得るためには、表面のp+ピニング層34の正孔(ホール)密度を最適に選択する必要がある、これはおよそ 10^{17} cm^{-3} オーダの後半から 10^{18} cm^{-3} オーダの前半あたりにあると考えられる。又、空乏化電位の変化は、表面のp+ピニング層34の厚みも関係し、およそ $0.1 \mu\text{m}$ 程度とすることが望ましい。これは、一对の第1の電界制御電極41a, 41bに加えた電圧の変化によって、p+ピニング層34内のキャリア密度が大きく変化できるかどうかが目安になる。

10

【0033】

既に述べたとおり、絶縁膜11は、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)の直下の部分の厚さが他の部分より薄く設定され、いわゆる「ゲート絶縁膜」として機能する誘電体膜であるが、ゲート絶縁膜として機能する部分の絶縁膜の材料としては、シリコン酸化膜(SiO_2 膜)が好適であるが、シリコン酸化膜(SiO_2 膜)以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ(MISトランジスタ)の絶縁ゲート構造をなしてもよい。例えば、シリコン酸化膜(SiO_2 膜)/シリコン窒化膜(Si_3N_4 膜)/シリコン酸化膜(SiO_2 膜)の3層積層膜からなるONO膜でもよい。更に、ストロンチウム(Sr)、アルミニウム(Al)、マグネシウム(Mg)、イットリウム(Y)、ハフニウム(Hf)、ジルコニウム(Zr)、タンタル(Ta)、ビスマス(Bi)のいずれか一つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等がゲート絶縁膜として使用可能である。

20

【0034】

現実の構造としては、ゲート絶縁膜として機能する薄い絶縁膜の上に、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)を囲むように、層間絶縁膜を選択的に構成して、絶縁膜11を段差形状を有する2層構造としてもよい。或いは、ゲート絶縁膜として機能する部分以外の領域に、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)を囲むように、ゲート絶縁膜と厚さの異なる他の層間絶縁膜やフィールド絶縁膜を選択的に構成して、絶縁膜11を段差形状に構成してもよい。この場合の層間絶縁膜やフィールド絶縁膜の材料は、ゲート絶縁膜の材料と同じでも異なる誘電体でもよく、例えば、層間絶縁膜の部分は、ゲート絶縁膜の部分より比誘電率の小さい誘電体で構成してもよい。

30

【0035】

絶縁膜11のゲート絶縁膜の部分をシリコン酸化膜を採用した場合、シリコン酸化膜をキャパシタ絶縁膜(誘電体膜)とする平行平板型キャパシタのキャパシタ絶縁膜の両端に誘起される単位面積当たりの電荷密度 Q_{ox} を検討してみる。則ち、平行平板型キャパシタの両端の電極間電圧 V と単位面積当たりのキャパシタンス C_{ox} を用いて、キャパシタ絶縁膜の両端に誘起される単位面積当たりの電荷密度 Q_{ox} は、次式で求めることができる：

40

$$Q_{ox} = C_{ox} V \quad \dots \dots (2)$$

例えば、絶縁膜11となるシリコン酸化膜の厚さが 7 nm 、電圧差 V が 3 V であるとすれば、シリコン酸化膜の両端に誘起される単位面積当たりの電荷密度 Q_{ox} は、およそ $1.5 \times 10^{-6} \text{ cm}^{-2}$ である。

【0036】

一方、p+ピニング層34のホールキャリア密度が $1 \times 10^{18} \text{ cm}^{-3}$ 、p+ピニング層

50

34の厚みが0.1 μmであり、その範囲でホール密度が均一であるとすれば、その電荷密度 Q_{pin} は、

$$\begin{aligned} Q_{pin} &= 1.6 \times 10^{-19} \times 10^{18} \text{ cm}^{-3} \times 0.1 \times 10^{-4} \text{ cm} \\ &= 1.6 \times 10^{-6} \text{ cm}^{-2} \end{aligned}$$

となつて、シリコン酸化膜の両端に誘起される単位面積当たりの電荷密度 Q_{ox} と同程度の値になる。これらはいくまで目安であり、p+ピニング層34は、絶縁膜11の直下のシリコン領域ではなく、平面パターン上、絶縁膜11の直下のシリコン領域に隣接する領域にあるので、一对の第1の電界制御電極41a, 41bによって直接p+ピニング層34の正孔(ホール)密度がコントロールできるわけではない。しかし、平面パターン上、絶縁膜11の直下のシリコン領域の脇に位置する表面埋込領域35の電荷密度を変化させる能力が、一对の第1の電界制御電極41a, 41bに備わっていると、表面埋込領域35の上のp+ピニング層34の正孔(ホール)密度を変化させることができ、条件によってはp+ピニング層34を空乏化することができる。

10

【0037】

以上のとおり、一对の第1の電界制御電極41a, 41bに着目して、便宜上説明したが、一对の第2の電界制御電極42a, 42bに印加される電圧によって、一对の第2の電界制御電極42a, 42b側についても、図2(b)と同様に伝導帯の下端部(底部)のポテンシャル分布が変化し、図2(c)と同様に荷電子帯の上端部(頂上)のポテンシャル分布が変化する。則ち、図示を省略しているが、一对の第2の電界制御電極42a, 42bについても、図2(b)及び図2(c)に示したと同様なポテンシャル分布が実現でき、一对の第1の電界制御電極41a, 41bの場合と全く同様の説明が成り立つ。

20

【0038】

同様に、一对の第3の電界制御電極43a, 43b側についても、図2(b)と同様に伝導帯の下端部(底部)のポテンシャル分布が変化し、図2(c)と同様に荷電子帯の上端部(頂上)のポテンシャル分布が変化する。又、一对の第4の電界制御電極44a, 44b側についても、図2(b)と同様に伝導帯の下端部(底部)のポテンシャル分布が変化し、図2(c)と同様に荷電子帯の上端部(頂上)のポテンシャル分布が変化する。則ち、図示を省略しているが、一对の第3の電界制御電極43a, 43b及び一对の第4の電界制御電極44a, 44bについても、それぞれ、図2(b)及び図2(c)に示したと同様なポテンシャル分布が実現でき、一对の第1の電界制御電極41a, 41bの場合と全く同様の説明が成り立つ。

30

【0039】

通常の実体撮像装置においては、ピニング層は、ダーク時の表面でのキャリアの生成や信号キャリアの捕獲を抑制する層であり、ダーク電流や信号キャリアの捕獲の削減のために好ましい層として、従来用いられているが、第1の実施形態に係る3出力電荷変調素子のp+ピニング層34は、これらの従来周知の機能に留まらず、表面埋込領域35の空乏化電位を第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)の電圧で大きく変化させる作用をなす重要な層として機能している。

40

【0040】

図1に示す一对の第1の電界制御電極41a, 41bと一对の第2の電界制御電極42a, 42bに、それぞれ異なった電圧レベルのゲート電圧を加えることで、遮蔽板51の開口部(アパーチャ)に入射した光で、埋込フォトダイオード領域で発生したキャリア(電子)を、一对の第1の電界制御電極41a, 41b及び一对の第2の電界制御電極42a, 42bに加える電界制御電圧によって、H字の左側の縦棒となる垂直方向に沿って、上下に振り分けるように高速に移動させる電荷変調素子等を実現することができる。同様に、図1に示す一对の第3の電界制御電極43a, 43bと一对の第4の電界制御電極44a, 44bに、それぞれ異なった電圧レベルのゲート電圧を加えることで、遮蔽板51

50

の開口部（アパーチャ）に入射した光で、埋込フォトダイオード領域で発生したキャリア（電子）を、一对の第3の電界制御電極43a, 43b及び一对の第4の電界制御電極44a, 44bに加える電界制御電圧によって、H字の右側の縦棒となる垂直方向に沿って、上下に振り分けるように高速に移動させることができる。

【0041】

則ち、第1の実施形態に係る3出力電荷変調素子においては、図1に示すように、H字の左側の縦棒となる垂直方向に沿った電荷移動経路の両端には、第1の電荷読み出し領域61と第2の電荷読み出し領域62が設けられているので、一对の第1の電界制御電極41a, 41bと一对の第2の電界制御電極42a, 42bに、それぞれ異なった第1及び第2電位レベルHのゲート電圧を加えることができるようにすることで、H字の中央に位置する埋込フォトダイオード領域で発生したキャリア（電子）を、左側に移動させた後、一对の第1の電界制御電極41a, 41b及び一对の第2の電界制御電極42a, 42bに加える電界制御電圧によって、H字の左側の縦棒となる垂直方向の上下に向かって、信号電荷を高速に振り分けて移動させるTOF距離センサの動作を実現することができる。又、H字の右側の縦棒となる垂直方向に沿った電荷移動経路の両端には、図1に示すように、第3の電荷読み出し領域63と電荷排出領域64が設けられているので、一对の第3の電界制御電極43a, 43bと一对の第4の電界制御電極44a, 44bに、それぞれ異なった第1及び第2電位レベルHのゲート電圧を加えることができるようにすることで、H字の中央に位置する埋込フォトダイオード領域で発生したキャリア（電子）を、右側に移動させた後、一对の第3の電界制御電極43a, 43b及び一对の第4の電界制御電極44a, 44bに加える電界制御電圧によって、H字の右側の縦棒となる垂直方向の上方向に向かって、信号電荷を高速に移動させ、H字の右側の縦棒となる垂直方向の下方向に向かって、背景光による暗電流成分となる電荷を排出することができる。

【0042】

則ち、一对の第1の電界制御電極41a, 41bと一对の第2の電界制御電極42a, 42bに、第1及び第2電位レベルHの電位のゲート電圧を与えることで、図3(b)に示したように第2の電荷読み出し領域62側へ下る電位傾斜を形成することができる。例えば、一对の第1の電界制御電極41a, 41b = -2V（第1電位レベルLの電圧）、一对の第2の電界制御電極42a, 42b = 1V（第2電位レベルHの電圧）のときは、図3(b)の左側の第2の電荷読み出し領域62に輸送され、逆に、一对の第1の電界制御電極41a, 41b = 1V（第2電位レベルHの電圧）、一对の第2の電界制御電極42a, 42b = -2V（第1電位レベルLの電圧）のときは、図3(b)に破線で示したように第1の電荷読み出し領域61側へ下る電位傾斜を形成することができ、発生した光電子は、図3(b)の右側の第1の電荷読み出し領域61に輸送される。

【0043】

図3(a)に示すように、第1の電荷読み出し領域61には、第1の信号読み出しトランジスタ（増幅トランジスタ） $T_1 A_{ijb}$ のゲート電極が、接続されているので、第1の電荷読み出し領域61に輸送された電荷量に相当する電圧によって、第1の信号読み出しトランジスタ（増幅トランジスタ） $T_1 A_{ijb}$ で増幅された出力が、第1のスイッチングトランジスタ $T_1 S_{ijb}$ を介して外部に出力される。同様に、第2の電荷読み出し領域62には、第2の信号読み出しトランジスタ（増幅トランジスタ） $T_2 A_{ija}$ のゲート電極が接続されているので、第2の電荷読み出し領域62に輸送された電荷量に相当する電圧によって、第2の信号読み出しトランジスタ（増幅トランジスタ） $T_2 A_{ija}$ で増幅された出力が、第2のスイッチングトランジスタ $T_2 S_{ija}$ を介して外部に出力される。

【0044】

例えば、光飛行時間（TOF）距離センサへの応用においては、TOF距離センサに設けられた光源から繰り返しパルス信号として光を対象物に照射し、対象物によって反射された光の往復に要する遅延時間 T_d を測定すればよい。則ち、TOF距離センサへの応用では、上記のように、第1の電界制御電極対（41a, 41b）、第2の電界制御電極対（42a, 42b）、第3の電界制御電極対（43a, 43b）及び第4の電界制御電極

10

20

30

40

50

対(44a, 44b)に、図5に示すようなそれぞれ互いに位相の異なる第1電界制御パルスG₁, 第2電界制御パルスG₂, 第3電界制御パルスG₃, 第4電界制御パルスG_Dを印加する動作を、図5に示すように、出力光の光パルスの繰り返し周期と同期して、周期的に繰り返して遅延時間T_dを測定する。則ち、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)及び第3の電界制御電極対(43a, 43b)に印加する第1電界制御パルスG₁, 第2電界制御パルスG₂, 第3電界制御パルスG₃のそれぞれのパルス幅を2倍した時間より短いパルス幅T₀の光パルスを用いる。このパルス幅T₀の光パルスを、第3電界制御パルスG₃の第1電位レベルLから第2電位レベルHの電圧への遷移時、及び第2電界制御パルスG₂の第2電位レベルHから第1電位レベルLの電圧への遷移時を含むように、図5に示すようなタイミングで受信すれば、光パルスが対象物で反射して戻ってくる往復時間による遅延時間T_dを求めることができる。光パルスの光源から対象物までの距離Lは、光パルスの往復時間により決まる遅延時間T_dが求められれば、遅延時間T_dの半分に光速をかけることで求めることができる。

【0045】

図5に示すように、第1の実施形態に係る3出力電荷変調素子は、比較的デューティの狭いパルス光を用いて動作させる。図5に示すように、到来光の光パルスを受けて、電荷変調素子で変調された電荷を蓄積する期間では、第1電界制御パルスG₁, 第2電界制御パルスG₂, 第3電界制御パルスG₃, 第4電界制御パルスG_Dからなる4つのゲート信号を図に示すように周期的に与えて動作させる。

【0046】

(a)第1電界制御パルスG₁が第2電位レベルH、第2電界制御パルスG₂が第1電位レベルL、第3電界制御パルスG₃が第1電位レベルL、第4電界制御パルスG_Dが第1電位レベルLの期間では、受光領域で生成された信号電荷は、第1の電荷蓄積領域61に転送される。

(b)第2電界制御パルスG₂が第2電位レベルH、第1電界制御パルスG₁が第1電位レベルL、第3電界制御パルスG₃が第1電位レベルL、第4電界制御パルスG_Dが第1電位レベルLの期間では、受光領域で生成された信号電荷は、第2の電荷蓄積領域62に転送される。

【0047】

(c)第3電界制御パルスG₃が第2電位レベルH、第1電界制御パルスG₁が第1電位レベルL、第3電界制御パルスG₃が第1電位レベルL、第4電界制御パルスG_Dが第1電位レベルLの期間では、受光領域で生成された信号電荷は、第3の電荷蓄積領域63に転送される。

(d)第4電界制御パルスG_Dが第2電位レベルH、第1電界制御パルスG₁が第1電位レベルL、第2電界制御パルスG₂が第1電位レベルL、第3電界制御パルスG₃が第1電位レベルLの期間では、受光領域で生成された信号電荷は、第4の電荷蓄積領域(電荷排出領域)64に排出される。

このとき、到来光の光パルスが図5に示したタイミングで到来すると、光電荷は、第2の電荷蓄積領域62と、第3の電荷蓄積領域63に転送される。第2の電荷蓄積領域62と第3の電荷蓄積領域63にたまる電荷をQ₂, Q₃とすると、

$$Q_2 = I_{ph} (T_0 - T_d) + I_a T_0 \dots\dots\dots (3)$$

$$Q_3 = I_{ph} T_d + I_a T_0 \dots\dots\dots (4)$$

で表される。

【0048】

ここで、I_{ph}は、信号光パルスによる光電流、I_aは、背景光による光電流、T₀は、光のパルス幅、T_dは、光の飛行時間による光パルスの遅延時間である。第1電界制御パルスG₁が第2電位レベルH、第2電界制御パルスG₂が第1電位レベルL、第3電界制御パルスG₃が第1電位レベルL、第4電界制御パルスG_Dが第1電位レベルLの期間では

10

20

30

40

50

、光パルスが到来しないので、背景光のみによる信号が蓄積される。このとき、第1の電荷蓄積領域61にたまる電荷をQ1とすると、

$$Q1 = I_a T_0 \dots\dots\dots (5)$$

このQ1を使って、Q2及びQ3に含まれる背景光の影響をキャンセルしながら、光の飛行時間を推定することができる。則ち、式(3)、(4)、(5)より光の飛行時間は次式で表される：

$$T_d = T_0 (Q3 - Q1) / (Q2 + Q3 - 2Q1) \dots\dots\dots (6) \quad 10$$

なお、第4電界制御パルスG₀が第2電位レベルH、第1電界制御パルスG₁が第1電位レベルL、第2電界制御パルスG₂が第1電位レベルL、第3電界制御パルスG₃が第1電位レベルLの期間では、背景光により光電荷が発生するが、その光電荷は、第4の電荷蓄積領域(電荷排出領域)64に排出されるので、このような短いデューティに光パルスを用いて、光のエネルギーを第2電界制御パルスG₂が第2電位レベルH、第3電界制御パルスG₃が第2電位レベルHの期間に集中させることで、背景光に対する影響を軽減する。更に、キャンセル処理で、背景光の成分をキャンセルする。これにより、背景光に対する耐性の高い光飛行時間計測を行う。

【0049】

20

図6は、第1の実施形態に係る3出力電荷変調素子を用いて、出力光のパルス幅T₀の2倍の遅延時間に対応する距離を図る場合の動作タイミングを示す。この場合、出力光のパルス幅T₀とゲート信号第1電界制御パルスG₁、第2電界制御パルスG₂、第3電界制御パルスG₃の幅は同じとする。出力光パルスに対して、受信した到来光パルスの遅延時間(光飛行時間)が、図6の第1の到来光に対応する遅延時間T_dの場合には、Q1、Q2、Q3は、以下ようになる：

$$Q1 = I_{ph} (T_0 - T_d) + I_a T_0 \dots\dots\dots (7)$$

$$Q2 = I_{ph} T_d + I_a T_0 \dots\dots\dots (8)$$

$$Q3 = I_a T_0 \dots\dots\dots (9) \quad 30$$

これらより、第1の到来光に対応する遅延時間T_dは次式で求めることができる：

$$T_d = T_0 (Q2 - Q3) / (Q1 + Q2 - 2Q3) \dots\dots\dots (10)$$

出力光パルスに対して、受信した到来光パルスの遅延時間(光飛行時間)が、図6の第2の到来光に対応する遅延時間T_{d2}の場合には、第1の電荷蓄積領域61、第2の電荷蓄積領域62、第3の電荷蓄積領域63の電荷、Q1、Q2、Q3は以下ようになる：

$$Q1 = I_a T_0 \dots\dots\dots (11) \quad 40$$

$$Q2 = I_{ph} (2T_0 - T_{d2}) + I_a T_0 \dots\dots\dots (12)$$

$$Q3 = I_{ph} (T_{d2} - T_0) + I_a T_0 \dots\dots\dots (13)$$

これらより、第2の到来光に対応する遅延時間T_{d2}は次式で求めることができる：

$$T_{d2} = T_0 + T_0 (Q3 - Q1) / (Q2 + Q3 - 2Q1) \dots (14)$$

光パルスの飛行時間が出力光のパルス幅T₀より大きいかは、Q1とQ3を比較することで分かる。則ち、光パルスの飛行時間は、Q1 > Q3ならば、式(10)を、Q1 < Q3ならば、式(14)を使って計算する。

50

【 0 0 5 0 】

図 7 及び図 8 は、第 1 の実施形態に係る 3 出力電荷変調素子の精度（線形性）と分解能の測定結果である。図 7 が、背景光がない場合の結果、図 8 が 3 0 0 0 ルックスの背景光もとで、背景光キャンセル処理を行ったときの距離分解能である。図 8 に示すように、背景光がある場合には、距離分解能は、光ショットノイズのために、やや悪くなるが、約 1 . 8 m に対して 3 c m 未満の分解能を得ている。

【 0 0 5 1 】

以上のように、第 1 の実施形態に係る 3 出力電荷変調素子によれば、従来の MOS 構造を用いてゲート電極直下のポテンシャルを縦方向（垂直方向）に制御する場合に比し、横方向（電荷移動経路に直交する）の静電誘導効果による電界制御を用いているので、電荷移動経路の長い距離にわたって電界がほぼ一定になるようにして、信号電荷が対称性を維持しながら高速に輸送される。則ち、第 1 の実施形態に係る 3 出力電荷変調素子を TOF 距離センサに応用すると、従来の埋め込みフォトダイオードを用いた CMOS 型 TOF 距離画像センサに比べて、電荷移動経路のトポロジーを H 型にして、電荷移動経路の長さを長くとることができるので、図 1 に二点鎖線で示したアパーチャの実質的な開口率が向上して、高感度化が図れる。

【 0 0 5 2 】

更に、従来の MOS 構造を用いてゲート電極直下のポテンシャルを縦方向に制御する構造においては、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流があったが、第 1 の実施形態に係る 3 出力電荷変調素子によれば、横方向の静電誘導効果による電界制御を用いているので、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題や輸送速度の低下の問題が回避できる。

【 0 0 5 3 】

又、第 1 の実施形態に係る 3 出力電荷変調素子によれば、H 型の電荷移動経路の 3 つの端部に位置する第 1 の電荷読み出し領域 6 1、第 2 の電荷読み出し領域 6 2 及び第 3 の電荷読み出し領域 6 3 に対し、信号電荷を順次、高速に振り分けて輸送し、H 型の電荷移動経路の 4 番目の端部に位置する電荷排出領域 6 4 に、背景光に依拠した暗電流の成分となる電荷を排出することができるので、TOF 距離センサに限られず、極短時間に同じ現象が繰り返されるような物理現象の観測に応用することができる。例えば、第 1 の実施形態に係る 3 出力電荷変調素子は、蛍光体の寿命を測定する素子として応用すれば、電荷移動経路の長い距離にわたって電界がほぼ一定になるようにして、信号電荷を高速に輸送していることから、より精度の高い測定が実現できる。

【 0 0 5 4 】

- 固体撮像装置 -

第 1 の実施形態に係る 3 出力電荷変調素子は、固体撮像素子（光飛行時間距離画像センサ）の能動画素 X_{ij} に適用可能であり、固体撮像素子の能動画素 X_{ij} に適用することにより、各能動画素 X_{ij} の内部において、高速の信号電荷の転送が可能になる。

図 9 は、第 1 の実施形態に係る 3 出力電荷変調素子を、図 1 0 に示したように、複数個マトリクス状に配置した集積化構造を能動画素 X_{ij} とし、この能動画素 X_{ij} を更にマトリクス状複数個配列した固体撮像素子の構成例である。能動画素 X_{ij} の 1 画素内には、図 1 に例示的に構造を示した 3 出力電荷変調素子を必要な個数マトリクス状に並べて並列に接続し、必要な感度を確保している。図 1 0 では、図 1 の構造をした 3 出力電荷変調素子を $3 \times 4 = 12$ 個含んでいる。

【 0 0 5 5 】

12 個の 3 出力電荷変調素子のそれぞれの内部において、埋込フォトダイオード構造を用いて、電荷移動経路の方向と直交する方向に、横方向電界制御型（LEF）電荷変調ドライバ 2 4 から出力される第 1 電界制御パルス G_1 、第 2 電界制御パルス G_2 、第 3 電界制御パルス G_3 、第 4 電界制御パルス G_D を、それぞれ互いに異なる位相関係で、第 1 の電界制御電極対（4 1 a, 4 1 b）、第 2 の電界制御電極対（4 2 a, 4 2 b）、第 3 の電界

10

20

30

40

50

制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)に順次印加することにより、横方向の電界による静電誘導効果によって、電荷移動経路の空乏化電位を順次変化させ、信号電荷を選択された電荷移動経路中を高速に輸送して、順次、第1の電荷蓄積領域61、第2の電荷蓄積領域62及び第3の電荷蓄積領域63に蓄積し、暗電流成分を第4の電荷蓄積領域64に排出することができる。

【0056】

図10に示すように、12個の3出力電荷変調素子のそれぞれの出力端子となる第1の電荷蓄積領域61、第2の電荷蓄積領域62及び第3の電荷蓄積領域63は、能動画素 X_{ij} の画素内で、電荷をためるためのキャパシタCと、ソースフォロワアンプのゲートに接続され、アクティブピクセル型の回路により、信号が周辺の読み出し回路に読み出される。

10

なお、図10に示すように、12個の3出力電荷変調素子のそれぞれの第1の電荷蓄積領域61、第2の電荷蓄積領域62及び第3の電荷蓄積領域63のノードには、リセット用のトランジスタも接続され、読み出した後、12個の3出力電荷変調素子のそれぞれの第1の電荷蓄積領域61、第2の電荷蓄積領域62及び第3の電荷蓄積領域63の電荷をリセットする。この動作は、ノイズキャンセルにも利用する。図9では、第1の電荷蓄積領域61、第2の電荷蓄積領域62及び第3の電荷蓄積領域63のノードにトランジスタを介して別のキャパシタ2Cも接続できるようになっており、蓄積できる電荷の量を調整することができる。

【0057】

本発明の第1の実施形態に係る固体撮像装置(光飛行時間距離画像センサ)は、図9に示すように、画素アレイ部と周辺回路部(21, 22, 23, 24)とを同一半導体チップ上に配置し、集積化している。画素アレイ部には、2次元マトリクス状に図10に示した能動画素 X_{ij} ($i = 1 \sim n$; $j = 1 \sim m$: n, m はそれぞれ整数である。)が多数配列されており、例えば、方形状の撮像領域を構成している。画素アレイ部の下辺部には、図9において水平方向に示した画素行 $X_{11}, X_{12}, X_{13}, \dots, X_{1m}; X_{21}, X_{22}, X_{23}, \dots, X_{2m}; X_{31}, X_{32}, X_{33}, \dots, X_{3m}; \dots, X_{n1}, X_{n2}, X_{n3}, \dots, X_{nm}$ 方向に沿ってカラム並列折り返し積分/巡回型A/D変換器22と、このカラム並列折り返し積分/巡回型A/D変換器22に接続される水平シフトレジスタ21が設けられている。画素アレイ部の左辺部には、図9において垂直方向に示した画素列 $X_{11}, X_{21}, X_{31}, \dots, X_{n1}; X_{12}, X_{22}, X_{32}, \dots, X_{n2}; X_{13}, X_{23}, X_{33}, \dots, X_{n3}; \dots; X_{1m}, X_{2m}, X_{3m}, \dots, X_{nm}$ 方向に沿って垂直シフトレジスタ23が設けられている。垂直シフトレジスタ23及び水平シフトレジスタ21には、図示を省略したタイミング発生回路が接続されている。第1の実施形態に係る固体撮像素子では、画素アレイ部の下辺部に設けられたカラム並列折り返し積分/巡回型A/D変換器22に信号を読み出してA/D変換を行い、更にノイズキャンセルする。これにより、光電荷による信号レベルが抽出され、固定パターンノイズや、時間的ランダムノイズの一部(リセットノイズ)がキャンセルされた信号を求める。

20

30

【0058】

図11は、第1の実施形態に係る固体撮像装置による距離画像の撮像例を示している。図11(a)が、式(6)により、能動画素 X_{ij} 内での背景成分のキャンセル処理(3つの信号を利用)を用いた場合、図11(b)は能動画素 X_{ij} 内の背景成分のキャンセル処理は行わず、2つの連続したフレームを用いて、一方のフレームでは信号光を消灯し、背景成分だけを読み出し、フレーム間の信号の差分で背景成分をキャンセルした結果である。

40

図11は、壁の手前約50cmのところで、手を上下にゆっくりとふったときの距離画像であるが、図11(a)に示すように、能動画素 X_{ij} 内でのキャンセルを用いた場合には、正しく手の形が計測されているが、図11(b)に示すように、フレーム間差分を用いた場合は、壁の部分に大きな偽の距離画像が現れていることが分かる。このように、第1の実施形態に係る固体撮像装置の能動画素 X_{ij} 内での背景成分のキャンセル処理は、動

50

きのある対象物に対して、精度よく距離画像が計測できることが分かる。

【0059】

既に説明したとおり、第1の実施形態に係る固体撮像装置においては、第1の実施形態に係る3出力電荷変調素子の複数個を集積化して能動画素 X_{ij} として用いているので、従来のMOS構造を用いてゲート電極直下のポテンシャルを縦方向（半導体基板の表面に垂直方向）に制御する方式の単位画素で構成した場合に比し、各能動画素 X_{ij} が横方向（半導体基板の表面に平行で電荷転送方向に直交する方向）の静電誘導効果による電界制御を用いているので、各能動画素 X_{ij} を構成する12個の3出力電荷変調素子のそれぞれ内部において、電荷移動経路に沿った長い距離にわたって電界がほぼ一定になるようにして、信号電荷を高速に転送できる。

10

【0060】

更に、従来のMOS構造を用いてゲート電極直下のポテンシャルを縦方向に制御する方式の単位画素を用いた構造においては、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流があったが、第1の実施形態に係る固体撮像装置によれば、各能動画素 X_{ij} を構成する12個の3出力電荷変調素子のそれぞれが、横方向の静電誘導効果による電界制御を用いているので、各能動画素 X_{ij} を構成する12個の3出力電荷変調素子のそれぞれの内部において、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題や転送速度の低下の問題が回避でき、低雑音、高分解能で、応答速度の速い固体撮像装置を実現できる。

20

【0061】

又、第1の実施形態に係る固体撮像装置によれば、各能動画素 X_{ij} を構成する12個の3出力電荷変調素子のそれぞれのH型の電荷移動経路の3つの端部に位置する第1の電荷読み出し領域61、第2の電荷読み出し領域62及び第3の電荷読み出し領域63に対し、信号電荷を順次に、高速に転送することができるので、2次元TOF距離センサに限られず、極短時間に同じ現象が繰り返されるような物理現象の観測に応用して2次元画像を撮像することができる。例えば、第1の実施形態に係る固体撮像装置は、蛍光体の寿命を測定する素子として応用すれば、電荷転送方向の長い距離にわたって電界がほぼ一定になるようにして、信号電荷を高速に転送していることから、より精度の高い2次元画像を撮像できる。

30

【0062】

（第1の実施形態の変形例）

図12に示すように、本発明の第1の実施形態の変形例に係る3出力電荷変調素子は、図1～図4に示した構造と同様に、p型の半導体からなる活性領域形成層、活性領域形成層の上部の一部に設けられたn型の表面埋込領域35、及び表面埋込領域35の表面に接して設けられた、p型のピニング層34を含む画素形成領域(34, 35)と、画素形成領域(34, 35)上に設けられた絶縁膜と、画素形成領域(34, 35)の中央部を受光領域とし、受光領域を囲むように受光領域の中心位置に関して対称となる4つ位置のそれぞれに互いに離間して設けられた、活性領域形成層よりも高不純物密度でn型の第1の電荷蓄積領域61、第2の電荷蓄積領域62、第3の電荷蓄積領域63及び第4の電荷蓄積領域64と、受光領域を囲む位置において、絶縁膜上に受光領域の中心位置から第1の電荷蓄積領域61、第2の電荷蓄積領域62、第3の電荷蓄積領域63及び第4の電荷蓄積領域64のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)とを備える。

40

【0063】

図12の平面図から分かるように、第1の電荷蓄積領域61、第2の電荷蓄積領域62、第3の電荷蓄積領域63及び第4の電荷蓄積領域64の配置トポロジーは、受光領域の中心位置に関して2回回転対称である。

図12に対応する断面図の図示を省略しているが、第1の実施形態の変形例に係る3出

50

力電荷変調素子の断面構造は、図2(a)、図3(a)及び図4(a)の断面図に示した構造と同様に、p型の半導体からなる活性領域形成層と、活性領域形成層の上部の一部に設けられたn型の表面埋込領域35と、表面埋込領域35の表面に接して設けられたp型のピニング層34とを備えているので、実際には、第1の実施形態の変形例に係る3出力電荷変調素子の画素形成領域(34, 35)の断面構造は、活性領域形成層を含む3層構造であり、活性領域形成層の下のp基板を含めると4層構造であり、ピニング層34の上には絶縁膜が形成されている。

図12に示すように、本発明の第1の実施形態の変形例に係る3出力電荷変調素子は、受光領域を囲む周辺部に、活性領域形成層よりも高不純物密度でn型の電荷排出補助領域65a, 65b, 65c, 65dが、互いに離間して設けられている点が、図1に示した構造と異なる特徴である。

【0064】

第1の実施形態の変形例に係る3出力電荷変調素子は、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)に対し、図5に示したタイミング図と同様な、それぞれ互いに位相の異なる電界制御パルスを周期的に印加し、表面埋込領域35の空乏化電位を順次変化させることにより、電荷移動経路のいずれかに、電荷を輸送する方向に向かう電位勾配を順次形成して、表面埋込領域35中で発生した多数キャリアの移動先を第1の電荷蓄積領域61、第2の電荷蓄積領域62、第3の電荷蓄積領域63及び第4の電荷蓄積領域64のいずれかに順次設定するように制御する動作は、図1~図4等に示した第1の実施形態に係る3出力電荷変調素子と同様である。

【0065】

但し、図12に示すように受光領域を囲む周辺部に電荷排出補助領域65a, 65b, 65c, 65dを設けてあるので、電荷移動経路を設定する際に用いる電圧よりも更に高い電位レベルの電荷排出パルスを第1の電界制御電極対(41a, 41b)に印加することにより、第1の電荷排出補助領域65a及び第4の電荷排出補助領域65dに、背景光等に起因した暗電流成分となる電荷を排出することができる。

【0066】

図2(c)に示したのと同様に、一对の第1の電界制御電極41a, 41bに、第1電位レベルLの電圧を加えたときは、波線で示すように荷電子帯の上端部(頂上)のポテンシャル分布の正孔(ホール)に対する電位井戸が深くなりピニング層に正孔(ホール)がたまるが、一对の第1の電界制御電極41a, 41bに第2電位レベルHの電圧を与えたとき、実線で示すように正孔(ホール)に対する電位井戸が浅くなり、正孔(ホール)が空乏化する。図示を省略しているが、更に大きな第3電位レベルVの電圧を与えたときは、正孔(ホール)に対する電位井戸が更に浅くなる。一方、図2(b)に示したのと同様に、一对の第1の電界制御電極41a, 41bが第1電位レベルLの電圧又は第2電位レベルHの電圧のときには、伝導帯の下端部(底部)のポテンシャル分布の横方向のバリアは形成されたままで中央の空乏化電位が変化し、第3電位レベルVの電圧を加えたときには、そのバリアがなくなって、第1の電荷排出補助領域65a及び第4の電荷排出補助領域65dに電荷が排出される。

【0067】

同様に、第3電位レベルVの電荷排出パルスを第2の電界制御電極対(42a, 42b)に印加することにより、第1の電荷排出補助領域65a及び第2の電荷排出補助領域65bに暗電流成分となる電荷を排出することができ、第3電位レベルVの電荷排出パルスを第3の電界制御電極対(43a, 43b)に印加することにより、第2の電荷排出補助領域65b及び第3の電荷排出補助領域65cに暗電流成分となる電荷を排出することができ、第3電位レベルVの電荷排出パルスを第4の電界制御電極対(44a, 44b)に印加することにより、第3の電荷排出補助領域65c及び第4の電荷排出補助領域65dに暗電流成分となる電荷を排出することができる。例えば、電荷移動経路を設定する際に用いる第1電位レベルLの電圧を-1V, 第2電位レベルHの電圧を1.8Vとした場合

に、電荷排出パルスとしての第3電位レベルVの電圧を3.5V程度に設定すればよい。

【0068】

他の動作、則ち、電荷移動経路を横断する方向に静電誘導効果で電界制御を行う4つのゲートである第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)、第3の電界制御電極対(43a, 43b)、第4の電界制御電極対(44a, 44b)によって、受光領域で発生した光電子を、H型を構成する電荷移動経路に沿って、H字の中棒に沿った左右の方向、H字の両側の棒に沿った上下の方向に電界制御により高速に移動させて、電荷変調を行う特徴については、図1~図4等に示した第1の実施形態に係る3出力電荷変調素子と同様である。

【0069】

先ず、図12の中央に符号51を付した二点鎖線で示した受光領域で発生した電子を、H字の中棒に沿って、図12の左方向に移動させ、更に第2の電界制御電極対(42a, 42b)の間を通過する電荷移動経路に移動させる場合は、第1の電界制御電極対(41a, 41b)、第3の電界制御電極対(43a, 43b)及び第4の電界制御電極対(44a, 44b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 、第3電界制御パルス G_3 及び第4電界制御パルス G_D をそれぞれ与え、第2の電界制御電極対(42a, 42b)に第2電位レベル $H = 1.8V$ の第2電界制御パルス G_2 を与えれば、図12の断面XIV-XIV方向(X座標方向)に沿って、図14に破線で示したような左下がりの電位勾配が形成される。図14に破線で示した電位勾配に対応する、画素形成領域(34, 35)の上方から見たX-Y面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を図15に示す。

【0070】

一方、受光領域で発生した電子を、H字の中棒に沿って、図12の右方向に移動させ、更に第4の電界制御電極対(44a, 44b)の間を通過する電荷移動経路に移動させる場合は、第1の電界制御電極対(41a, 41b)、第2の電界制御電極対(42a, 42b)及び第3の電界制御電極対(43a, 43b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 、第2電界制御パルス G_2 及び第3電界制御パルス G_3 をそれぞれ与え、第4の電界制御電極対(44a, 44b)に第2電位レベル $H = 1.8V$ の第4電界制御パルス G_D を与えれば、図12の断面XIV-XIV方向に沿って、図14に実線で示したような右下がりの電位勾配が形成される。図14に実線で示した電位勾配に対応する、画素形成領域(34, 35)の上方から見たX-Y面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を図15に示す。

【0071】

なお、図12の第1の電界制御電極対(41a, 41b)及び第4の電界制御電極対(44a, 44b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 及び第4電界制御パルス G_D をそれぞれ与え、第2の電界制御電極対(42a, 42b)又は第3の電界制御電極対(43a, 43b)に第2電位レベル $H = 1.8V$ の第2電界制御パルス G_2 又は第3電界制御パルス G_3 を与えた場合において、図12の断面XIII-XIII方向(Y座標方向)に沿った電位勾配は、図13に破線で示したような右下がりのプロファイルになる。一方、図12の第2の電界制御電極対(42a, 42b)及び第3の電界制御電極対(43a, 43b)に第1電位レベル $L = -1V$ の第2電界制御パルス G_2 及び第3電界制御パルス G_3 をそれぞれ与え、第1の電界制御電極対(41a, 41b)又は第4の電界制御電極対(44a, 44b)に第2電位レベル $H = 1.8V$ の第1電界制御パルス G_1 又は第4電界制御パルス G_D を与えた場合において、図12の断面XIII-XIII方向に沿った電位勾配は、図13に実線で示したような左下がりのプロファイルになる。

【0072】

(第2の実施形態)

図17に示すように、本発明の第2の実施形態に係る3出力電荷変調素子は、図1~図4に示した構造と同様に、p型の半導体からなる活性領域形成層、活性領域形成層の一部に設けられたn型の表面埋込領域35、及び表面埋込領域35の表面に接して設け

10

20

30

40

50

られた、p型のピニング層34を含む画素形成領域(34, 35)と、画素形成領域(34, 35)上に設けられた絶縁膜と、画素形成領域(34, 35)の中央部を受光領域とし、受光領域を囲むように受光領域の中心位置に関して対称となる4つ位置のそれぞれに互いに離間して設けられた、活性領域形成層よりも高不純物密度でn型の第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84と、受光領域を囲む位置において、絶縁膜上に受光領域の中心位置から第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)とを備える。

10

【0073】

図17の平面図から分かるように、第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84の配置トポロジーは、受光領域の中心位置に関して4回回転対称である。図17に示すように、本発明の第2の実施形態に係る3出力電荷変調素子は、更に、受光領域を囲む周辺部に、活性領域形成層よりも高不純物密度でn型の電荷排出補助領域85a, 85b, 85c, 85dが、互いに離間して設けられている。

図17に対応する断面図の図示を省略しているが、第2の実施形態に係る3出力電荷変調素子の断面構造は、図2(a)、図3(a)及び図4(a)の断面図に示した構造と同様に、p型の半導体からなる活性領域形成層と、活性領域形成層の上部の一部に設けられたn型の表面埋込領域35と、表面埋込領域35の表面に接して設けられたp型のピニング層34とを備えているので、実際には、第2の実施形態に係る3出力電荷変調素子の画素形成領域(34, 35)の断面構造は、活性領域形成層を含む3層構造であり、活性領域形成層の下にp基板を含めると4層構造である。そして、ピニング層34の上に絶縁膜が形成されている。

20

【0074】

第2の実施形態に係る3出力電荷変調素子は、第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)に対し、図5に示したタイミング図と同様な、それぞれ互いに位相の異なる電界制御パルスを周期的に印加し、表面埋込領域35の空乏化電位を順次変化させることにより、電荷移動経路のいずれかに、電荷を輸送する方向に向かう電位勾配を順次形成して、表面埋込領域35中で発生した多数キャリアの移動先を第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84のいずれかに順次設定するように制御する。又、図17に示すように周辺部に電荷排出補助領域85a, 85b, 85c, 85dを設けてあるので、電荷移動経路を設定する際に用いる電圧よりも更に高い電位レベルの電荷排出パルスを第1の電界制御電極対(91a, 91b)に印加することにより、第1の電荷排出補助領域85a及び第4の電荷排出補助領域85dに、背景光等に起因した暗電流成分となる電荷を排出することができる。

30

【0075】

一对の第1の電界制御電極91a, 91bに、第1電位レベルLの電圧を加えたときは、図2(c)の破線で示したのと同様に、荷電子帯の上端部(頂上)のポテンシャル分布の正孔(ホール)に対する電位井戸が深くなりピニング層に正孔(ホール)がたまる。一对の第1の電界制御電極91a, 91bに第2電位レベルHの電圧を与えたときは、図2(c)の実線で示したのと同様に、正孔(ホール)に対する電位井戸が浅くなり、正孔(ホール)が空乏化する。図示を省略しているが、更に大きな第3電位レベルVの電圧を与えたときは、正孔(ホール)に対する電位井戸が更に浅くなる。一方、図2(b)に示したのと同様に、一对の第1の電界制御電極91a, 91bが第1電位レベルLの電圧又は第2電位レベルHの電圧のときには、伝導帯の下端部(底部)のポテンシャル分布の横方向のバリアは形成されたままで中央の空乏化電位が変化し、第3電位レベルVの電圧を加

40

50

えたときには、そのバリアがなくなって、第1の電荷排出補助領域85a及び第4の電荷排出補助領域85dに電荷が排出される。

【0076】

同様に、第3電位レベルVの電荷排出パルス第2の電界制御電極対(92a, 92b)に印加することにより、第1の電荷排出補助領域85a及び第2の電荷排出補助領域85bに暗電流成分となる電荷を排出することができ、第3電位レベルVの電荷排出パルスを第3の電界制御電極対(93a, 93b)に印加することにより、第4の電荷排出補助領域85d及び第3の電荷排出補助領域85cに暗電流成分となる電荷を排出することができ、第3電位レベルVの電荷排出パルスを第4の電界制御電極対(94a, 94b)に印加することにより、第3の電荷排出補助領域85c及び第2の電荷排出補助領域85bに暗電流成分となる電荷を排出することができる。例えば、電荷移動経路を設定する際に用いる第1電位レベルLの電圧を-1V, 第2電位レベルHの電圧を1.3Vとした場合に、電荷排出パルスとしての第3電位レベルVの電圧を3V程度に設定すればよい。

10

【0077】

第2の実施形態に係る3出力電荷変調素子では、受光領域の中心で互いにクロスするX型を構成するように電荷移動経路が設定される。それぞれの電荷移動経路を横断する方向に、静電誘導効果で電界制御を行う4つのゲートである第1の電界制御電極対(91a, 91b), 第2の電界制御電極対(92a, 92b), 第3の電界制御電極対(93a, 93b), 第4の電界制御電極対(94a, 94b)によって、受光領域で発生した光電子を、X型を構成する電荷移動経路に沿って、X字の4つの方向に電界制御により高速に移動させて、電荷変調を行うことができる。

20

【0078】

第2の実施形態に係る3出力電荷変調素子において、図17の中央に符号51を付した二点鎖線で示した受光領域で発生した電子を、X字をなす電荷移動経路に沿って、図17の左上方向に移動させ、第1の電界制御電極対(91a, 91b)の間を通過させる場合は、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)に第1電位レベルL=-1Vの第2電界制御パルス G_1 , 第3電界制御パルス G_3 及び第4電界制御パルス G_D をそれぞれ与え、第1の電界制御電極対(91a, 91b)に第2電位レベルH=1.3Vの第1電界制御パルス G_1 を与えれば、図17の断面XVII-XVII方向(左上がりの対角方向)に沿って、図19に破線で示したような左下がりの電位勾配が形成される。図19に破線で示した電位勾配に対応する、画素形成領域(34, 35)の上方から見たX-Y面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を図20に示す。

30

【0079】

一方、受光領域で発生した電子を、X字をなす電荷移動経路に沿って、図17の右下方向に移動させ、第4の電界制御電極対(94a, 94b)の間を通過させる場合は、第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)及び第3の電界制御電極対(93a, 93b)に第1電位レベルL=-1Vの第1電界制御パルス G_1 , 第2電界制御パルス G_2 及び第3電界制御パルス G_3 をそれぞれ与え、第4の電界制御電極対(94a, 94b)に第2電位レベルH=1.3Vの第4電界制御パルス G_D を与えれば、図17の断面XVII-XVII方向に沿って、図19に実線で示したような右下がりの電位勾配が形成される。図19に実線で示した電位勾配に対応する、画素形成領域(34, 35)の上方から見たX-Y面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を図21に示す。

40

【0080】

なお、図17の第1の電界制御電極対(91a, 91b)又は第4の電界制御電極対(94a, 94b)に第2電位レベルH=1.3Vの第1電界制御パルス G_1 又は第4電界制御パルス G_D をそれぞれ与え、第2の電界制御電極対(92a, 92b)及び第3の電界制御電極対(93a, 93b)に第1電位レベルL=-1Vの第2電界制御パルス G_2 及び第3電界制御パルス G_3 をそれぞれ与えた場合において、図17の断面XIII-XIII方

50

向（右上がり対角方向）に沿った電位勾配は、図 1 8 に示したような中央に浅い凹部を有する二瘤のプロファイルになる。

【 0 0 8 1 】

以上のように、第 2 の実施形態に係る 3 出力電荷変調素子によれば、従来の MOS 構造を用いてゲート電極直下のポテンシャルを縦方向（垂直方向）に制御する場合に比し、横方向（電荷移動経路の方向に直交する）の静電誘導効果による電界制御を用いているので、電荷移動経路の長い距離にわたって電界がほぼ一定になるようにして、信号電荷が対称性を維持しながら高速に輸送される。特に図 1 5 及び図 1 6 に示す H 型の電荷移動経路の等電位線プロファイルに比して、図 2 0 及び図 2 1 に示す X 型の電荷移動経路の等電位線プロファイルの方が、4 つの電荷蓄積領域（第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3 及び第 4 の電荷蓄積領域 8 4）に向かう電荷移動経路の対称性が優れている。則ち、第 2 の実施形態に係る 3 出力電荷変調素子を TOF 距離センサに応用すると、H 型の電荷移動経路の場合に比してより正確な距離測定が可能となる。更に、電荷移動経路の対称性が優れている結果製造工程におけるマスク合わせのずれの影響も受けにくくなる。又、従来の埋め込みフォトダイオードを用いた CMOS 型 TOF 距離画像センサに比しても、当然ながら、電荷移動経路のトポロジーを対称性の高い X 型にして、しかも、電荷移動経路の長さを長くとることができ、更に実質的な受光領域の面積が大きくなるので、高感度化が図れる。

10

【 0 0 8 2 】

又、第 1 の実施形態に係る 3 出力電荷変調素子の特徴として述べたのと同様に、従来の MOS 構造を用いてゲート電極直下のポテンシャルを縦方向に制御する構造においては、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流があったが、第 2 の実施形態に係る 3 出力電荷変調素子によれば、横方向の静電誘導効果による電界制御を用いているので、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題や輸送速度の低下の問題が回避できる。

20

【 0 0 8 3 】

又、第 2 の実施形態に係る 3 出力電荷変調素子によれば、X 型の電荷移動経路の 3 つの端部に位置する第 1 の電荷読み出し領域 6 1、第 2 の電荷読み出し領域 6 2 及び第 3 の電荷読み出し領域 6 3 に対し、信号電荷を順次、高速に振り分けて輸送し、X 型の電荷移動経路の 4 番目の端部に位置する電荷排出領域 6 4 に、背景光に依拠した暗電流の成分となる電荷を排出することができるので、TOF 距離センサに限られず、極短時間に同じ現象が繰り返されるような物理現象の観測に応用することができる。例えば、第 2 の実施形態に係る 3 出力電荷変調素子は、蛍光体の寿命を測定する素子として応用すれば、電荷移動経路の方向の長い距離にわたって電界がほぼ一定になるようにして、信号電荷を高速に輸送していることから、より精度の高い測定が実現できる。

30

【 0 0 8 4 】

（第 3 の実施形態）

図 2 2、図 2 3 (a) 及び図 2 5 (a) に示すように、本発明の第 3 の実施形態に係る 4 出力電荷変調素子は、p 型の半導体からなる活性領域形成層 3 2、活性領域形成層 3 2 の上部の一部に設けられた n 型の表面埋込領域 3 5 及び表面埋込領域 3 5 の表面に接して設けられた、p 型のピニング層 3 4 を含む画素形成領域 (3 2 , 3 4 , 3 5) と、画素形成領域 (3 2 , 3 4 , 3 5) 上に設けられた絶縁膜 1 1 と、画素形成領域 (3 2 , 3 4 , 3 5) の中央部を受光領域とし、受光領域を囲むように受光領域の中心位置に関して対称となる 4 つ位置のそれぞれに互いに離間して設けられた、活性領域形成層 3 2 よりも高不純物密度で n 型の第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3 及び第 4 の電荷蓄積領域 8 4 と、受光領域を囲む位置において、絶縁膜 1 1 上に受光領域の中心位置から第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3 及び第 4 の電荷蓄積領域 8 4 のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第 1 の電界制御電極対 (9 1 a , 9 1 b)、第 2 の電界制御電極

40

50

対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)とを備える。図22の平面図から分かるように、4出力端子として機能する第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84の配置トポロジーは、受光領域の中心位置に関して4回回転対称である。

【0085】

第3の実施形態に係る4出力電荷変調素子の断面構造は、図23(a)及び図25(a)の断面図に示したように、p型の半導体からなる活性領域形成層32と、活性領域形成層32の上部の一部に設けられたn型の表面埋込領域35と、表面埋込領域35の表面に接して設けられたp型のピニング層34とを備えているので、実際には、第3の実施形態に係る4出力電荷変調素子の画素形成領域(32, 34, 35)の断面構造は、活性領域形成層32を含む3層構造であり、活性領域形成層32の下のp型の半導体基板31を含めると4層構造である。そして、ピニング層34の上に絶縁膜11が形成されている。

10

【0086】

図22に示すように、本発明の第3の実施形態に係る4出力電荷変調素子は、更に、受光領域を囲む周辺部に、活性領域形成層32よりも高不純物密度でn型の第1の電荷排出補助領域85a、第2の電荷排出補助領域85b、第3の電荷排出補助領域85c、第4の電荷排出補助領域85dが、互いに離間して設けられている。第1の電界制御電極91bと第2の電界制御電極92aの間には、T字型に凸形状をなす第1の電荷排出補助領域85aの凸部が挿入され、凸部の先端は図23(a)に示すように、p型の活性領域形成層32を介してn型の表面埋込領域35に対向している。又、第2の電界制御電極92bと第4の電界制御電極95aの間には、T字型に凸形状をなす第2の電荷排出補助領域85bの凸部が挿入され、凸部の先端は活性領域形成層32を介して表面埋込領域35に対向している。更に、第4の電界制御電極95bと第3の電界制御電極93aの間には、T字型に凸形状をなす第3の電荷排出補助領域85cの凸部が挿入され、凸部の先端は図23(a)に示すように、p型の活性領域形成層32を介してn型の表面埋込領域35に対向している。第3の電界制御電極93bと第1の電界制御電極91aの間には、T字型に凸形状をなす第4の電荷排出補助領域85dの凸部が挿入され、凸部の先端は、活性領域形成層32を介して表面埋込領域35に対向している。

20

【0087】

更に、第1の電界制御電極91bと第2の電界制御電極92aの間には、背景光により受光領域に発生した暗電流による電荷をp型の活性領域形成層32をチャネル領域として、MOS構造によってチャネル領域の電位を制御して、表面埋込領域35から第1の電荷排出補助領域85aに転送する第1電荷転送ゲート電極96aが設けられている。更に、第2の電界制御電極92bと第4の電界制御電極95aの間には、受光領域に発生した暗電流による電荷を表面埋込領域35から第2の電荷排出補助領域85bに転送する第2電荷転送ゲート電極96bが設けられ、第4の電界制御電極95bと第3の電界制御電極93aの間には、暗電流による電荷を第3の電荷排出補助領域85cに転送する第3電荷転送ゲート電極96cが設けられ、第3の電界制御電極93bと第1の電界制御電極91aの間には、暗電流による電荷を第4の電荷排出補助領域85dに転送する第4電荷転送ゲート電極96dが設けられている。

30

40

【0088】

第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84のいずれかにX型をなす4方向に向かう電荷移動経路のいずれかに沿って、電荷を輸送する際には、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに第1電位レベル L_D の電圧の電荷排出制御パルス G_D を印加して、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれの直下のp型の活性領域形成層32の表面に、図23(b)の実線で示すような電位障壁を形成しておく。

50

【 0 0 8 9 】

具体的に、第1の電界制御電極対(91a, 91b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 、第3電界制御パルス G_3 及び第4電界制御パルス G_D をそれぞれ与え、第2の電界制御電極対(92a, 92b)に第2電位レベル $H = 1.8V$ の第2電界制御パルス G_2 を与え、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第1電位レベル $L_D = 1V$ の電荷排出制御パルス G_D を印加した場合は、図23(b)の実線は、図24の破線で示したような中央に浅い凹部を有する右下がりの二瘤のプロファイルになる。一方、第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)及び第4の電界制御電極対(94a, 94b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 、第2電界制御パルス G_2 及び第4電界制御パルス G_4 をそれぞれ与え、第3の電界制御電極対(93a, 93b)に第2電位レベル $H = 1.8V$ の第3電界制御パルス G_3 を与え、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第1電位レベル $L_D = 1V$ の電荷排出制御パルス G_D を印加した場合は、図23(b)の実線は、図24の実線で示したような中央に浅い凹部を有する左下がりの二瘤のプロファイルになる。

10

【 0 0 9 0 】

第3の実施形態に係る4出力電荷変調素子は、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれの直下に電位障壁を形成した状態で、第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)に対し、図31に示したタイミング図に示すような、それぞれ互いに位相の異なる4つの電界制御パルスを周期的に印加する。位相の異なる電界制御パルスが印加されると、表面埋込領域35の空乏化電位がX型の電荷移動経路に沿って順次変化するので、X型をなす4方向に向かう電荷移動経路のいずれかに電荷を輸送可能な電位勾配を順次形成する。電位勾配が4方向に向かう電荷移動経路のいずれかに順次形成されることにより、表面埋込領域35中で発生した多数キャリアの移動先を第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84のいずれかに順次設定される。

20

30

【 0 0 9 1 】

一方、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに第2電位レベル H_D の電圧の電荷排出制御パルス G_D を印加した場合は、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれの直下の電位障壁の高さが、図23(b)の破線に示すように低減する。具体的には、第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 、第2電界制御パルス G_2 、第3電界制御パルス G_3 及び第4電界制御パルス G_4 をそれぞれ与え、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第2電位レベル $H_D = 3.3V$ の電荷排出制御パルス G_D を印加した場合は、図23(b)の破線は図24の2点鎖線で示したようなプロファイルになる。図24の2点鎖線で示した電位勾配に対応する、画素形成領域(32, 34, 35)の上方から見たX-Y面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を図28に、第1の電荷排出補助領域85aに至る電荷移動経路のみに着目して示す。第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第2電位レベル $H_D = 3.3V$ の電荷排出制御パルス G_D を同時に印加すれば

40

50

、第2の電荷排出補助領域85b、第3の電荷排出補助領域85c、第4の電荷排出補助領域85dのそれぞれに至る電荷移動経路も同時に実現されることは勿論である。

【0092】

電位障壁の高さが図23(b)の破線に示したように低減すると、表面埋込領域35から、第1の電荷排出補助領域85a、第2の電荷排出補助領域85b、第3の電荷排出補助領域85c、第4の電荷排出補助領域85dのそれぞれに、背景光等に起因した暗電流成分となる電荷を排出することができる。

【0093】

第3の実施形態に係る4出力電荷変調素子では、受光領域の中心で互いにクロスするX型を構成するように電荷移動経路が設定される。それぞれの電荷移動経路を横断する方向に、静電誘導効果で電界制御を行う4つのゲートである第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)、第4の電界制御電極対(94a, 94b)によって、受光領域で発生した光電子を、X型を構成する電荷移動経路に沿って、X字の4つの方向に電界制御により高速に移動させて、電荷変調を行うことができる。

【0094】

第3の実施形態に係る4出力電荷変調素子において、図22の中央に符号51を付した二点鎖線で示した受光領域で発生した電子を、X字をなす電荷移動経路に沿って、図22の左上方向に移動させ、第1の電界制御電極対(91a, 91b)の間を通過させる場合は、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第1電位レベル $L_D = 1$ Vの電荷排出制御パルス G_D を印加した状態で、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)に第1電位レベル $L = -1$ Vの第2電界制御パルス G_2 、第3電界制御パルス G_3 及び第4電界制御パルス G_4 をそれぞれ与え、第1の電界制御電極対(91a, 91b)に第2電位レベル $H = 1.8$ Vの第1電界制御パルス G_1 を与えれば、図22の断面XXVII-XXVII方向(左上がりの対角方向)に沿って、図27に破線で示したような左下がりの電位勾配が形成される。この条件における図22の断面XXV-XXV方向(右上がり対角方向)に沿った電位勾配は、図26に示したような中央に浅い凹部を有する二瘤のプロファイルになる。図27に破線で示した電位勾配に対応する、画素形成領域(32, 34, 35)の上方から見たX-Y面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を図28に示す。

【0095】

一方、受光領域で発生した電子を、X字をなす電荷移動経路に沿って、図22の右下方向に移動させ、第4の電界制御電極対(94a, 94b)の間を通過させる場合は、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第1電位レベル $L_D = 1$ Vの電荷排出制御パルス G_D を印加した状態で、第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)及び第3の電界制御電極対(93a, 93b)に第1電位レベル $L = -1$ Vの第1電界制御パルス G_1 、第2電界制御パルス G_2 及び第3電界制御パルス G_3 をそれぞれ与え、第4の電界制御電極対(94a, 94b)に第2電位レベル $H = 1.8$ Vの第4電界制御パルス G_D を与えれば、図22の断面XXVII-XXVII方向に沿って、図27に実線で示したような右下がりの電位勾配が形成される。この条件における図22の断面XXV-XXV方向(右上がり対角方向)に沿った電位勾配は、図26に示したような中央に浅い凹部を有する二瘤のプロファイルになる。図27に実線で示した電位勾配に対応する、画素形成領域(32, 34, 35)の上方から見たX-Y面内の等電位線と、この等電位線の電位分布によって設定される電子の電荷移動経路を図29に示す。図27~図29等から、第2の電荷蓄積領域82、第3の電荷蓄積領域83、第4の電荷蓄積領域84の方向にポテンシャルバリアを形成しながら、第1の電荷蓄積領域81の方向に電子を輸送するX-Y面内の電位分布、或いは、第1の電荷蓄積領域81、第2の電荷

10

20

30

40

50

蓄積領域 8 2、第 3 の電荷蓄積領域 8 3 の方向にポテンシャルバリアを形成しながら、第 4 の電荷蓄積領域 8 4 の方向に電子を輸送する X - Y 面内の電位分布が第 1 電界制御パルス G_1 、第 2 電界制御パルス G_2 、第 3 電界制御パルス G_3 、第 4 電界制御パルス G_4 の電圧を变化することによって形成できていることが分かる。

【 0 0 9 6 】

同様に、第 3 の実施形態に係る 4 出力電荷変調素子において、図 2 2 の中央に符号 5 1 を付した二点鎖線で示した受光領域で発生した電子を、X 字をなす電荷移動経路に沿って、図 2 2 の右上方向に移動させ、第 3 の電界制御電極対 (9 3 a , 9 3 b) の間を通過させる場合は、第 1 電荷転送ゲート電極 9 6 a、第 2 電荷転送ゲート電極 9 6 b、第 3 電荷転送ゲート電極 9 6 c 及び第 4 電荷転送ゲート電極 9 6 d のそれぞれに、第 1 電位レベル $L_D = 1 \text{ V}$ の電荷排出制御パルス G_D を印加した状態で、第 1 の電界制御電極対 (9 1 a , 9 1 b)、第 2 の電界制御電極対 (9 2 a , 9 2 b) 及び第 4 の電界制御電極対 (9 4 a , 9 4 b) に第 1 電位レベル $L = - 1 \text{ V}$ の第 1 電界制御パルス G_1 、第 2 電界制御パルス G_2 及び第 4 電界制御パルス G_4 をそれぞれ与え、第 3 の電界制御電極対 (9 3 a , 9 3 b) に第 2 電位レベル $H = 1 . 8 \text{ V}$ の第 3 電界制御パルス G_3 を与えれば、図 2 2 の断面 XXV - XXV 方向 (右上がりの対角方向) に沿って、図 2 5 に破線で示したような右下がりの電位勾配が形成される。

【 0 0 9 7 】

更に、受光領域で発生した電子を、X 字をなす電荷移動経路に沿って、図 2 2 の左下方向に移動させ、第 2 の電界制御電極対 (9 2 a , 9 2 b) の間を通過させる場合は、第 1 電荷転送ゲート電極 9 6 a、第 2 電荷転送ゲート電極 9 6 b、第 3 電荷転送ゲート電極 9 6 c 及び第 4 電荷転送ゲート電極 9 6 d のそれぞれに、第 1 電位レベル $L_D = 1 \text{ V}$ の電荷排出制御パルス G_D を印加した状態で、第 1 の電界制御電極対 (9 1 a , 9 1 b)、第 3 の電界制御電極対 (9 3 a , 9 3 b) 及び第 4 の電界制御電極対 (9 4 a , 9 4 b) に第 1 電位レベル $L = - 1 \text{ V}$ の第 1 電界制御パルス G_1 、第 3 電界制御パルス G_3 及び第 4 電界制御パルス G_4 をそれぞれ与え、第 2 の電界制御電極対 (9 2 a , 9 2 b) に第 2 電位レベル $H = 1 . 8 \text{ V}$ の第 2 電界制御パルス G_2 を与えれば、図 2 7 に実線で示したような左下がりの電位勾配が形成される。

【 0 0 9 8 】

図 3 1 に、第 3 の実施形態に係る 4 出力電荷変調素子の動作タイミングを示す。光パルスを受けて、変調された電荷を蓄積する積分期間では、第 1 電界制御パルス G_1 、第 2 電界制御パルス G_2 、第 3 電界制御パルス G_3 、第 4 電界制御パルス G_4 、電荷排出制御パルスからなる 5 つのゲート信号を図 3 1 に示すように周期的に与えて動作させる。第 1 電界制御パルス G_1 が第 2 電位レベル H 、第 2 電界制御パルス G_2 が第 1 電位レベル L 、第 3 電界制御パルス G_3 が第 1 電位レベル L 、第 4 電界制御パルス G_4 が第 1 電位レベル L 、電荷排出制御パルス G_D が第 1 電位レベル L_D の期間では、受光領域で生成された信号電荷は、図 2 2 に示した第 1 の電荷蓄積領域 8 1 に転送される。第 2 電界制御パルス G_2 が第 2 電位レベル H 、第 1 電界制御パルス G_1 が第 1 電位レベル L 、第 3 電界制御パルス G_3 が第 1 電位レベル L 、第 4 電界制御パルス G_4 が第 1 電位レベル L 、電荷排出制御パルス G_D が第 1 電位レベル L_D の期間では、受光領域で生成された信号電荷は、第 2 の電荷蓄積領域 8 2 に転送される。第 3 電界制御パルス G_3 が第 2 電位レベル H 、第 1 電界制御パルス G_1 が第 1 電位レベル L 、第 3 電界制御パルス G_3 が第 1 電位レベル L 、第 4 電界制御パルス G_4 が第 1 電位レベル L 、電荷排出制御パルス G_D が第 1 電位レベル L_D の期間では、受光領域で生成された信号電荷は、第 3 の電荷蓄積領域 8 3 に転送される。第 4 電界制御パルス G_4 が第 2 電位レベル H 、第 1 電界制御パルス G_1 が第 1 電位レベル L 、第 2 電界制御パルス G_2 が第 1 電位レベル L 、第 3 電界制御パルス G_3 が第 1 電位レベル L 、電荷排出制御パルス G_D が第 1 電位レベル L_D の期間では、受光領域で生成された信号電荷は、第 4 の電荷蓄積領域 8 4 端子に転送される。

【 0 0 9 9 】

一方、電荷排出制御パルス G_D が第 2 電位レベル H_D 、第 1 電界制御パルス G_1 が第 1 電

位レベル L、第 2 電界制御パルス G_2 が第 1 電位レベル L、第 3 電界制御パルス G_3 が第 1 電位レベル L、第 4 電界制御パルス G_4 が第 1 電位レベル L の期間では、受光領域で生成された信号電荷は、第 1 の電荷排出補助領域 8 5 a、第 2 の電荷排出補助領域 8 5 b、第 3 の電荷排出補助領域 8 5 c 及び第 4 の電荷排出補助領域 8 5 d に排出される。

このとき、光パルスが図 3 1 の第 1 の到来光のタイミングで到来すると、第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3 にそれぞれ蓄積される電荷 Q_1 、 Q_2 、 Q_3 は、式 (5)、(3)、(4) のようになる。又、第 4 の電荷蓄積領域 8 4 に蓄積される電荷 Q_4 は以下となる：

$$Q_4 = I_a T_0 \dots\dots\dots (15) \tag{10}$$

光の飛行時間は式 (6) で求められる。

【 0 1 0 0 】

もし、光パルスが図 3 1 の第 2 の到来光のタイミングで到来すると、このときの光飛行時間 (遅延時間) を T_{d2} とすると、このときに第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3、第 4 の電荷蓄積領域 8 4 にそれぞれ蓄積される電荷 Q_1 、 Q_2 、 Q_3 、 Q_4 は、以下のようになる：

$$\begin{aligned} Q_1 &= I_a T_0 \dots\dots\dots (16) \\ Q_2 &= I_a T_0 \dots\dots\dots (17) \\ Q_3 &= I_{ph} (2 T_0 - T_{d2}) + I_a T_0 \dots\dots\dots (18) \\ Q_4 &= I_{ph} (2 T_{d2} - T_0) + I_a T_0 \dots\dots\dots (19) \end{aligned} \tag{20}$$

で表される。これらを用いて、 T_{d2} は、次式のように求めることができる：

$$T_{d2} = T_0 + T_0 (Q_4 - Q_1) / (Q_4 + Q_3 - 2 Q_1) \dots\dots\dots (20)$$

【 0 1 0 1 】

このように、第 3 の実施形態に係る 4 出力電荷変調素子を用いると、 T_0 のパルス幅を用いて T_0 の 2 倍の光飛行時間のレンジで距離測定を行うことができる。

光パルスの飛行時間が T_0 より大きい場合は、 Q_2 と Q_4 を比較することで分かる。則ち、光パルスの飛行時間は、 $Q_2 > Q_4$ ならば、式 (6) を、 $Q_2 < Q_4$ ならば、式 (2 0) を使って計算する。

【 0 1 0 2 】

図 3 2 は、第 3 の実施形態に係る 4 出力電荷変調素子を用いて、光パルス幅 T_0 の 3 倍の遅延時間に対応する距離を図る場合の動作タイミングを示す。この場合、光パルス幅 T_0 と第 1 電界制御パルス G_1 、第 2 電界制御パルス G_2 、第 3 電界制御パルス G_3 、第 4 電界制御パルス G_4 のパルス幅は同じとする。出力光パルスに対して、受信した到来光パルスの遅延時間 (光飛行時間) が、図 3 2 の T_{d1} の場合 (第 1 の到来光) には、 Q_1 、 Q_2 、 Q_3 、 Q_4 は、以下のようになる：

$$\begin{aligned} Q_1 &= I_{ph} (T_0 - T_{d2}) + I_a T_0 \dots\dots\dots (21) \\ Q_2 &= I_{ph} T_{d1} + I_a T_0 \dots\dots\dots (22) \\ Q_3 &= I_a T_0 \dots\dots\dots (23) \\ Q_4 &= I_a T_0 \dots\dots\dots (24) \end{aligned}$$

これらより、 T_{d1} は次式で求めることができる：

$$T_{d1} = T_0 (Q_2 - Q_4) / (Q_1 + Q_2 - 2 Q_4) \dots\dots\dots (25)$$

10

20

30

40

50

【 0 1 0 3 】

出力光パルスに対して、受信した到来光パルスの遅延時間（光飛行時間）が、図 3 2 の T_{d2} の場（第 2 の到来光）には、第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3、第 4 の電荷蓄積領域 8 4 に蓄積される電荷、 Q_1 、 Q_2 、 Q_3 、 Q_4 は以下のようになる：

$$\begin{aligned}
 Q_1 &= I_a T_0 && \dots\dots\dots (26) \\
 Q_2 &= I_{ph} (2 T_0 - T_{d2}) + I_a T_0 && \dots\dots\dots (27) \\
 Q_3 &= I_{ph} (T_{d2} - T_0) + I_a T_0 && \dots\dots\dots (28) \\
 Q_4 &= I_a T_0 && \dots\dots\dots (29)
 \end{aligned}$$

10

これらより、 T_{d2} は次式で求めることができる：

$$T_{d2} = T_0 + T_0 (Q_3 - Q_1) / (Q_2 + Q_3 - 2 Q_1) \dots (30)$$

【 0 1 0 4 】

出力光パルスに対して、受信した到来光パルスの遅延時間（光飛行時間）が、図 3 2 の T_{d3} の場合（第 3 の到来光）には、第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3、第 4 の電荷蓄積領域 8 4 に蓄積される電荷 Q_1 、 Q_2 、 Q_3 、 Q_4 は以下のようになる：

20

$$\begin{aligned}
 Q_1 &= I_a T_0 && \dots\dots\dots (31) \\
 Q_2 &= I_a T_0 && \dots\dots\dots (32) \\
 Q_3 &= I_{ph} (3 T_0 - T_{d3}) + I_a T_0 && \dots\dots\dots (33) \\
 Q_4 &= I_{ph} (T_{d3} - 2 T_0) + I_a T_0 && \dots\dots\dots (34)
 \end{aligned}$$

これらより、 T_{d3} は次式で求めることができる：

$$T_{d3} = 2 T_0 + T_0 (Q_4 - Q_1) / (Q_3 + Q_4 - 2 Q_1) \dots (35)$$

30

光パルスの飛行時間がどの時間帯にあるかは、電荷の比較により分かり、時間帯によって、式 (25)、(30)、(35) のいずれを使うかは、表 1 のように決めることによって、 T_0 の 3 倍の遅延時間に対応する距離を測定することができる。

【 0 1 0 5 】

【表 1】

条件	光の飛行時間の時間帯	使用する式
$Q_1 > Q_3, \quad Q_2 > Q_4$	$0 < T_d \leq T_0$	式 (25)
$Q_1 \leq Q_3, \quad Q_2 > Q_4$	$T_0 < T_d \leq 2 T_0$	式 (30)
$Q_1 \leq Q_3, \quad Q_2 \leq Q_4$	$2 T_0 < T_d \leq 3 T_0$	式 (35)

40

【 0 1 0 6 】

以上のように、第 3 の実施形態に係る 4 出力電荷変調素子によれば、従来の MOS 構造を用いてゲート電極直下のポテンシャルを縦方向（垂直方向）に制御する場合に比し、横方向（電荷移動経路の方向に直交する）の静電誘導効果による電界制御を用いているので、電荷移動経路の長い距離にわたって電界がほぼ一定になるようにして、信号電荷が対称性を維持しながら高速に輸送される。特に図 1 5 及び図 1 6 に示す H 型の電荷移動経路の等電位線プロファイルに比して、図 2 8 及び図 2 9 に示す X 型の電荷移動経路の等電位線

50

プロファイルの場合の方が、4つの電荷蓄積領域（第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84）に向かう電荷移動経路の対称性が優れている。則ち、第3の実施形態に係る4出力電荷変調素子をTOF距離センサに応用すると、H型の電荷移動経路の場合に比してより正確な距離測定が可能となる。更に、電荷移動経路の対称性が優れている結果製造工程におけるマスク合わせのずれの影響も受けにくくなる。又、従来埋め込みフォトダイオードを用いたCMOS型TOF距離画像センサに比しても、当然ながら、電荷移動経路のトポロジーを対称性の高いX型にして、しかも、電荷移動経路の長さを長くとることができ、更に実質的な受光領域の面積が大きくなるので、高感度化が図れる。

【0107】

又、第1の実施形態に係る4出力電荷変調素子の特徴として述べたのと同様に、従来のMOS構造を用いてゲート電極直下のポテンシャルを縦方向に制御する構造においては、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流があったが、第3の実施形態に係る4出力電荷変調素子によれば、横方向の静電誘導効果による電界制御を用いているので、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題や輸送速度の低下の問題が回避できる。

【0108】

又、第3の実施形態に係る4出力電荷変調素子によれば、X型の電荷移動経路の4つの端部に位置する第1の電荷読み出し領域81、第2の電荷読み出し領域82、第3の電荷読み出し領域83及び第4の電荷読み出し領域84に対し、信号電荷を順次、高速に振り分けて輸送することができるので、TOF距離センサに限られず、極短時間に同じ現象が繰り返されるような物理現象の観測に応用することができる。例えば、第3の実施形態に係る4出力電荷変調素子は、蛍光体の寿命を測定する素子として応用すれば、電荷移動経路の方向の長い距離にわたって電界がほぼ一定になるようにして、信号電荷を高速に輸送していることから、より精度の高い測定が実現できる。

【0109】

（第4の実施形態）

図33及び図34(a)に示すように、本発明の第4の実施形態に係る4出力電荷変調素子は、p型の半導体からなる活性領域形成層32、活性領域形成層32の上部の一部に設けられたn型の表面埋込領域35及び表面埋込領域35の表面に接して設けられた、p型のピニング層34を含む画素形成領域(32, 34, 35)と、画素形成領域(32, 34, 35)上に設けられた絶縁膜11と、画素形成領域(32, 34, 35)の中央部を受光領域とし、受光領域を囲むように受光領域の中心位置に関して対称となる4つ位置のそれぞれに互いに離間して設けられた、活性領域形成層32よりも高不純物密度でn型の第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84と、受光領域を囲む位置において、絶縁膜11上に受光領域の中心位置から第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84のそれぞれに至る電荷移動経路のそれぞれの両側に対をなして配置された第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)とを備える。図33の平面図から分かるように、4出力端子として機能する第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84の配置トポロジーは、受光領域の中心位置に関して4回回転対称である。

【0110】

第4の実施形態に係る4出力電荷変調素子の断面構造は、図34(a)の断面図に示したように、p型の半導体からなる活性領域形成層32と、活性領域形成層32の上部の一部に設けられたn型の表面埋込領域35と、表面埋込領域35の表面に接して設けられたp型のピニング層34とを備えているので、実際には、第4の実施形態に係る4出力電荷変調素子の画素形成領域(32, 34, 35)の断面構造は、活性領域形成層32を含む

10

20

30

40

50

3層構造であり、活性領域形成層32の下のp型の半導体基板31を含めると4層構造である。そして、ピニング層34の上に絶縁膜11が形成されている。

【0111】

図33に示すように、本発明の第4の実施形態に係る4出力電荷変調素子は、更に、受光領域を囲む周辺部に、活性領域形成層32よりも高不純物密度でn型の第1の電荷排出補助領域85a、第2の電荷排出補助領域85b、第3の電荷排出補助領域85c、第4の電荷排出補助領域85dが、互いに離間して設けられている。第1の電界制御電極91bと第2の電界制御電極92aの間には、T字型に凸形状をなす第1の電荷排出補助領域85aの凸部が挿入され、凸部の先端は、第3の実施形態の図23(a)に示したのと同様に、p型の活性領域形成層32を介してn型3表面埋込領域35に対向している。又、第2の電界制御電極92bと第3の電界制御電極93aの間には、T字型に凸形状をなす第2の電荷排出補助領域85bの凸部が挿入され、凸部の先端は活性領域形成層32を介して表面埋込領域35に対向している。更に、第3の電界制御電極93bと第4の電界制御電極94aの間には、T字型に凸形状をなす第3の電荷排出補助領域85cの凸部が挿入され、凸部の先端は図23(a)に示したのと同様に、p型の活性領域形成層32を介してn型の表面埋込領域35に対向している。第4の電界制御電極94bと第1の電界制御電極91aの間には、T字型に凸形状をなす第4の電荷排出補助領域85dの凸部が挿入され、凸部の先端は、活性領域形成層32を介して表面埋込領域35に対向している。

10

【0112】

更に、第1の電界制御電極91bと第2の電界制御電極92aの間には、背景光により受光領域に発生した暗電流による電荷をp型の活性領域形成層32をチャネル領域として、MOS構造によってチャネル領域の電位を制御して、表面埋込領域35から第1の電荷排出補助領域85aに転送する第1電荷転送ゲート電極96aが設けられている。更に、第2の電界制御電極92bと第3の電界制御電極93aの間には、受光領域に発生した暗電流による電荷を表面埋込領域35から第2の電荷排出補助領域85bに転送する第2電荷転送ゲート電極96bが設けられ、第3の電界制御電極93bと第4の電界制御電極94aの間には、暗電流による電荷を第3の電荷排出補助領域85cに転送する第3電荷転送ゲート電極96cが設けられ、第4の電界制御電極94bと第1の電界制御電極91aの間には、暗電流による電荷を第4の電荷排出補助領域85dに転送する第4電荷転送ゲート電極96dが設けられている。

20

30

【0113】

第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83及び第4の電荷蓄積領域84のいずれかにX型をなす4方向に向かう電荷移動経路のいずれかに沿って、電荷を輸送する際には、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに第1電位レベル L_D の電圧の電荷排出制御パルス G_D を印加して、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれの直下のp型の活性領域形成層32の表面に、第3の実施形態の図23(b)の実線で示したのと同様な電位障壁を形成しておく。

【0114】

一方、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに第2電位レベル H_D の電圧の電荷排出制御パルス G_D を印加した場合は、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれの直下の電位障壁の高さが、図23(b)の破線に示したのと同様に低減する。電位障壁の高さが図23(b)の破線に示したように低減すると、表面埋込領域35から、第1の電荷排出補助領域85a、第2の電荷排出補助領域85b、第3の電荷排出補助領域85c、第4の電荷排出補助領域85dのそれぞれに、背景光等に起因した暗電流成分となる電荷を排出することができる。

40

【0115】

50

第4の実施形態に係る4出力電荷変調素子では、受光領域の中心で互いにクロスするX型を構成するように電荷移動経路が設定される。それぞれの電荷移動経路を横断する方向に、静電誘導効果で電界制御を行う4つのゲートである第1の電界制御電極対(91a, 91b), 第2の電界制御電極対(92a, 92b), 第3の電界制御電極対(93a, 93b), 第4の電界制御電極対(94a, 94b)によって、受光領域で発生した光電子を、X型を構成する電荷移動経路に沿って、X字の4つの方向に電界制御により高速に移動させて、電荷変調を行うことができる。

【0116】

例えば、第4の実施形態に係る4出力電荷変調素子において、図33の中央に符号51を付した二点鎖線で示した受光領域で発生した電子を、X字をなす電荷移動経路に沿って、図33の右上方向に移動させ、第3の電界制御電極対(93a, 93b)の間を通過させる場合は、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第1電位レベル $L_D = 1V$ の電荷排出制御パルス G_D を印加した状態で、第1の電界制御電極対(91a, 91b)、第2の電界制御電極対(92a, 92b)及び第3の電界制御電極対(93a, 93b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 、第2電界制御パルス G_2 及び第3電界制御パルス G_3 をそれぞれ与え、第4の電界制御電極対(94a, 94b)に第2電位レベル $H = 1.8V$ の第4電界制御パルス G_4 を与えれば、図33の断面XXXIV-XXXIV方向(右上がりの対角方向)に沿って、図34に破線で示したような右下がりの電位勾配が形成される。

【0117】

一方、第1電荷転送ゲート電極96a、第2電荷転送ゲート電極96b、第3電荷転送ゲート電極96c及び第4電荷転送ゲート電極96dのそれぞれに、第1電位レベル $L_D = 1V$ の電荷排出制御パルス G_D を印加した状態で、第1の電界制御電極対(91a, 91b)、第3の電界制御電極対(93a, 93b)及び第4の電界制御電極対(94a, 94b)に第1電位レベル $L = -1V$ の第1電界制御パルス G_1 、第2電界制御パルス G_2 及び第3電界制御パルス G_3 をそれぞれ与え、第2の電界制御電極対(92a, 94b)に第2電位レベル $H = 1.8V$ の第2電界制御パルス G_2 を与えれば、図33の断面XXXIV-XXXIV方向(右上がりの対角方向)に沿って、図34に実線で示したような右上がりの電位勾配が形成される。

【0118】

図35に、第4の実施形態に係る4出力電荷変調素子の動作タイミングを示す。光パルスを受けて、変調された電荷を蓄積する積分期間では、第1電界制御パルス G_1 、第2電界制御パルス G_2 、第3電界制御パルス G_3 、第4電界制御パルス G_4 、電荷排出制御パルスからなる5つのゲート信号を図35に示すように周期的に与えて動作させる。第1電界制御パルス G_1 が第2電位レベル H 、第2電界制御パルス G_2 が第1電位レベル L 、第3電界制御パルス G_3 が第1電位レベル L 、第4電界制御パルス G_4 が第1電位レベル L 、電荷排出制御パルス G_D が第1電位レベル L_D の期間では、受光領域で生成された信号電荷は、図33に示した第1の電荷蓄積領域81に転送される。第2電界制御パルス G_2 が第2電位レベル H 、第1電界制御パルス G_1 が第1電位レベル L 、第3電界制御パルス G_3 が第1電位レベル L 、第4電界制御パルス G_4 が第1電位レベル L 、電荷排出制御パルス G_D が第1電位レベル L_D の期間では、受光領域で生成された信号電荷は、第2の電荷蓄積領域82に転送される。第3電界制御パルス G_3 が第2電位レベル H 、第1電界制御パルス G_1 が第1電位レベル L 、第3電界制御パルス G_3 が第1電位レベル L 、第4電界制御パルス G_4 が第1電位レベル L 、電荷排出制御パルス G_D が第1電位レベル L_D の期間では、受光領域で生成された信号電荷は、第3の電荷蓄積領域83に転送される。第4電界制御パルス G_4 が第2電位レベル H 、第1電界制御パルス G_1 が第1電位レベル L 、第2電界制御パルス G_2 が第1電位レベル L 、第3電界制御パルス G_3 が第1電位レベル L 、電荷排出制御パルス G_D が第1電位レベル L_D の期間では、受光領域で生成された信号電荷は、第4の電荷蓄積領域84端子に転送される。

【 0 1 1 9 】

一方、電荷排出制御パルス G_D が第 2 電位レベル H_D 、第 1 電界制御パルス G_1 が第 1 電位レベル L 、第 2 電界制御パルス G_2 が第 1 電位レベル L 、第 3 電界制御パルス G_3 が第 1 電位レベル L 、第 4 電界制御パルス G_4 が第 1 電位レベル L の期間では、受光領域で生成された信号電荷は、第 1 の電荷排出補助領域 8 5 a , 第 2 の電荷排出補助領域 8 5 b , 第 3 の電荷排出補助領域 8 5 c 及び第 4 の電荷排出補助領域 8 5 d に排出される。

【 0 1 2 0 】

このとき、光パルスが図 3 5 の第 1 の到来光のタイミングで到来すると、第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3、第 4 の電荷蓄積領域 8 4 にそれぞれ蓄積される電荷 Q_1 , Q_2 , Q_3 , Q_5 は、 T_{d1} を第 1 の到来光の飛行時間による光パルスの遅延時間として、式 (3 6) , (3 7) , (3 8) , (3 9) のようになる：

$$Q_1 = I_{ph} T_{d1} + I_a T_0 \quad \dots\dots\dots (3 6)$$

$$Q_2 = I_a T_0 \quad \dots\dots\dots (3 7)$$

$$Q_3 = I_a T_0 \quad \dots\dots\dots (3 8)$$

$$Q_4 = I_{ph} (T_0 - T_{d1}) + I_a T_0 \quad \dots\dots\dots (3 9)$$

(3 6) , (3 7) , (3 8) , (3 9) を用いて、第 1 の到来光の飛行時間による光パルスの遅延時間 T_{d1} は、次式のように求めることができる：

$$T_{d1} = T_0 (Q_1 - Q_3) / (Q_4 + Q_1 - 2 Q_3) \dots\dots\dots (4 0)$$

式 (4 0) において、 Q_3 の代わりに Q_2 を使ってもよい。あるいは、 $(Q_2 + Q_3) / 2$ を用いても良い。

【 0 1 2 1 】

もし、光パルスが図 3 5 の第 2 の到来光のタイミングで到来すると、第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3、第 4 の電荷蓄積領域 8 4 にそれぞれ蓄積される電荷 Q_1 , Q_2 , Q_3 , Q_5 は、 T_{d2} を第 2 の到来光の飛行時間による光パルスの遅延時間として、式 (4 1) , (4 2) , (4 3) , (4 4) のようになる：

$$Q_1 = I_{ph} (2 T_0 - T_{d2}) + I_a T_0 \quad \dots\dots\dots (4 1)$$

$$Q_2 = I_{ph} (T_{d2} - T_0) + I_a T_0 \quad \dots\dots\dots (4 2)$$

$$Q_3 = I_a T_0 \quad \dots\dots\dots (4 3)$$

$$Q_4 = I_a T_0 \quad \dots\dots\dots (4 4)$$

(4 1) , (4 2) , (4 3) , (4 4) を用いて、第 2 の到来光の飛行時間による光パルスの遅延時間 T_{d2} は、次式のように求めることができる：

$$T_{d2} = T_0 + T_0 (Q_2 - Q_4) / (Q_1 + Q_2 - 2 Q_4) \dots (4 5)$$

式 (4 5) において、 Q_4 の代わりに Q_3 を使ってもよい。あるいは、 $(Q_3 + Q_4) / 2$ を用いても良い。

【 0 1 2 2 】

もし、光パルスが図 3 5 の第 3 の到来光のタイミングで到来すると、第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3、第 4 の電荷蓄積領域 8 4 にそれぞれ蓄積される電荷 Q_1 , Q_2 , Q_3 , Q_5 は、 T_{d3} を第 3 の到来光の飛行時間による光パルスの遅延時間として、式 (4 6) , (4 7) , (4 8) , (4 9) のようになる：

10

20

30

40

50

$$Q_1 = I_a T_0 \dots\dots\dots (46)$$

$$Q_2 = I_{ph} (3 T_0 - T_{d3}) + I_a T_0 \dots\dots\dots (47)$$

$$Q_3 = I_{ph} (T_{d3} - 2 T_0) + I_a T_0 \dots\dots\dots (48)$$

$$Q_4 = I_a T_0 \dots\dots\dots (49)$$

(46), (47), (48), (49)を用いて、第3の到来光の飛行時間による光パルスの遅延時間 T_{d3} は、次式のように求めることができる：

$$T_{d3} = 2 T_0 + T_0 (Q_3 - Q_1) / (Q_1 + Q_2 - 2 Q_1) \dots (50) \tag{10}$$

式(50)において、 Q_1 の代わりに Q_4 を使ってもよい。あるいは、 $(Q_1 + Q_4) / 2$ を用いても良い。

【0123】

もし、光パルスが図35の第4の到来光のタイミングで到来すると、第1の電荷蓄積領域81、第2の電荷蓄積領域82、第3の電荷蓄積領域83、第4の電荷蓄積領域84にそれぞれ蓄積される電荷 Q_1, Q_2, Q_3, Q_4 は、 T_{d4} を第4の到来光の飛行時間による光パルスの遅延時間として、式(51), (52), (53), (54)のようになる：

20

$$Q_1 = I_a T_0 \dots\dots\dots (51)$$

$$Q_2 = I_a T_0 \dots\dots\dots (52)$$

$$Q_3 = I_{ph} (4 T_0 - T_{d4}) + I_a T_0 \dots\dots\dots (53)$$

$$Q_4 = I_{ph} (T_{d4} - 3 T_0) + I_a T_0 \dots\dots\dots (54)$$

(51), (52), (53), (54)を用いて、第4の到来光の飛行時間による光パルスの遅延時間 T_{d4} は、次式のように求めることができる：

$$T_{d4} = 3 T_0 + T_0 (Q_4 - Q_2) / (Q_4 + Q_3 - 2 Q_2) \dots (55) \tag{30}$$

式(55)において、 Q_2 の代わりに Q_1 を使ってもよい。あるいは、 $(Q_1 + Q_2) / 2$ を用いても良い。

【0124】

このように、第4の実施形態に係る4出力電荷変調素子を用いると、 T_0 のパルス幅を用いて T_0 の4倍の光飛行時間のレンジで距離測定を行うことができる。光パルスの飛行時間がどの時間帯にあるかは、電荷の比較により分かり、時間帯によって、式(40), (45), (50), (55)のいずれを使うかは、表2のように決めることによって、 T_0 の4倍の遅延時間に対応する距離を測定することができる。

【0125】

【表2】

40

条件	光の飛行時間の時間帯	使用する式
$Q_1 > Q_3, \quad Q_4 > Q_2$	$0 < T_{d1} \leq T_0$	式(40)
$Q_1 > Q_3, \quad Q_2 \leq Q_4$	$T_0 < T_{d2} \leq 2 T_0$	式(45)
$Q_1 \leq Q_3, \quad Q_2 \leq Q_4$	$2 T_0 < T_{d3} \leq 3 T_0$	式(50)
$Q_1 \leq Q_3, \quad Q_4 > Q_2$	$3 T_0 < T_{d4} \leq 4 T_0$	式(55)

50

【 0 1 2 6 】

以上のように、第 4 の実施形態に係る 4 出力電荷変調素子によれば、従来の M O S 構造を用いてゲート電極直下のポテンシャルを縦方向（垂直方向）に制御する場合に比し、横方向（電荷移動経路の方向に直交する）の静電誘導効果による電界制御を用いているので、電荷移動経路の長い距離にわたって電界がほぼ一定になるようにして、信号電荷が対称性を維持しながら高速に輸送される。特に図 1 5 及び図 1 6 に示す H 型の電荷移動経路の等電位線プロファイルに比して、図 2 8 及び図 2 9 に示す X 型の電荷移動経路の等電位線プロファイルの場合の方が、4 つの電荷蓄積領域（第 1 の電荷蓄積領域 8 1、第 2 の電荷蓄積領域 8 2、第 3 の電荷蓄積領域 8 3 及び第 4 の電荷蓄積領域 8 4）に向かう電荷移動経路の対称性が優れている。則ち、第 4 の実施形態に係る 4 出力電荷変調素子を T O F 距離センサに応用すると、H 型の電荷移動経路の場合に比してより正確な距離測定が可能となる。更に、電荷移動経路の対称性が優れている結果製造工程におけるマスク合わせのずれの影響も受けにくくなる。又、従来の埋め込みフォトダイオードを用いた C M O S 型 T O F 距離画像センサに比しても、当然ながら、電荷移動経路のトポロジーを対称性の高い X 型にして、しかも、電荷移動経路の長さを長くとることができ、更に実質的な受光領域の面積が大きくなるので、高感度化が図れる。

10

【 0 1 2 7 】

又、第 1 の実施形態に係る 4 出力電荷変調素子の特徴として述べたのと同様に、従来の M O S 構造を用いてゲート電極直下のポテンシャルを縦方向に制御する構造においては、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流があったが、第 4 の実施形態に係る 4 出力電荷変調素子によれば、横方向の静電誘導効果による電界制御を用いているので、ゲート酸化膜とシリコン表面の界面における界面欠陥や界面準位等に起因した雑音や暗電流の発生の問題や輸送速度の低下の問題が回避できる。

20

【 0 1 2 8 】

又、第 4 の実施形態に係る 4 出力電荷変調素子によれば、X 型の電荷移動経路の 4 つの端部に位置する第 1 の電荷読み出し領域 8 1、第 2 の電荷読み出し領域 8 2、第 3 の電荷読み出し領域 8 3 及び第 4 の電荷読み出し領域 8 4 に対し、信号電荷を順次、高速に振り分けて輸送することができるので、T O F 距離センサに限られず、極短時間に同じ現象が繰り返されるような物理現象の観測に応用することができる。例えば、第 4 の実施形態に係る 4 出力電荷変調素子は、蛍光体の寿命を測定する素子として応用すれば、電荷移動経路の方向の長い距離にわたって電界がほぼ一定になるようにして、信号電荷を高速に輸送していることから、より精度の高い測定が実現できる。

30

【 0 1 2 9 】

（その他の実施形態）

上記のように、本発明は本発明の第 1 ~ 第 4 の実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

既に述べた本発明の第 1 ~ 第 4 の実施形態の説明では、第 1 導電型（p 型）を p 型、第 2 導電型（n 型）を n 型として説明したが、第 1 導電型（p 型）を n 型、第 2 導電型（n 型）を p 型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。

40

【 0 1 3 0 】

第 1 ~ 第 4 の実施形態の説明では、輸送、蓄積等の処理がされる信号電荷を電子とし、ポテンシャル図において、図の下方方向（深さ方向）が、電位（ポテンシャル）の正方向としたが、電気的な極性を反対とする場合においては、処理をされる電荷は正孔となるため、電荷変調素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状は、図の下方方向（深さ方向）が、電位の負方向として表現される。

【 0 1 3 1 】

又、本発明の電荷移動経路が定義される半導体領域を構成する半導体材料はシリコン（

50

S i) に限定されるものではない。特に、化合物半導体の場合は化合物半導体の表面と絶縁膜との界面における界面欠陥や界面準位が問題になるので、本発明の横方向の静電誘導効果を用いて半導体中の電位を制御する方式は、界面欠陥や界面準位の影響を回避できるので、III - V 族間化合物半導体やII - VI 族間化合物半導体等の種々の化合物半導体を用いた電荷変調素子や固体撮像装置においても、第 1 ~ 第 4 の実施形態で例示的に説明した電荷変調素子や固体撮像装置の構造やその技術的思想は、重要な技術となる。

【 0 1 3 2 】

このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 符号の説明 】

【 0 1 3 3 】

- 1 1 ... 絶縁膜
- 2 1 ... 水平シフトレジスタ
- 2 2 ... 変換器
- 2 3 ... 垂直シフトレジスタ
- 2 4 ... 電荷変調ドライバ
- 3 1 ... 半導体基板
- 3 2 ... 活性領域形成層
- 3 4 ... ピニング層
- 3 5 ... 表面埋込領域
- 4 1 a , 4 1 b ... 第 1 の電界制御電極
- 4 2 a , 4 2 b ... 第 2 の電界制御電極
- 4 3 a , 4 3 b ... 第 3 の電界制御電極
- 4 4 a , 4 4 b ... 第 4 の電界制御電極
- 5 1 ... 遮蔽板
- 6 1 ... 第 1 の電荷蓄積領域
- 6 2 ... 第 2 の電荷蓄積領域
- 6 3 ... 第 3 の電荷蓄積領域
- 6 4 ... 第 4 の電荷蓄積領域 (電荷排出領域)
- 6 5 a ... 第 1 の電荷排出補助領域
- 6 5 b ... 第 2 の電荷排出補助領域
- 6 5 c ... 第 3 の電荷排出補助領域
- 6 5 d ... 第 4 の電荷排出補助領域
- 8 1 ... 第 1 の電荷蓄積領域
- 8 2 ... 第 2 の電荷蓄積領域
- 8 3 ... 第 3 の電荷蓄積領域
- 8 4 ... 第 4 の電荷蓄積領域
- 8 5 a ... 第 1 の電荷排出補助領域
- 8 5 b ... 第 2 の電荷排出補助領域
- 8 5 c ... 第 3 の電荷排出補助領域
- 8 5 d ... 第 4 の電荷排出補助領域
- 9 1 a , 9 1 b ... 第 1 の電界制御電極
- 9 2 a , 9 2 b ... 第 2 の電界制御電極
- 9 3 a , 9 3 b ... 第 3 の電界制御電極
- 9 5 a , 9 5 b ... 第 4 の電界制御電極
- 9 6 a ... 第 1 電荷転送ゲート電極
- 9 6 b ... 第 2 電荷転送ゲート電極
- 9 6 c ... 第 3 電荷転送ゲート電極
- 9 6 d ... 第 4 電荷転送ゲート電極

10

20

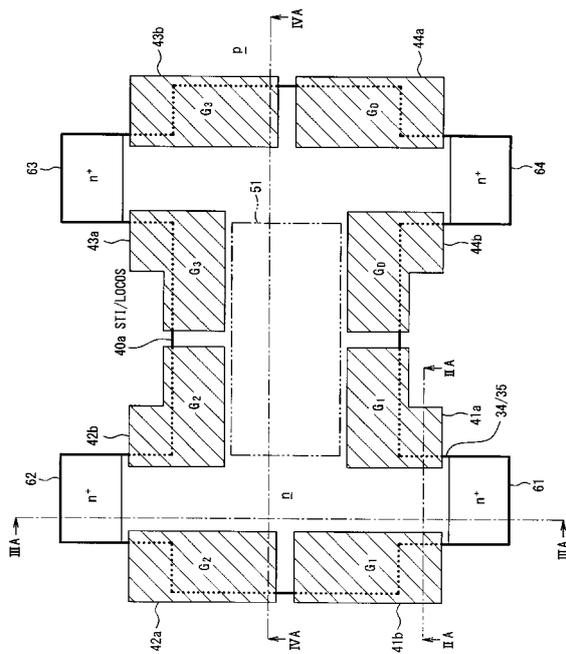
30

40

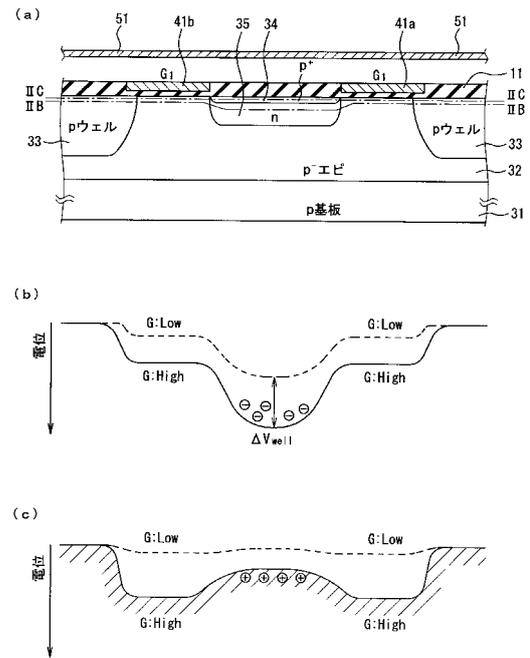
50

- T₁A_{ij}a... 信号読み出しトランジスタ (増幅トランジスタ)
- T₁R_{ij}a... 第1のリセットトランジスタ
- T₁S_{ij}a... 第1のスイッチングトランジスタ
- T₂A_{ij}b... 信号読み出しトランジスタ (増幅トランジスタ)
- T₂R_{ij}b... 第2のリセットトランジスタ
- T₂S_{ij}b... 第2のスイッチングトランジスタ
- X_{ij}... 能動画素

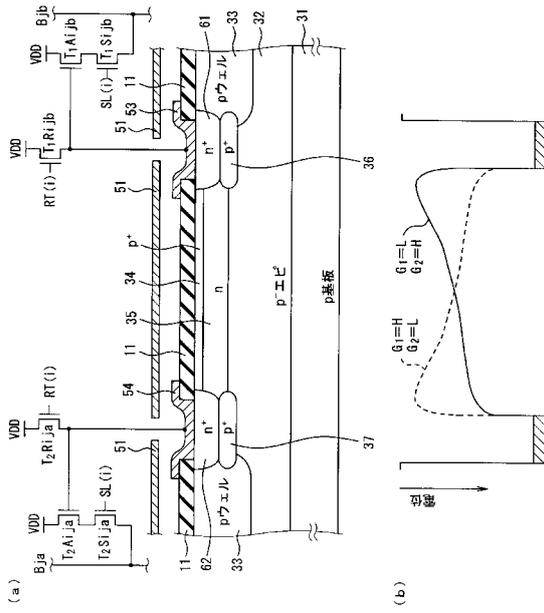
【図1】



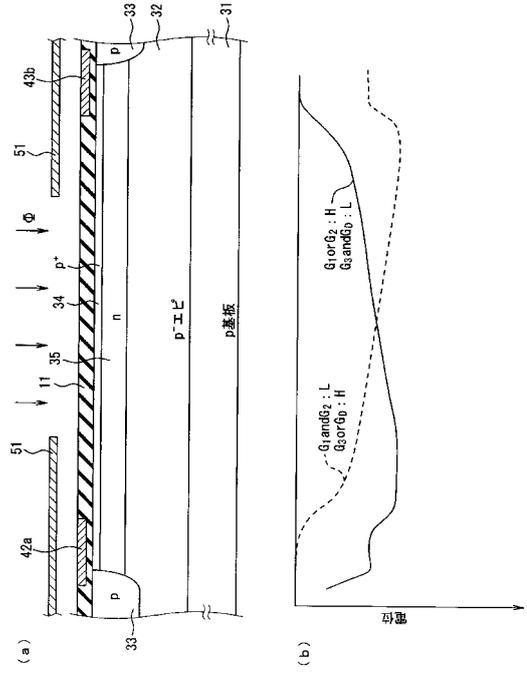
【図2】



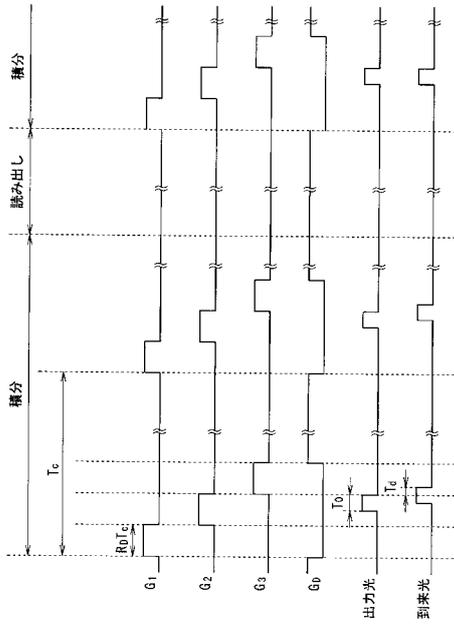
【 図 3 】



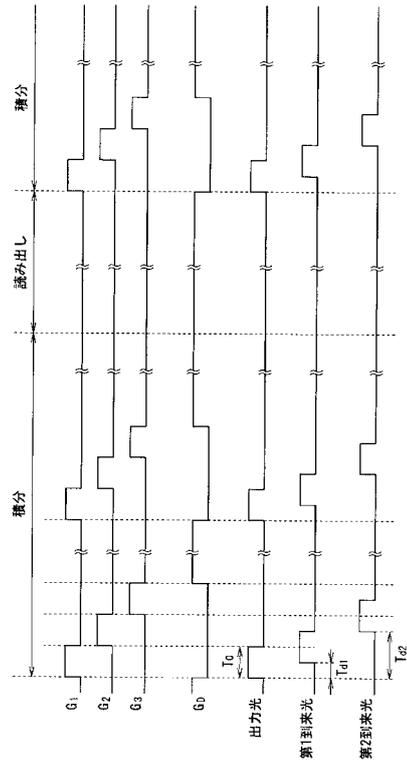
【 図 4 】



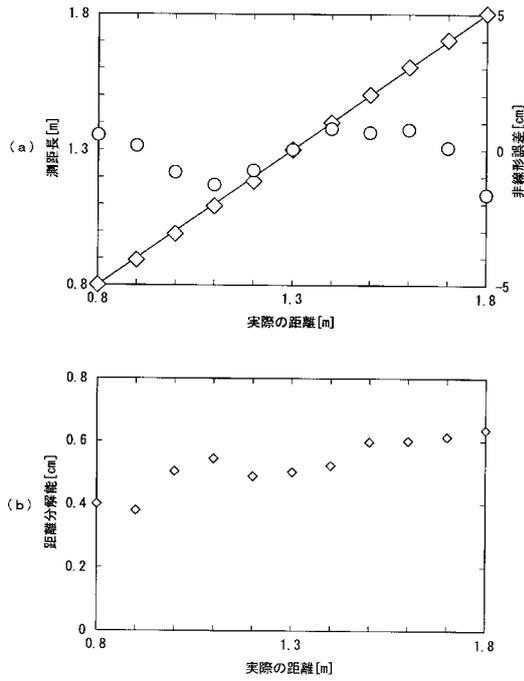
【 図 5 】



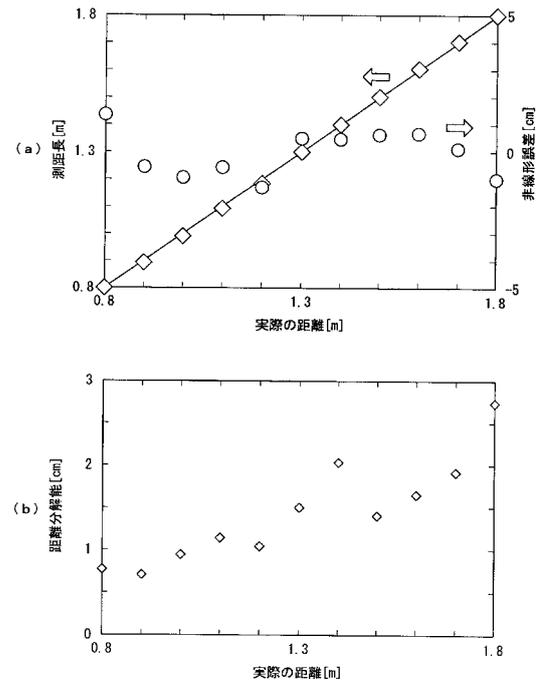
【 図 6 】



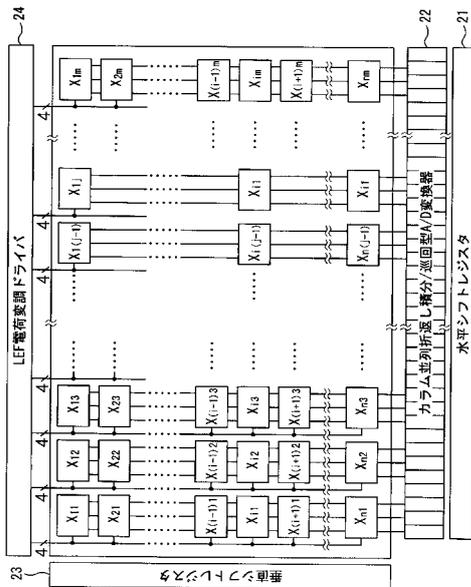
【図7】



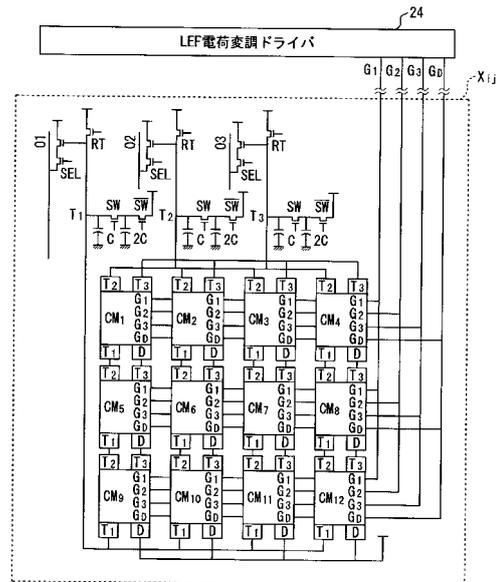
【図8】



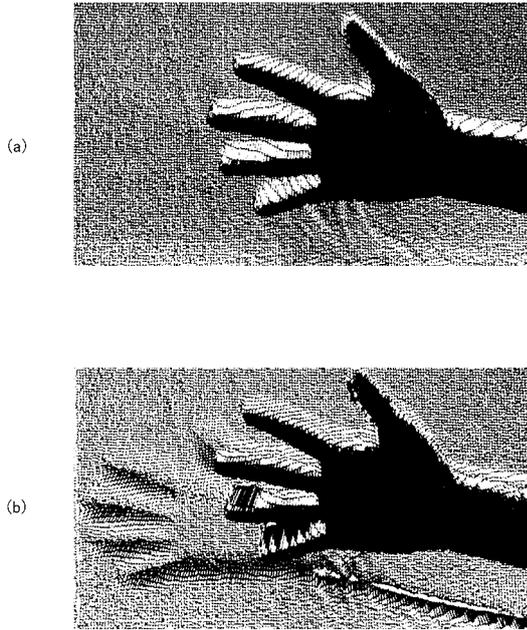
【図9】



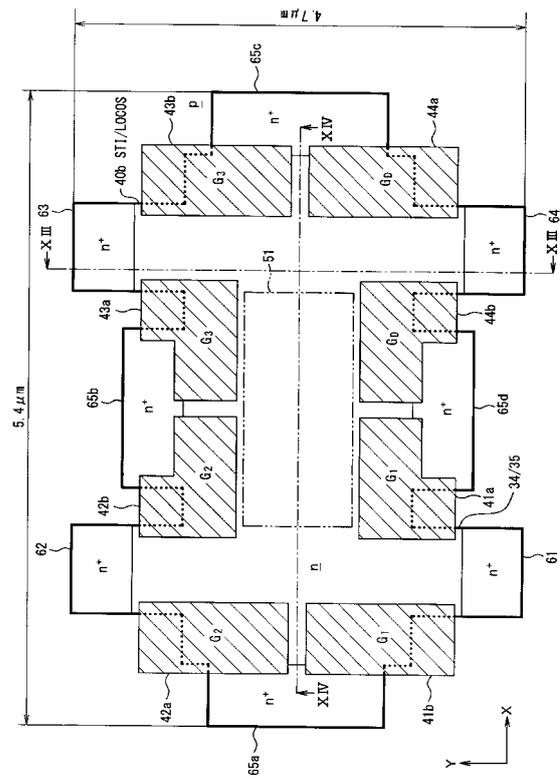
【図10】



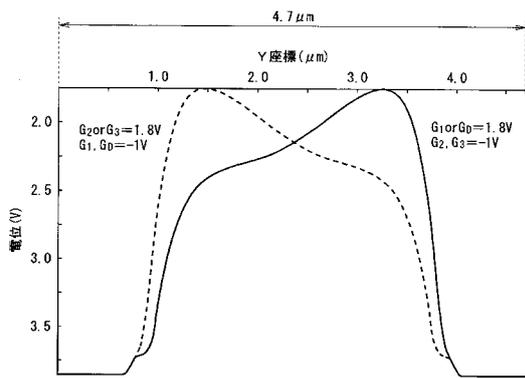
【 図 1 1 】



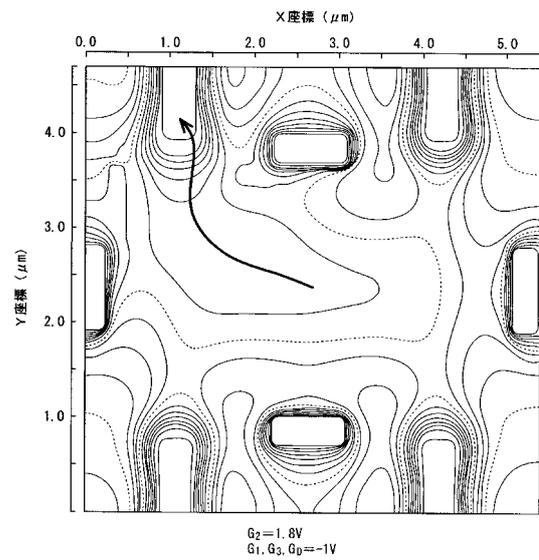
【 図 1 2 】



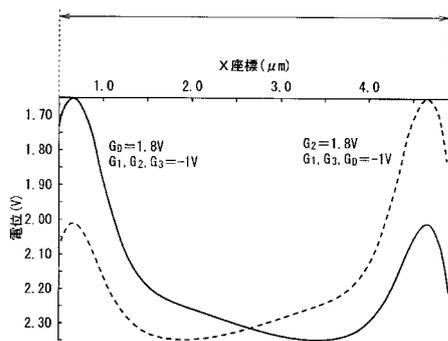
【 図 1 3 】



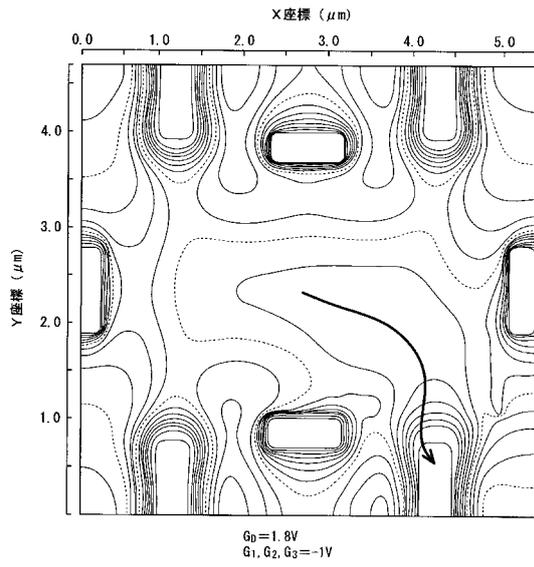
【 図 1 5 】



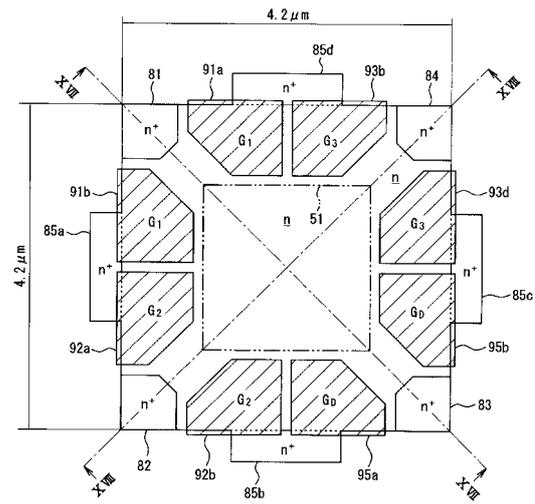
【 図 1 4 】



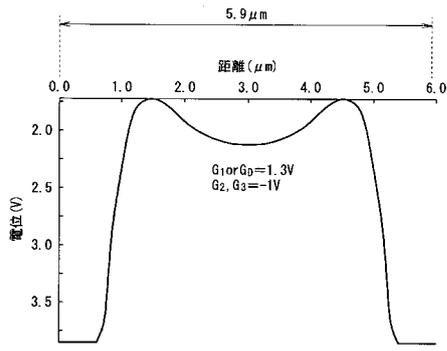
【 図 1 6 】



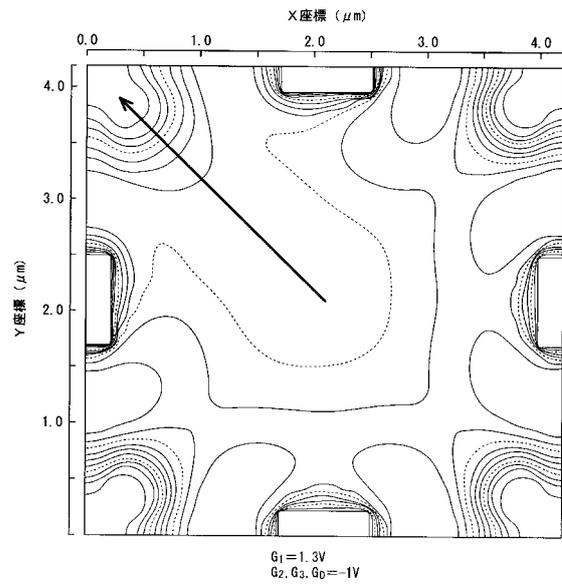
【 図 1 7 】



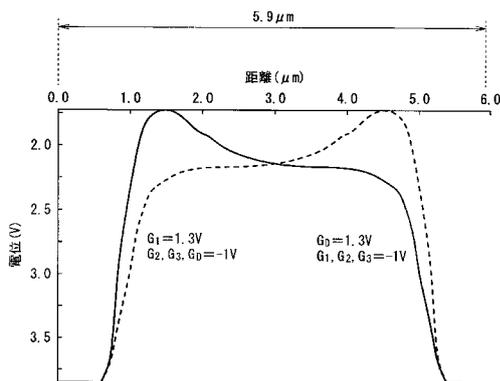
【 図 1 8 】



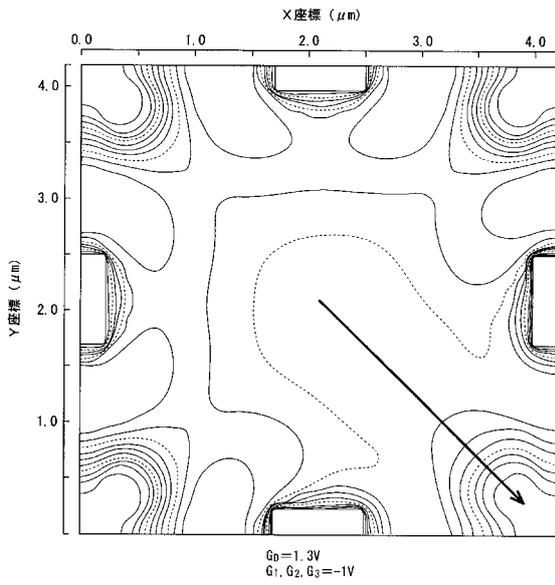
【 図 2 0 】



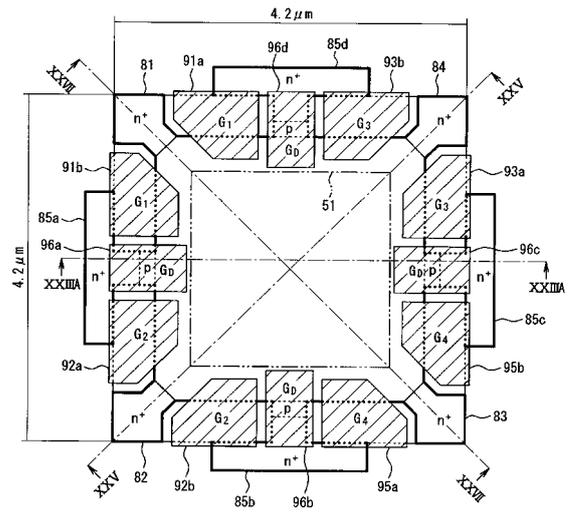
【 図 1 9 】



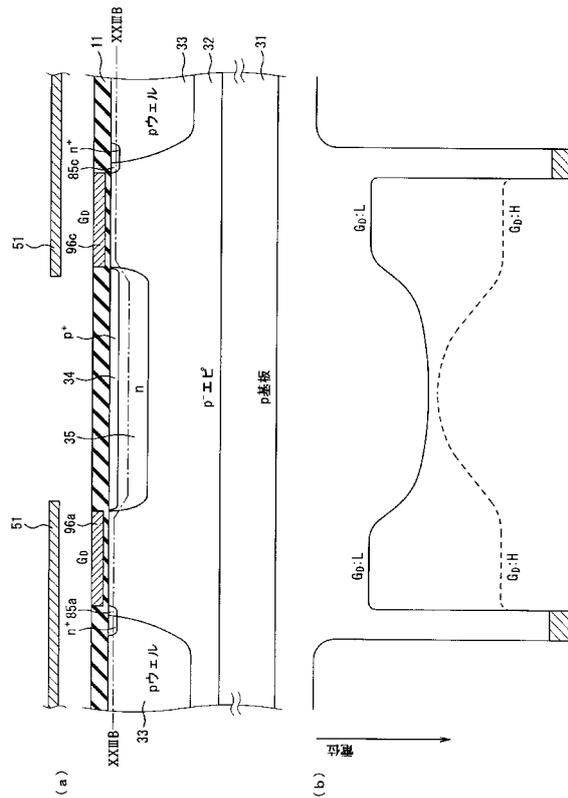
【図 2 1】



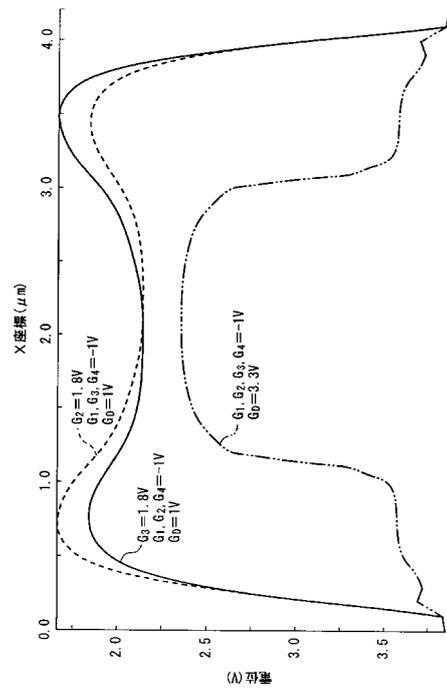
【図 2 2】



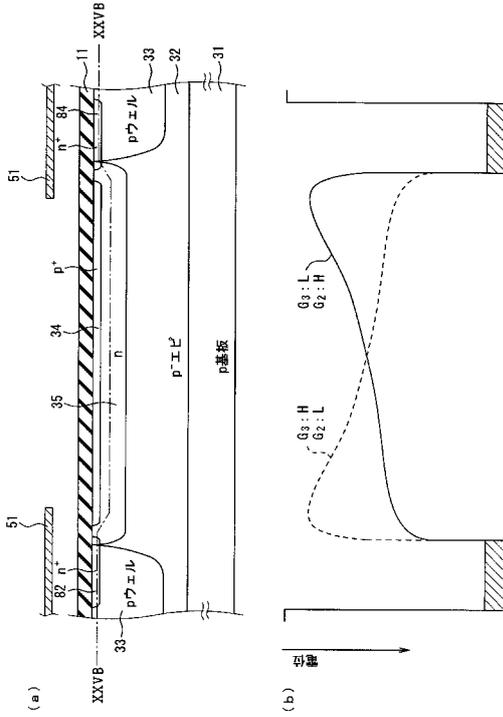
【図 2 3】



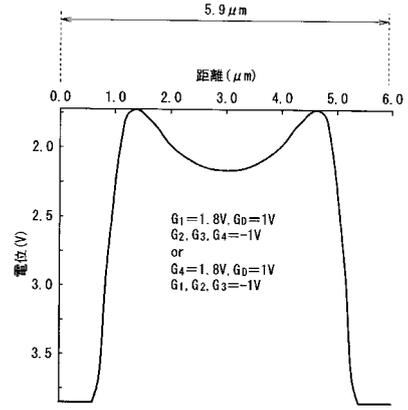
【図 2 4】



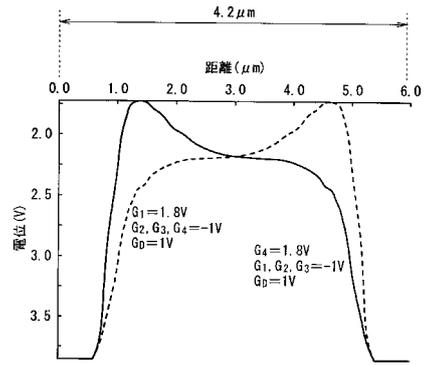
【図 25】



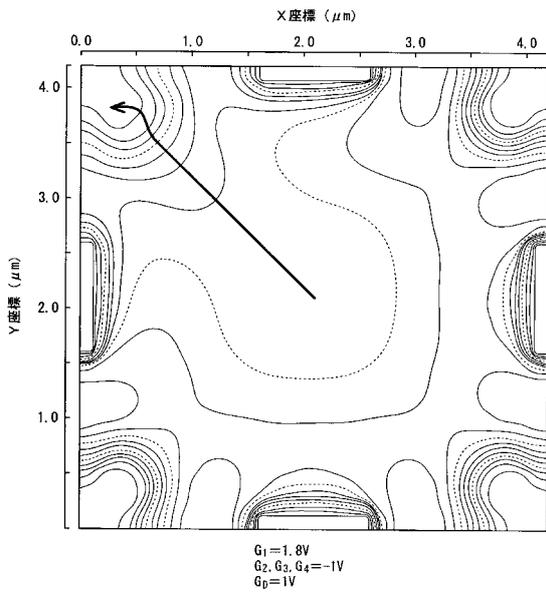
【図 26】



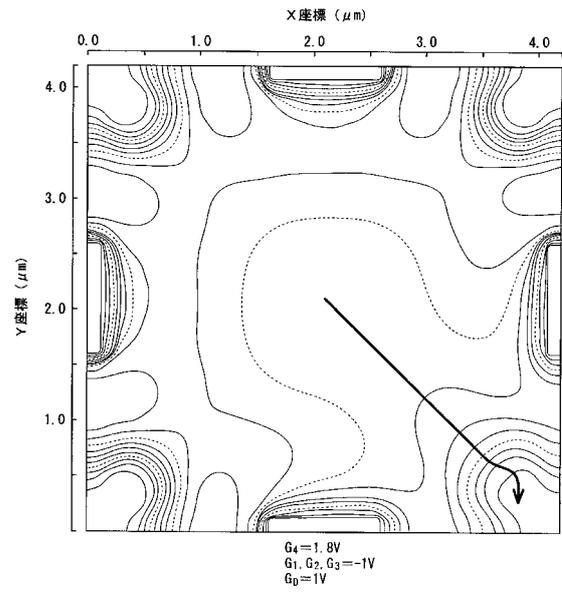
【図 27】



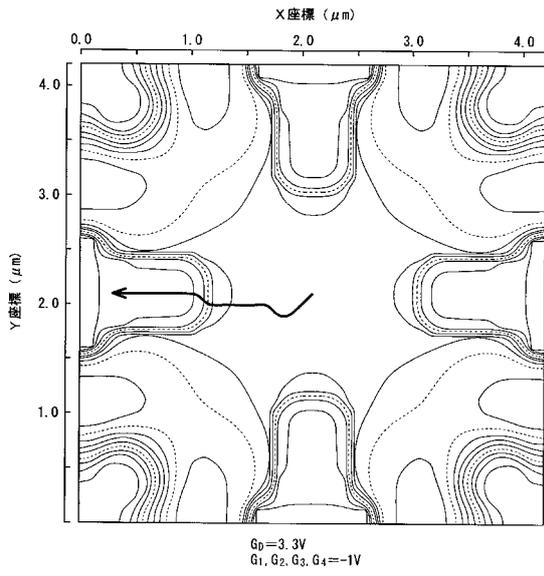
【図 28】



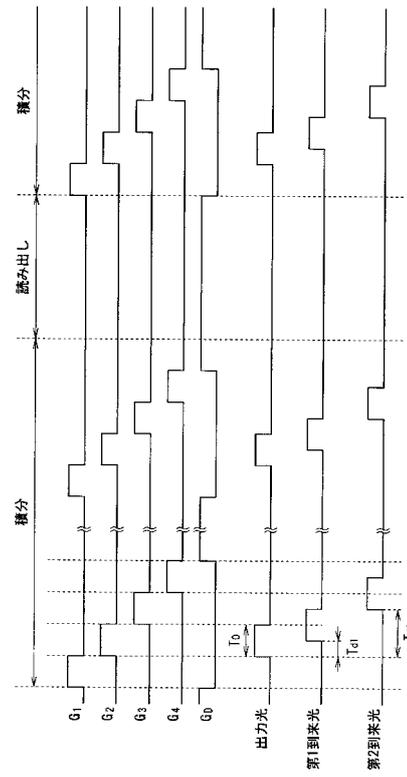
【図 29】



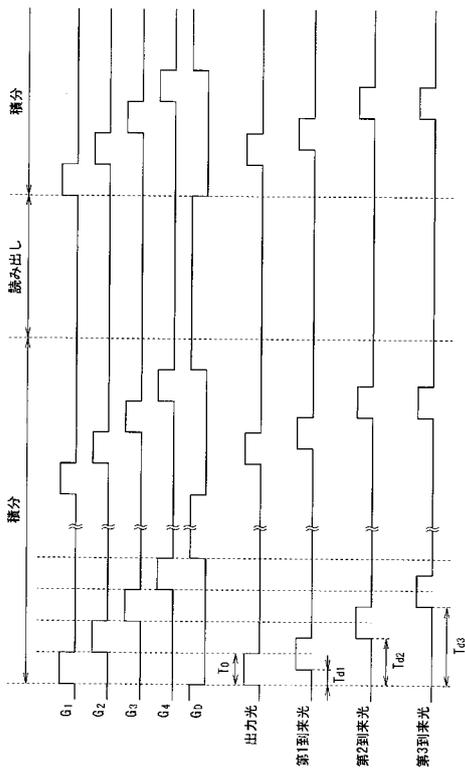
【 図 3 0 】



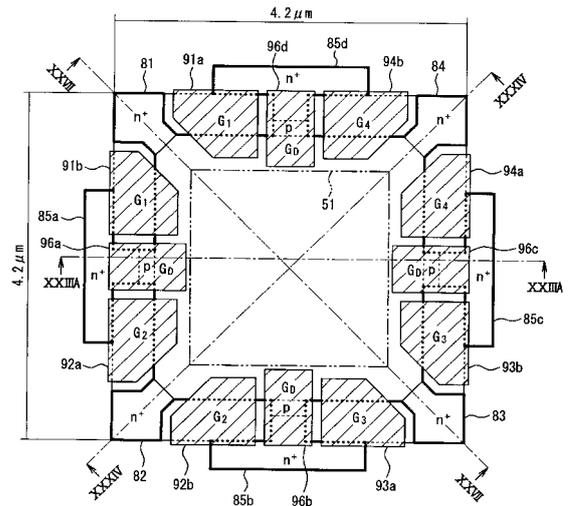
【 図 3 1 】



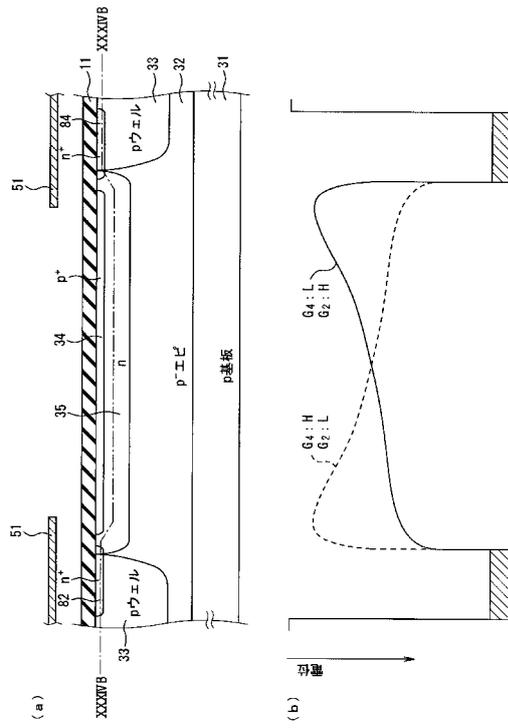
【 図 3 2 】



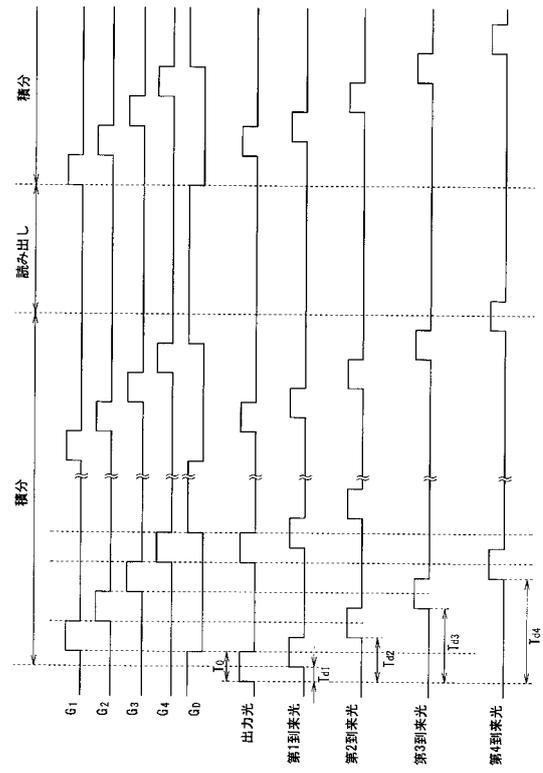
【 図 3 3 】



【 図 3 4 】



【 図 3 5 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2015/000559
A. CLASSIFICATION OF SUBJECT MATTER G01S7/486(2006.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G01S7/48-7/51, 17/00-17/95, H01L27/14, 29/76 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-32425 A (National University Corporation Shizuoka University), 12 February 2010 (12.02.2010), entire text; all drawings & US 2011/0157354 A1 & WO 2010/013779 A1 & EP 2322953 A1 & KR 10-2011-0044862 A	1-12
A	JP 2009-47661 A (Hamamatsu Photonics Kabushiki Kaisha), 05 March 2009 (05.03.2009), entire text; all drawings & WO 2009/025365 A1	1-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 April 2015 (20.04.15)		Date of mailing of the international search report 28 April 2015 (28.04.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/000559

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/069141 A1 (National University Corporation Shizuoka University), 12 June 2008 (12.06.2008), entire text; all drawings & JP 5105549 B & US 2010/0073541 A1 & KR 10-2009-0085124 A	1-12
A	JP 2011-13138 A (Toyota Central Research and Development Laboratories, Inc.), 20 January 2011 (20.01.2011), entire text; all drawings (Family: none)	1-12
A	US 2011/0037969 A1 (Andreas SPICKERMANN), 17 February 2011 (17.02.2011), entire text; all drawings & EP 2290393 A2 & DE 102009037596 A	1-12

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 0 0 5 5 9									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01S7/486(2006.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01S7/48-7/51, 17/00-17/95, H01L27/14, 29/76											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2015年										
日本国実用新案登録公報	1996-2015年										
日本国登録実用新案公報	1994-2015年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2010-32425 A (国立大学法人静岡大学) 2010.02.12, 全文全図 & US 2011/0157354 A1 & WO 2010/013779 A1 & EP 2322953 A1 & KR 10-2011-0044862 A	1-12									
A	JP 2009-47661 A (浜松ホトニクス株式会社) 2009.03.05, 全文全図 & WO 2009/025365 A1	1-12									
A	WO 2008/069141 A1 (国立大学法人静岡大学) 2008.06.12, 全文全図 & JP 5105549 B & US 2010/0073541 A1 & KR 10-2009-0085124 A	1-12									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行人若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 20.04.2015		国際調査報告の発送日 28.04.2015									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 目黒 大地	2 S 5 0 6 0								
		電話番号 03-3581-1101 内線 3258									

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 0 0 5 5 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-13138 A (株式会社豊田中央研究所) 2011.01.20, 全文全図 (ファミリーなし)	1-12
A	US 2011/0037969 A1 (Andreas SPICKERMANN) 2011.02.17, 全文全図 & EP 2290393 A2 & DE 102009037596 A	1-12

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 4M118 AB03 BA14 CA04 DD04 DD12 FA06 FA26 FA28 FA33 GB03
GB07
5J084 AA04 AA05 AA13 AB07 AD01 BA34 BA36 BA39 BA40 CA03
CA10 CA55 CA65 CA67 EA04

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。