

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-107407
(P2018-107407A)

(43) 公開日 平成30年7月5日(2018.7.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 E	5 F 1 5 2
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 S	
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 5 2 J	
	HO 1 L 29/78 6 5 3 A	

審査請求 未請求 請求項の数 13 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2016-255831 (P2016-255831)
(22) 出願日 平成28年12月28日 (2016.12.28)

(出願人による申告)平成27年度、国立研究開発法人科学技術振興機構、研究成果展開事業(スーパークラスタープログラム)「Ga N基板上Ga N系パワーデバイス開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 504139662
国立大学法人名古屋大学
愛知県名古屋市千種区不老町1番
110000110
(74) 代理人 特許業務法人快友国際特許事務所
(72) 発明者 永松 謙太郎
愛知県名古屋市千種区不老町1番 国立大学法人名古屋大学内
(72) 発明者 天野 浩
愛知県名古屋市千種区不老町1番 国立大学法人名古屋大学内
(72) 発明者 本田 善央
愛知県名古屋市千種区不老町1番 国立大学法人名古屋大学内

最終頁に続く

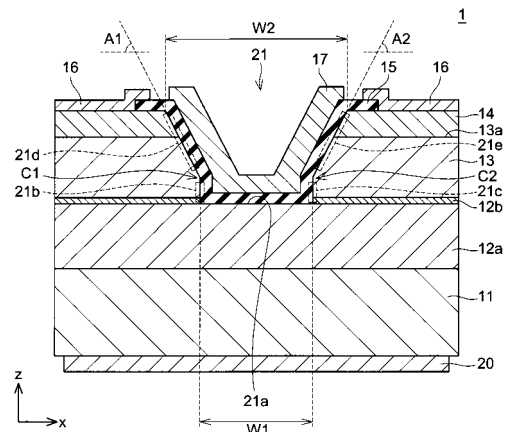
(54) 【発明の名称】化合物半導体の縦型MOSFETおよびその製造方法

(57) 【要約】

【課題】化合物半導体の縦型MOSFETの新規構造およびその製造方法を提供すること。

【解決手段】化合物半導体の縦型MOSFETを製造する方法は、基板の表面に第1導電型の耐圧維持層を形成する工程を備える。耐圧維持層の表面の一部に、マスク層を形成する工程を備える。耐圧維持層のマスク層で覆われていない表面を起点として、少なくとも一部が第2導電型である第1層を耐圧維持層の表面にエピタキシャル成長させるとともに、第1導電型の第2層を第1層の表面にエピタキシャル成長させる工程を備える。マスク層で覆われている耐圧維持層の表面を底部とするトレンチを自己整合的に形成する工程を備える。トレンチを介してマスク層を除去する除去工程を備える。トレンチ内に、ゲート絶縁膜およびゲート電極を形成する工程を備える。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

化合物半導体の縦型 MOSFET を製造する方法であって、
基板の表面に第 1 導電型の耐压維持層を形成する耐压維持層形成工程と、
前記耐压維持層の表面の一部に、マスク層を形成するマスク形成工程と、
前記耐压維持層の前記マスク層で覆われていない表面を起点として、少なくとも一部が
第 2 導電型である第 1 層を前記耐压維持層の表面にエピタキシャル成長させるとともに、
第 1 導電型の第 2 層を前記第 1 層の表面にエピタキシャル成長させる成長工程であって、
前記基板に垂直な方向の成長速度が前記基板と水平な方向の成長速度よりも高い条件を使用
することで、前記マスク層で覆われている前記耐压維持層の表面を底部とするトレンチ
を自己整合的に形成する前記成長工程と、
前記成長工程の後に、前記トレンチを介して前記マスク層を除去する除去工程と、
前記マスク層を除去することで露出した前記耐压維持層の表面を底面とする前記トレン
チ内に、ゲート絶縁膜およびゲート電極を形成するゲート形成工程と、
を備える方法。

10

【請求項 2】

前記成長工程は、
前記耐压維持層の表面に第 1 導電型の下部第 1 層をエピタキシャル成長させる第 1 成
長工程と、
前記下部第 1 層の表面に第 2 導電型の上部第 1 層をエピタキシャル成長させる第 2 成
長工程と、
前記上部第 1 層の表面に第 1 導電型の前記第 2 層をエピタキシャル成長させる第 3 成
長工程と、
を備える、請求項 1 に記載の方法。

20

【請求項 3】

前記トレンチの側壁は、
前記マスク層の側壁に沿って形成された下部領域と、
前記基板の表面に対して所定角度のテーパを有して斜め上方へ伸びるテーパ領域であ
って、前記下部領域の上方に位置する前記テーパ領域と、
を備えており、
前記トレンチは、前記テーパ領域によって底部よりも上部の方が幅が広い形状とされて
いる、請求項 1 または 2 に記載の方法。

30

【請求項 4】

前記所定角度は約 60 度である、請求項 3 に記載の方法。

【請求項 5】

前記化合物半導体は GaN であり、
前記テーパ領域の表面は (1 - 1 0 1) 面であり、
前記第 1 層の表面は (0 0 0 1) 面であり、
前記第 1 層には所定濃度以上の Mg がドーピングされており、
前記テーパ領域の表面近傍のキャリア濃度は、前記第 1 層の表面近傍のキャリア濃度よ
りも高い、請求項 3 または 4 に記載の方法。

40

【請求項 6】

前記テーパ領域は、前記マスク層の前記側壁を起点として、前記基板の表面に対して斜
め上方へ伸びており、
前記マスク層の上面は、前記テーパ領域の前記起点よりも上方に位置している、請求項
3 ~ 5 の何れか 1 項に記載の方法。

【請求項 7】

前記除去工程の後に、前記耐压維持層の表面が前記トレンチの底部に露出している状態
でアニールする工程をさらに備える、請求項 1 ~ 6 の何れか 1 項に記載の方法。

【請求項 8】

50

基板と、
 前記基板の表面に配置された第 1 導電型の耐圧維持層と、
 前記耐圧維持層の表面に配置された第 2 導電型の第 1 層と、
 前記第 1 層の表面に配置された第 1 導電型の第 2 層と、
 前記第 2 層の表面から前記第 2 層および前記第 1 層を貫通して前記耐圧維持層に達する
 トレンチと、
 前記トレンチの内壁に配置されたゲート絶縁膜およびゲート電極と、
 を備える化合物半導体の縦型 MOSFET であって、
 前記トレンチの第 1 の側壁および第 2 の側壁の少なくとも一部は、前記基板の表面に対
 して所定角度のテーパを形成するテーパ領域を有しており、
 前記トレンチは、前記テーパ領域によって底部よりも上部の方が幅が広い形状とされて
 おり、
 前記第 1 の側壁の前記テーパ領域の前記所定角度と、前記第 2 の側壁の前記テーパ領域
 の前記所定角度とが、5 度以内の線対称精度を有している、縦型 MOSFET。
 【請求項 9】
 前記第 1 の側壁および前記第 2 の側壁は、前記トレンチの底部から前記基板の表面に対
 して垂直上方に伸びる下部領域を備えており、
 前記下部領域の上端は、前記テーパ領域の下端と接続しており、
 前記耐圧維持層と前記第 1 層との界面は、前記トレンチの底部よりも上方に位置してい
 る、請求項 8 に記載の縦型 MOSFET。
 【請求項 10】
 前記耐圧維持層と前記第 1 層との界面は、前記下部領域の上端と前記テーパ領域の下端
 との接続点よりも下方側に位置している、請求項 9 に記載の縦型 MOSFET。
 【請求項 11】
 前記テーパ領域の下端は、前記下部領域の上端よりも前記トレンチの中心側へ位置して
 おり、
 前記下部領域の上端は、前記基板と平行な第 1 面を介して前記テーパ領域の下端と接続
 している、請求項 9 に記載の縦型 MOSFET。
 【請求項 12】
 前記化合物半導体は GaN であり、
 前記テーパ領域の表面は (1 - 1 0 1) 面であり、
 前記第 1 層の表面は (0 0 0 1) 面であり、
 前記第 1 層には所定濃度以上の Mg がドーピングされており、
 前記テーパ領域の表面近傍のキャリア濃度は、前記第 1 層の表面近傍のキャリア濃度よ
 りも高い、請求項 8 ~ 11 の何れか 1 項に記載の縦型 MOSFET。
 【請求項 13】
 前記所定角度は約 60 度である、請求項 8 ~ 12 の何れか 1 項に記載の縦型 MOSFET。
 【発明の詳細な説明】
 【技術分野】
 【0001】
 本明細書では、化合物半導体の縦型 MOSFET の新規構造およびその製造方法に関す
 る技術を開示する。
 【背景技術】
 【0002】
 特許文献 1 には、窒化物半導体で形成された、トレンチゲートを備える電界効果トラン
 ジスタが開示されている。トレンチは、ドライエッチング（異方性エッチング）によって
 形成される。
 【先行技術文献】
 【特許文献】

10

20

30

40

50

【 0 0 0 3 】

【 特許文献 1 】 特開 2 0 0 9 - 1 7 7 1 1 0 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

ドライエッチングによってトレンチを形成する場合、トレンチの壁面がダメージを受けてしまう。すると、耐圧が低下してしまうなど、デバイス特性が悪化してしまう場合がある。

【 課題を解決するための手段 】

【 0 0 0 5 】

10

本明細書では、化合物半導体の縦型 M O S F E T を製造する方法を開示する。この製造方法は、基板の表面に第 1 導電型の耐圧維持層を形成する耐圧維持層形成工程と、耐圧維持層の表面の一部に、マスク層を形成するマスク形成工程と、耐圧維持層のマスク層で覆われていない表面を起点として、少なくとも一部が第 2 導電型である第 1 層を耐圧維持層の表面にエピタキシャル成長させるとともに、第 1 導電型の第 2 層を第 1 層の表面にエピタキシャル成長させる成長工程であって、基板に垂直な方向の成長速度が基板と水平な方向の成長速度よりも高い条件を使用することで、マスク層で覆われている耐圧維持層の表面を底部とするトレンチを自己整合的に形成する成長工程と、成長工程の後に、トレンチを介してマスク層を除去する除去工程と、マスク層を除去することで露出した耐圧維持層の表面を底面とするトレンチ内に、ゲート絶縁膜およびゲート電極を形成するゲート形成工程と、を備えることを特徴とする。

20

【 0 0 0 6 】

本明細書の技術では、成長工程によって、トレンチを自己整合的に形成することができる。ドライエッチングによってトレンチを形成する必要がないため、ダメージを受けていない壁面を備えたトレンチを形成することが可能となる。そのため、デバイス特性を向上させることが可能となる。

【 0 0 0 7 】

成長工程は、耐圧維持層の表面に第 1 導電型の下部第 1 層をエピタキシャル成長させる第 1 成長工程と、下部第 1 層の表面に第 2 導電型の上部第 1 層をエピタキシャル成長させる第 2 成長工程と、上部第 1 層の表面に第 1 導電型の第 2 層をエピタキシャル成長させる第 3 成長工程と、を備えていてもよい。

30

【 0 0 0 8 】

トレンチの側壁は、マスク層の側壁に沿って形成された下部領域と、基板の表面に対して所定角度のテーパを有して斜め上方へ伸びるテーパ領域であって、下部領域の上方に位置するテーパ領域と、を備えていてもよい。トレンチは、テーパ領域によって底部よりも上部の方が幅が広い形状とされていてもよい。

【 0 0 0 9 】

所定角度は約 6 0 度であってよい。

【 0 0 1 0 】

化合物半導体は G a N であり、テーパ領域の表面は (1 - 1 0 1) 面であり、第 1 層の表面は (0 0 0 1) 面であり、第 1 層には所定濃度以上の M g がドーピングされており、テーパ領域の表面近傍のキャリア濃度は、第 1 層の表面近傍のキャリア濃度よりも高くてもよい。

40

【 0 0 1 1 】

テーパ領域は、マスク層の側壁を起点として、基板の表面に対して斜め上方へ伸びていてもよい。マスク層の上面は、テーパ領域の起点よりも上方に位置していてもよい。

【 0 0 1 2 】

除去工程の後に、耐圧維持層の表面がトレンチの底部に露出している状態でアニールする工程をさらに備えていてもよい。

【 0 0 1 3 】

50

本明細書では、化合物半導体の縦型MOSFETを開示する。この縦型MOSFETは、基板と、基板の表面に配置された第1導電型の耐圧維持層と、耐圧維持層の表面に配置された第2導電型の第1層と、第1層の表面に配置された第1導電型の第2層と、第2層の表面から第2層および第1層を貫通して耐圧維持層に達するトレンチと、トレンチの内壁に配置されたゲート絶縁膜およびゲート電極と、を備える化合物半導体の縦型MOSFETであってもよい。トレンチの第1の側壁および第2の側壁の少なくとも一部は、基板の表面に対して所定角度のテーパを形成するテーパ領域を有しており、トレンチは、テーパ領域によって底部よりも上部の方が幅が広い形状とされており、第1の側壁のテーパ領域の所定角度と、第2の側壁のテーパ領域の所定角度とが、5度以内の線対称精度を有していてもよい。

10

【0014】

第1の側壁および第2の側壁は、トレンチの底部から基板の表面に対して垂直上方に伸びる下部領域を備えており、下部領域の上端は、テーパ領域の下端と接続しており、耐圧維持層と第1層との界面は、トレンチの底部よりも上方に位置していてもよい。

【0015】

耐圧維持層と第1層との界面は、下部領域の上端とテーパ領域の下端との接続点よりも下方側に位置していてもよい。

【0016】

テーパ領域の下端は、下部領域の上端よりもトレンチの中心側へ位置しており、下部領域の上端は、基板と平行な第1面を介してテーパ領域の下端と接続していてもよい。

20

【0017】

化合物半導体はGaNであり、テーパ領域の表面は(1-101)面であり、第1層の表面は(0001)面であり、第1層には所定濃度以上のMgがドーピングされており、テーパ領域の表面近傍のキャリア濃度は、第1層の表面近傍のキャリア濃度よりも高くてもよい。

【0018】

所定角度は約60度であってもよい。

【図面の簡単な説明】

【0019】

【図1】実施例1に係る縦型MOSFETの断面構造を示す図である。

30

【図2】縦型MOSFETのチップの上面図である。

【図3】縦型MOSFETの作成フロー図である。

【図4】縦型MOSFETの製造工程の説明図である。

【図5】縦型MOSFETの製造工程の説明図である。

【図6】縦型MOSFETの製造工程の説明図である。

【図7】縦型MOSFETの製造工程の説明図である。

【図8】縦型MOSFETの製造工程の説明図である。

【図9】縦型MOSFETの製造工程の説明図である。

【図10】Mgの濃度とホール濃度の関係を示すグラフである。

【図11】実施例2に係る縦型MOSFETの断面構造を示す図である。

40

【図12】縦型MOSFETの製造工程の説明図である。

【図13】縦型MOSFETの製造工程の説明図である。

【図14】縦型MOSFETの製造工程の説明図である。

【発明を実施するための形態】

【実施例1】

【0020】

<縦型MOSFET1の構造>

図2に、実施例1に係る、窒化物半導体の縦型MOSFETのチップ10の上面図を示す。図2は、分かりやすさのために、ゲート絶縁膜15、ソース電極16、ゲート電極17等の記載を省略している。本実施例では、窒化物半導体として、窒化ガリウム(GaN

50

)を用いている。チップ10の表面には、複数のトレンチ21が形成されている。チップ10を平面視したときに、複数のトレンチ21は、y方向に揃って延びている。y方向は、GaNのa軸方向である。複数のトレンチ21は、距離D1をあけて形成されるとともに、直線状に延びている。本実施例では、距離D1は、後述するp型層13の膜厚に対して10倍以内である。

【0021】

図2のI-I線における断面図を、図1に示す。1を用いて、縦型MOSFET1の断面構造を説明する。基板11、耐圧維持層12aおよび12b、p型層13、n型層14は、GaNである。基板11の表面には、n型の耐圧維持層12aおよび12bが配置されている。本実施例では、n型不純物として、Siを用いている。耐圧維持層12aおよび12bのn型不純物濃度は、要求される耐圧値に応じて、自由に設定することができる。耐圧維持層12aおよび12bのn型不純物濃度は、たとえば、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。

10

【0022】

耐圧維持層12bの表面には、p型層13が配置されている。本実施例では、p型不純物として、Mgを用いている。p型層13には所定濃度以上のMgがドーピングされている。所定濃度の一例としては、図10を用いて後述するように、(0001)面と(1-101)面とでキャリアの濃度差が発生する濃度が挙げられる。p型層13のp型不純物濃度は、たとえば、 $1 \times 10^{15} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。

20

【0023】

p型層13の表面13aには、n型層14が配置されている。n型層14のn型不純物濃度は、たとえば、 $1 \times 10^{18} \sim 1 \times 10^{22} \text{ cm}^{-3}$ である。

30

【0024】

n型層14の表面から、n型層14、p型層13および耐圧維持層12bを貫通して、耐圧維持層12aに達するトレンチ21が形成されている。トレンチ21の左側壁および右側壁の各々は、トレンチ21の底部21aから基板11の表面に対して垂直上方に伸びる下部領域21bおよび21cの各々を備えている。下部領域21bの上端は、テーパー領域21dの下端と接続点C1で接続している。同様に、下部領域21cの上端は、テーパー領域21eの下端と接続点C2で接続している。テーパー領域21dは、接続点C1を起点として、基板11の表面に対して所定角度A1を有して、左斜め上方へ伸びている。同様に、テーパー領域21eは、接続点C2を起点として、基板11の表面に対して所定角度A2を有して、右斜め上方へ伸びている。所定角度A1およびA2は、約60度である。ここで「約」60度とは、60度からプラスマイナス数度の差を含む概念である。所定角度A1およびA2とは、5度以内の線対称精度を有している。トレンチ21は、テーパー領域21dおよび21eによって、底部の幅W1よりも上部の幅W2の方が広い形状とされている。

40

【0025】

テーパー領域21dおよび21eの表面は、GaNの(1-101)面である。またp型層13の表面13aは、GaNの(0001)面である。耐圧維持層12bとp型層13との界面は、トレンチ21の底部21aよりも上方に位置しているとともに、接続点C1およびC2よりも下方側に位置している。

50

【0026】

トレンチ21の内壁の全面、および、n型層14の表面の一部には、ゲート絶縁膜15が配置されている。本実施例では、ゲート絶縁膜15には、酸化シリコン膜(SiO₂)を用いている。トレンチ21の内壁に配置されているゲート絶縁膜15の表面には、ゲート電極17が配置されている。ゲート電極17は、導電性材料であればよい。例えば、Al、Ni/Au合金、ポリシリコンなどを用いることができる。複数のゲート電極17は、共通接続されている(不図示)。

【0027】

n型層14の表面には、ソース電極16が配置されている。ソース電極16の材料とし

50

ては、Al、Ti、ニッケル、ITO (Indium Tin Oxide) などを用いることができる。複数のソース電極16は、共通接続されている(不図示)。

【0028】

基板11の裏面には、ドレイン電極20が配置されている。ドレイン電極20の材料としては、たとえば、Alなどの金属を用いることができる。ドレイン電極20は、基板11を介して、耐圧維持層12aに電氣的に接続されている。ドレイン電極20は、複数のトレンチゲートに対して共通である。

【0029】

<縦型MOSFET1の製造方法>

図3のフローおよび図4~図9の模式的な断面を用いて、縦型MOSFET1の製造方法を説明する。ステップ(以下Sと略する)10において、GaNの基板11の表面に耐圧維持層12aを形成する。この工程は、MOCVD法(Metal Organic Chemical Vapor Deposition)を用いて行うことができる。MOCVD法では、n型不純物であるSiをドーピングしながら、耐圧維持層12aをエピタキシャル成長させることができる。これにより、図4に示す構造が形成される。

10

【0030】

S20において、マスク層18が形成される。具体的な工程を説明する。耐圧維持層12aの表面に、酸化シリコン膜を形成する。そして、公知のフォトリソグラフィ技術により、パターニングを行う。具体的には、レジストを塗布し、露光および現像し、レジストマスクを形成する。その後、ウェットエッチングにより、レジストマスクの形状を酸化シリコン膜に転写する。これにより、図5に示すように、耐圧維持層12a上にマスク層18が形成される。マスク層18は、トレンチ21の底部21aに対応する領域に配置される。すなわちマスク層18は、トレンチ21の底部21aの幅W1を有するストライプ形状にパターニングされる。また、マスク層18のパターニングに、RIEなどのドライエッチングではなくウェットエッチングを用いることにより、耐圧維持層12aの表面にダメージが入ってしまうことを防止できる。

20

【0031】

S30~S50の工程について説明する。S30~S50では、MOCVD法によってGaNをエピタキシャル成長させる。またS30~S50は、同一のチャンバ内で連続して行われる。S30~S50のエピタキシャル成長は、基板11に垂直なz方向の成長速度が基板11と水平なx方向の成長速度よりも高い条件を使用する。具体的に説明する。S30~S50で行われるMOCVD法において、III族元素原料ガスの供給レートに対する窒素原料ガスの供給レートの比率を、「V/III比」と定義する。V/III比を適切に制御することで、結晶性を阻害せずに、z方向の成長速度をx方向の成長速度よりも高くすることが可能である。例えば、100~50000の範囲内のV/III比を使用することができる。

30

【0032】

S30において、耐圧維持層12aの表面にn型の耐圧維持層12bをエピタキシャル成長させる。S30では、n型不純物であるSiをドーピングしながら、n型の耐圧維持層12bを成長させる。耐圧維持層12bの厚さは、後述するp型層13よりも薄い。これにより、図6に示すように、耐圧維持層12aの表面に選択的に耐圧維持層12bを成長させることができる。耐圧維持層12bの側面は、マスク層18の側壁に沿って形成される。

40

【0033】

S40において、耐圧維持層12bの表面にp型層13をエピタキシャル成長させる。S30からS40への切り替えは、GaNにドーピングする不純物を、n型不純物であるSiからp型不純物であるMgに切り換えることにより行うことができる。これにより、図7に示すように、p型層13が形成される。また、x方向よりもz方向の成長速度の方が高いエピタキシャル成長条件を用いているため、z方向の膜厚が厚くなるほど、x方向の幅が狭くなるようにp型層13が成膜される。そのため、エピタキシャル成長の途中で、

50

テーパー領域 2 1 d および 2 1 e が発生する。テーパー領域 2 1 d および 2 1 e の発生点は、前述した接続点 C 1 および C 2 に相当する。テーパー領域 2 1 d および 2 1 e の表面は、(1 - 1 0 1) 面である。また p 型層 1 3 の表面 1 3 a は、(0 0 0 1) 面である。

【 0 0 3 4 】

なお、マスク層 1 8 の厚さ T 1 は、マスク層 1 8 の上面 1 8 a が、接続点 C 1 および C 2 よりも上方に位置するように決定すればよい。これにより、接続点 C 1 および C 2 が上面 1 8 a に形成されてしまうことがない。例えば、耐圧維持層 1 2 b の厚さが約 5 ~ 1 5 マイクロメートル、p 型層 1 3 の厚さが約 0 . 2 ~ 1 マイクロメートルの場合には、マスク層 1 8 の厚さ T 1 は約 1 ~ 3 マイクロメートルであってもよい。

【 0 0 3 5 】

S 5 0 において、p 型層 1 3 の表面 1 3 a に n 型層 1 4 をエピタキシャル成長させる。S 4 0 から S 5 0 への切り替えは、G a N にドーブする不純物を、p 型不純物である M g から n 型不純物である S i に切り換えることによって行うことができる。これにより、図 8 に示すように、n 型層 1 4 が形成される。S 5 0 においても、x 方向よりも z 方向の成長速度の方が高いエピタキシャル成長条件を用いているため、p 型層 1 3 の表面のみに n 型層 1 4 を成長させることができる。p 型層 1 3 のテーパー領域 2 1 d およびテーパー領域 2 1 e には、n 型層 1 4 が成長しない。また n 型層 1 4 のテーパー領域と、p 型層 1 3 のテーパー領域とが同一平面となるように、n 型層 1 4 を成長させることができる。

【 0 0 3 6 】

S 6 0 において、マスク層 1 8 をウェットエッチングで除去する。これにより、図 9 に示すように、マスク層 1 8 で覆われていた耐圧維持層 1 2 a の表面を底部とするトレンチ 2 1 を自己整合的に形成することができる。

【 0 0 3 7 】

S 7 0 において、耐圧維持層 1 2 a の表面がトレンチ 2 1 の底部に露出している状態でアニールを行う。

【 0 0 3 8 】

S 8 0 において、トレンチ 2 1 内に、ゲート絶縁膜 1 5 およびゲート電極 1 7 を形成する。具体的に説明する。図 9 の構造において、トレンチ 2 1 内および n 型層 1 4 の表面に、シリコン酸化膜が成膜される。そして、公知のフォトリソグラフィ技術により、n 型層 1 4 の表面のシリコン酸化膜をドライエッチングにより除去する。これにより、トレンチ 2 1 内にゲート絶縁膜 1 5 を形成することができる。続いて、ゲート絶縁膜 1 5 の表面および n 型層 1 4 の表面に、A 1 膜が成膜される。そして、公知のフォトリソグラフィ技術により、n 型層 1 4 の表面の A 1 膜をドライエッチングにより除去する。これにより、トレンチ 2 1 内にゲート電極 1 7 を形成することができる。

【 0 0 3 9 】

S 9 0 において、n 型層 1 4 の表面に、ソース電極 1 6 を形成する。S 1 0 0 において、基板 1 1 の裏面に、ドレイン電極 2 0 を形成する。ソース電極 1 6 やドレイン電極 2 0 の具体的な形成方法は、前述したゲート電極 1 7 の形成方法と同様であるため、説明を省略する。これにより、図 1 に示す縦型 M O S F E T 1 が完成する。

【 0 0 4 0 】

< 縦型 M O S F E T 1 の動作 >

縦型 M O S F E T 1 をオンさせる場合を説明する。ソース電極 1 6 とドレイン電極 2 0 との間に、ドレイン電極 2 0 側が正となるバイアス電圧を印加する。そして、ゲート電極 1 7 に対して、ソース電極 1 6 に印加されるソース電圧に対してゲート閾値電圧以上のゲート電圧を印加する。これにより、p 型層 1 3 におけるゲート絶縁膜 1 5 との界面近傍には、電子が誘起されて、反転層が形成される。反転層を介して、耐圧維持層 1 2 b と n 型層 1 4 との間が導通することで、縦型 M O S F E T 1 がオン状態となる。

【 0 0 4 1 】

< 実施例 1 の効果 >

従来は、トレンチをドライエッチングによって形成していたため、トレンチの内壁面に

10

20

30

40

50

ダメージ層が形成されていた。ダメージ層からは窒素が抜けてしまうため、ダメージ層では GaN の特性が変化してしまう（例：n 型になってしまう）。トレンチの内壁面は反転層が形成される重要な領域であるため、トレンチの内壁面にダメージ層が形成されると、デバイス特性が悪化してしまう場合があった。一方、本明細書の技術では、成長工程（S30～S50）によって、トレンチ21を自己整合的に形成することができる（図8参照）。ドライエッチングによってトレンチ21を形成する必要がないため、ダメージを受けていない内壁面を備えたトレンチ21を形成することが可能となる。デバイス特性の悪化を防止することが可能となる。

【0042】

また従来技術では、トレンチをドライエッチングによって形成した後に、トレンチ内壁面のダメージ層をウェットエッチングで除去する場合があった。しかし、エッチング量にも制限があるため、ダメージ層を完全に除去することは困難である。またウェットエッチングは等方性エッチングであるため、トレンチの断面形状を劣化させてしまう場合がある。一方、本明細書の技術では、トレンチ内壁面にダメージ層が全く形成されないため、ダメージ層を除去するためのエッチング工程を必要としない。トレンチの断面形状の劣化を防止することが可能となる。

【0043】

耐圧維持層12aの表面は、S20においてマスク層を形成する際に大気に露出されるため、自然酸化膜が形成されていたり、各種の吸着層が形成されており、汚染されている。汚染されている面を用いてPN接合を形成すると、デバイス特性が悪化してしまう場合がある。そこで本明細書の技術では、耐圧維持層12aの表面にn型の耐圧維持層12bをエピタキシャル成長（S30）させてから、同一チャンバ内で連続的にp型層13をエピタキシャル成長（S40）させる。これにより、耐圧維持層12aとp型層13のPN接合を清浄面で形成することができるため、デバイス特性の悪化を防止することが可能となる。同様に、p型層13の表面へのn型層14のエピタキシャル成長（S50）も、同一チャンバ内で連続的に行うことができる。よって、p型層13とn型層14のPN接合を清浄面で形成することができる。

【0044】

S40において、p型層13をエピタキシャル成長させる際に、所定濃度以上のMgがドーピングされる。これにより、テーパー領域21dおよび21e（図1）の表面近傍のキャリア濃度（ホール濃度ともいう）を、p型層13の表面13a近傍のキャリア濃度よりも高くすることができる。図10のグラフを用いて説明する。図10の横軸はGaNにドーピングされるMgの濃度であり、右側に行くほど高濃度である。図10の縦軸はホール濃度であり、上側に行くほど高濃度である。丸印および実線は、テーパー領域21dの表面である、(1-101)面でのホール濃度を示している。三角印および点線は、p型層13の表面13aである、(0001)面でのホール濃度を示している。図10において、GaNにドーピングされるMgの濃度が濃度P1を超えると、(1-101)面のホール濃度が上昇し続ける一方で、(0001)面のホール濃度が低下することが分かる。従って、所定濃度を濃度P1よりも高くすることで、テーパー領域21dおよび21eの表面のホール濃度を、p型層13の表面13aのホール濃度よりも高くすることが可能となる。テーパー領域21dおよび21eの表面は、反転層が形成される重要な領域であるため、縦型MOSFET1のオン抵抗を低減することが可能となる。また、テーパー領域21dおよび21eの表面近傍のキャリア濃度が、p型層13の表面13a近傍のキャリア濃度よりも高いことは、カソードルミネッセンス法（CL法）によって確認することが可能である。具体的に説明する。CL法では、試料に電子線を照射した際に放出される光を検出する。このとき、テーパー領域21dおよび21eの表面近傍の方が、p型層13の表面13a近傍よりも明るく光ることを観察することで、上記内容を確認することができる。

【0045】

S40においてp型層13をエピタキシャル成長させる際に、p型不純物であるMgをドーピングしている。Mgをドーピングする場合には、Mgと結合した水素と一緒にGaN結晶中

10

20

30

40

50

に混入する。従って、アニールすることによって水素を脱離させ、p型層13を活性化させる必要がある。しかしp型層13とn型層14は、S40およびS50において連続して成長させるため、p型層13の上部にn型層14が形成されている状態でアニールを行う必要がある。トレンチ21がない場合には、n型層14がp型層13を完全に覆ってしまうため、水素を効率よく脱離させることができない。本実施例の技術では、S70において、トレンチ21が自己整合的に形成されている状態で、アニールをすることができる。トレンチ21の内壁にp型層13が露出しているため、n型層14に阻害されることなく、水素を効率よく脱離させることができる。p型層13の活性化を効率よく行うことが可能になる。

【0046】

本明細書の技術では、トレンチ21の底部の幅W1を、マスク層18で規定することができる(図5参照)。またトレンチ21の開口部の幅W2を、テーパ領域21dおよび21eの(1-101)面によって規定することができる(図1参照)。従って、図1における所定角度A1およびA2を、5度以内の線対称精度で高精度に形成することができる。すなわち、フォトリソグラフィによるパターンング技術(S20)と、安定な側面を形成する成長手法(S30~S50)により、トレンチ21の形状の制御を行うことができるため、幅W2のバラつきを抑制することができる。その結果、図2において、複数のトレンチ21の間の距離D1を狭めることが可能となる。チップ10のトレンチ密度を高めることができるため、チップ10の特性を向上させることが可能となる。

【実施例2】

【0047】

実施例2は、実施例1よりも薄いマスク層18を用いる場合の例である。図11を用いて、実施例2に係る縦型MOSFET1aの断面構造を説明する。トレンチ21の左側壁および右側壁の各々は、トレンチ21の底部21aから基板11の表面に対して垂直上方に伸びる下部領域21bおよび21cの各々を備えている。テーパ領域21dの下端E1は、下部領域21bの上端よりもトレンチ21の中心側へ位置している。下部領域21bの上端は、基板11と平行な面F1を介してテーパ領域21dの下端E1と接続している。同様に、テーパ領域21eの下端E2は、下部領域21cの上端よりもトレンチ21の中心側へ位置している。下部領域21cの上端は、基板11と平行な面F2を介してテーパ領域21eの下端E2と接続している。耐压維持層12bとp型層13との界面は、面F1および面F2よりも上方側に位置している。なお、実施例2の縦型MOSFET1aのその他の構造は、実施例1の縦型MOSFET1の構造と同様である。

【0048】

実施例2の縦型MOSFET1aの製造方法について、実施例1の縦型MOSFET1の製造方法と異なる点を中心に説明する。S20において、図12に示すようにマスク層18が形成される。実施例2のマスク層18の厚さT2は、実施例1のマスク層18の厚さT1(図7参照)よりも薄い。

【0049】

S30において、図13に示すように耐压維持層12aの表面にn型の耐压維持層12bをエピタキシャル成長させる。耐压維持層12bの厚さは、マスク層18よりも厚い。x方向よりもz方向の成長速度の方が高いエピタキシャル成長条件を用いているため、z方向の膜厚が厚くなるほど、x方向の幅が狭くなるように耐压維持層12bが成膜される。

【0050】

S40において、耐压維持層12bの表面にp型層13をエピタキシャル成長させる。これにより、図14に示すように、p型層13が形成される。また、p型層13は、x方向(すなわちトレンチの中心方向)へも成長する。なお、x方向への成長量は、z方向への成長量よりも少ない。これにより、テーパ領域21dの下端E1は、マスク層18の上面18a上であって、マスク層18の側壁よりもトレンチ21の中心側へ位置する。同様に、テーパ領域21eの下端E2は、マスク層18の上面18a上であって、マスク層1

10

20

30

40

50

8の側壁よりもトレンチ21の中心側へ位置する。S50以降の処理は、実施例1と同様である。

【0051】

図11に示すように、実施例2に係る縦型MOSFET1aは、テーパー領域21dの下端E1が下部領域21bの上端よりもトレンチ21の中心側へ位置するとともに、テーパー領域21eの下端E2が下部領域21cの上端よりもトレンチ21の中心側へ位置するという、特徴的な構造を備えている。この構造は、成長工程(S30~S50)によってトレンチ21を自己整合的に形成するが故に形成することができる構造である。すなわち、この構造は、本明細書に記載の技術によって形成されたトレンチゲートに特有の構造である。

10

【0052】

<変形例>

以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

【0053】

S50においてn型層14を成長させた場合に、トレンチ21の内壁にもn型層14の薄膜が形成される場合には、トレンチ21内壁のn型層14の薄膜を除去するためのウェットエッチングを追加してもよい。このウェットエッチングは、S60のウェットエッチングの前に行われてもよい。

20

【0054】

n型層14をエピタキシャル成長によって形成する形態を説明したが、この形態に限られない。n型層14を、例えばイオン注入によって形成してもよい。この場合、p型層13を成長させた後に、公知のフォトリソグラフィ技術により、ソース電極16を配置する領域が開口しているレジストマスクを形成すればよい。そして、レジストマスクを介してp型層13の表面からn型のドーパントを注入すればよい。

【0055】

基板11の材料は、GaNに限られない。Si基板およびSiC基板などの導電性基板を用いることも可能である。GaNにドーブするp型不純物は、Mgに限られない。C、Fe、亜鉛などを用いることも可能である。GaNにドーブするn型不純物は、Siに限られない。Ge、酸素、などを用いることも可能である。

30

【0056】

マスク層18の材料には、誘電体や金属などの各種の材料を用いることができる。誘電体を用いる場合には、窒化シリコン膜を用いることも可能である。

【0057】

S20において、マスク層18のパターニングには、ウェットエッチングではなく、異方性のドライエッチング(RIE等)を用いてもよい。

【0058】

なお、本実施例では、MOSFETについて説明したが、本明細書に開示の技術は、トレンチ型のゲート電極を有する他のスイッチング素子(例えば、IGBT等)に使用することもできる。また、本実施例ではn型MOSFETについて説明したが、p型MOSFETについても本実施例の技術を適用することが可能である。この場合、本実施例の記載内容においてn型とp型を入れ替えればよい。

40

【0059】

S70のアニール工程は、省略することが可能である。以上より、一般的に言うと、本明細書に係る縦型MOSFETの製造方法は、S10~S60と、S80とを少なくとも実行すればよい。

【0060】

本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。

50

また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【0061】

S10は、耐圧維持層形成工程の一例である。S20は、マスク形成工程の一例である。耐圧維持層12bおよびp型層13、または、p型層13は、第1層の一例である。p型層13は、第1層の一例である。n型層14は、第2層の一例である。S30、S40、S50は、成長工程の一例である。S60は、除去工程の一例である。S80は、ゲート形成工程の一例である。耐圧維持層12bは、下部第1層の一例である。S30は、第1成長工程の一例である。p型層13は、上部第1層の一例である。S40は、第2成長工程の一例である。S50は、第3成長工程の一例である。面F1および面F2は、第1面の一例である。

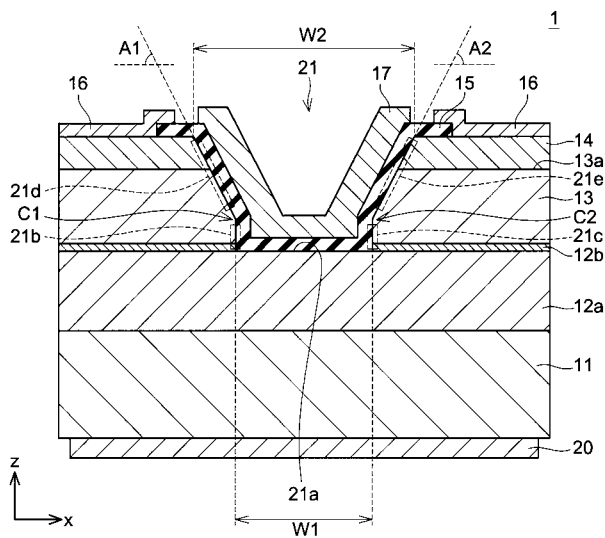
10

【符号の説明】

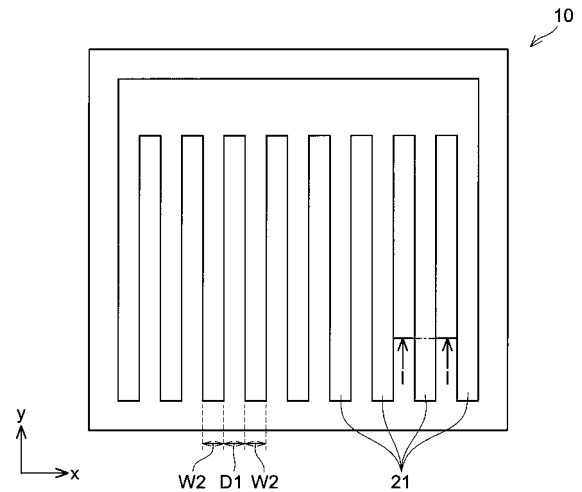
【0062】

11：基板、12a：耐圧維持層、12b：耐圧維持層、13：p型層、14：n型層、15：ゲート絶縁膜、16：ソース電極、17：ゲート電極、20：ドレイン電極、21：トレンチ

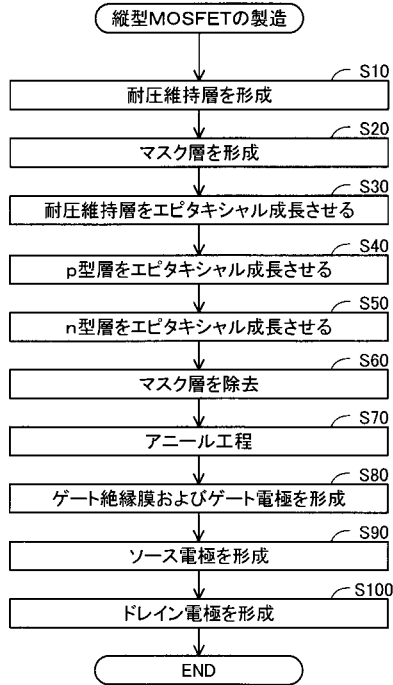
【図1】



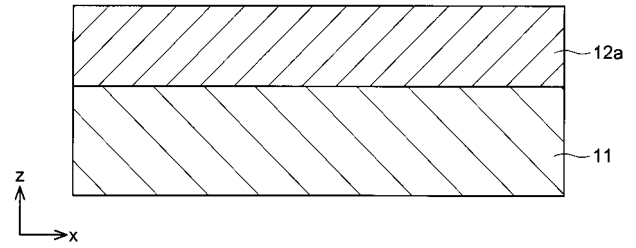
【図2】



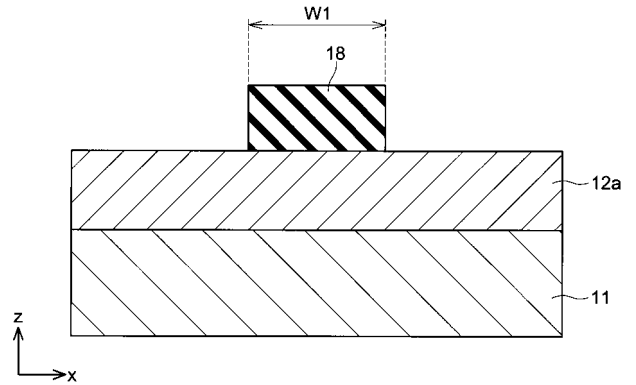
【 図 3 】



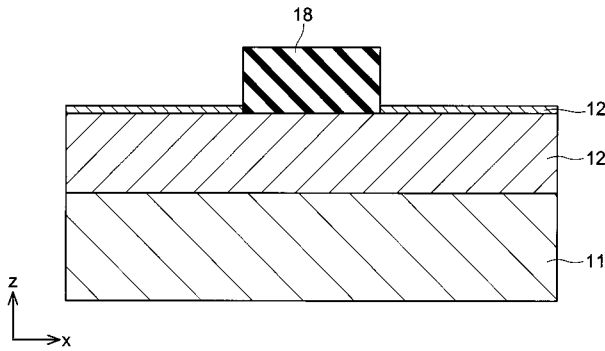
【 図 4 】



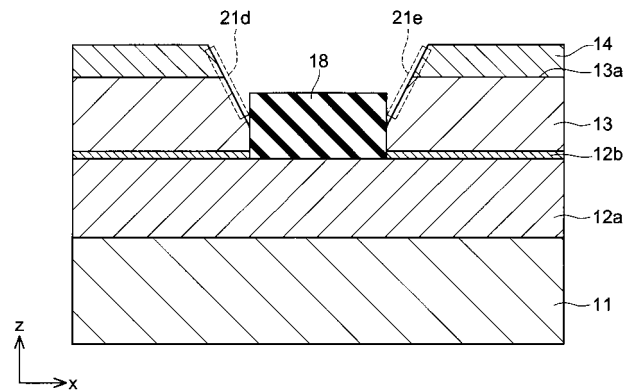
【 図 5 】



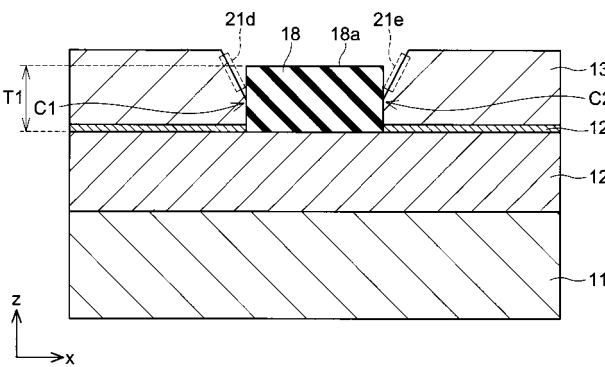
【 図 6 】



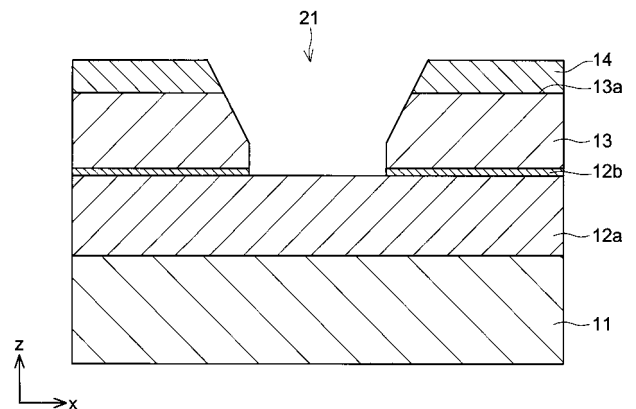
【 図 8 】



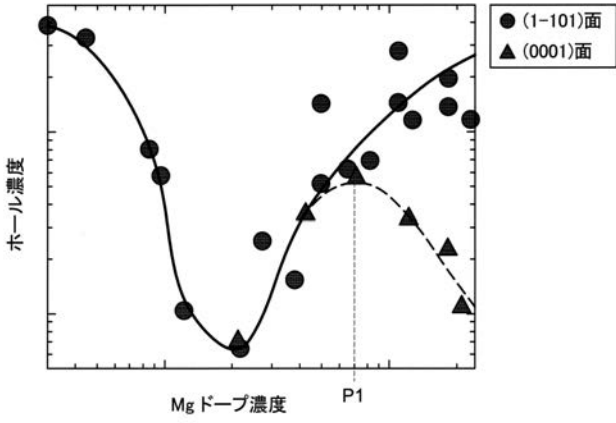
【 図 7 】



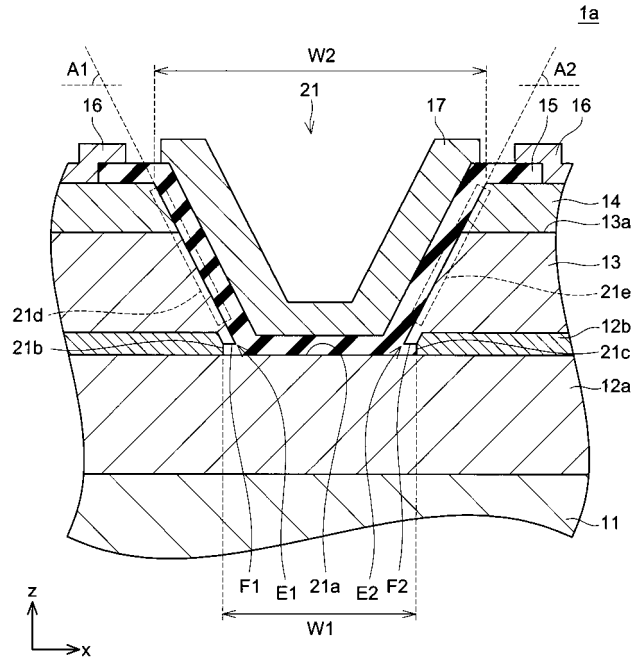
【 図 9 】



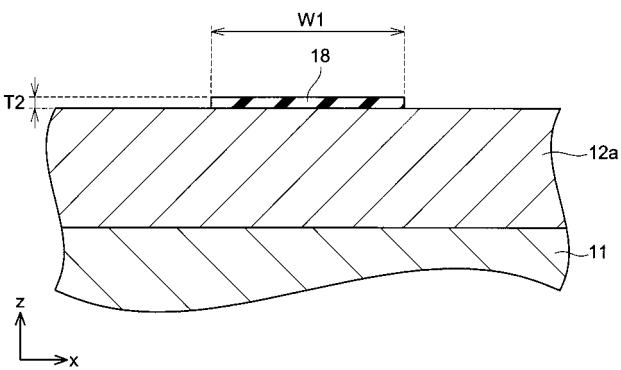
【図10】



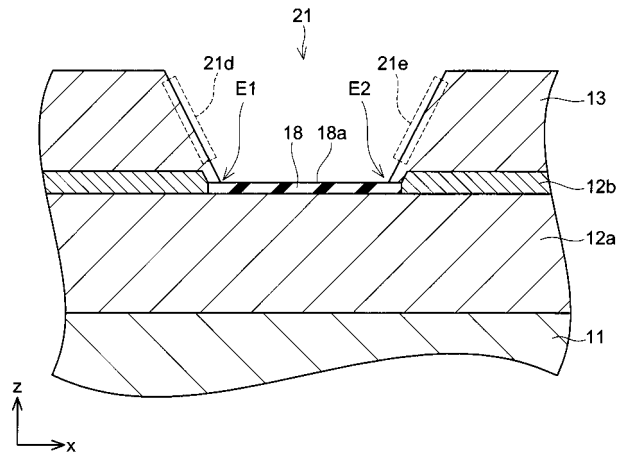
【図11】



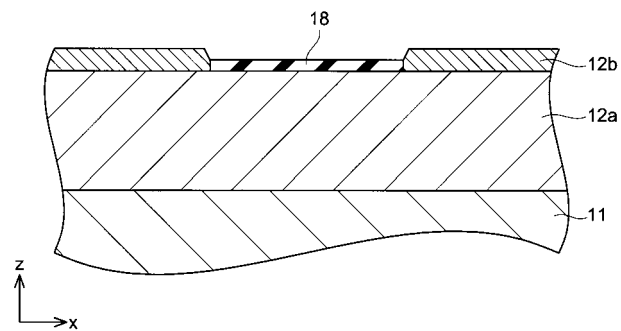
【図12】



【図14】



【図13】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 5 2 K
	H 0 1 L 29/78	6 5 2 C
	H 0 1 L 21/20	

(72)発明者 出来 真斗

愛知県名古屋市千種区不老町1番 国立大学法人名古屋大学内

Fターム(参考) 5F152 LL05 LM02 LM04 MM04 NN09 NN27 NQ09