

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6501403号
(P6501403)

(45) 発行日 平成31年4月17日(2019.4.17)

(24) 登録日 平成31年3月29日(2019.3.29)

(51) Int.Cl.		F I	
HO4N	5/374	(2011.01)	HO4N 5/374
HO4N	5/369	(2011.01)	HO4N 5/369
HO4N	5/376	(2011.01)	HO4N 5/376
HO1L	27/146	(2006.01)	HO1L 27/146

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2015-561054 (P2015-561054)	(73) 特許権者	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(86) (22) 出願日	平成27年2月6日(2015.2.6)	(74) 代理人	100088155 弁理士 長谷川 芳樹
(86) 国際出願番号	PCT/JP2015/053370	(74) 代理人	100124800 弁理士 諏澤 勇司
(87) 国際公開番号	W02015/119243	(74) 代理人	100183438 弁理士 内藤 泰史
(87) 国際公開日	平成27年8月13日(2015.8.13)	(72) 発明者	川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学内
審査請求日	平成30年1月30日(2018.1.30)	(72) 発明者	安富 啓太 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学内
(31) 優先権主張番号	特願2014-22344 (P2014-22344)		
(32) 優先日	平成26年2月7日(2014.2.7)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 イメージセンサ

(57) 【特許請求の範囲】

【請求項1】

入射光を電荷に変換する受光部と、電荷を蓄積する電荷蓄積部と、前記受光部から前記電荷蓄積部への電荷の転送を制御するゲート電極とを有し、複数の列毎に一次元的に複数配列された光電変換素子と、

前記ゲート電極に印加する制御クロックを入力するクロック入力部と、

前記光電変換素子或いは前記光電変換素子の群の複数の列毎に対応して設けられ、前記クロック入力部の入力した前記制御クロックを可変の時間で遅延させ、該制御クロックを対応する列に属する複数の前記光電変換素子の前記ゲート電極に印加する第1の遅延調整部と、

を備えることを特徴とするイメージセンサ。

【請求項2】

前記第1の遅延調整部は、遅延時間を決定する値を保持する記憶部と、

前記記憶部に保持された前記値に応じて信号遅延特性を変化させる遅延調整回路と、を有することを特徴とする請求項1記載のイメージセンサ。

【請求項3】

複数の前記光電変換素子或いは複数の前記光電変換素子の群は、複数の行毎に一次元的にさらに配列されており、

前記クロック入力部の入力した前記制御クロックを前記複数の行毎に可変の時間で遅延させ、該制御クロックを対応する行に属する複数の前記光電変換素子の前記ゲート電極に

印加する第 2 の遅延調整部をさらに備える、
ことを特徴とする請求項 1 又は 2 記載のイメージセンサ。

【請求項 4】

前記第 2 の遅延調整回路は、

前記光電変換素子の複数の行毎に対応して設けられ、遅延時間を決定する値を保持する記憶部と、

前記複数の光電変換素子毎に設けられ、前記記憶部に保持された前記値に応じて信号遅延特性を前記光電変換素子の行毎に変化させる遅延調整回路とを有する、
ことを特徴とする請求項 3 に記載のイメージセンサ。

【請求項 5】

前記第 2 の遅延調整回路は、

前記複数の光電変換素子毎に設けられ、遅延時間を決定する値を保持する記憶部と、

前記複数の光電変換素子毎に設けられ、前記記憶部に保持された前記値に応じて信号遅延特性を前記光電変換素子の属する画素毎に変化させる遅延調整回路とを有する、
ことを特徴とする請求項 3 に記載のイメージセンサ。

【請求項 6】

前記第 2 の遅延調整回路は、

前記複数の光電変換素子の群毎に設けられ、遅延時間を決定する値を保持する記憶部と

、
前記複数の光電変換素子の群毎に設けられ、前記記憶部に保持された前記値に応じて信号遅延特性を前記光電変換素子の群毎に変化させる遅延調整回路とを有する、
ことを特徴とする請求項 3 に記載のイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一側面は、複数の画素を含むイメージセンサに関する。

【背景技術】

【0002】

従来から、光の飛行時間を計測することで距離計測が可能な T O F (Time Of Flight) 法を用いた C C D (Charge Coupled Device) イメージセンサや C M O S (Complementary Metal Oxide Semiconductor) イメージセンサ、蛍光寿命計測用、ラマン分光イメージング用、又は近赤外分光イメージング用のイメージセンサの開発が進められている。例えば、下記非特許文献 1 及び下記特許文献 2 には、T O F 距離画像センサが開示されている。この T O F 距離画像センサでは、光源と同期したロックイン検出による間接法が採用され、距離分解能が高められている。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】S. Kawahito et al., "A CMOS time-of-flight range image sensor with gates-on-field-oxide structure"; IEEE Sensors Journal, Vol. 7, No. 12, pp.1 578-1586, Dec 2007.

【非特許文献 2】K.Yasutomi et al., "A Time-of-Flight Image Sensor with Sub-mm Resolution Using Draining Only Modulation Pixels," Proc. 2013 Intl. Image Sensor Workshop, pp.361-364, Jun. 2013.

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記の従来のイメージセンサにおいては、高時間分解能が要求されるにしたがって、画素に供給する制御信号の時間的ずれ(スキュー)が問題となる。制御信号のスキューは、制御信号の供給線に設けられるバッファの製造ばらつきや供給線における

10

20

30

40

50

遅延などにより発生し、画素ごとに数百ピコ秒からナノ秒程度に至ることがある。例えば、上記非特許文献2のような数ピコ秒の分解能を有するイメージセンサを実現しようとした場合には、測定範囲が数百ピコ程度であるため、スキューにより距離演算が困難となり、イメージングの精度が低下する。

【0005】

そこで、本発明の一側面は、かかる課題に鑑みて為されたものであり、時間分解能が高められた高精度のイメージングを可能にするイメージセンサを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するため、本発明の一側面にかかるイメージセンサは、入射光を電荷に変換する受光部と、電荷を蓄積する電荷蓄積部と、受光部から電荷蓄積部への電荷の転送を制御するゲート電極とを有し、複数の列毎に一次的に複数配列された光電変換素子と、ゲート電極に印加する制御クロックを入力するクロック入力部と、光電変換素子或いは光電変換素子の群の複数の列毎に対応して設けられ、クロック入力部の入力した制御クロックを可変の時間で遅延させ、該制御クロックに対応する列に属する複数の光電変換素子のゲート電極に印加する第1の遅延調整部と、を備える。

【0007】

このようなイメージセンサによれば、複数の列毎に配列された複数の光電変換素子のゲート電極にクロック入力部から制御クロックが入力されることにより、各光電変換素子における受光部から電荷蓄積部への電荷の転送タイミングが制御される。その際、各光電変換素子に入力される制御クロックは、光電変換素子或いは光電変換素子の群の複数の列毎に設けられた第1の遅延調整部を経由することにより、列毎に可変の遅延時間が設定される。これにより、クロック入力部と光電変換素子との間に設けられるバッファの特性差等によって生じやすい列毎の伝送遅延の差を打ち消すことができ、光電変換素子の列間での制御信号のスキューの発生を防止できる。その結果、時間分解能が高められた高精度のイメージングを可能にする。

【0008】

第1の遅延調整部は、遅延時間を決定する値を保持する記憶部と、記憶部に保持された値に応じて信号遅延特性を変化させる遅延調整回路と、を有してもよい。このような第1の遅延調整部の構成により、記憶部に保持する値を調整することにより第1の遅延調整部の信号遅延特性を変化させることができる。これにより、光電変換素子の列毎の伝送遅延の差を容易に打ち消すことができる。

【0009】

また、複数の光電変換素子或いは複数の光電変換素子の群は、複数の行毎に一次的にさらに配列されており、クロック入力部の入力した制御クロックを複数の行毎に可変の時間で遅延させ、該制御クロックに対応する行に属する複数の光電変換素子のゲート電極に印加する第2の遅延調整部をさらに備えてもよい。かかる構成を採れば、クロック入力部と光電変換素子との間の配線部によって生じる行毎の伝送遅延の差を打ち消すことができ、光電変換素子の行間での制御信号のスキューの発生を防止できる。その結果、さらに時間分解能が高められた高精度のイメージングを可能にする。

【0010】

さらに、第2の遅延調整回路は、光電変換素子の複数の行毎に対応して設けられ、遅延時間を決定する値を保持する記憶部と、複数の光電変換素子毎に設けられ、記憶部に保持された値に応じて信号遅延特性を光電変換素子の行毎に変化させる遅延調整回路とを有してもよい。このような第2の遅延調整部の構成により、記憶部に保持する値を調整することにより行毎に設けられた第2の遅延調整部の信号遅延特性を変化させることができる。これにより、光電変換素子の行毎の伝送遅延の差を容易に打ち消すことができる。

【0011】

またさらに、第2の遅延調整回路は、複数の光電変換素子毎に設けられ、遅延時間を決

10

20

30

40

50

定する値を保持する記憶部と、複数の光電変換素子毎に設けられ、記憶部に保持された値に応じて信号遅延特性を光電変換素子の属する画素毎に変化させる遅延調整回路とを有してもよい。このような第2の遅延調整部の構成によっても、記憶部に保持する値を調整することにより第2の遅延調整部の信号遅延特性を行毎に変化させることができる。これにより、光電変換素子の行毎の伝送遅延の差を容易に打ち消すことができる。

【0012】

さらにまた、第2の遅延調整回路は、複数の光電変換素子の群毎に設けられ、遅延時間を決定する値を保持する記憶部と、複数の光電変換素子の群毎に設けられ、記憶部に保持された値に応じて信号遅延特性を光電変換素子の群毎に変化させる遅延調整回路とを有してもよい。このような第2の遅延調整部の構成によっても、記憶部に保持する値を調整することにより第2の遅延調整部の信号遅延特性を行毎に変化させることができる。これにより、光電変換素子の行毎の伝送遅延の差を容易に打ち消すことができる。

10

【発明の効果】

【0013】

本発明の一側面によれば、時間分解能が高められた高精度のイメージングを可能にする。

【図面の簡単な説明】

【0014】

【図1】本発明の一実施形態に係る距離計測装置であるカメラ装置1を含む測定システム100の概略構成を示す図である。

20

【図2】図1のカメラ装置1の概略構成を示すブロック図である。

【図3】図2の画素アレイ部5内の画素 X_{ij} の構成を示す回路図である。

【図4】図3の画素 X_{ij} に設けられた半導体素子15の積層構造を示す斜視図である。

【図5】図4の半導体素子15において、ゲート電極31に電圧を印加した際の垂直断面におけるポテンシャル分布を示す図である。

【図6】図2の画素アレイ部5内の各画素 X_{ij} とタイミング発生回路8との接続構成を示す回路図である。

【図7】図6の補正回路部41を構成する遅延調整回路44の構成例を示す回路図である。

【図8】図6の補正回路部41を構成する遅延調整回路44の構成例を示す回路図である。

30

【図9】図6の補正回路部41を構成する遅延調整回路44の構成例を示す回路図である。

【図10】図2のタイミング発生回路8によって制御された発光タイミング及び画素における電荷蓄積タイミングを示すタイミングチャートである。

【図11】本実施形態に係るカメラ装置1の画素アレイ部5で生じるスキューの測定結果を示すグラフである。

【図12】本発明の変形例における画素アレイ部5内の各画素 X_{ij} とタイミング発生回路8との接続構成を示す回路図である。

【図13】本発明の他の変形例における画素アレイ部5内の各画素 X_{ij} とタイミング発生回路8との接続構成を示す回路図である。

40

【図14】本発明の他の変形例における画素アレイ部5内の各画素 X_{ij} とタイミング発生回路8との接続構成を示す回路図である。

【発明を実施するための形態】

【0015】

以下、図面を参照しつつ本発明の一側面に係るイメージセンサである距離計測装置の実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。また、各図面は説明用のために作成されたものであり、説明の対象部位を特に強調するように描かれている。そのため、図面における各部材の寸法比率は、必ずしも実際のものとは一致しない。

50

【 0 0 1 6 】

図 1 は、本発明の一実施形態に係る距離計測装置であるカメラ装置（イメージセンサ）1 を含む測定システム 1 0 0 の概略構成を示す図である。この測定システム 1 0 0 は、対象物 S a までの距離を T O F（Time Of Flight）法を用いて測定するために用いられ、対象物 S a に向けて光を照射するレーザ光源 3 と、対象物 S a からの反射光を検出して距離を算出するカメラ装置 1 とを含んで構成されている。レーザ光源 3 は、後述するカメラ装置 1 の受光部の応答時間よりも十分短いパルス幅のパルス光を照射可能な光源装置であり、例えば、中心波長 445nm、パルス幅 1 0 0 p s e c のパルス光を照射可能に構成されている。なお、レーザ光源 3 の照射する光の中心波長及びパルス幅は上記値には限定されず、様々な値に設定され得る。

10

【 0 0 1 7 】

図 2 は、カメラ装置 1 の構成を示すブロック図である。カメラ装置 1 は、同図に示すように、画素アレイ部 5 と周辺回路部 6 , 7 , 8 , 9 , 1 0 , 1 2 とが同一の半導体チップ上に集積化されて構成され、回路部 1 1 が半導体チップの外部のカメラ装置 1 内部の別回路上に構成されている。なお、回路部 1 1 が画素アレイ部 5 と周辺回路部 6 , 7 , 8 , 9 , 1 0 , 1 2 とともに同一の半導体チップ上に集積化されていてもよい。

【 0 0 1 8 】

画素アレイ部 5 には、2次元マトリクス状に多数の画素（光電変換素子） X_{ij} （ i は 1 ~ n の整数、 j は 1 ~ m の整数）が配列されており、方形状の撮像領域を構成している。すなわち、画素 X_{ij} が、複数の列毎に一次的に垂直方向に沿って n 個配列されるとともに、複数の行毎に一次的に水平方向に沿って m 個配列される。そして、この画素アレイ部 5 の周辺部には、複数の画素 X_{ij} の水平方向の画素行に沿って水平走査回路 6 が設けられるとともに、複数の画素 X_{ij} の垂直方向の画素列に沿って垂直走査回路 7 が設けられている。これらの水平走査回路 6 及び垂直走査回路 7 にはタイミング発生回路（クロック入力部）8 が接続されている。また、各画素 X_{ij} には、列スキュー補正回路 1 2 を含むクロック供給線を介してタイミング発生回路 8 が接続されている。

20

【 0 0 1 9 】

タイミング発生回路 8、水平走査回路 6 及び垂直走査回路 7 によって画素アレイ部 5 内の画素 X_{ij} が順次走査され、画素信号の読み出しや初期化が実行される。すなわち、画素アレイ部 5 を垂直走査回路 7 によって各画素行単位で垂直方向に走査することにより、走査された画素列に含まれる各画素列の画素信号を各画素列毎に設けられた垂直信号線によって読み出す構成となっている。各画素列の画素信号の読み出しは、垂直信号線毎に設けられたノイズキャンセル回路 9、及び出力バッファ回路 1 0 を経由して出力することにより行われる。さらに、各画素列の画素信号の読み出し時には、水平走査回路 6 によって画素 X_{ij} の水平方向の走査が行われる。タイミング発生回路 8 は、上述したような画素アレイ部 5 の画素 X_{ij} の垂直走査及び水平走査のタイミングの制御を行うと共に、測定システム 1 0 0 に設けられたレーザ光源 3 のパルス光の照射タイミングの制御、及び各画素 X_{ij} に与える制御パルス電圧 TW によるその照射タイミングを基準にした各画素 X_{ij} における電荷蓄積及び電荷排出のタイミングの制御を行う。

30

【 0 0 2 0 】

図 3 は、画素アレイ部 5 内の画素 X_{ij} の構成を示す回路図であり、図 4 は、画素 X_{ij} に設けられた半導体素子 1 5 の積層構造を示す斜視図である。これらの図に示すように、画素 X_{ij} 内には画素回路として機能する半導体素子 1 5 が複数配列されて設けられている。半導体素子 1 5 は、第 1 導電型（ p 型）の半導体領域 2 1 と、半導体領域 2 1 の上部の一部に埋め込まれ、光が入射される第 2 導電型（ n 型）の受光用表面埋込領域（受光部）2 3 と、半導体領域 2 1 の上部の一部に受光用表面埋込領域（受光部）2 3 に隣接して設けられ、受光用表面埋込領域（受光部）2 3 が生成した電荷を蓄積する第 2 導電型（ n^+ 型）の電荷蓄積領域（電荷蓄積部）2 5 と、半導体領域 2 1 の上部の一部に受光用表面埋込領域 2 3 の近傍に分離して埋め込まれた第 2 導電型（ n^+ 型）の排出ドレイン領域（電荷排出部）2 7 とが形成されている。この排出ドレイン領域 2 7 は、受光用表面埋込領域 2 3

40

50

で生成された電子を排出するための部位であり、受光用表面埋込領域 2 3 の電荷蓄積領域 2 5 と接する境界線と略垂直に交わる境界線の近傍に設けられている。これらの受光用表面埋込領域 2 3 とその領域の直下の半導体領域 2 1 とで、対象物 S a からの反射光（入射光）を電荷（電子）に変換する埋め込みフォトダイオード D 1 を構成している。なお、第 1 導電型の半導体領域 2 1 の代わりに、第 1 導電型の半導体基板上に形成した半導体基板よりも低不純物濃度の第 1 導電型のエピタキシャル成長層を用いてもよい。

【 0 0 2 1 】

また、半導体素子 1 5 の受光用表面埋込領域 2 3 の上部には、 p^+ 型のピニング層 2 9 が更に配置されている。ピニング層 2 9 は、ダーク時の埋め込みフォトダイオード D 1 の表面での電荷の形成を抑制するための層であり、ダーク電流削減のためには設けられてもよい。ダーク電流が問題とならない用途では、ピニング層 2 9 が省略されてもよい。さらに、半導体領域 2 1 上の埋め込みフォトダイオード D 1 と排出ドレイン領域 2 7 との間には、埋め込みフォトダイオード D 1 と排出ドレイン領域 2 7 との間に形成される転送チャネルの電位を制御して、埋め込みフォトダイオード D 1 から排出ドレイン領域 2 7 への電荷の排出を制御するためのゲート電極 3 1 が形成されている。

【 0 0 2 2 】

図 5 (a) 及び (b) には、ゲート電極 3 1 に電圧を印加した際の半導体素子 1 5 の垂直断面におけるポテンシャル分布を示している。具体的には、図 5 (a) には、埋め込みフォトダイオード D 1 の領域から電荷蓄積領域 2 5 にかけての X - X ' 線に沿った垂直断面におけるポテンシャル分布を示しており、埋め込みフォトダイオード D 1 の領域から電荷蓄積領域 2 5 にかけて電位勾配が形成されている。また、図 5 (b) には、埋め込みフォトダイオード D 1 の領域から排出ドレイン領域 2 7 にかけての Y - Y ' 線に沿った垂直断面におけるポテンシャル分布を示しており、実線がゲート電極 3 1 に低電圧を印加した際の分布、点線がゲート電極 3 1 に高電圧を印加した際の分布をそれぞれ示している。このように、ゲート電極 3 1 に低電圧を印加した際には、埋め込みフォトダイオード D 1 の領域と排出ドレイン領域 2 7 との間に電位障壁が形成されることにより埋め込みフォトダイオード D 1 の領域と排出ドレイン領域 2 7 との間の転送チャネルが閉じられ、入射光 L_{in} の入射に伴って生成される電子 e^- は全てが電荷蓄積領域 2 5 に転送される。その一方で、ゲート電極 3 1 に高電圧を印加した際には、埋め込みフォトダイオード D 1 の領域と排出ドレイン領域 2 7 との間の電位障壁が無くなり電位勾配が形成されることにより埋め込みフォトダイオード D 1 の領域と排出ドレイン領域 2 7 との間の転送チャネルが開かれ、入射光 L_{in} の入射に伴って生成される電子 e^- は全てが排出ドレイン領域 2 7 に転送される。すなわち、ゲート電極 3 1 に高電圧を印加した際には、埋め込みフォトダイオード D 1 の領域と排出ドレイン領域 2 7 との間の転送チャネルの電荷転送効果の方が、埋め込みフォトダイオード D 1 の領域と電荷蓄積領域 2 5 との間の電荷転送効果よりも支配的であるため、発生する電子 e^- は全てが排出ドレイン領域 2 7 に転送される。このように、ゲート電極 3 1 は、埋め込みフォトダイオード D 1 から電荷蓄積領域 2 5 への電荷の転送を制御するためのバーチャルスイッチ 3 3 としての機能も併せ持つ。

【 0 0 2 3 】

図 3 に戻って、画素 X_{ij} には、タイミング発生回路 8 から印加される制御パルス電圧 T W を反転させて制御パルス電圧 T D としてゲート電極 3 1 に与えるバッファ回路 3 5 をさらに備えている。具体的には、バッファ回路 3 5 は、インバータ回路である。このバッファ回路 3 5 を備えることにより、画素 X_{ij} のゲート電極 3 1 に直接接続される負荷を小さくすることができ、制御パルス電圧 T W の波形の劣化を防止できる。

【 0 0 2 4 】

さらに、画素 X_{ij} には、制御パルス電圧 T W の印加に伴って電荷蓄積領域 2 5 に蓄積された電荷を電気信号として読み出す読出回路（電荷読出部）3 7 が設けられている。この読出回路 3 7 は、信号読み出しトランジスタ 3 7 a と、スイッチングトランジスタ 3 7 b と、リセットトランジスタ 3 7 c とを含んで構成されている。信号読み出しトランジスタ 3 7 a のゲート電極は電荷蓄積領域 2 5 に接続され、信号読み出しトランジスタ 3 7 a の

10

20

30

40

50

ドレイン電極はバイアス電源に接続され、信号読み出しトランジスタ37aのソース電極は、画素選択用のスイッチングトランジスタ37bのドレイン電極に接続されている。スイッチングトランジスタ37bのソース電極は垂直信号線に接続され、スイッチングトランジスタ37bのゲート電極には、画素列の選択用制御信号Sが垂直走査回路7から与えられる。選択用制御信号Sをハイレベルに設定することにより、スイッチングトランジスタ37bが導通され、信号読み出しトランジスタ37aで増幅された電荷蓄積領域25に蓄積された電荷量に対応する電位の電気信号が垂直信号線に出力される。リセットトランジスタ37cは、そのソース電極が電荷蓄積領域25に接続され、そのドレイン電極はバイアス電源に接続され、そのゲート電極には垂直走査回路7からリセット信号Rが与えられる。このリセットトランジスタ37cは、リセット信号Rがハイレベルに設定された際に、電荷蓄積領域25に蓄積された電荷を吐き出すことにより電荷蓄積領域25をリセットする。

10

【0025】

図6には、画素アレイ部5内の各画素 X_{ij} とタイミング発生回路8との接続構成を詳細に示している。同図に示すように、タイミング発生回路8と画素アレイ部5とは、列スキュー補正回路12を介して接続されている。

【0026】

詳細には、列スキュー補正回路12は、画素アレイ部5の複数の画素 X_{ij} の列毎に対応して設けられた複数の補正回路部(第1の遅延調整部)41を含んで構成されている。それぞれの補正回路部41は、タイミング発生回路8にクロック供給線42を介して接続された遅延調整回路44と、メモリ(記憶部)43とにより構成されている。このメモリ43は、タイミング発生回路8から供給された制御パルス電圧TWを遅延させるための遅延時間を決定するデジタル値を保持する。また、遅延調整回路44は、クロック供給線42及び対応する画素列の全画素 X_{ij} に接続され、タイミング発生回路8から供給された制御パルス電圧TWを、メモリ43から読み出したデジタル値に応じて可変の時間で遅延させ、その制御パルス電圧TWを対応する列に属する全画素 X_{ij} のゲート電極31に印加する。タイミング発生回路8は、入力端子47からクロックが供給され、そのクロックを基に制御パルス電圧TWを生成するPLL(Phase Locked Loop)回路である。また、タイミング発生回路8は、レーザ光源3のパルス光の照射タイミングを制御するトリガー信号を生成し、そのトリガー信号を出力端子48から出力する。このタイミング発生回路8は、クロックを生成するPLL回路であるが、本実施形態において必ずしもPLL回路は必須では無く、外部入力からのクロックを受けてそれに基づいて制御パルス電圧TWを画素 X_{ij} に入力する回路であってもよい。

20

30

【0027】

ここで、遅延調整回路44は、複数のバッファ回路45と、各画素 X_{ij} 内の配線抵抗46及びバッファ回路35とを經由して半導体素子15のゲート電極31に接続される。このバッファ回路45は、各画素列に接続される複数のバッファ回路35を駆動するためのものであり、各画素列毎に複数直列に接続されて構成される。バッファ回路35は半導体素子15へ供給するクロックの波形整形を行うとともに、バッファ回路45へ直接接続される負荷を小さくするためのものである。

40

【0028】

上記構成の列スキュー補正回路12は、複数の画素 X_{ij} において画素列間で生じる制御パルス電圧TWの時間的ずれ(スキュー)を解消するために設けられる。この画素列間の制御パルス電圧TWのスキューは、バッファ回路45の製造ばらつきによる性能差、電源電圧ドロップの差等によって発生するクロック供給線における遅延時間が原因となる。列スキュー補正回路12内のそれぞれの補正回路部41は、画素列間に生じる制御パルス電圧TWのスキューを打ち消すように、各画素列に供給される制御パルス電圧TWの遅延時間を設定する。すなわち、列スキュー補正回路12内の補正回路部41は、タイミング発生回路8と各画素列との間のクロック供給線の信号遅延特性を変化させる。

【0029】

50

図7～9には、補正回路部41を構成する遅延調整回路44の構成例を示している。例えば、遅延調整回路44は、図7に示すように、シングルエンド型増幅器51とシングルエンド型増幅器51を駆動する電流源52、53と調整ビットを電圧値に変換するデジタルアナログ(D/A)変換器61とを含んで構成され、電流源52、53の電流値が調整ビット線54に与えられる制御信号によって調整されることにより、信号遅延特性を変更可能に構成される。また、遅延調整回路44は、図8に示すように、差動型増幅器55と差動型増幅器55を駆動する電流源56と調整ビットを電圧値に変換するデジタルアナログ(D/A)変換器62とを含んで構成され、電流源56の電流値が調整ビット線57に与えられる制御信号によって調整されることにより、信号遅延特性を変更可能に構成されてもよい。さらに、遅延調整回路44は、図9に示すようなデジタル型の遅延素子であつてもよい。すなわち、一組のANDゲート58、59の組み合わせ回路が直列に接続され、それぞれのANDゲート58において、一方の入力に制御パルス電圧TWが入力され、他方の入力に調整ビット線60を介して制御ビットが入力され、それぞれのANDゲート59において、一方の入力に前段のANDゲート59の出力が順次入力され、他方の入力に対を成すANDゲート58の出力が入力される。このような構成によれば、制御ビットの入力により、遅延時間が調整された制御パルス電圧TWが出力可能とされる。

【0030】

図2に示す算出回路(算出部)11は、タイミング発生回路8によるタイミング制御により画素Xijから読み出された電気信号を基に、対象物Saまでの距離を算出する。

【0031】

以下、タイミング発生回路8及び算出回路11による距離算出動作の手順を説明する。図10は、タイミング発生回路8によって制御された発光タイミング及び電荷蓄積タイミングを示すタイミングチャートであり、図10(a)は、レーザ光源3から照射されるパルス光の時間波形、図10(b)は、画素Xijによって受光される反射光の時間波形、図10(c)は、画素Xijの反射光に対する応答特性である光電流 I_{ph} の時間波形、図10(d)は、画素Xijのゲート電極31に印加される制御パルス電圧TWの時間波形である。

【0032】

まず、タイミング発生回路8により所定周波数で繰り返し発光するように発光タイミングが決定され、その発光タイミングでレーザ光源3からパルス光が照射されるように、タイミング発生回路8からトリガー信号が供給される。それに応じて、発光タイミング後に対象物Saまでの距離に対応した時間差 t_d で画素Xijに反射光が入射することになる。ここで画素Xijに入射する反射光のパルス幅は、画素Xijの受光部の応答時間よりも十分短い値(例えば、パルス幅100psec以下)に設定されている。その結果、画素Xijの受光部における入射光に対する応答波形はインパルス応答とほぼ等しくなる。すなわち、発光タイミング基準とした反射光の入射時刻 t_d から受光部の応答時間 T_0 で極大値 I_M まで立ち上がり、その後応答時間 T_0 で立ち下がるような単一の三角波に近い応答波形となる。

【0033】

このような画素Xijの応答波形に対応して、タイミング発生回路8により、発光タイミングを基準にして3種類の位相差を有する制御パルス電圧TW(1)、TW(2)、TW(3)を繰り返し生成するように制御される。具体的には、制御パルス電圧TW(1)は、発光タイミング後の所定期間だけハイレベルとなるような矩形パルス波に設定される。また、制御パルス電圧TW(2)は、発光タイミングから発光タイミング後の時刻 T_1 までハイレベルとなり、制御パルス電圧TW(1)とハイレベル区間が一部重複するような矩形パルス波に設定される。また、制御パルス電圧TW(3)は、制御パルス電圧TW(1)を反転させたような矩形パルス波に設定される。

【0034】

このようにして、タイミング発生回路8により、発光タイミング後に繰り返し制御パルス電圧TW(1)が印加されるように制御された後に、画素Xijから制御パルス電圧TW

10

20

30

40

50

(1)の印加に伴って電荷蓄積領域25に蓄積された第1の電荷を第1の電気信号として読み出すように制御される。また、タイミング発生回路8により、発光タイミング後に繰り返し制御パルス電圧TW(2)が印加されるように制御された後に、画素Xijから制御パルス電圧TW(2)の印加に伴って電荷蓄積領域25に蓄積された第2の電荷を第2の電気信号として読み出すように制御される。同様に、タイミング発生回路8により、発光タイミング後に繰り返し制御パルス電圧TW(3)が印加されるように制御された後に、画素Xijから制御パルス電圧TW(3)の印加に伴って電荷蓄積領域25に蓄積された第3の電荷を第3の電気信号として読み出すように制御される。

【0035】

その後、算出回路11は、読み出された第1～第3の電気信号の値をそれぞれ正規化することにより蓄積電子数 N_1 、 N_2 、 N_3 に変換する。ここで、画素Xijの光電流のインパルス応用波形を、下記式(1)に示す1次関数により近似する。

10

【数1】

$$I_{ph} = \begin{cases} 0 & (t < t_d) \\ \frac{I_M}{T_0}(t - t_d) & (t_d \leq t < T_0 + t_d) \\ I_M - \frac{I_M}{T_0}(t - t_d - T_0) & (T_0 + t_d \leq t < 2T_0 + t_d) \end{cases} \quad \dots(1)$$

この1次関数によれば、理想的には各制御パルス電圧TW(1)、TW(2)、TW(3)の印加に応じて蓄積される電子数は、時間差 t_d が $T_1 - T_0 < t_d < T_1$ の範囲で、

20

下記式(2)によって計算できる。

【数2】

$$\begin{aligned} N_1 &= \int_{t_d}^{t_d+2T_0} \frac{I_M}{qT_0}(t - t_d)dt \\ &= \frac{I_M \cdot T_0}{q} \\ N_2 &= \int_{t_d}^{T_1} \frac{I_M}{qT_0}(t - t_d)dt \\ &= \frac{I_M}{2qT_0}(T_1 - t_d)^2 \quad \dots(2) \\ N_3 &= 0 \end{aligned}$$

30

【0036】

そこで、算出回路11は、上記式(2)の関係を利用することにより、光の飛行時間である時間差 t_d を、下記式(3)を用いて算出する。このとき、算出回路11は、蓄積電子数 N_1 、 N_2 のそれぞれを蓄積電子数 N_3 で補正した値の比 r を計算する。

【数3】

$$\begin{aligned} t_d &= T_1 - T_0\sqrt{2r} \\ r &= \frac{N_2 - N_3}{N_1 - N_3} \quad \dots(3) \end{aligned}$$

40

さらに、算出回路11は、算出された時間差 t_d を基に対象物Saまでの距離Lを、光の速さを c [m/s]として、下記式(4)により算出して出力する。

【数4】

$$L = \frac{c}{2} \left(T_1 - \sqrt{2r}T_0 \right) \quad \dots(4)$$

50

なお、上記式(4)によって測定可能な距離Lの範囲は、下記式(5)で計算される値の範囲となり、画素Xijのインパルス応答の応答時間T₀に比例する。

【数5】

$$\frac{c}{2}T_0 \left(\frac{c}{2}(T_1 - T_0) < L \leq \frac{c}{2}T_1 \right) \dots (5)$$

また、ショットノイズが支配的な状態において測定可能な距離Lの分解能 σ_L は、下記式(6)で計算される値となり、蓄積電子数N₁の平方根に反比例し、画素Xijのインパルス応答の応答時間T₀に比例する。例えば、蓄積電子数N₁ = 10⁶、応答時間T₀ = 100 psec、パラメータrの取りうる値を0 ~ 0.5とした場合は、測定可能な距離Lの範囲は15 mm、測定可能な分解能 σ_L は = 10.6 μm ~ 13 μmとなる。

10

【数6】

$$\sigma_L = \frac{cT_0}{2} \sqrt{\frac{1+r}{2N_1}} \dots (6)$$

【0037】

次に、補正回路部41を構成するメモリ43に記憶されるデジタル値の設定方法について説明する。

【0038】

20

上述したように、パルス光の発光タイミングの遅延を変化させると、蓄積電子数N₂の出力が変化する。この出力値N₂の微分は光電流I_{ph}と等価であることから、各画素Xij毎において発光タイミングの遅延時間を変化させながら出力値N₂を取得し、この出力値N₂の変調特性から微分値が最大となる遅延時間t_{peak}(i, j, D_c) (D_c:メモリ43に設定されているデジタル値)を測定することで、各画素列毎に設定するメモリ43のデジタル値の選定が行われる。なお、この変調特性は、制御パルス電圧TW(2)の遅延量を変化させても求めることができる。

【0039】

例えば、カメラ装置1への入力を、全画素から等距離にある光源の直接光、もしくは全画素から等距離にある物体の反射光とし、補正回路部41のメモリのデジタル値を初期値D_{c0}とした場合には、遅延時間t_{peak}(i, j, D_{c0})の画素Xij間のずれは、スキューT₁(i, j, D_{c0})と等価となる。そして、メモリ43のデジタル値を変化させると、制御パルス電圧TW(2)の遅延量に応じて遅延時間t_{peak}(i, j, D_c)が変化するため、各画素列毎のメモリ43のデジタル値を、観測された遅延時間t_{peak}(i, j, D_c)から決定することができる。

30

【0040】

詳細には、上記式(4)中のT₁は、実際にはクロックスキューのために画素ごとに異なる値をとる。それを考慮すると画素Xijに関して計算される距離L(i, j)は、下記式(7)；

【数7】

40

$$\begin{aligned} L(i, j) &= \frac{c}{2} \left(T_1(i, j) - T_0 \sqrt{2r(i, j)} \right) \\ &= \frac{c}{2} \left(T_{1, max} - \Delta T_1(i, j) - T_0 \sqrt{2r(i, j)} \right) \dots (7) \end{aligned}$$

によって計算される。ここで、T_{1, max}は下記式(8)；

【数8】

$$T_{1, max} = \max [T_1(i, j)] \dots (8)$$

で与えられる値であり、最も遅延の大きい画素XijのT₁の値を示している。また、スキ

50

ユー $T_1(i, j, D_{c0})$ は、 $T_{1, max}$ からのずれ量、すなわち、補正すべき画素間のスキューを示している。上記式(7)から分かるように、スキューが生じることによって物体が全画素 X_{ij} から等距離に存在していたとしても計算される距離に誤差が生じる。スキューが大きいとある画素 X_{ij} においては計算可能な範囲外となり、全画素 X_{ij} で距離を計測することができなくなるため、画素アレイ部5でスキューを補正する必要性が生じる。

【0041】

本実施形態のように、補正回路部41が列毎に存在する場合には、列毎にメモリ43のデジタル値 D_c を設定することが可能になり、距離は、下記式(9)；

【数9】

$$L_{cali}(i, j, D_c) = \frac{c}{2} \left(T'_{1, max} - \Delta T_1(i, j, D_{c0}) + t_{cali_skew}(j, D_c) + t_{cali_dig}(i, j) - T_0 \sqrt{2r(i, j)} \right) \quad \dots(9)$$

により算出される。ここで、 D_{c0} はメモリ43のデジタル値の初期値であり、最も遅延している画素 X_{ij} の T_1 は、下記式(10)；

【数10】

$$T'_{1, max} = \max [T_1(i, j, D_{c0})] \quad \dots(10)$$

で与えられ、調節値 $t_{cali_skew}(j, D_c)$ は、デジタル値 D_c のときの補正回路部41による遅延量で列毎に同一の値をとる。また、調節値 $t_{cali_dig}(i, j)$ は、デジタル補正による遅延調節値であり、画素ごとに独立した値をとることができる。

【0042】

本実施形態においては、デジタル値 D_c は、列間のスキューが最も小さくなるように、下記式(11)；

【数11】

$$D_c = \arg \min \left[\frac{1}{N_R} \sum_{i=0}^{N_R-1} \Delta T_1(i, j, D_{c0}) - t_{cali_skew}(j, D_c) \right] \quad \dots(11)$$

を満たすように設定される。ここで、 N_R は、画素 X_{ij} の垂直方向の数である。調節値 $t_{cali_skew}(j, D_c)$ はメモリ43のビット数で決まる分解能を有し、さらに列間のスキューのみを補正するため、ある程度の補正誤差が生じる。この補正誤差はデジタル領域で補正する。すなわち、調節値 $t_{cali_dig}(i, j)$ が、下記式(12)；

【数12】

$$\Delta T_1(i, j, D_{c0}) - (t_{cali_skew}(j, D_c) + t_{cali_dig}(i, j)) = 0 \quad \dots(12)$$

で計算される値となるように設定されることで、スキューによる画素間の距離誤差は完全に除去される。

【0043】

ここで、上述した設定方法では、出力値 N_2 の変調特性から微分値が最大となる遅延時間を求めていた。その他の方法として、カメラ装置1への入力を全画素から等距離にある光源の直接光、もしくは全画素から等距離にある物体の反射光とし、各画素 X_{ij} における光量を一定とした状態で、出力値 N_2 が全画素で等しくなるデジタル値 D_c を選定するだけでもよい。

【0044】

以上説明したカメラ装置1によれば、複数の列毎に配列された複数の画素 X_{ij} のゲート電極31にタイミング発生回路8から制御パルス電圧 TW が印加されることにより、各画素 X_{ij} における受光用表面埋込領域23から電荷蓄積領域25への電荷の転送タイミング

10

20

30

40

50

、及び受光用表面埋込領域 23 から排出ドレイン領域 27 への電荷の転送タイミングが制御される。その際、各画素 X_{ij} に印加される制御パルス電圧 TW は、画素 X_{ij} の複数の列毎に設けられた補正回路部 41 を経由することにより、列毎に可変の遅延時間が設定される。これにより、タイミング発生回路 8 と画素 X_{ij} との間に設けられるバッファ回路 45 の特性差等によって生じやすい列毎の伝送遅延の差を打ち消すことができ、画素 X_{ij} の列間での制御信号のスキューの発生を防止できる。その結果、時間分解能が高められた高精度のイメージングを可能にする。

【0045】

また、補正回路部 41 は、メモリ 43 に保持する値を調整することによりタイミング発生回路 8 と画素 X_{ij} の各列との間の信号遅延特性を列毎に変化させることができる。これにより、画素 X_{ij} の列間のスキュー（遅延時間の差）を容易に打ち消すことができる。

10

【0046】

図 11 には、本実施形態に係るカメラ装置 1 の画素アレイ部 5 で生じるスキューの測定結果を示し、(a) は、列スキュー補正回路 12 を備えない比較例における測定結果、(b) は、列スキュー補正回路 12 を備える本実施形態の測定結果を、それぞれ示している。この結果から、本実施形態のカメラ装置 1 においては、画素アレイ部 5 に含まれる全画素 X_{ij} におけるスキューが効果的に低減されることが分かった。特に、列スキュー補正回路 12 を備えない場合の画素の列間でのスキューの発生が著しいが、本実施形態では、そのような列間のスキューがほとんど解消されている。

【0047】

なお、本発明は上述した実施形態に限定されるものではない。

20

【0048】

例えば、図 12 には、本発明の変形例における画素アレイ部 5 内の各画素 X_{ij} とタイミング発生回路 8 との接続構成を示している。この変形例は、列スキュー補正回路 12 に加えて、行スキュー補正回路 71 をさらに備える。この行スキュー補正回路 71 は、画素 X_{ij} の複数の行毎に対応して設けられた補正回路部（第 2 の遅延調整部）72 を複数有し、補正回路部 72 は、それぞれ、各画素行における遅延時間を決定するデジタル値を保持するメモリ 73 と、メモリ 73 から読み出したデジタル値を D/A 変換する D/A 変換器 74 を含んでいる。また、各画素 X_{ij} には、 D/A 変換器 74 に接続されたバッファ回路 35 の駆動用の電流源 75 が備えられ、この電流源 75 は、バッファ回路 35 とともに、タイミング発生回路 8 から供給される制御パルス電圧 TW の遅延時間を行毎に変化させる遅延調整回路 76 を構成する。このような変形例によれば、補正回路部 72 のメモリ 73 に保持されたデジタル値に応じて、タイミング発生回路 8 と各画素 X_{ij} との間の信号遅延特性が画素行毎に調整可能とされる。従って、タイミング発生回路 8 から供給される制御パルス電圧 TW を、複数の画素行毎に可変の時間で遅延させ、その制御パルス電圧 TW を画素 X_{ij} のゲート電極 31 に印加することができる。

30

【0049】

図 12 に示す構成によれば、タイミング発生回路 8 と画素 X_{ij} との間のクロック供給線の寄生素子等に起因して生じる行毎の伝送遅延の差を打ち消すことができ、画素 X_{ij} の行間での制御パルス電圧 TW のスキューの発生を防止できる。その結果、さらに時間分解能が高められた高精度のイメージングを可能にする。さらに、補正回路部 72 のメモリ 73 に保持する値を調整することにより遅延調整回路 76 の信号遅延特性を行毎に変化させることができる。これにより、画素 X_{ij} の行毎の伝送遅延の差を容易に打ち消すことができる。

40

【0050】

また、図 13 には、本発明の他の変形例における画素アレイ部 5 内の各画素 X_{ij} とタイミング発生回路 8 との接続構成を示している。この変形例は、列スキュー補正回路 12 に加えて、各画素 X_{ij} 内に設けられる補正回路部（第 2 の遅延調整部）77 を複数備える。この補正回路部 77 は、それぞれ、各画素における遅延時間を決定するデジタル値を保持するメモリ 78 と、メモリ 78 から読み出したデジタル値に応じてタイミング発生回路 8

50

から供給される制御パルス電圧 TW の遅延時間を画素毎に変化させる遅延調整回路 79 とを含んで構成される。詳細には、遅延調整回路 79 は、各画素 X_{ij} 内においてバッファ回路 35 と半導体素子 15 との間に接続され、タイミング発生回路 8 と各画素 X_{ij} との間の信号遅延特性を画素毎に調整する。

【0051】

図 13 に示す構成によれば、メモリ 78 に保持するデジタル値を調整することにより遅延調整回路 79 の信号遅延特性を行毎に変化させることができる。これにより、画素 X_{ij} の行毎の伝送遅延の差を容易に打ち消すことができる。

【0052】

また、図 14 には、本発明の他の変形例における画素アレイ部 5 内の各画素 X_{ij} とタイミング発生回路 8 との接続構成を示している。この変形例では、互いに隣接する複数の画素が画素群（例えば、8 つの画素 X_{ij} からなる画素群）を構成し、それらの画素群が二次元的に配列されて画素アレイ部 5 が構成されている。そして、列スキュー補正回路 12 が画素群の行毎に設けられ、それに加えて、画素群毎に画素アレイ部 5 内に設けられる補正回路部（第 2 の遅延調整部）80 を複数備える。この補正回路部 80 は、それぞれ、各画素群を構成する画素 X_{ij} における遅延時間を決定するデジタル値を保持するメモリ 81 と、メモリ 81 から読み出したデジタル値に応じてタイミング発生回路 8 から供給される制御パルス電圧 TW の遅延時間を画素群を構成する画素 X_{ij} 毎に変化させる遅延調整回路 82 とを含んで構成される。詳細には、遅延調整回路 82 は、各画素 X_{ij} 群内においてバッファ回路 35 と 8 つの画素 X_{ij} の半導体素子 15 との間に接続され、タイミング発生回路 8 と画素群を構成する全画素 X_{ij} との間の信号遅延特性を画素群毎に調整する。

【0053】

図 14 に示す構成によっても、メモリ 81 に保持するデジタル値を調整することにより遅延調整回路 82 の信号遅延特性を画素群の行毎に変化させることができる。これにより、画素 X_{ij} の行毎の伝送遅延の差を容易に打ち消すことができる。

【0054】

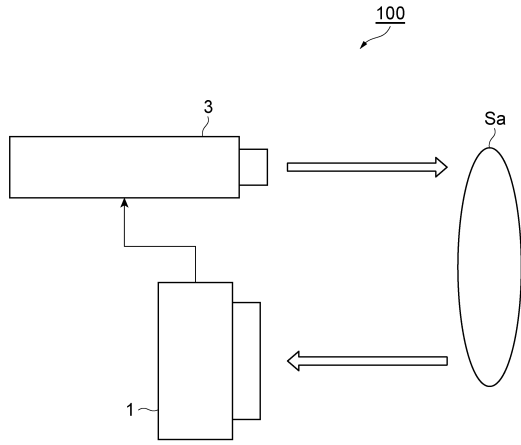
なお、本発明は、TOF (Time Of Flight) 法を用いたイメージセンサに限定されるものではなく、蛍光寿命計測用、ラマン分光イメージング用、又は近赤外分光イメージング用のイメージセンサにも適用可能である。また、本発明は、複数のゲート電極及び複数の電荷蓄積領域を含み、2 以上のゲート制御信号が用いられる電荷変調素子、例えばラテラル（横方向）電界制御電荷変調素子等にも適用可能である。

【符号の説明】

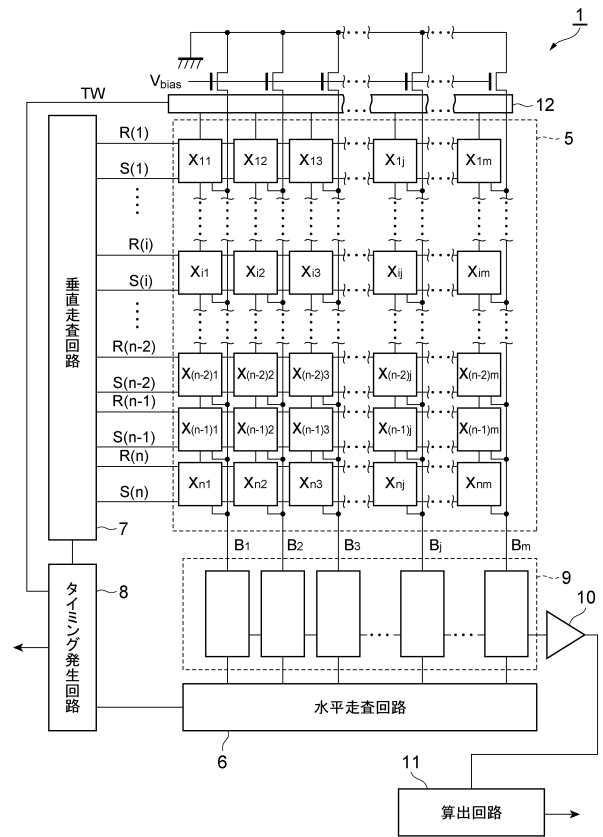
【0055】

S a ... 対象物、1 ... カメラ装置（イメージセンサ）、5 ... 画素アレイ部、8 ... タイミング発生回路（クロック入力部）、12 ... 列スキュー補正回路、15 ... 半導体素子、D 1 ... 埋め込みフォトダイオード（受光部）、23 ... 受光用表面埋込領域（受光部）、25 ... 電荷蓄積領域（電荷蓄積部）、27 ... 排出ドレイン領域（電荷排出部）、31 ... ゲート電極、35 ... バッファ回路、41 ... 補正回路部（第 1 の遅延調整部）、43 ... メモリ（記憶部）、44 ... 遅延調整回路、45 ... バッファ回路、72 ... 補正回路部（第 2 の遅延調整回路）、73 ... メモリ（記憶部）、76 ... 遅延調整回路、77, 80 ... 補正回路部（第 2 の遅延調整回路）、78, 81 ... メモリ（記憶部）、79, 82 ... 遅延調整回路、 X_{ij} ... 画素（光電変換素子）。

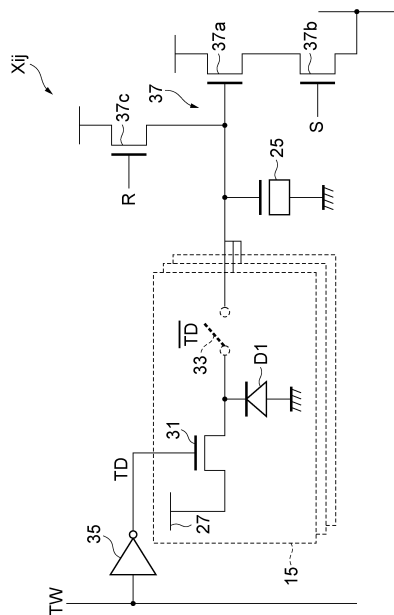
【図1】



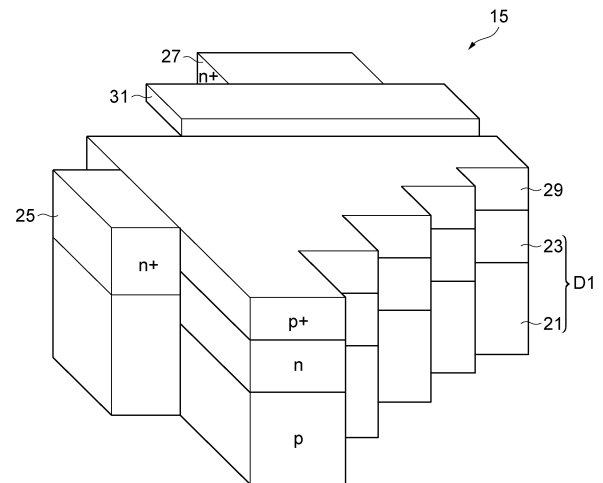
【図2】



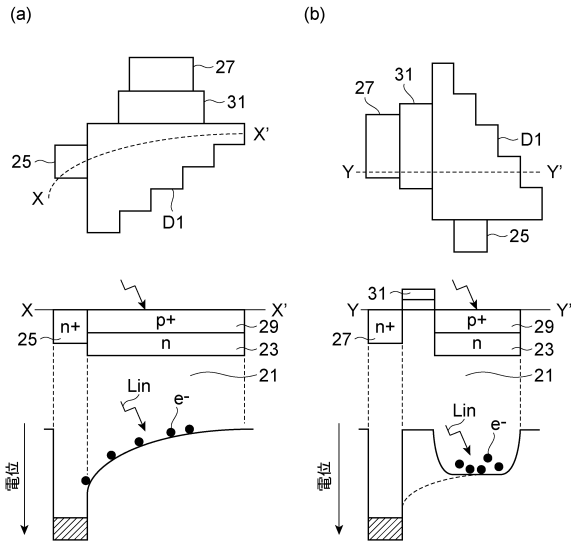
【図3】



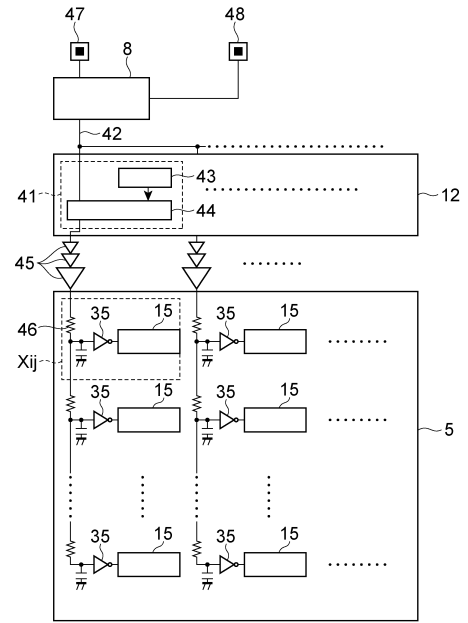
【図4】



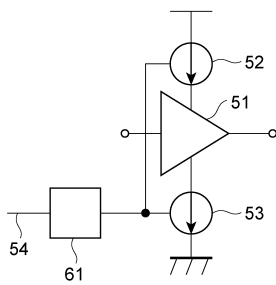
【 図 5 】



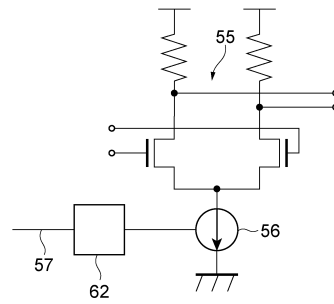
【 図 6 】



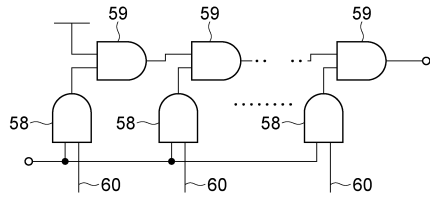
【 図 7 】



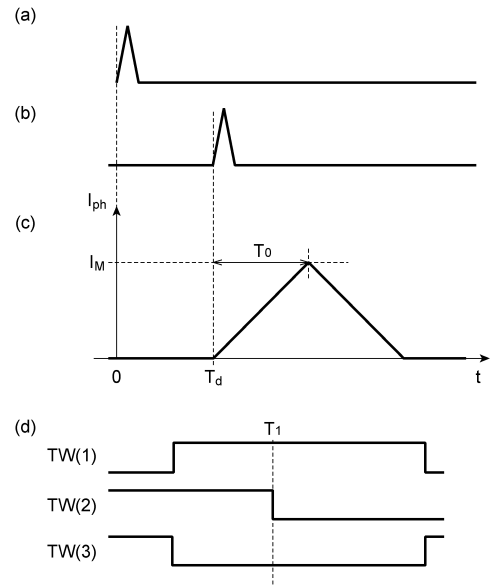
【 図 8 】



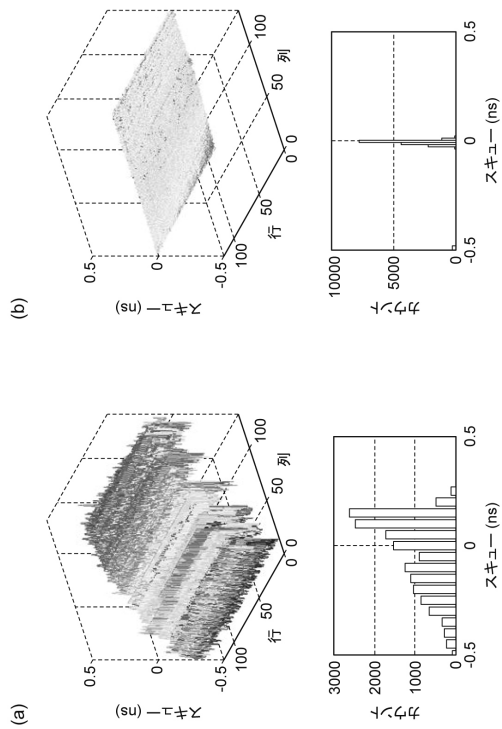
【 図 9 】



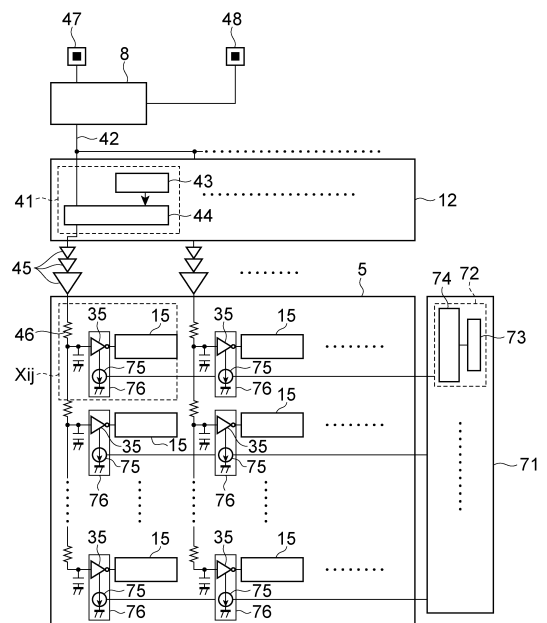
【 図 10 】



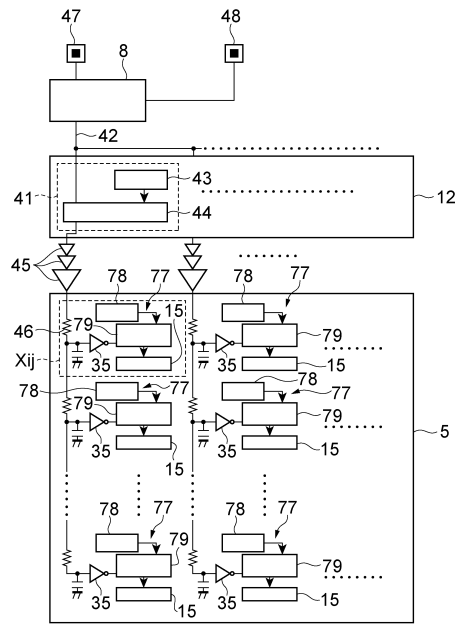
【 図 11 】



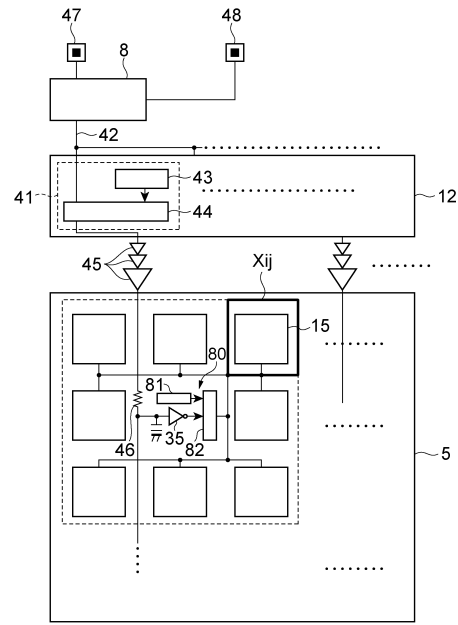
【 図 12 】



【図 13】



【図 14】



フロントページの続き

審査官 松永 隆志

- (56)参考文献 特開2009-290345 (J P , A)
特開2000-298532 (J P , A)
国際公開第2014/021417 (WO , A 1)
Keita Yasutomi ほか6名, A Time-of-Flight Image Sensor with Sub-mm Resolution Using Draining Only Modulation Pixels, 2013 INTERNATIONAL IMAGE SENSOR WORKSHOP, 2013年6月12日, p.361-364, Session 10, 10.05 III PROPOSED PIXEL, Fig.2[検索日 2015-04-06]
インターネット<URL : http://www.imagesensors.org/Past%20Workshops/2013%20Workshop/2013%20Papers/10-5_105-Yasutomi_paper.pdf>

(58)調査した分野(Int.Cl. , DB名)

H 0 4 N 5 / 2 2 5 - 5 / 3 7 8

H 0 1 L 2 7 / 1 4 6