

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6218297号
(P6218297)

(45) 発行日 平成29年10月25日(2017.10.25)

(24) 登録日 平成29年10月6日(2017.10.6)

(51) Int.Cl.	F I
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 V
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T
HO 1 L 27/04 (2006.01)	HO 3 K 5/26 S
HO 3 K 5/26 (2006.01)	

請求項の数 8 (全 9 頁)

(21) 出願番号 特願2016-543089 (P2016-543089)	(73) 特許権者 304021831 国立大学法人 千葉大学 千葉県千葉市稲毛区弥生町1番33号
(86) (22) 出願日 平成28年3月4日(2016.3.4)	(72) 発明者 難波 一輝 千葉県千葉市稲毛区弥生町1番33号 国立大学法人千葉大学 大学院融合科学研究科内
(86) 国際出願番号 PCT/JP2016/001185	(72) 発明者 崔 日 千葉県千葉市稲毛区弥生町1番33号 国立大学法人千葉大学 大学院融合科学研究科内
(87) 国際公開番号 W02016/139958	審査官 菅藤 政明
(87) 国際公開日 平成28年9月9日(2016.9.9)	
審査請求日 平成28年7月7日(2016.7.7)	
(31) 優先権主張番号 特願2015-44113 (P2015-44113)	
(32) 優先日 平成27年3月5日(2015.3.5)	
(33) 優先権主張国 日本国(JP)	
早期審査対象出願	

最終頁に続く

(54) 【発明の名称】 半導体集積回路及び遅延測定回路

(57) 【特許請求の範囲】

【請求項1】

クロック生成回路と、

論理出力回路と、前記論理出力回路に直列に接続される複数の遅延回路と、前記複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた半導体集積回路であって、

前記論理出力回路は少なくとも二つのバイアス電圧入力ゲートを備え、前記論理出力回路のみ遅延時間可変とする遅延測定回路。

【請求項2】

前記論理出力回路は、NAND回路及びNOR回路の少なくともいずれかを含む請求項1記載の遅延測定回路。

【請求項3】

前記遅延回路は、NOT回路及びバッファ回路の少なくともいずれかを含む請求項1記載の遅延測定回路。

【請求項4】

複数のセレクト回路及び複数のフリップ回路が接続されたスキャンチェーン回路を備える請求項1記載の遅延測定回路。

【請求項5】

被測定回路と、

クロック生成回路と、

10

20

論理出力回路と、前記論理出力回路に直列に接続される複数の遅延回路と、前記複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた半導体集積回路であって、

前記論理出力回路のみ遅延時間可変とするための少なくとも二つのバイアス電圧入力ゲートを備える半導体集積回路。

【請求項 6】

前記論理出力回路は、NAND回路及びNOR回路の少なくともいずれかを含む請求項 5 記載の半導体集積回路。

【請求項 7】

前記遅延回路は、NOT回路及びバッファ回路の少なくともいずれかを含む請求項 5 記載の半導体集積回路。

【請求項 8】

複数のセレクト回路及び複数のフリップ回路が接続されたスキャンチェーン回路を備える請求項 5 記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路及び遅延測定回路に関し、更には遅延測定回路較正方法に関する。

【背景技術】

【0002】

半導体集積回路は、半導体材料若しくは絶縁材料の表面又は半導体材料の内部にトランジスタその他の回路素子を生成させ、電子回路の機能を有するよう設計したものであり、パーソナルコンピュータや携帯電話等に用いられており、特に近年、半導体集積回路における微細化技術の進歩によりめざましく高速化が図られている。

【0003】

しかしながら、半導体集積回路の高速化は、トランジスタと配線の加工のばらつきや配線間の容量結合等の増加等に起因する回路における信号の伝播時間のばらつきをもたらし、このばらつきを如何に抑えるかが重要な課題となっている。すなわち高速動作が可能な半導体集積回路を歩留まりよく作製するためには回路における伝播時間及びその統計的なばらつきを把握し、改善していくことが必要である。この伝播時間が必要以上に長くなっていないかを確認する方法として遅延測定がある。

【0004】

遅延測定とは、テスト信号を入力して応答信号を得るまでの時間を計測することをいい、この結果、計測した時間が所定の期間内に納まっているか否かを判定し、不良品であるか否かを判断することができる。

【0005】

ところが、半導体集積回路に搭載される遅延測定を行う回路自体も製造バラツキの影響を受け、その測定自体に誤差が生じることとなる。その場合、正確な遅延測定を行うことは困難となってしまう。

【0006】

そこで、公知の技術として、例えば下記特許文献 1 及び 2 に、遅延測定回路におけるバラツキによる測定誤差を軽減する技術が開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2011 - 114716 号公報

【特許文献 2】特開 2013 - 219771 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 8 】

しかしながら、上記特許文献 1 に記載の技術では、電圧低下や温度変化等、グローバルなばらつきによる測定誤差に対応することができるが、各遅延素子の製造ばらつきなどのローカルなばらつきには対応することができない。また、高精度な較正が困難である。また、上記特許文献 2 に記載の技術では複数のディレイラインを用いており、大型化してしまうといった課題が残る。

【 0 0 0 9 】

そこで、本発明は、上記課題に鑑み、回路の大型化をもたらさずに高精度な較正が可能な半導体集積回路及び遅延測定回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

上記課題を解決する本発明の一観点に係る遅延測定回路は、クロック生成回路と、論理出力回路と、前記論理出力回路に直列に接続される複数の遅延回路と、複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた遅延測定回路であって、論理出力回路及び複数の遅延回路の少なくとも一つは遅延時間が可変である。

【 0 0 1 1 】

また、本観点において、論理出力回路は、NAND回路及びNOR回路の少なくともいずれかを含むことが好ましい。

【 0 0 1 2 】

また、本観点において、遅延回路は、NOT回路及びバッファ回路の少なくともいずれかを含むことが好ましい。

【 0 0 1 3 】

また、本観点において、複数のセレクト回路及び複数のフリップフロップ回路が接続されたスキャンチェーン回路を備えることが好ましい。

【 0 0 1 4 】

また、本発明の他の一観点に係る半導体集積回路は、被測定回路と、クロック生成回路と、論理出力回路と、論理出力回路に直列に接続される複数の遅延回路と、複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた半導体集積回路であって、論理出力回路及び前記複数の遅延回路の少なくとも一つは、少なくとも二つのバイアス電圧入力ゲートを備える。

【 0 0 1 5 】

また、本観点において、論理出力回路は、NAND回路及びNOR回路の少なくともいずれかを含むことが好ましい。

【 0 0 1 6 】

また本観点において、遅延回路は、NOT回路及びバッファ回路の少なくともいずれかを含む。

【 0 0 1 7 】

また本観点において、複数のセレクト回路及び複数のフリップフロップ回路が接続されたスキャンチェーン回路を備えることが好ましい。

【 0 0 1 8 】

また本発明の他の一観点に係る半導体集積回路は、接続された複数のフリップフロップ回路を有する被測定回路部と、クロック生成回路部と、NAND回路と、NAND回路に直列に接続される複数のNOT回路と、複数のNOT回路の末端に接続されるカウンタ回路と、複数のセレクト回路及び複数のフリップフロップ回路が接続されるスキャンチェーン回路と、を備えた遅延測定回路部と、を備えた半導体集積回路であって、NAND回路は、少なくとも二つのバイアス電圧入力ゲートを備えている。

【 0 0 1 9 】

また本発明の他の一観点に係る遅延測定回路は、NAND回路と、NAND回路に直列に接続される複数のNOT回路と、複数のNOT回路の末端に接続されるカウンタ回路と、複数のセレクト回路及び複数のフリップフロップ回路が接続されるスキャンチェーン回

10

20

30

40

50

路と、を備えており、NAND回路は、少なくとも二つのバイアス電圧入力ゲートを備えている。

【発明の効果】

【0020】

本発明は、上記課題に鑑み、回路の大型化をもたらさずに高精度な較正が可能な半導体集積回路及び遅延測定回路並びに遅延測定回路較正方法を提供することができる。

【図面の簡単な説明】

【0021】

【図1】実施形態に係る半導体集積回路の機能ブロック図である。

【図2】実施形態に係る遅延測定回路の回路図である。

10

【図3】実施形態に係るNAND回路の回路図である。

【図4】実施形態に係る遅延測定回路較正方法における電圧信号を示す図である

【図5】p型のスイッチング素子のバイアス電圧の変化、n型のスイッチング素子のバイアス電圧の変化におけるNAND回路の遅延時間一例を示す図である。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態について、図面を用いて詳細に説明する。ただし、本発明は多くの異なる形態による実施が可能であり、以下に示す実施形態、実施例の例示に限定されるものではない。

【0023】

20

図1は、本実施形態に係る半導体集積回路（以下「本集積回路」という。）1の機能ブロックを示す図である。本図で示すように、本集積回路1は、接続された複数のフリップフロップ回路を備える被測定回路2と、クロック生成回路3と、遅延測定回路4と、を備えている。

【0024】

本実施形態において被測定回路2は、遅延の測定対象となる回路であって、限定されるわけではないが、複数のフリップフロップ回路FFを有している。本実施形態においてフリップフロップは、入力される信号を記憶することのできるものであって、この機能を有する限りにおいて限定されるわけではないが、例えばマスターラッチとスレイブラッチとの組み合わせを備えたものを例示することができる。なお、フリップフロップは、クロック生成回路3にそれぞれ接続されており、クロック信号の入力に応じて入力された信号の記憶、フリップフロップ外への記録した値の出力を行うことができる。

30

【0025】

本実施形態において、クロック生成回路3は、本明細書の記載から明らかなようにクロック信号を作成し、出力するものである。なお本実施形態において、クロック信号の周波数は可変であり、クロック生成回路自体は較正されており、遅延なく正確に動作する。

【0026】

また本実施形態において、遅延測定回路4は、被測定回路における遅延を測定することができるものである。本実施形態に係る遅延測定回路4は、図2で示すように、NAND回路41と、NAND回路41に直列に接続される複数のNOT回路42と、複数のNOT回路42の末端に接続されるカウンタ回路43と、複数のセレクト回路441及び複数のフリップフロップ回路442が数珠繋ぎで接続されるスキャンチェーン回路44、を備えている。

40

【0027】

本実施形態においてNAND回路41は、論理出力回路であって、クロック生成回路3が生成するスタート信号としてのクロック信号と、NAND回路41に接続される複数のNOT回路（遅延回路）の末端の出力を入力信号とするとともに、少なくとも二つのバイアス電圧入力ゲートを備えている。この回路の具体的な構成については限定されるわけではないが、例えば図3で示す構成を示すことができる。本図で示すように、NAND回路41は、複数のスイッチング素子が、自己に隣接するスイッチング素子のソース/ドレイ

50

ン領域が導通するよう接続されており、その接続の一方の端が接地（GND）されており、他方の端がVDDに接続されている。

【0028】

また、本実施形態のNAND回路41では、その両端近傍のスイッチング素子において、バイアス電圧流入力ゲートを備えており、具体的には一方はn型のトランジスタ、他方はp型のトランジスタを備えており、バイアス電源に接続されている。この結果、本遅延測定回路4は、NAND回路が遅延時間可変となっている。なお、本実施形態の例では、論理出力回路としてNAND回路を用いているが、同様の機能を有することができるものであればNOR回路で構成することも可能である。

【0029】

また本実施形態の複数のNOT回路42は、遅延回路であり、上記論理出力回路としてのNAND回路の出力に直列的に接続されており、一つのNOT回路の出力が次段のNOT回路の入力となっているとともに、スキャンチェーン回路におけるセレクト回路及び複数のフリップフロップ回路にもその値が入力されるよう接続されている。なおNOT回路の数は特に限定されるものではなく、必要とされる遅延測定範囲、精度等に応じて適宜調整可能である。また、NOT回路のほか遅延回路としての機能を有する限り限定されず、遅延を生じさせるいわゆるバッファ回路を設けることも可能である。

【0030】

また本実施形態において、カウンタ回路43は、上記のとおり、複数のNOT回路の末端に接続されており、末端のNOT回路の出力をカウントする。

【0031】

また本実施形態においてスキャンチェーン回路44は、複数のセレクト回路441及び複数のフリップフロップ回路442が接続されており、複数のNOT回路それぞれの出力に接続されており、それらの出力の値を記憶することができる。この回路の構成の一例については上記図2に示したとおりである。なお、スキャンチェーン回路44は、クロック生成回路3が生成するストップ信号としてのクロック信号の入力を受け付ける構成となっており、このストップ信号が入力された場合、その時における値を保持する。

【0032】

（遅延測定の波形図）

次に、本集積回路を用いて、遅延時間測定を較正する方法について具体的に説明する。図4は、本実施形態における遅延測定回路較正方法における電圧信号を示す図である。

【0033】

まず、クロック生成回路3は、スタート信号としてのクロック信号を生成し、出力する。なお、クロック生成回路3は、スタート信号を生成した後、一定の期間経過後、ストップ信号としてのクロック信号を生成し、出力する。このスタート信号とストップ信号の間が測定時間Tとなる。

【0034】

まず、スタート信号が変化すると、NAND回路に入力され、その結果を受けて複数のNOT回路の接続により構成されるライン（ディレイライン（遅延回路））が発振を始める。具体的には、NAND回路から順次値の変化が伝搬され、最後のNOT回路迄の値の変化が伝搬されるとカウンタ回路におけるカウンタ値が1加算されると同時に再びNAND回路にこの値の変化が伝搬される。なお本図ではわかりやすくするため、奇数番目の値を反転させている。

【0035】

一方、ストップ信号が変化した時、ディレイライン上の信号値がスキャンチェーンへと記憶されると同時にカウンタ回路が動作を停止する（図中の太線がスキャンチェーンへ記憶される値）。なお本図の例では、カウンタの値は5であり、カウンタが5となった後NAND、INV1（1段目のNOT回路の出力、以下「INV」において同じ）、INV2が変化し、INV3、からINVnが変化していないことが観測できる。よって、本図の場合、スタート信号が入力されてからストップ信号が入力されるまでの時間は、以下の

10

20

30

40

50

値の和であるといえる。

(1) デレイラインの遅延時間の5倍

(2) NAND回路、INV1、INV2の遅延時間の和

【0036】

(NANDゲートの特性)

立ち上がり、立下り遅延時間を調整するためにはn型スイッチング素子、p型スイッチング側のバイアス電圧を変化させることで可能である。デレイラインはチップ内に埋め込まれており、製造によるばらつきの影響を受けてしまう。したがって、バイアス電圧と遅延時間の関係を設計時に知ることは出来ない。そこで、下記手順による測定を行うことで較正を行う。ここではクロック信号生成回路によるクロック信号は正確であり、このクロック信号であるスタート信号及びストップ信号の間の時間を既知とし、調整することで各測定を行う。

10

【0037】

(A) デレイライン全体の遅延時間測定

まずカウンタの値が変化してからNAND、INVの値が観測されない(スキャンフリップフロップの値が全て0又は全て1である)時間Tを探す。このときのTをT1とし、カウンタの値をn1とする。ここでn1はなるべく大きな値にすることが好ましい。そしてこの結果、 $T1/n1$ がデレイライン全体の遅延時間であるとして求めることができる。なお、通常T1の分解能はあまり高くないが、n1を大きくすることによって結果に対する分解能を高めることができる。

20

【0038】

(B) NANDゲートのバイアス電圧と遅延時間の関係を求める

p型のスイッチング素子、n型のスイッチング素子毎にNANDにおける遅延時間の増加dを求める。バイアス電圧においてカウンタの値が変化してからNAND、INVの変化が観測されない時間Tを探し、この時の時間TをT2とし、カウンタの値をn2とする。ここで、dは $T2/n2 - T1/n1$ という式で表せる。なおこの場合においても精度を高めるためにn2はなるべく大きな値にしておくことが好ましい。なお、p型のスイッチング素子のバイアス電圧の変化、n型のスイッチング素子のバイアス電圧の変化におけるNAND回路の遅延時間一例について図5に示しておく。なお図中、横軸はバイアス電圧を、縦軸はNAND回路の遅延時間を、丸印は予想されるばらつきによる遅延時間の上限を、三角印は遅延時間の理想値を、四角印は予想されるばらつきによる遅延時間の下限をそれぞれ示している。

30

【0039】

(C) バイアス電圧を加えない場合におけるNANDゲートの遅延時間測定

そして、スキャンフリップフロップの値が1000...0又は0111...1である時間Tを探す。バイアス電圧をかけるとフリップフロップの値は0000...0又は1111...1を経て0000...1又は1111...0へと変化するため、0000...0又は1111...1となる最小又は最大のバイアス値を求めV1、V2とする。なおこの場合においてV1、V2に対応する遅延時間の増加量をd1、d2($d2 > d1$)とする。なおこの場合において、カウンタの値は常にnであるとする。

40

【0040】

すると、バイアス電圧を加えないときのNANDゲートの遅延時間は $(d2 - d1)n - d1$ によって得られる。なおこの場合において、nは、d1、d2の誤差の影響をなるべく小さくするため、小さくすることが好ましい。より具体的には、n1、n2と同程度に大きなnを用いてしまうとクロック信号生成回路の分解能と同程度にまで測定精度が落ちてしまうので注意が必要である。

【0041】

(D) 各NOT回路の遅延時間を測定する

上記(C)と同様の測定によって行う。具体的には、INV_iの遅延時間を測定する場合は、1...100...0(1がi個連続)又は0...011...1(0がi個連続)である最小

50

最大のバイアス値 V_1 、 V_2 を求め、この時の NAND ゲートの遅延時間を d_1 、 d_2 、カウンタ値を n とし、これらの値から INVi の遅延時間は $(d_2 - d_1)n$ によって求めることができる。

【 0 0 4 2 】

すなわち、上記 (A) ~ (D) を実施することにより、校正を完了させることができる。

【 0 0 4 3 】

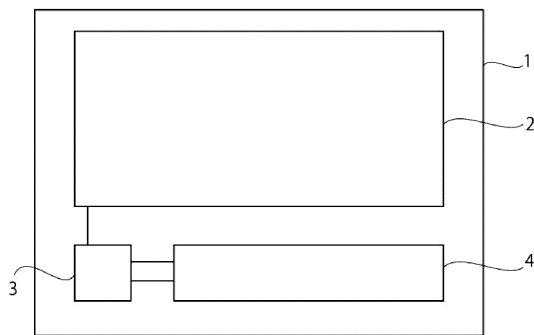
以上本集積回路によると、回路の大型化をもたらさずに高精度な校正が可能な半導体集積回路及び遅延測定回路並びに遅延測定回路校正方法を提供することができる。

【 産業上の利用可能性 】

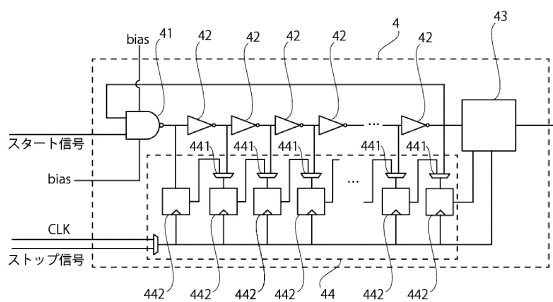
【 0 0 4 4 】

本発明は、半導体集積回路として産業上利用可能性がある。

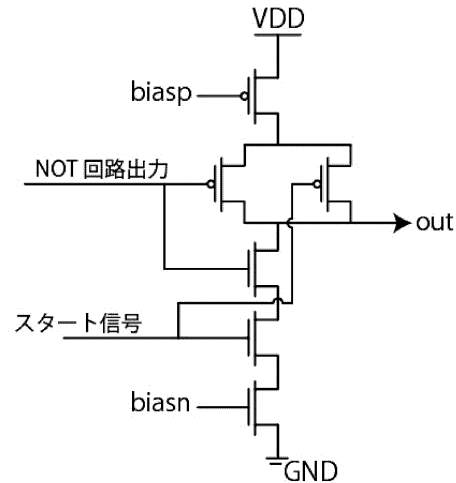
【 図 1 】



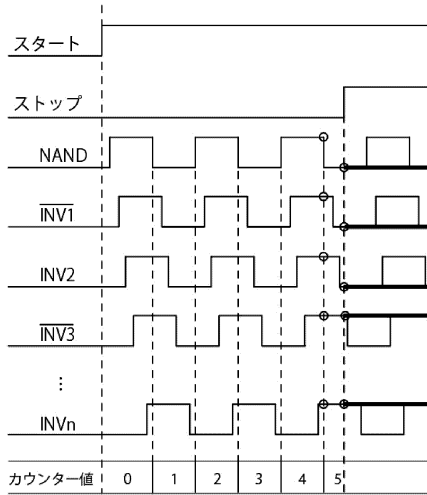
【 図 2 】



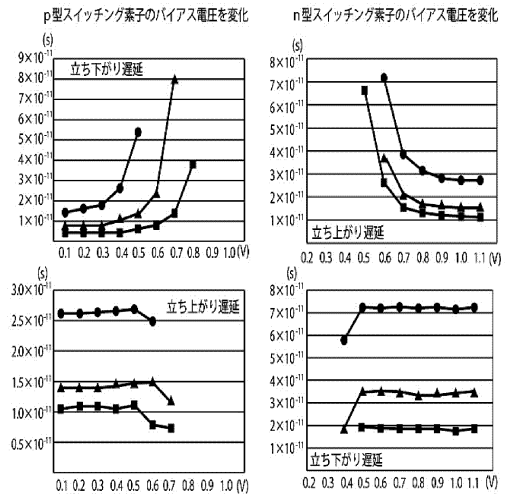
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (56)参考文献 特開2011-113984(JP,A)
特開2007-322235(JP,A)
特開2002-76856(JP,A)
特開2012-114716(JP,A)
特開2007-282178(JP,A)
特開2005-94341(JP,A)
特開平5-259907(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R	31/28
H01L	21/822
H01L	27/04
H03K	5/14