

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6140885号
(P6140885)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月12日(2017.5.12)

(51) Int.Cl.	F I
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z

請求項の数 16 (全 29 頁)

(21) 出願番号	特願2016-507499 (P2016-507499)	(73) 特許権者	503360115
(86) (22) 出願日	平成27年3月6日(2015.3.6)		国立研究開発法人科学技術振興機構
(86) 国際出願番号	PCT/JP2015/056694		埼玉県川口市本町四丁目1番8号
(87) 国際公開番号	W02015/137256	(74) 代理人	100087480
(87) 国際公開日	平成27年9月17日(2015.9.17)		弁理士 片山 修平
審査請求日	平成28年10月5日(2016.10.5)	(72) 発明者	周藤 悠介
(31) 優先権主張番号	特願2014-52529 (P2014-52529)		神奈川県横浜市緑区長津田町4259 国
(32) 優先日	平成26年3月14日(2014.3.14)		立大学法人東京工業大学内
(33) 優先権主張国	日本国(JP)	(72) 発明者	黒澤 実
			神奈川県横浜市緑区長津田町4259 国
			立大学法人東京工業大学内
		(72) 発明者	舟窪 浩
			神奈川県横浜市緑区長津田町4259 国
			立大学法人東京工業大学内

最終頁に続く

(54) 【発明の名称】 ピエゾ抵抗体をチャンネルに用いたトランジスタおよび電子回路

(57) 【特許請求の範囲】

【請求項1】

キャリアが伝導するピエゾ抵抗体と、
前記ピエゾ抵抗体に前記キャリアを注入するソースと、
前記ピエゾ抵抗体から前記キャリアを受けるドレインと、
前記ピエゾ抵抗体を囲むように設けられ、前記ピエゾ抵抗体に圧力を加える圧電体と、
前記圧電体が前記ピエゾ抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、
を具備することを特徴とするトランジスタ。

【請求項2】

前記ゲートは、前記圧電体を囲むように設けられ、
前記圧電体は、前記ピエゾ抵抗体から前記ゲートに向かう方向または前記ゲートから前記ピエゾ抵抗体に向かう方向に誘電分極することを特徴とする請求項1記載のトランジスタ。

【請求項3】

前記ゲートは、前記ピエゾ抵抗体内のチャンネルを伝導する前記キャリアの伝導方向に平行な方向に複数設けられ、

前記圧電体は、前記平行な方向に誘電分極することを特徴とする請求項1記載のトランジスタ。

【請求項4】

10

20

前記圧電体は、前記キャリアの伝導方向に直交する全ての方向から前記ピエゾ抵抗体を囲むように設けられていることを特徴とする請求項 1 から 3 のいずれか一項記載のトランジスタ。

【請求項 5】

前記圧電体は、前記キャリアの伝導方向に直交する一部の方向から前記ピエゾ抵抗体を囲むように設けられていることを特徴とする請求項 1 から 3 のいずれか一項記載のトランジスタ。

【請求項 6】

基板上に形成され、前記ピエゾ抵抗体を支持する支持体を具備し、
前記ピエゾ抵抗体の上面は曲面であり、
前記圧電体は、前記ピエゾ抵抗体の上面および前記支持体の側面を囲むことを特徴とする請求項 1 から 3 のいずれか一項記載のトランジスタ。

10

【請求項 7】

前記支持体の高さは、前記ピエゾ抵抗体の幅より大きいことを特徴とする請求項 6 記載のトランジスタ。

【請求項 8】

前記支持体の材料は、前記ピエゾ抵抗体の材料と同じことを特徴とする請求項 6 または 7 記載のトランジスタ。

【請求項 9】

前記支持体の材料は、前記ピエゾ抵抗体の材料と異なることを特徴とする請求項 6 または 7 記載のトランジスタ。

20

【請求項 10】

第 1 方向にキャリアが伝導するピエゾ抵抗体と、
前記ピエゾ抵抗体に前記キャリアを注入するソースと、
前記ピエゾ抵抗体から前記キャリアを受けるドレインと、
前記第 1 方向と交差する第 2 方向から前記ピエゾ抵抗体に圧力を加える圧電体と、
前記圧電体が前記ピエゾ抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、

を具備することを特徴とするトランジスタ。

【請求項 11】

前記ソースと前記ドレインとは、前記ピエゾ抵抗体における前記ソースと前記ドレインとの中間の面に対して対称な構造であり、

前記ピエゾ抵抗体、前記圧電体および前記ゲートは、それぞれ前記中間の面に対して対称な構造であることを特徴とする請求項 1 から 10 のいずれか一項記載のトランジスタ。

30

【請求項 12】

第 1 電源と第 2 電源との間に接続された回路と、
請求項 1 から 11 のいずれか一項記載のトランジスタであって、前記ソースおよび前記ドレインのいずれか一方が前記第 1 電源に接続され、前記ソースおよび前記ドレインの他方が前記回路の電源端子に接続され、前記回路に供給される電力を遮断する信号が前記ゲートに入力するトランジスタと、

を具備することを特徴とする電子回路。

40

【請求項 13】

データを記憶する双安定回路と、
前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、
を具備し、前記回路は前記双安定回路であることを特徴とする請求項 12 記載の電子回路。

【請求項 14】

前記不揮発性素子は、前記双安定回路内のノードと制御線との間に接続されていることを特徴とする請求項 13 記載の電子回路。

50

【請求項 15】

不揮発性素子と、

請求項 1 から 11 のいずれか一項記載のトランジスタであって、前記不揮発性素子と直列に前記ソースまたは前記ドレインが接続された前記トランジスタと、
を備える不揮発性メモリセルを具備することを特徴とする電子回路。

【請求項 16】

請求項 1 から 11 のいずれか一項記載のトランジスタであって、互いに相補型である第 1 および第 2 トランジスタを具備し、

前記第 1 および第 2 トランジスタの前記圧電体の誘電分極方向は、互いに逆向きであり、前記ソースを基準として、前記ゲートに正の電圧または負の電圧を加えた場合に、前記圧電体が前記 piezo 抵抗体に圧力を印加できるような方向であることを特徴とする電子回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタおよび電子回路に関し、例えば piezo 抵抗体をチャネルに用いたトランジスタおよび電子回路に関する。

【背景技術】

【0002】

特許文献 1 には、piezo 抵抗体をチャネルとして用い、piezo 抵抗体に圧力を印加する圧電体をゲートに設けたトランジスタが開示されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許 8 1 5 9 8 5 4 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 のトランジスタにおいては、高降伏強度材料からなる支持構造を用いて、piezo 抵抗体チャネルに圧電体ゲートから圧力を加える（なお、以下、圧電体とゲートとをまとめて圧電体ゲートと呼ぶ）。このため、圧力の印加効率は十分ではなく、また、集積化の障害となる。さらに、ソースとドレインを入れ替えると特性が変わってしまう。このため、ソースとドレインを等価にする回路に特許文献 1 のトランジスタを用いることが難しい。

30

【0005】

本発明は、上記課題に鑑みなされたものであり、高降伏強度材料によるデバイス（トランジスタ）の支持構造を用いず、圧電体ゲートから piezo 抵抗体チャネルへ効果的に圧力を印加可能で、さらに、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することを目的とする。または、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することを目的とする。

40

【課題を解決するための手段】

【0006】

本発明は、キャリアが伝導する piezo 抵抗体と、前記 piezo 抵抗体に前記キャリアを注入するソースと、前記 piezo 抵抗体から前記キャリアを受けるドレインと、前記 piezo 抵抗体を囲むように設けられ、前記 piezo 抵抗体に圧力を加える圧電体と、前記圧電体が前記 piezo 抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、を具備することを特徴とするトランジスタである。

【0007】

上記構成において、前記ゲートは、前記圧電体を囲むように設けられ、前記圧電体は、前記 piezo 抵抗体から前記ゲートに向かう方向または前記ゲートから前記 piezo 抵抗体に

50

向かう方向に誘電分極する構成とすることができる。

【0008】

上記構成において、前記ゲートは、前記ピエゾ抵抗体内のチャンネルを伝導する前記キャリアの伝導方向に平行な方向に複数設けられ、前記圧電体は、前記平行な方向に誘電分極する構成とすることができる。

【0009】

上記構成において、前記圧電体は、前記キャリアの伝導方向に直交する全ての方向から前記ピエゾ抵抗体を囲むように設けられている構成とすることができる。

【0010】

上記構成において、前記圧電体は、前記キャリアの伝導方向に直交する一部の方向から前記ピエゾ抵抗体を囲むように設けられている構成とすることができる。

10

【0011】

上記構成において、基板上に形成され、前記ピエゾ抵抗体を支持する支持体を具備し、前記ピエゾ抵抗体の上面は曲面であり、前記圧電体は、前記ピエゾ抵抗体の上面および前記支持体の側面を囲む構成とすることができる。

【0012】

上記構成において、前記支持体の高さは、前記ピエゾ抵抗体の幅より大きい構成とすることができる。

【0013】

上記構成において、前記支持体の材料は、前記ピエゾ抵抗体の材料と同じ構成とすることができる。

20

【0014】

上記構成において、前記支持体の材料は、前記ピエゾ抵抗体の材料と異なる構成とすることができる。

【0015】

上記構成において、前記ソースと前記ドレインとは、前記ピエゾ抵抗体における前記ソースと前記ドレインとの中間の面に対して対称な構造であり、前記ピエゾ抵抗体、前記圧電体および前記ゲートは、それぞれ前記中間の面に対して対称な構造である構成とすることができる。

【0016】

本発明は、第1電源と第2電源との間に接続された回路と、上記トランジスタであって、前記ソースおよび前記ドレインのいずれか一方が前記第1電源に接続され、前記ソースおよび前記ドレインの他方が前記回路の電源端子に接続され、前記回路に供給される電力を遮断する信号が前記ゲートに入力する前記トランジスタと、を具備することを特徴とする電子回路である。

30

【0017】

上記構成において、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を具備し、前記回路は前記双安定回路である構成とすることができる。

40

【0018】

上記構成において、前記不揮発性素子は、前記双安定回路内のノードと制御線との間に接続されている構成とすることができる。

【0019】

本発明は、不揮発性素子と、上記トランジスタであって、前記不揮発性素子と直列に前記ソースまたは前記ドレインが接続されたトランジスタと、を備える不揮発性メモリセルを具備することを特徴とする電子回路である。

【0020】

本発明は、上記トランジスタであり、互いに相補型である第1および第2トランジスタを具備し、前記第1および第2トランジスタの前記圧電体の誘電分極方向は、互いに逆向

50

きであり、前記ソースを基準として、前記ゲートに正の電圧または負の電圧を加えた場合に、前記圧電体が前記piezo抵抗体に圧力を印加できるような方向であることを特徴とする電子回路である。

【0021】

本発明は、第1方向にキャリアが伝導するpiezo抵抗体と、前記piezo抵抗体に前記キャリアを注入するソースと、前記piezo抵抗体から前記キャリアを受けるドレインと、前記第1方向と交差する第2方向から前記piezo抵抗体に圧力を加える圧電体と、前記圧電体が前記piezo抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、を具備することを特徴とするトランジスタである。

【発明の効果】

10

【0022】

本発明によれば、高降伏強度材料によるデバイス(トランジスタ)の支持構造を用いず、圧電体ゲートからpiezo抵抗体チャネルへ効果的に圧力を印加可能で、さらに、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することができる。または、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することができる。

【図面の簡単な説明】

【0023】

【図1】図1は、比較例1に係るトランジスタの断面図である。

【図2】図2は、実施例1に係るトランジスタの斜視図である。

20

【図3】図3(a)は、実施例1に係る第1型トランジスタの斜視断面図、図3(b)は、断面図、図3(c)は、回路記号である。

【図4】図4(a)は、実施例1に係る第2型トランジスタの斜視断面図、図4(b)は、断面図、図4(c)は、回路記号である。

【図5】図5(a)から図5(f)は、実施例1の変形例に係るトランジスタの模式図である。

【図6】図6(a)および図6(b)は、それぞれ実施例1および比較例1のシミュレーションに用いたサイズを示す図である。簡略化のため、ソース、ドレイン、ゲートおよび金属コンタクトは示していない。

【図7】図7(a)および図7(b)は、それぞれ実施例1および比較例1における L_p E に対する S を示す図である。

30

【図8】図8(a)および図8(b)は、それぞれ実施例1および比較例1における L_p R に対する S を示す図である。

【図9】図9(a)および図9(b)は、それぞれ実施例1および比較例1におけるドレイン電圧 V_D に対するドレイン電流 I_D を示す図である。

【図10】図10(a)および図10(b)は、それぞれ実施例1および比較例1における L_p E に対する S を示す図である。

【図11】図11(a)および図11(b)は、それぞれ実施例1および比較例1における L_p R に対する S を示す図である。

【図12】図12(a)から図12(c)は、リングオシレータの時間に対する出力電圧を示す図である。

40

【図13】図13(a)および図13(b)は、実施例2に係る電子回路のブロック図である。

【図14】図14は、実施例3に係る電子回路の回路図である。

【図15】図15は、実施例3の変形例に係る電子回路の回路図である。

【図16】図16(a)は、実施例4に係る不揮発性メモリセルの回路図、図16(b)は、断面斜視図である。

【図17】図17(a)から図17(f)は、実施例5に係る電子回路を示す回路図(その1)である。

【図18】図18(a)から図18(f)は、実施例5に係る電子回路を示す回路図(そ

50

の 2) である。

【図 19】図 19 (a) から図 19 (c) は、実施例 6 およびその変形例に係るトランジスタの断面図である。

【図 20】図 20 (a) は、実施例 7 に係るトランジスタの斜視断面図、図 20 (b) および図 20 (c) は、断面図である。

【図 21】図 21 (a) は、実施例 7 の変形例 1 に係るトランジスタの斜視断面図、図 21 (b) は、断面図である。

【図 22】図 22 (a) は、実施例 7 の変形例 2 に係るトランジスタの斜視断面図、図 22 (b) および図 22 (c) は、断面図である。

【図 23】図 23 は、実施例 7 の変形例 3 に係るトランジスタの断面図である。

10

【図 24】図 24 (a) は、シミュレーション 2 を用いたドレイン特性を示す図であり、図 24 (b) は、シミュレーション 1 と 2 を比較したドレイン特性を示す図である。

【図 25】図 25 は、インバータ回路の伝達特性を示す図である。

【図 26】図 26 (a) および図 26 (b) は、それぞれシミュレーション 1 および 2 における双安定回路のバタフライカーブを示す図である。

【図 27】図 27 は、実施例 8 に係る電子回路のブロック図である。

【発明を実施するための形態】

【0024】

近年のマイクロプロセッサや SoC (System on a Chip) などの CMOS (Complement ary Metal Oxide Semiconductor) ロジックシステムは、トランジスタの微細化と高性能化を両立させることで発展してきた。このような両立は、トランジスタの微細化に基づく電流駆動能力の向上と高密度集積化に負うところが大きい。しかし、トランジスタの微細化 (テクノロジーノードの更新) とともに、消費電力が増大している。この消費電力の増大は、ロジックシステムの性能やトランジスタの集積密度を制限する重大な問題になる。さらに、近年の CMOS ロジックシステムにおける重要な応用の 1 つであるスマートフォンなどのモバイル機器においては、ロジックシステムの消費電力は、バッテリーの利用時間を決める要因の一つにもなっている。

20

【0025】

CMOS ロジックシステムにおける電源電圧の低電圧化は、CMOS ロジックシステムの低消費電力化に極めて有効な手段の 1 つである。しかし、低電圧化は、ロジックシステムの動作周波数 (速度) を激しく劣化させてしまう。また、低電圧化は、デバイスのばらつきに対する耐性を著しく劣化させてしまう。このような電源電圧の低電圧化による問題が生じる主要因は、トランジスタの電流駆動能力の劣化である。そこで、より小さな入力電圧で、より大きな電流を駆動できるような、“高感度”なトランジスタの開発が盛んに行われている。さらに、低電圧動作における全消費電力に対する動的電力と静的電力の割合は、駆動電圧の低減とともに静的電力が大きくなる。このことから、低電圧動作においても、リーク (サブスレッショルドリーク) が十分に低いトランジスタが求められる。以上のような観点から、いくつかの新規なデバイスが研究および開発されている。しかしながら、電流駆動能力が高くてもリークが大きいデバイスや、リークは少なくとも電流駆動能力が低いデバイスが多い。

30

40

【0026】

電源電圧が 0 . 2 V 程度の超低電圧の領域では、大幅な消費電力の低減が見込める。しかし、従来の CMOS 技術ではこのような超低電圧動作させると電流駆動能力の低下にもなう回路性能の劣化が激しく、活用は困難である。このような回路性能の劣化は、半導体をチャネルに用いる限り、どのような半導体材料を用いても根本的に解決することは難しい。金属チャネルは、抵抗が低く、低電圧でも高い電流駆動能力を実現できる可能性がある。しかし、金属チャネルを用いると、リークを十分に下げることは原理的に難しい。したがって、金属的に抵抗が低い状態と、絶縁的に抵抗が高い状態と、の 2 つの状態を形成可能な金属 - 絶縁体転移する材料をトランジスタのチャネルに用いることが考えられる。このようなトランジスタは、超低電圧駆動に適したデバイスであると考えられる。最

50

近、大きな piezo 効果をもつ圧電体をゲートに利用し、圧力によって金属 - 絶縁体転移を引き起こす piezo 抵抗効果を有する piezo 抵抗体をチャンネルに利用する P E T (Piezoelectronic Transistor) と呼ばれる新しいトランジスタが提案されている (特許文献 1)。

【 0 0 2 7 】

図 1 は、比較例 1 に係るトランジスタ (P E T) の断面図である。比較例 1 は、特許文献 1 の構造を応用した例である。図 1 に示すように、ソース 1 4 とドレイン 1 6 との間に piezo 抵抗体 1 0 が設けられている。ソース 1 4 下 (piezo 抵抗体 1 0 と反対側) に圧電体 1 2 が設けられている。圧電体 1 2 の下にゲート 1 8 が設けられている。ゲート 1 8 からドレイン 1 6 までの積層体は高降伏強度材料からなる支持構造体 2 0 により支持されている。ソース 1 4 とゲート 1 8 との間に電圧を印加すると、圧電体 1 2 が変位する。これにより、圧電体 1 2 から piezo 抵抗体 1 0 に圧力が加わる。

10

【 0 0 2 8 】

P E T では、圧力によって金属 - 絶縁体転移する piezo 抵抗体 1 0 をチャンネルに用いる。piezo 抵抗体 1 0 は、オン時の金属相における抵抗は極めて低く、大きな電流駆動能力が期待できる。この piezo 抵抗体の圧力に対する抵抗変化率は巨大で、オフ時のチャンネル抵抗を極めて高くできる。このため、十分なオン / オフ電流比が期待できる。さらに、P E T では圧電体 1 2 の誘電分極の向きを反対にすることで、M O S F E T における p チャンネル動作と n チャンネル動作と同様の動作を実現できる。このため、C M O S 回路のように相補型のトランジスタを用いた回路も構成可能である。

【 0 0 2 9 】

P E T において高い電流駆動能力と急峻なサブスレッショルド特性を実現するためには、大きな圧電効果を有する圧電体 1 2 を用いることが求められる。このような圧電体 1 2 の特性のみならず、圧電体 1 2 から、効率よく piezo 抵抗体に圧力を加えることができるデバイス構造も極めて重要になる。これまでに提案された P E T では、piezo 抵抗体に圧力を加えるため、高降伏強度材料などからなる支持構造体 2 0 などのデバイスの支持構造が用いられる。このような支持構造は、集積回路の高密度集積化に適さない。さらに、支持構造体 2 0 の存在によって生じる各種寄生素子による性能劣化を生じる可能性がある。また、このような支持構造は、圧電体 1 2 から高効率に piezo 抵抗体からなるチャンネルに圧力を加えるのに適した構造にもなっていない。したがって、P E T ではこのようなデバイスの支持構造を用いず、チャンネルに効率よく圧力を加えることのできるデバイス構造の実現が重要となる。

20

30

【 0 0 3 0 】

以下に説明する実施例では、デバイスの支持構造を用いず、集積回路に適したデバイス構造を有する P E T が実現できる。さらに、圧電体ゲートから piezo 抵抗体チャンネルに高効率に圧力を印加できる構造を有する P E T を実現できる。このデバイス構造の P E T によって、高い電流駆動能力と急峻なサブスレッショルド特性を実現できる。さらに、P E T の低インピーダンス性を利用したパワーゲーティング回路、P E T の低電圧下における高速動作性を利用した低消費電力の記憶回路および論理回路が実現できる。

【 実施例 1 】

【 0 0 3 1 】

実施例 1 は、P E T の例である。図 2 は、実施例 1 に係るトランジスタの斜視図である。図 3 (a) は、実施例 1 に係る第 1 型トランジスタの斜視断面図、図 3 (b) は、断面図、図 3 (c) は、回路記号である。図 4 (a) は、実施例 1 に係る第 2 型トランジスタの斜視断面図、図 4 (b) は、断面図、図 4 (c) は、回路記号である。

40

【 0 0 3 2 】

図 2 から図 4 (c) に示すように、piezo 抵抗体 1 0 内の中心軸を z 軸とし、径方向を r 方向とする。piezo 抵抗体 1 0 は円筒形状である。piezo 抵抗体 1 0 の両端にはソース 1 4 とドレイン 1 6 とが設けられている。ソース 1 4 は piezo 抵抗体 1 0 にキャリア (例えば電子) を注入する。ドレイン 1 6 は piezo 抵抗体 1 0 からキャリアを受け取る。piezo 抵抗体 1 0 内をソース 1 4 からドレイン 1 6 方向にキャリアが伝導する。キャリアの伝

50

導方向は z 方向である。ソース14とピエゾ抵抗体10との間には金属コンタクト層15が設けられ、ドレイン16とピエゾ抵抗体10との間には金属コンタクト層17が設けられている。金属コンタクト層15および17は、圧電体12に接触しており、ピエゾ抵抗体10が絶縁相の場合に圧電体12に有効にゲート電圧を加えるために用いられる。金属コンタクト層15および17は、ピエゾ抵抗体10に効果的に圧力が加えられるように、ヤング率が小さいことが好ましい。圧電体12がピエゾ抵抗体10を囲むように設けられている。圧電体12はドーナツ形状である。圧電体12の周りにゲート18が設けられている。

【0033】

図3(a)および図3(b)に示すように、第1型トランジスタ11aにおいて、圧電体12の誘電分極方向22は $-r$ 方向である。例えば、ソース14を基準としてゲート18とソース14との間に正の電圧が印加されると、圧電体12はピエゾ抵抗体10に圧力を加える。これにより、ピエゾ抵抗体10は金属相となる。よって、ソース14からドレイン16にキャリアが伝導する。ゲート18とソース14との間に電圧が印加されないと、ピエゾ抵抗体10には圧力が加わらず、ピエゾ抵抗体10が絶縁相となる。これにより、ソース14からドレイン16へのキャリアの伝導が遮断される。このように、第1型トランジスタ11aは、ソース14を基準にゲート18に正側の電圧が加わるとピエゾ抵抗体10はオンする(金属相になる)。このような動作はMOSFETにおける n チャネルFETの動作と同等とみなせる。そこで、第1型トランジスタ11aを便宜的に n チャネルと称し、図3(c)のような回路記号で表す。図3(c)において、ソースSはソース14、ドレインDはドレイン16およびゲートGはゲート18にそれぞれ対応する。

【0034】

図4(a)および図4(b)に示すように、第2型トランジスタ11bにおいて、圧電体12の誘電分極方向22は $+r$ 方向である。例えば、ソース14を基準としてゲート18とソース14との間に負の電圧を印加すると、ピエゾ抵抗体10に圧力が加わる。これにより、ピエゾ抵抗体10は金属相となる。ゲート18とソース14との間に電圧が印加されないと、ピエゾ抵抗体10には圧力が加わらず、ピエゾ抵抗体10が絶縁相となる。これにより、ソース14からドレイン16へのキャリアの伝導が遮断される。このように、第2型トランジスタ11bは、ソース14を基準にゲート18に負側の電圧が加わるとピエゾ抵抗体10がオンする(金属相になる)。このような動作は、MOSFETにおける p チャネルFETの動作と同等とみなせる。そこで、第2型トランジスタ11bを便宜的に p チャネルと称し、図4(c)のような回路記号で表す。

【0035】

このように、以下の説明におけるPETの n チャネルおよび p チャネルは、ピエゾ抵抗体10からなるチャンネルを伝導するキャリアが電子かホールかではなく、MOSFETの n チャネルFETの動作と同じか p チャネルFETの動作と同じかにより規定している。

【0036】

図5(a)から図5(f)は、実施例1の変形例に係るトランジスタの模式図である。図5(a)および図5(c)は、斜視断面図、図5(b)および図5(d)は、断面図、図5(e)および図5(f)は、回路記号である。図5(a)および図5(b)に示すように、トランジスタ11cでは、圧電体12の誘電分極方向は $-z$ 方向である。圧電体12の z 方向に対向するようにゲート18aおよび18bが設けられている。ゲート18bを基準としてゲート18aと18b間に正の電圧を印加することにより、圧電体12はピエゾ抵抗体10に圧力を加えることができる。

【0037】

図5(c)および図5(d)に示すように、トランジスタ11dでは、圧電体12の誘電分極方向は z 方向である。ゲート18bを基準としてゲート18aと18b間に負の電圧を印加することにより、圧電体12はピエゾ抵抗体10に圧力を加えることができる。よって、トランジスタ11cと11dとは互いに相補型のトランジスタとなる。

【0038】

10

20

30

40

50

図5(e)および図5(f)において、G1がゲート18aに対応し、G2がゲート18bに対応する。例えば、G2をグランドのような参照電圧(またはソースなど)に接続した場合、G2を記載せず、図3(c)および図4(c)のような回路記号で表すこともできる。以下、G2をソースと同電位として、表記を省略する。

【0039】

実施例1では、ゲート18は、圧電体12を囲むように設けられている。圧電体12は、外方向または内方向(例えば piezo 抵抗体10内に対し放射状)に誘電分極する。実施例1の変形例では、ゲート18aおよび18bは、z方向に対向する圧電体12の面(すなわちz方向に垂直な面)にz方向に平行に複数設けられている。圧電体12は、z方向に誘電分極する。このように、圧電体12の誘電分極方向は適宜設定する。圧電体12内の誘電分極方向を反対の方向とすることにより、簡単に相補的なトランジスタを形成できる。

10

【0040】

実施例1およびその変形例では、圧電体12が piezo 抵抗体10を囲み piezo 抵抗体10に周囲から圧力を加える。このため、比較例1のようなデバイスの支持構造を用いなくともよい。piezo 抵抗体10を円筒形状、圧電体12をドーナツ形状を例に説明したが、piezo 抵抗体10および圧電体12の形状はこれらには限られない。例えば、piezo 抵抗体10は四角柱等の多角柱でもよい。また、多角柱の角は丸く縁取りされていてもよい。この場合、実施例1では圧電体12内の誘電分極の方向は、piezo 抵抗体10からゲート18に向かう方向またはゲート18から piezo 抵抗体10に向かう方向となる。実施例1の変形例では、誘電分極方向はz方向となる。piezo 抵抗体10に均一に圧力を加えるため、piezo 抵抗体および圧電体12は、z軸に対し回転対称であることが好ましい。

20

【0041】

実施例1およびその変形例(変形例においては金属コンタクト15および17が形成されている場合)において、金属コンタクト15および17を圧電体12に接触したまま形成し、ソース14およびドレイン16としてもよい。この場合、ソース14およびドレイン16と圧電体12との間が接触してもよい。このように、ソース14およびドレイン16にヤング率が小さい材料(例えば、ヤング率が piezo 抵抗体10と同程度または piezo 抵抗体10より小さい材料)を用いれば、ソース14およびドレイン16と圧電体12とが接触していてもよい。ソース14およびドレイン16のヤング率が大きい場合、図3(a)、図3(b)、図4(a)、図4(b)、図5(a)から図5(d)のように、ソース14およびドレイン16と圧電体12との間に空隙を形成することが好ましい。なお、図5(a)から図5(d)において、ソース14およびドレイン16と圧電体12との間に空隙が形成されているが、ソース14およびドレイン16のヤング率が piezo 抵抗体10と同程度または piezo 抵抗体10より小さい場合は、圧電体12とは接触していてもよい。

30

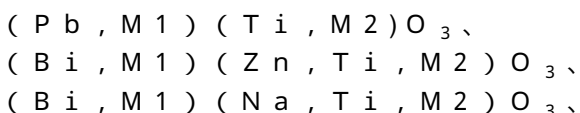
【0042】

piezo 抵抗体10は、加えられる機械的な圧力により電気抵抗が変化する piezo 抵抗効果を有する材料からなる。piezo 抵抗体10に圧力が加わることにより、piezo 抵抗体10の抵抗率が2桁以上変化することが好ましく、4桁以上変化することがより好ましく、5桁以上変化することがさらに好ましい。このような材料として、例えば SmSe 、 TmSe 、 SmS 、 Ca_2RuO_4 、 $(\text{Ca}, \text{Ba}, \text{SrRu})\text{O}_3$ 、 $\text{Ni}(\text{S}_{1-x}\text{Se}_x)_2\text{C}$ 、または $(\text{V}_{1-x}\text{Cr}_x)_2\text{O}_3$ を piezo 抵抗体10に用いることができる。

40

【0043】

圧電体12は、印加される電圧により機械的に変形する逆圧電効果を有する材料からなる。圧電体12の材料としては、例えば以下の ABC_3 型のペロブスカイト構造物質を用いることができる。



50

(K , M 1) (N b , M 2) O ₃、
 (L i , M 1) (N b , M 2) O ₃、
 (L i , M 1) (T a , M 2) O ₃、

または

(N a , M 1) (N b , M 2) O ₃

ここで、M1は価数が1 - 3価のLi、Ca、Ba、Sr、Bi、Pbまたはランタノイド等である。M2は価数が2 - 6価のZr、Hf、Mg / Nb、Mg / Ta、In / Sc等である。

ペロブスカイト構造物質以外の材料として、以下を用いることができる。

(H f , M 3) O ₂

ここで、M3はSr、Si、Ba、Ca、Mg、Zr、Ce、Ti、Ge、Sn、Nb、Taまたはランタノイドである。

圧電体12の材料として、典型的にはPZT(チタン酸ジルコン酸鉛)、PSZT(ストロンチウム添加チタン酸ジルコン酸鉛)、PMT-PT(マグネシウムニオブ酸-チタン酸鉛)、またはPZN-PT(亜鉛ニオブ酸-チタン酸鉛)を用いることができる。ソース14、ドレイン16およびゲート18は、金属等の導電体である。

【0044】

金属コンタクト層15および17は、ヤング率および抵抗率が小さいことが好ましい。このような、材料として、Al(68)、Mg(65)、Ag(76)、Au(80)、Pb(14)、Ca(23)、Sn(41)、Bi(31)、またはIn(10)を用いることができる。カッコ内はヤング率(GPa)を示す。例えば、金属コンタクト層15および17のヤング率は、 piezo抵抗体10と同程度または piezo抵抗体10より小さいことが好ましい。

【0045】

piezo抵抗体10、圧電体12、金属コンタクト層15および17、並びにソース14、ドレイン16およびゲート18は、例えばスパッタリング法、CVD(Chemical Vapor Deposition)法を用いて形成できる。

【0046】

実施例1と比較例1のトランジスタ特性をシミュレーションした。piezo抵抗体10をSmSe、圧電体12をPMT-PTとした。

【0047】

図6(a)および図6(b)は、それぞれ実施例1および比較例1のシミュレーションに用いたサイズを示す図である。簡略化のため、ソース、ドレイン、ゲートおよび金属コンタクトは示していない。図6(a)に示すように、実施例1において、圧電体12が piezo抵抗体10に圧力を加える。圧力が加わるr方向の piezo抵抗体10の厚さ l_{PR} (半径に相当する)、r方向の圧電体12の厚さ L_{PE} とする。 piezo抵抗体10のz方向の厚さ h_{PR} 、圧電体12のz方向の厚さ H_{PE} とする。z軸から圧電体12のr方向の中心までの距離 R_{PE} とする。圧電体12が piezo抵抗体10に圧力を加える面(すなわち圧電体12と piezo抵抗体10とが向き合う面)の面積を piezo抵抗体10について面積 a_{PR} 、圧電体12について A_{PE} とする。 $a_{PR} = 2 l_{PR} h_{PR}$ であり、 $A_{PE} = 2 l_{PR} H_{PE}$ である。よって、面積比 $a_{PR} / A_{PE} = h_{PR} / H_{PE}$ となる。

【0048】

図6(b)に示すように、比較例1において、圧電体12が piezo抵抗体10に圧力を加える方向をx方向とする。 piezo抵抗体10のx方向の厚さ l_{PR} 、圧電体12のx方向の厚さ L_{PE} とする。圧電体12と piezo抵抗体10とが向き合う(x方向に直交する面となる) piezo抵抗体10の面積 a_{PR} 、圧電体12の面積 A_{PE} とする。

【0049】

以上のように大きさのパラメータを規定することで、実施例1と比較例1の比較が可能となる。

【0050】

10

20

30

40

50

まず、実施例 1 および比較例 1 のゲート 18 に印加されるゲート電圧 V_G に対して piezo 抵抗体 10 に加わる圧力 P の比を示す係数 β について計算した。 $P = V_G$ である。係数 β が大きい方が piezo 抵抗体 10 に効率的に圧力が加わることを示している。

【0051】

図 7 (a) および図 7 (b) は、それぞれ実施例 1 および比較例 1 における L_{PE} に対する β を示す図である。 l_{PR} は 3 nm に固定した。複数の実線は、矢印方向に a_{PR} / A_{PE} を 0.2 から 1.0 まで 0.2 ステップで変えている。以下の実施例 1 および比較例 1 についての図も同じである。図 7 (a) に示すように、 a_{PR} / A_{PE} が小さい方が β は大きい。 β は L_{PE} には余り依存しない。図 7 (b) に示すように、 a_{PR} / A_{PE} が小さい方が β は大きい。 β は L_{PE} が大きくなると小さくなる。

10

【0052】

図 8 (a) および図 8 (b) は、それぞれ実施例 1 および比較例 1 における l_{PR} に対する β を示す図である。 L_{PE} は 40 nm に固定した。図 8 (a) に示すように、 a_{PR} / A_{PE} が小さい方が β は大きい。 l_{PR} が小さい方が β は大きい。図 8 (b) に示すように、 a_{PR} / A_{PE} が小さい方が β は大きい。 l_{PR} が小さい方が β は大きい。

【0053】

図 7 (a) および図 8 (a) と、図 7 (b) および図 8 (b) と、を比較すると、例えば、 $L_{PE} = 40$ nm、 $l_{PR} = 3$ nm および $a_{PR} / A_{PE} = 0.4$ では、実施例 1 では比較例 1 に比べ、 β が 2 倍程度大きい。このように、実施例 1 では、比較例 1 に比べ、piezo 抵抗体 10 に効率的に圧力を印加できる。これにより、電流駆動能力を高くできる。

20

【0054】

図 9 (a) および図 9 (b) は、それぞれ実施例 1 および比較例 1 におけるドレイン電圧 V_D に対するドレイン電流 I_D を示す図である。実施例 1 では、 $l_{PR} = 3$ nm、 $L_{PE} = 40$ nm、 $h_{PR} = 12$ nm、 $H_{PE} = 30$ nm および $a_{PR} / A_{PE} = 0.4$ である。比較例 1 では、 $l_{PR} = 3$ nm、 $L_{PE} = 40$ nm、 $a_{PR} = 100$ nm²、 $A_{PE} = 250$ nm² および $a_{PR} / A_{PE} = 0.4$ である。複数ある実線は、ゲート電圧 V_G を 0 V から 0.2 V まで 0.01 V ステップで印加したものである。

【0055】

図 9 (a) および図 9 (b) に示すように、実施例 1 のドレイン電流 I_D は比較例 1 より 3 倍大きい。このように、実施例 1 は比較例 1 に比べ電流駆動能力が 3 倍以上大きい。

30

【0056】

次に、サブスレッショルドスロープ S を計算した。サブスレッショルドスロープ S が小さいと、ゲート 18 により piezo 抵抗体 10 をオフしたときのリーク電流が小さくなる。

【0057】

図 10 (a) および図 10 (b) は、それぞれ実施例 1 および比較例 1 における L_{PE} に対する S を示す図である。 l_{PR} は 3 nm に固定した。図 10 (a) に示すように、 a_{PR} / A_{PE} が小さい方が S は小さい。 S は L_{PE} を小さくすると減少する。図 10 (b) に示すように、 a_{PR} / A_{PE} が小さい方が S は小さい。 L_{PE} が小さい方が S は小さい。

40

【0058】

図 11 (a) および図 11 (b) は、それぞれ実施例 1 および比較例 1 における l_{PR} に対する S を示す図である。 L_{PE} は 40 nm に固定した。図 11 (a) に示すように、 a_{PR} / A_{PE} が小さい方が S は小さい。 l_{PR} が小さい方が S は小さい。図 11 (b) に示すように、 a_{PR} / A_{PE} が小さい方が S は小さい。 l_{PR} が小さい方が S は小さい。

【0059】

図 10 (a) および図 11 (a) と、図 10 (b) および図 11 (b) と、を比較すると、例えば、 $L_{PE} = 40$ nm、 $l_{PR} = 3$ nm、 $a_{PR} / A_{PE} = 0.4$ では、実施例 1 では比較例 1 に比べ、 S は 50 程度と MOSFET の室温における限界値 (60 mV /

50

d e c a d e) を下回る。一方、比較例 1 の S は 100 程度と、実施例 1 の 2 倍程度大きい。このように、実施例 1 では比較例 1 に比べ、サブスレッシュヨルド特性を急峻にできる。よって、オフ時のリーク電流を抑制できる。

【0060】

および S の観点から a_{P_R} / A_{P_E} は小さいことが好ましい。例えば a_{P_R} / A_{P_E} は 1 より小さいことが好ましく、0.6 程度以下がより好ましい。

【0061】

次に、5 段のインバータで構成したリングオシレータの発振周波数を計算した。インバータは、p チャネル P E T と n チャネル P E T を用いた相補型インバータとした。図 12 (a) から図 12 (c) は、リングオシレータの時間に対する出力電圧を示す図である。図 12 (a) は、実施例 1 の P E T の計算結果を示す。計算した P E T では、 $l_{P_R} = 3$ nm、 $L_{P_E} = 10$ nm、 $h_{P_R} = 6$ nm、 $H_{P_E} = 30$ nm および $a_{P_R} / A_{P_E} = 0.2$ である。電源電圧 $V_{D_D} = 0.2$ V である。圧電体 12 の電圧印加に応答するメカニカルな共振現象は、リングオシレータの発振周波数に影響するため、この効果を取り込んで計算を行った。図 12 (b) および図 12 (c) は、16 nm ノードの F i n F E T を用いた場合の計算結果であり、それぞれ電源電圧 $V_{D_D} = 0.5$ V および 0.2 V である。

【0062】

図 12 (a) に示すように、実施例 1 では、 $V_{D_D} = 0.2$ V であっても発振周波数は約 60 GHz である。図 12 (b) に示すように、F i n F E T では、 $V_{D_D} = 0.5$ V で発振周波数は約 25 GHz である。図 12 (c) に示すように、 $V_{D_D} = 0.2$ V では発振周波数は約 1.3 GHz である。このように、現在最も動作速度の速いトランジスタのひとつである F i n F E T を用いても、 V_{D_D} を小さくすると動作速度が急激に劣化する。一方、実施例 1 では、駆動電流能力が大きいので、 V_{D_D} を小さくしても発振周波数は高い。構造の最適化を行うことで、 $V_{D_D} = 0.2$ V で 100 GHz 程度の発振周波数を実現できる可能性がある。

【0063】

実施例 1 によれば、圧電体 12 がピエゾ抵抗体 10 を囲むように設けられている。ゲート 18 に電圧を印加することにより、圧電体 12 がピエゾ抵抗体 10 に圧力を加える。これにより、比較例 1 と比べ、支持構造体を用いなくともよい。また、図 7 (a) から図 8 (b) のように、比較例 1 に比べ、高効率にピエゾ抵抗体 10 に圧力を加えることができる。よって、電流駆動能力を高くすることができる。さらに、図 10 (a) から図 11 (b) のように、比較例 1 に比べ、サブスレッシュヨルド特性を向上できる。ピエゾ抵抗体 10 は圧力により金属相となるため、オン抵抗が非常に低い。このため、図 12 (a) のように、低い電源電圧 (例えば 0.2 V 以下) においても高速動作が可能となる。

【0064】

また、比較例 1 では、図 1 のように、ゲート 18、ソース 14 およびドレイン 16 がこの順番で積層されているため、ソース 14 からドレイン 16 方向にキャリアを流す場合と、ドレイン 16 からソース 14 方向にキャリアを流す場合と、が等価でなくなる (電流が異なる)。このように、ソース 14 とドレイン 16 とがゲート 18 に対し対称な構造となっていない。このため、ソース 14 とドレイン 16 とを入れ替えて同じ特性を得ようとすると、ゲート 18 に印加する電圧を変えることになる。このため、ソース 14 とドレイン 16 を入れ替えると、特性が大きく変わってしまう。

【0065】

一方、実施例 1 では、チャンネル中心に対するソース 14 とドレイン 16 方向が対称性待つようにデバイス構造を構成できる。また、ゲート 18 に対し、ソース 14 とドレイン 16 とが等価な構造のため、ソース 14 とドレイン 16 とを入れ替えても、ゲート 18 に同じ電圧を印加すれば、同じ特性が得られる。このように、ソース 14 とドレイン 16 を入れ替えても、特性はほとんど変化しない。

【実施例 2】

10

20

30

40

50

【 0 0 6 6 】

実施例 2 は、実施例 1 の P E T を パワースイッチとしたパワーゲーティング回路の例である。図 1 3 (a) および図 1 3 (b) は、実施例 2 に係る電子回路のブロック図である。図 1 3 (a) に示すように、パワーゲーティング回路 1 0 0 a は、パワースイッチとして p チャンネル P E T 3 0 b およびパワードメイン回路 3 2 を有している。パワードメイン回路 3 2 は、2 つの電源であるグランド G N D と電源 V_{DD} との間に設けられている。パワードメイン回路 3 2 には、グランド G N D および電源 V_{DD} から電力が供給される。回路 3 2 と電源 V_{DD} との間に p チャンネル P E T 3 0 b が設けられている。P E T 3 0 b のソースが電源 V_{DD} に、ドレインが回路 3 2 に接続されている。ゲートには、回路 3 2 に供給する電力を制御する信号が入力する。P E T 3 0 b と回路 3 2 の間のノードが仮想 V_{DD} となる。回路 3 2 には、仮想 V_{DD} とグランド G N D との電位差の電圧が印加される。

10

【 0 0 6 7 】

図 1 3 (b) に示すように、パワーゲーティング回路 1 0 0 b は、パワースイッチとして n チャンネル P E T 3 0 a およびパワードメイン回路 3 2 を有している。グランド G N D と回路 3 2 との間に n チャンネル P E T 3 0 a が設けられている。P E T 3 0 a のソースがグランド G N D に、ドレインが回路 3 2 に接続されている。ゲートには、回路 3 2 に供給する電力を制御する信号が入力する。P E T 3 0 a と回路 3 2 の間のノードが仮想 G N D となる。回路 3 2 には、電源 V_{DD} と仮想 G N D との電位差の電圧が印加される。P E T 3 0 a および 3 0 b は、実施例 1 に係るトランジスタである。

20

【 0 0 6 8 】

実施例 2 によれば、回路 3 2 が電源 V_{DD} (第 1 電源) とグランド G N D (第 2 電源) との間に接続されている。パワースイッチである P E T 3 0 a または 3 0 b のソースは、電源 V_{DD} またはグランド G N D に接続され、ドレインが回路 3 2 に接続される。ゲートに回路 3 2 に供給される電力を遮断する信号が入力する。この信号は、P E T 3 0 a または 3 0 b をオンまたはオフさせる信号である。

【 0 0 6 9 】

このように、実施例 2 のパワーゲーティング回路では、P E T 3 0 a または 3 0 b をパワードメイン回路のパワースイッチに用いる。P E T 3 0 a または 3 0 b のオン抵抗は金属的に低い。これにより、パワースイッチにおける電圧降下を極めて低く抑えることができる。よって、パワードメイン回路 3 2 に印加できる電圧 (図 1 3 (a) では、仮想電源 V_{DD} とグランド G N D の電位差、図 1 3 (b) では、電源 V_{DD} と仮想グランド G N D の電位差) を容易に高くできる。よって、パワードメイン回路 3 2 の回路性能を高く維持できる。したがって、通常の M O S F E T をパワースイッチに用いたものと比べて高い回路性能が得られる。また、P E T 3 0 a または 3 0 b の急峻なサブスレッショルド特性による遮断特性と大きなオン/オフ比によって、電源遮断時には電圧降下をパワースイッチに集中させることができる。このため、電源遮断時におけるパワードメイン回路 3 2 のリークを小さく抑えることができる。さらに、P E T 3 0 a または 3 0 b を多層配線層の中に作り込めば、パワースイッチによる面積オーバーヘッドをほとんどなくすることができる。パワードメイン回路 3 2 は通常の C M O S または P E T (相補型の P E T を含む) で

30

40

【 実施例 3 】

【 0 0 7 0 】

実施例 3 は、不揮発性双安定回路のパワースイッチに実施例 1 に係る P E T を用いる例である。図 1 4 は、実施例 3 に係る電子回路の回路図である。図 1 4 に示すように、メモリセル 1 0 1 は、双安定回路 4 0 および不揮発性素子 M T J 1 および M T J 2 (不揮発性メモリ素子) を有している。双安定回路 4 0 は、データを揮発的に記憶する。不揮発性素子 M T J 1 および M T J 2 は、双安定回路 4 0 に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを双安定回路 4 0 にリストアする。不揮発性素子 M T J 1 および M T J 2 は、例えば強磁性トンネル接合素子である。

50

【 0 0 7 1 】

双安定回路 4 0 はインバータ 4 2 および 4 4 を有している。インバータ 4 2 は p チャンネル F E T m 1 および n チャンネル F E T m 2 を有している。インバータ 4 4 は p チャンネル F E T m 3 および n チャンネル F E T m 4 を有している。インバータ 4 2 と 4 4 はリング状に接続されている。双安定回路 4 0 は、電源 V_{DD} とグランドとの間に接続されている。F E T m 1 および m 3 のソースに電源 V_{DD} が、F E T m 2 および m 4 のソースにグランドが接続されている。パワースイッチである (p チャンネルの) P E T 3 0 は、F E T m 1 および m 3 のソースと電源 V_{DD} との間に直列に接続されている。P E T 3 0 をオフすることにより、双安定回路 4 0 に供給される電力を遮断できる。

【 0 0 7 2 】

インバータ 4 2 と 4 4 とが接続されたノードがそれぞれノード Q および Q B である。ノード Q とノード Q B とは互いに相補ノードである。ノード Q および Q B は、それぞれ F E T m 5 および m 6 を介し入出力線 D および D B に接続されている。F E T m 5 および m 6 のゲートはワード線 W L に接続されている。双安定回路 4 0 へのデータの書き込みおよび読み出しは、従来の S R A M と同じように行われる。

【 0 0 7 3 】

ノード Q と制御線 C T R L との間の経路 6 6 において、(n チャンネルの) F E T m 7 と不揮発性素子 M T J 1 とが直列に接続され、ノード Q B と制御線 C T R L との間の経路 6 6 において、(n チャンネルの) F E T m 8 と不揮発性素子 M T J 2 とが直列に接続されている。F E T m 7 および m 8 のソースおよびドレインの一方は、ノード Q および Q B に、ソースおよびドレインの他方は不揮発性素子 M T J 1 および M T J 2 にそれぞれ接続されている。F E T m 7 および m 8 のゲートはスイッチ線 S R に接続されている。なお、F E T m 7 および m 8 は、それぞれ、不揮発性素子 M T J 1 および M T J 2 と制御線 C T R L との間に接続されていてもよい。

【 0 0 7 4 】

双安定回路 4 0 から不揮発性素子 M T J 1 および M T J 2 へのデータのストア動作は、F E T m 7 および m 8 をオンした状態で、制御線 C T R L をハイレベルとローレベルとにすることにより行なわれる。不揮発性素子 M T J 1 および M T J 2 にデータがストアされた後、P E T 3 0 をオフする。これにより、双安定回路 4 0 に電力が供給されず、消費電力が削減できる。

【 0 0 7 5 】

不揮発性素子 M T J 1 および M T J 2 から双安定回路 4 0 へのデータのリストア動作は、制御線 C T R L をローレベルとした状態で P E T 3 0 をオンし、双安定回路 4 0 に電力が供給することにより行なわれる。

【 0 0 7 6 】

実施例 3 において、不揮発性素子 M T J 1 および M T J 2 は、強磁性トンネル接合素子以外にも巨大磁気抵抗 (G M R) 素子、R e R A M (Resistance Random Access Memory) に用いられるような可変抵抗素子、または、P R A M (Phase change RAM) に用いられる相変化素子を用いることができる。また、パワースイッチである P E T 3 0 は、実施例 2 の図 1 3 (b) のように、グランドと双安定回路 4 0 との間に設けられていてもよい。この場合、P E T は n チャンネル P E T であり、F E T m 7 および m 8 は p チャンネルである。さらに、不揮発性素子は、1 つであり、双安定回路 4 0 の 1 つのノードと制御線との間に不揮発性素子が接続されていてもよい。

【 0 0 7 7 】

実施例 3 の変形例としてマスタスレーブ型フリップフロップ回路の例を説明する。図 1 5 は、実施例 3 の変形例に係る電子回路の回路図である。図 1 5 に示すように、記憶回路 1 0 2 は、D ラッチ回路 1 0 2 a と D ラッチ回路 1 0 2 b とを備えている。D ラッチ回路 1 0 2 a は、双安定回路 4 0、パスゲート 7 2、7 3、不揮発性素子 M T J 1、M T J 2、F E T m 7 から m 9 を備えている。双安定回路 4 0 のリング内にパスゲート 7 3 と F E T m 9 が並列に接続されている。双安定回路 4 0 内のノード Q と制御線 C T R L との間に

10

20

30

40

50

(nチャンネルの) F E T m 7 と不揮発性素子 M T J 1 が直列に接続されている。双安定回路 4 0 内のノード Q B と制御線 C T R L との間に (nチャンネルの) F E T m 8 と不揮発性素子 M T J 2 が直列に接続されている。ノード Q はインバータ 6 1 を介し Q B 信号となる。ノード Q B はインバータ 6 2 を介し Q 信号となる。ノード Q は、パスゲート 7 2 を介し D ラッチ回路 1 0 2 b に接続される。

【 0 0 7 8 】

D ラッチ回路 1 0 2 b は、双安定回路 5 0、パスゲート 7 0 および 7 1 を備えている。双安定回路 5 0 は、インバータ 5 2 および 5 4 がリング状に接続されている。インバータ 5 2 は p チャンネル F E T m 1 1 および n チャンネル F E T m 1 2 を有している。インバータ 5 4 は p チャンネル F E T m 1 3 および n チャンネル F E T m 1 4 を有している。双安定回路 5 0 のリング内にパスゲート 7 1 が接続されている。双安定回路 5 0 には、インバータ 6 0 およびパスゲート 7 0 を介しデータ D が入力する。クロック信号 C L K は、インバータ 6 3 を介しクロック C B となり、さらにインバータ 6 4 を介しクロック C となる。クロック C B および C は、各パスゲート 7 0 から 7 3 に入力する。双安定回路 4 0 および 5 0 と電源 V_{DD} との間に、パワースイッチとして (p チャンネルの) P E T 3 0 が接続される。

【 0 0 7 9 】

実施例 3 の変形例において、不揮発性素子 M T J 1 および M T J 2 は、強磁性トンネル接合素子以外にも G M R 素子、R e R A M に用いられるような可変抵抗素子、または、P R A M に用いられる相変化素子を用いることができる。また、パワースイッチである P E T 3 0 は、グラウンドと双安定回路 4 0 との間に設けられていてもよい。この場合、P E T 3 0 は n チャンネル P E T であり、F E T m 7 および m 8 は p チャンネルである。さらに、不揮発性素子は、1 つであり、双安定回路 4 0 の 1 つのノードと制御線との間に不揮発性素子が接続されていてもよい。

【 0 0 8 0 】

図 1 4 または図 1 5 の P E T 3 0 に相当するパワースイッチとして M O S F E T を用いた場合の問題について説明する。ストア動作の際は、不揮発性素子 M T J 1 または M T J 2 に電流が流れるため、電源 V_{DD} とグラウンドとの間のインピーダンスが大きく低下する。このため、パワースイッチとして M O S F E T を用いると、M O S F E T での電圧降下が大きくなる。これにより、双安定回路 4 0、不揮発性素子 M T J 1 および M T J 2 に十分な電圧が印加されなくなる。よって、安定動作が難しくなる。したがって、通常の M O S F E T をパワースイッチに用いる場合では、メモリセルに十分に電圧を印加するために、チャンネル幅の非常に大きな (または複数の) M O S F E T を用いることになる。よって、セル面積の増大、レイアウトの複雑化、および性能劣化 (実際には、セル面積の制約から十分な大きさのパワースイッチを使用できないため) 等の問題を生じる。

【 0 0 8 1 】

一方、実施例 3 およびその変形例では、実施例 1 に係る P E T 3 0 をパワースイッチに用いている。これにより、P E T 3 0 の電流駆動能力は M O S F E T (F i n F E T などの高性能トランジスタを含む) と比べて非常に大きく、十分に小さな P E T を使用しても、パワースイッチによる電圧降下を小さく抑えることが容易となる。よって、パワースイッチを導入しても、簡単にメモリセルの安定動作を実現することができる。したがって、P E T 3 0 をパワースイッチに用いれば、セル面積の増大、レイアウトの複雑化および性能劣化を生じることなく (P E T は多層配線層中に形成することも可能である)、不揮発性双安定回路のパワーゲーティングを実現できる。

【 0 0 8 2 】

実施例 3 およびその変形例のように、双安定回路 4 0 のデータを不揮発的にストアする不揮発性素子を有する不揮発性双安定回路において、双安定回路 4 0 に電力を供給するパワースイッチを P E T 3 0 とする。これにより、セル面積の増大、レイアウトの複雑化および性能劣化を生じることなく、不揮発性双安定回路のパワーゲーティングを実現できる。また、P E T 3 0 がオフしたときのリーク電流が小さいため、双安定回路 4 0 を遮断したときの待機消費電力を抑制できる。

10

20

30

40

50

【 0 0 8 3 】

実施例 3 およびその変形例において、F E T m 1 から m 1 4 は、M O S F E T でもよいし、P E T でもよい。経路 6 6 には、ストア動作のときに大きな電流が用いられる。よって、F E T m 7 および m 8 として P E T を用いることにより、低電圧でストア動作が可能となる。F E T m 7 および m 8 を P E T とする場合、後述する実施例 4 の図 1 6 (b) 構造を採用することができる。また、1 つまたは複数の P E T で複数の不揮発性メモリのパワースイッチを構成できる。例えば、不揮発性メモリセルの数より少ない数の P E T を用いてパワースイッチを構成できる。

【 実施例 4 】

【 0 0 8 4 】

実施例 4 は、不揮発性メモリセルに P E T を用いる例である。図 1 6 (a) は、実施例 4 に係る不揮発性メモリセルの回路図、図 1 6 (b) は、断面斜視図である。図 1 6 (a) に示すように、不揮発性メモリセル 1 0 4 は、不揮発性素子 8 0 と P E T 9 0 を備えている。ソース線 S L とビット線 B L との間に不揮発性素子 8 0 と P E T 9 0 のソースおよびドレインが直列に接続されている。P E T 9 0 のゲートはワード線 W L に接続されている。不揮発性素子 8 0 は、強磁性金属からなるフリー層 8 2 とピン層 8 6 との間に非磁性層 8 4 が設けられている。強磁性トンネル接合素子では、非磁性層 8 4 はトンネル絶縁膜であり、巨大磁気抵抗 (G M R) 素子では、非磁性層 8 4 は金属層である。フリー層 8 2 とピン層 8 6 とは逆でもよい。

【 0 0 8 5 】

図 1 6 (b) に示すように、P E T 9 0 のドレイン 1 6 に金属層 8 1、フリー層 8 2、非磁性層 8 4、ピン層 8 6 および金属層 8 7 が順に積層されている。このように、P E T 9 0 に不揮発性素子 8 0 を積層することができる。

【 0 0 8 6 】

スピントランスファートルク磁化反転型の強磁性トンネル接合素子のように電流駆動型の不揮発性素子 8 0 は、データ書き換えの際に電流が流れる。そこで、実施例 4 のように、P E T 9 0 と不揮発性素子 8 0 とで不揮発性メモリセル 1 0 4 を構成する。これにより、例えば 0 . 5 V 以下のような低電圧でも動作可能な不揮発性メモリセルを実現できる。これは、P E T 9 0 のオン抵抗が低く、低電圧駆動でもデータ書き換えに必要な十分な電流を駆動できるためである。より抵抗の低い強磁性金属/非磁性金属/強磁性金属構造を有する G M R 素子を用いれば、より低い電圧での駆動可能な不揮発性メモリセルを実現できる。不揮発性素子 8 0 は、強磁性トンネル接合素子および巨大磁気抵抗 (G M R) 素子以外にも、R e R A M に用いられるような可変抵抗素子、または、P R A M に用いられる相変化素子を用いることができる。

【 実施例 5 】

【 0 0 8 7 】

実施例 5 は、論理回路に P E T を用いる例である。図 1 7 (a) から図 1 8 (f) は、実施例 5 に係る電子回路を示す回路図である。図 1 7 (a) および図 1 7 (b) に示すように、信号 A の反転 (N O T) 信号 Y を出力するインバータ回路 9 1 は、1 つの n チャネル P E T 9 7 a と 1 つの p チャネル P E T 9 7 b とで構成できる。図 1 7 (c) および図 1 7 (d) に示すように、信号 A と B の積の否定 (N A N D) 信号 Y を出力する N A N D 回路 9 2 は、2 つの n チャネル P E T 9 7 a と 2 つの p チャネル P E T 9 7 b とで構成できる。図 1 7 (e) および図 1 7 (f) に示すように、信号 A と B の和の否定 (N O R) 信号 Y を出力する N O R 回路 9 3 は、2 つの n チャネル P E T 9 7 a と 2 つの p チャネル P E T 9 7 b とで構成できる。

【 0 0 8 8 】

図 1 8 (a) および図 1 8 (b) に示すように、信号 A と B の排他的論理和 (X O R) 信号 Y を出力する X O R 回路 9 4 は、1 つの n チャネル P E T 9 7 a、1 つの p チャネル P E T 9 7 b、インバータ回路 9 1 およびパスゲート 9 8 で構成できる。パスゲート 9 8 は n チャネル P E T 9 7 a と p チャネル P E T 9 7 b とで構成できる。図 1 8 (c) およ

10

20

30

40

50

び図18(d)に示すように、信号Aを信号Bに同期して信号Yとして出力する回路95は、インバータ回路91とパスゲート98で構成できる。図18(e)および図18(f)に示すように、信号AとBを信号Sに同期して順に信号Yとして出力する回路96は、2つのインバータ回路91と2つのパスゲート98で構成できる。

【0089】

実施例5に係る論理回路では、互いに相補型であるPET97a(第1トランジスタ)および97b(第2トランジスタ)における、圧電体12の誘電分極方向22は、お互いに逆向きで、ソース14を基準として、ゲート18にPET97aでは正の電圧、PET97bでは負の電圧を加えた場合に、圧電体12がピエゾ抵抗体10に応力を印加するような方向である。このようなPET97aおよび97bを用いることにより、CMOS論理回路と同じ論理が同じ回路構成で実現できる。例えば、NOT回路、AND回路、NAND回路、OR回路、NOR回路、XOR回路、XNOR回路、多入力のこれらの回路(例えば3入力NANDまたは3入力NORなど)、これらの複合回路(例えばAND-OR-INV(AOI)またはOR-AND-INV(OAI)など)、各種ラッチ回路、各種フリップフロップ回路(例えばDFF、RSFF、JKFFまたはTFFなど)、またはマルチプレクサ(MUX)などの回路を構成することができる。

【0090】

また、PET97aと97bのサイズが同じで同じ電流を確保できるように構成できる。よって、CMOS論理回路のように、nチャネルFETとpチャネルFETでサイズを変えなくてもよい。そのため、論理回路等を組む場合の配線やレイアウトが容易になり、回路の占有面積を減少させたり、信号伝播遅延を減少させたりといった好ましい効果を期待できる。

【0091】

また、比較例1では、図1のように、ソース14からドレイン16へキャリアを流した場合とドレイン16からソース14へキャリアを流した場合とは等価にはならない(電流が異なる)。一方、実施例1では、ソース14からドレイン16への方向とドレイン16からソース14への方向が等価である。これにより、PET97aおよび97bを用いたパスゲート98を構成できる。

【実施例6】

【0092】

実施例6は、PETの別の例である。図19(a)から図19(c)は、実施例6およびその変形例に係るトランジスタの断面図である。図19(a)に示すように、実施例6に係るPETにおいて、ピエゾ抵抗体10の-y方向の面にソース14が、+y方向の面にドレイン16が設けられている。圧電体12は、ピエゾ抵抗体10の-x方向の面に設けられている。圧電体12の-x方向の面にゲート18が設けられている。支持構造体20が圧電体12およびピエゾ抵抗体10を支持する。なお、ソース14とピエゾ抵抗体10との間、およびドレイン16とピエゾ抵抗体10との間に、実施例1で示したヤング率の小さな金属コンタクト層が設けられていてもよい。また、ソース14およびドレイン16の圧電体12と反対の面(+x方向の面)が支持構造体20に接していてもよい。

【0093】

キャリアは、ピエゾ抵抗体10内をy方向に伝導する。圧電体12はピエゾ抵抗体10にx方向から圧力を加える。ソース14とゲート18間の電圧、ドレイン16とゲート18間の電圧の関係は、ソース14とドレイン16を入れ替えても同じに保たれる。このため、ソース14からドレイン16へキャリアを流した場合とドレイン16からソース14へキャリアを流した場合と、では、電流をほぼ等しくできる。これにより、ソース14とドレイン16を入れ替えた場合にPETの特性を等価にできる。よって、例えばパスゲート等を実施例6に係るPETを用いることができる。

【0094】

図19(b)に示すように、実施例6の変形例1に係るPETでは、ソース14およびドレイン16と支持構造体20との間に、支持体21が設けられている。支持体21は、

例えばポリイミドのような樹脂であり、ヤング率が圧電体 12 および piezo 抵抗体 10 より小さい。

【0095】

図 19 (a) の実施例 6 では、ソース 14 およびドレイン 16 と、支持構造体 20 と、の間に空隙が形成される。これにより、ソース 14 とドレイン 16 の形成が難しい。また、ソース 14 およびドレイン 16 が構造的に不安定となる。

【0096】

図 19 (b) の実施例 6 の変形例 1 の PET によれば、支持体 21 がソース 14 およびドレイン 16 を支持するため、ソース 14 およびドレイン 16 が安定となる。支持体 21 のヤング率が十分小さければ、圧電体 12 の圧力はほとんど piezo 抵抗体 10 に加わる。また、支持体 21 をポラスシリカ等の多孔質材料で形成し、ソース 14 およびドレイン 16 を形成した後に、支持体 21 を潰して空隙としてもよい。

10

【0097】

図 19 (c) に示すように、実施例 6 の変形例 2 に係る PET では、ソース 14 およびドレイン 16 は、piezo 抵抗体 10 の y 方向および -y 方向の面から支持構造体 20 にかけて延在している。さらに、ソース 14 およびドレイン 16 は支持構造体 20 に支持されるように引き出される。これにより、ソース 14 およびドレイン 16 が安定となる。実施例 6 およびその変形例を、実施例 2 から実施例 5 の電子回路に用いることもできる。ソース 14 と piezo 抵抗体 10 との間、およびドレイン 16 と piezo 抵抗体 10 との間に金属コンタクト層が設けられていても、金属コンタクト層のヤング率が小さければ、圧電体 12 から piezo 抵抗体 10 への圧力印加の妨げにはならない。

20

【0098】

比較例 1 では、ソース 14 およびドレイン 16 がこの順番で積層されているため、ソース 14 をドレイン 16 とするとゲートバイアスが変わる。このため、ソース 14 とドレイン 16 とを入れ替えると、PET の特性が変わってしまう。

【0099】

実施例 1 および 6 およびその変形例によれば、ソース 14 とゲート 18 との間、およびドレイン 16 とゲート 18 との間の電圧は、ソース 14 とドレイン 16 を入れ替えても同じである。また、ソース 14 とドレイン 16 の形状をほぼ等価にできる。このため、ソース 14 とドレイン 16 を入れ替えても、特性は変化しない。このために、ソース 14 とドレイン 16 とを、piezo 抵抗体 10 におけるソース 14 とドレイン 16 との中間の面に対してほぼ対称な構造にすることが好ましく、また、piezo 抵抗体 10、圧電体 12 およびゲート 18 を、それぞれ piezo 抵抗体 10 におけるソース 14 とドレイン 16 との中間の面に対してほぼ対称な構造とすることが好ましい。また、おおよそ S を向上させるため面積 a_{PR} を A_{PE} より小さくする等の理由により、面積 a_{PR} と A_{PE} とを異ならせても、以上の特徴は保たれる。よって、ソース 14 とドレイン 16 とを入れ替えても、PET の特性はほとんど変化しない。

30

【実施例 7】

【0100】

実施例 7 は、PET の別の例である。図 20 (a) は、実施例 7 に係るトランジスタの斜視断面図、図 20 (b) および図 20 (c) は、断面図である。piezo 抵抗体 10、14 および 16 内の破線は、上部 10a、14a および 16a と、支持部 10b、14b、および 16b と、を仮想的に分ける線である。図 20 (a) から図 20 (c) に示すように、ソース 14 からドレイン 16 方向を Y 方向、基板 25 の面方向で Y 方向に直交する方向を X 方向、基板 25 の法線方向を Z 方向とする。

40

【0101】

piezo 抵抗体 10、ソース 14 およびドレイン 16 は基板 25 上に形成されている。piezo 抵抗体 10 は、上部 10a と支持部 10b を備える。上部 10a は半円筒状である。piezo 抵抗体 10 の Y 方向の両端にはソース 14 とドレイン 16 とが設けられている。ソース 14 は、piezo 抵抗体 10 の上部 10a に相当する上部 14a と、piezo 抵抗体 10

50

の支持部 10 b の相当する支持部 16 a を備える。ドレイン 16 は、 piezo 抵抗体 10 の上部 10 a に相当する上部 16 a と、 piezo 抵抗体 10 の支持部 10 b の相当する支持部 16 b を備える。支持部 10 b、14 b および 16 b は、それぞれ上部 10 a、14 a および 16 a を支持する。キャリアは piezo 抵抗体 10 内を Y 方向に伝導する。ソース 14 と piezo 抵抗体 10 との間には金属コンタクト層 15 が設けられ、ドレイン 16 と piezo 抵抗体 10 との間には金属コンタクト層 17 が設けられている。圧電体 12 が piezo 抵抗体 10 を囲むように設けられている。圧電体 12 の周りにゲート 18 が設けられている。

【0102】

実施例 7 の第 1 型トランジスタにおける圧電体 12 の分極方向 22 は、ゲート 18 から piezo 抵抗体 10 の方向である。第 2 型トランジスタにおける圧電体 12 の分極方向 22 は、図 20 (a) から図 20 (c) の矢印 22 と逆方向であり、piezo 抵抗体 10 からゲート 18 の方向である。支持部 10 b を覆う圧電体 12 の分極方向は図示を省略している。その他の構成は実施例 1 と同じであり、説明を省略する。

10

【0103】

図 21 (a) は、実施例 7 の変形例 1 に係るトランジスタの斜視断面図、図 21 (b) は、断面図である。図 21 (a) および図 21 (b) に示すように、金属コンタクト層 15 および 17 は設けられておらず、ソース 14 およびドレイン 16 が直接 piezo 抵抗体 10 に接触する。ソース 14 およびドレイン 16 が圧電体 12 に接触している。その他の構成は実施例 7 と同じであり説明を省略する。

【0104】

図 22 (a) は、実施例 7 の変形例 2 に係るトランジスタの斜視断面図、図 22 (b) および図 22 (c) は、断面図である。図 22 (a) から図 22 (c) に示すように、ゲート 18 a および 18 b は圧電体 12 の Y 方向の両側に設けられている。圧電体 12 の分極方向 22 は、- Y 方向または Y 方向である。その他の構成は、実施例 7 の変形例 1 と同じであり説明を省略する。なお、実施例 7 と同様に金属コンタクト層 15 および 17 を設けてもよい。また、ソース 14 およびドレイン 16 は圧電体 12 に接触していてもよい。このとき、ソース 14 およびドレイン 16 とゲート 18 a および 18 b とは接触しないようにする。

20

【0105】

図 23 は、実施例 7 の変形例 3 に係るトランジスタの断面図である。図 23 に示すように、支持部 10 b の断面形状が台形状となっている。その他の構成は実施例 7 およびその変形例 1 および 2 と同じであり説明を省略する。

30

【0106】

実施例 7 およびその変形例のように、圧電体 12 は、キャリアの伝導方向 (Y 方向) に直交する方向の一部の方向から piezo 抵抗体 10 を囲むように設けられていてもよい。実施例 1 のように、圧電体 12 は、キャリアの伝導方向に直交する方向の全ての方向から piezo 抵抗体 10 を囲むように設けられている場合に比べ、piezo 抵抗体 10 および圧電体 12 の形成が容易となる。

【0107】

基板 25 上に piezo 抵抗体 10 の上部 10 a のみ形成したのでは、圧電体 12 の圧力が piezo 抵抗体 10 に効率的に加わらない。そこで、上部 10 a を支持する支持部 10 b (支持体) を設ける。piezo 抵抗体 10 の上面は曲面であり、圧電体 12 を、piezo 抵抗体 10 の上部 10 a の上面および支持部 10 b の側面を囲むように形成する。これにより、上部 10 a に効率的に圧力が加わる。上部 10 a の XZ 断面形状が半円の場合を例に説明したが、上部 10 a の XZ 断面形状は、半楕円形状、円の一部、または楕円の一部、マッシュルーム形状等でもよい。支持部 10 b は、piezo 抵抗体 10 でなくともよい。piezo 抵抗体 10 に圧力を効率的に加えるため、支持部 10 b のヤング率およびポアソン比は piezo 抵抗体 10 と同じ程度であることが好ましい。このため、支持部 10 b の材料は piezo 抵抗体 10 の材料と同じことが好ましい。また、支持部 10 b の材料は piezo 抵抗体 10 の材料と異なってもよい。

40

50

【0108】

また、支持部14bおよび16bは、それぞれソース14およびドレイン16でなくともよい。支持部14bおよび16bが圧電体12と接触している場合、支持部14bおよび16bは、ヤング率の小さい材料が好ましい。製造工程の効率性の観点から支持部14bおよび16bは、ソース14およびドレイン16と同じ材料であることが好ましい。金属コンタクト層15および17を設ける場合には、金属コンタクト層15および17は、上部10aと14aとの間、および上部10aと16aとの間に形成されていけばよい。ゲート電極18または、圧電体12およびゲート電極18は、基板25への電気伝導を生じないように、基板25から離して設けることが好ましい。支持部10b、14bおよび16bを、上部10a、14aおよび16aのそれぞれと異なる材料とする場合、例えば、基板25の上面を加工して支持部10b、14bおよび16bとしてもよい。すなわち、支持部10b、14bおよび16bの材料は基板25の材料と同じでもよい。

10

【0109】

支持部10bの高さがゼロまたは低いと、上部10aに効率的に圧力が加わらない。支持部10bの高さは、圧電抵抗体の上部10a幅と同じかそれより大きいことが好ましい。

【0110】

実施例7および実施例7の変形例1のように、圧電体12の分極方向22を圧電体12が圧電抵抗体10を囲む方向またはその反対方向（例えば圧電体12と圧電抵抗体10の界面の法線方向およびその反対方向）としてもよい。この場合、実施例1の図3(a)から図4(b)と同様に動作する。実施例7の変形例2のように、圧電体12の分極方向22をキャリアの伝搬方向またはその反対方向としてもよい。この場合、実施例1の変形例の図5(a)から図5(f)と同様に動作する。また、金属コンタクト層15および17は設けてもよいし設けなくともよい。さらに、実施例7およびその変形例におけるトランジスタの各材料は実施例1と同じものを用いることができる。基板25は、例えばシリコン基板とすることができる。実施例2から5およびその変形例の電子回路に、実施例7およびその変形例のトランジスタを用いることができる。

20

【0111】

図7(a)から図11(b)におけるシミュレーションでは、圧電抵抗体10内の圧力分布が概ね一様とみなしている。これは、圧電抵抗体10のチャンネル長が短い場合、または、実施例1の変形例および実施例7の変形例2において成立する。このシミュレーションをシミュレーション1とする。しかしながら、実施例1および実施例7およびその変形例1において、例えばチャンネル長をある程度以上に長くすると、圧電抵抗体10に圧力がグラジュアルに加わる。そこで、図6(a)の構造を用い、圧電抵抗体10に加わる圧力がグラジュアルとしてシミュレーションを行なった。このシミュレーションをシミュレーション2とする。各シミュレーションは、圧電抵抗体10のうち上部10aの実効的断面積を用いることにより、実施例7に適用できる。

30

【0112】

図24(a)は、シミュレーション2を用いたドレイン特性を示す図であり、図24(b)は、シミュレーション1と2を比較したドレイン特性を示す図である。 $l_{PR} = 3 \text{ nm}$ 、 $L_{PE} = 40 \text{ nm}$ 、 $h_{PR} = 12 \text{ nm}$ 、 $H_{PE} = 30 \text{ nm}$ および $a_{PR} / A_{PE} = 0.4$ とした。ゲート電圧 V_G は矢印方向に0Vから0.2Vまで0.02Vステップである。図24(a)に示すように、ドレイン電圧 V_D が高くなると、ドレイン電流 I_D は飽和する。

40

【0113】

図24(b)に示すように、低ドレイン電圧 V_D においては、シミュレーション1と2はほぼ一致している。しかし、ドレイン電圧 V_D が高くなると、シミュレーション1では、ドレイン電流 I_D は飽和しない。シミュレーション2では、ドレイン電流 I_D は飽和する。このように、実施例1および7では、ドレイン電流 I_D が飽和する可能性がある。実施例1の変形例、実施例7の変形例2および比較例1のような構造ではドレイン電流 I_D

50

は飽和しない。また、実施例 6 およびその変形例においてもドレイン電流 I_D が飽和する可能性がある。

【0114】

次に、実施例 5 の図 17 (a) および図 17 (b) のようなインバータ回路 91 の P E T 97 a および 97 b として、実施例 7 のトランジスタを用いた場合について、伝達特性をシミュレーションした。図 25 は、インバータ回路の伝達特性を示す図である。図 25 に示すように、シミュレーション 2 ではシミュレーション 1 に比べ入力電圧 V_{in} の変化に対し、出力電圧 V_{out} が急峻に変化する。

【0115】

図 25 を用い、インバータ回路 91 をループ状に接続した双安定回路におけるバタフライカーブをシミュレーションした。図 26 (a) および図 26 (b) は、それぞれシミュレーション 1 および 2 における双安定回路のバタフライカーブを示す図であり、ノード Q の電圧 V_Q に対するノード Q B の電圧 V_{QB} を示す図である。破線は、バタフライカーブの開口に入る最大の正方形を示す。この正方形の一辺の長さがノイズマージンとなる。図 26 (a) に示すように、シミュレーション 1 のようにドレイン電流が飽和しない場合、ノイズマージンは約 55 mV である。図 26 (b) に示すように、シミュレーション 2 のようにドレイン電流が飽和する場合、ノイズマージンは約 77 mV である。このシミュレーションの例では、ドレイン電流が飽和する場合のノイズマージンは、ドレイン電流が飽和しない場合の 1.4 倍となる。

【0116】

実施例 1 および 7 のように、圧電体 12 の分極方向を、 piezo 抵抗体 10 からゲート 18 に向かう方向またはゲート 18 から piezo 抵抗体 10 に向かう方向とする。これにより、シミュレーション 2 のように、ドレイン電流を飽和させることができる。よって、図 26 (b) のように、ノイズマージンを大きくすることができる。

【実施例 8】

【0117】

図 27 は、実施例 8 に係る電子回路のブロック図である。電子回路は、マイクロプロセッサ 110 は、パワーマネジメントユニット 112、不揮発性 S R A M アレイ 114 およびパワードメイン 116 を有している。不揮発性 S R A M アレイ 114 は、パワースイッチ 120 を有している。パワードメイン 116 は、パワースイッチ 120 および不揮発性フリップフロップ 118 を有している。パワーマネジメントユニット 112 は、不揮発性 S R A M アレイ 114 およびパワードメイン 116 のパワースイッチ 120 を用い、不揮発性 S R A M アレイ 114 およびパワードメイン 116 に供給される電源を遮断または低減することができる。

【0118】

不揮発性 S R A M アレイ 114 に、実施例 3 または 4 において説明したメモリセルを用いることができる。これにより、不揮発性 S R A M アレイ 114 を低電圧で駆動可能となる。さらに、例えば電源遮断を行なうときには、不揮発記憶も可能となる。実施例 3 の変形例において説明したフリップフロップ回路をパワードメイン 116 内の不揮発性フリップフロップ 118 として用いることができる。これにより、不揮発性フリップフロップ 118 を低い電圧で駆動可能となる。さらに、例えば電源遮断を行なうときには、不揮発記憶も可能となる。パワードメイン 116 内の論理回路として、実施例 5 において説明した論理回路を用いることができる。これにより、低電圧駆動が可能で、さらに、一般の C M O S 回路に比べて高速に動作が可能となる。実施例 2 において説明したパワースイッチをパワースイッチ 120 として用いることができる。これにより、パワースイッチ 120 による電圧降下を低く抑えることができる。以上により、より理想に近い低電圧駆動ロジックシステムの不揮発性パワーゲーティングが可能となる。

【0119】

以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々

10

20

30

40

50

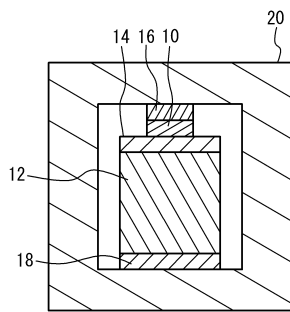
の変形・変更が可能である。

【符号の説明】

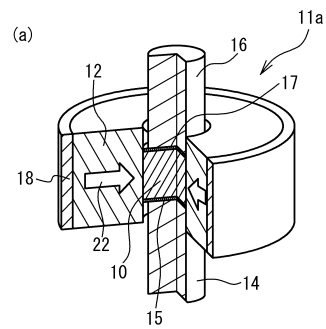
【0120】

- 10 ピエゾ抵抗体
- 10a 上部
- 10b 支持部
- 12 圧電体
- 14 ソース
- 16 ドレイン
- 18 ゲート
- 22 誘電分極方向
- 30、90 PET
- 32 回路
- 80 不揮発性素子

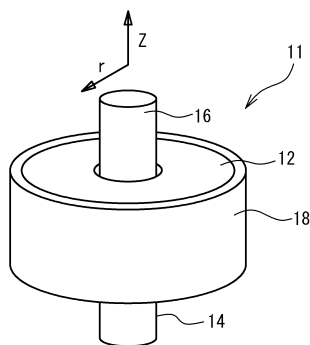
【図1】



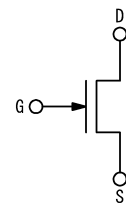
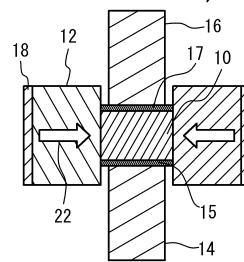
【図3】



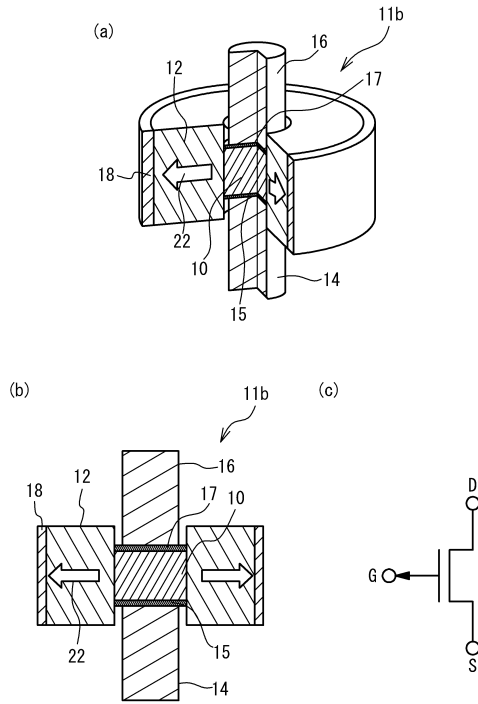
【図2】



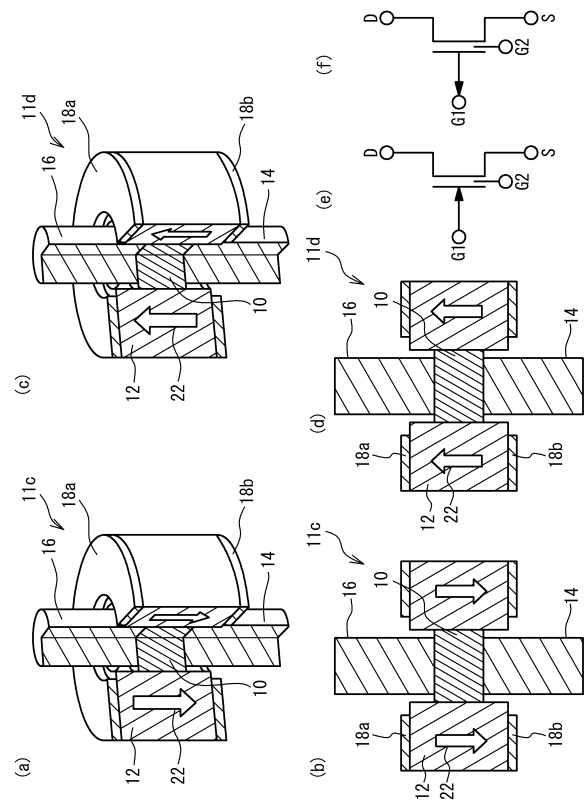
(b) (c)



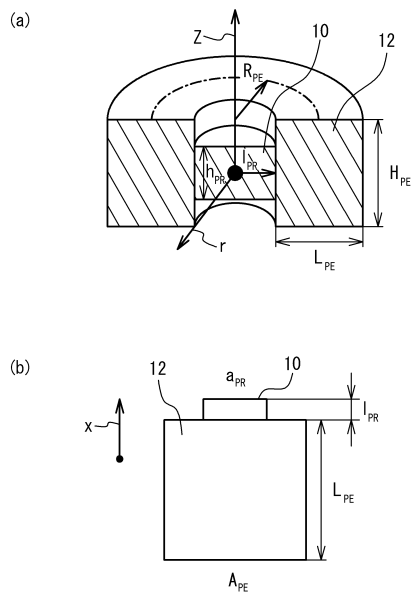
【図4】



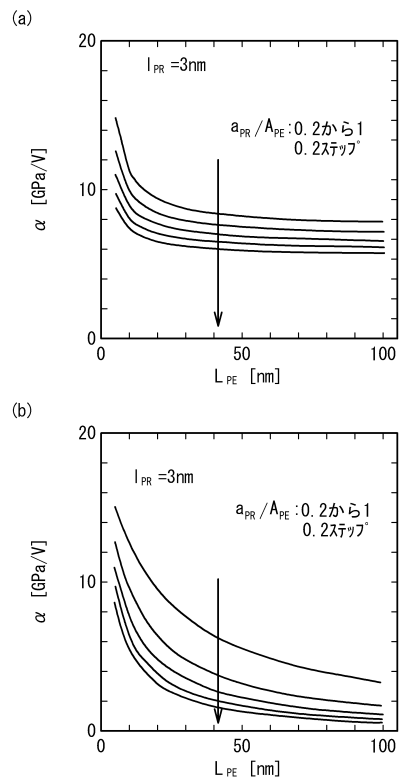
【図5】



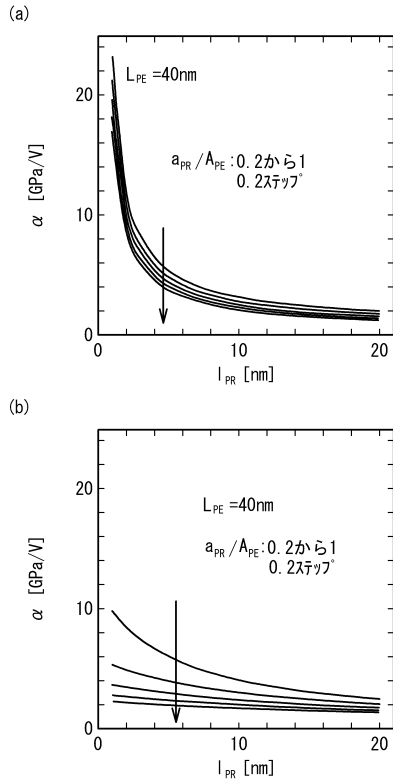
【図6】



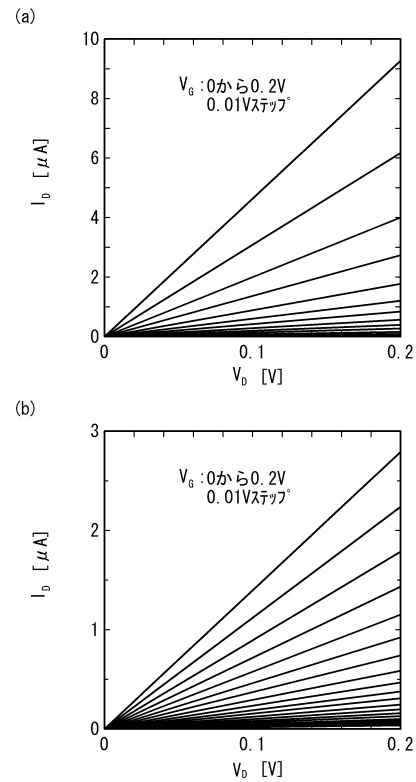
【図7】



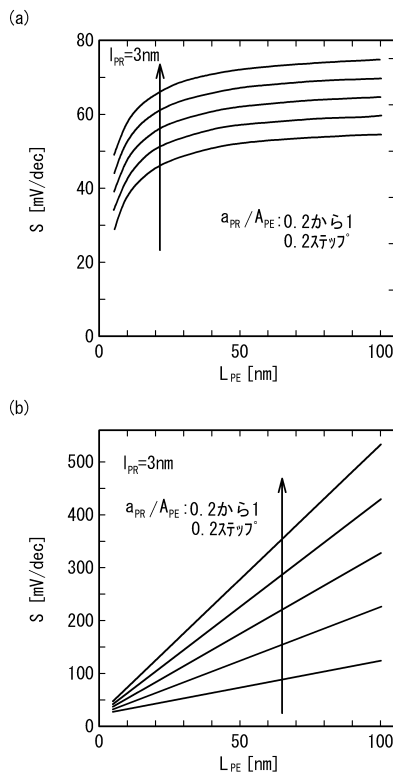
【 図 8 】



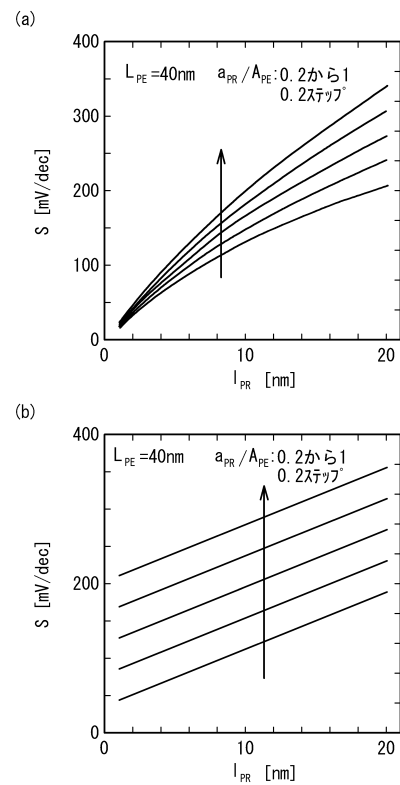
【 図 9 】



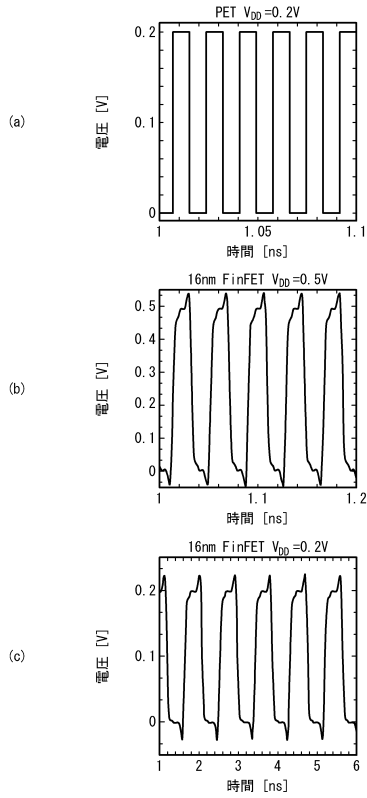
【 図 10 】



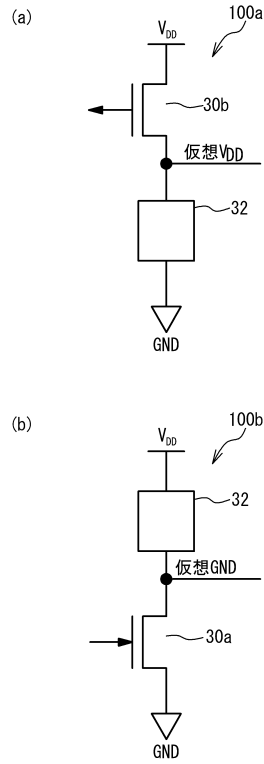
【 図 11 】



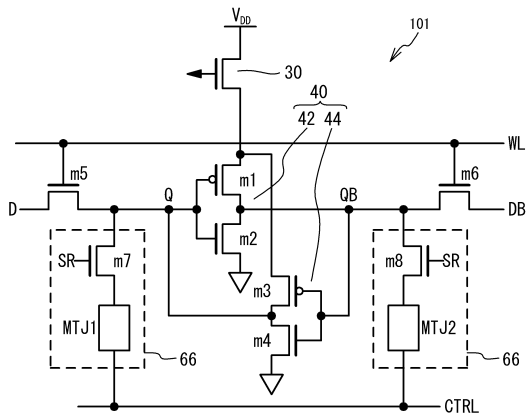
【図12】



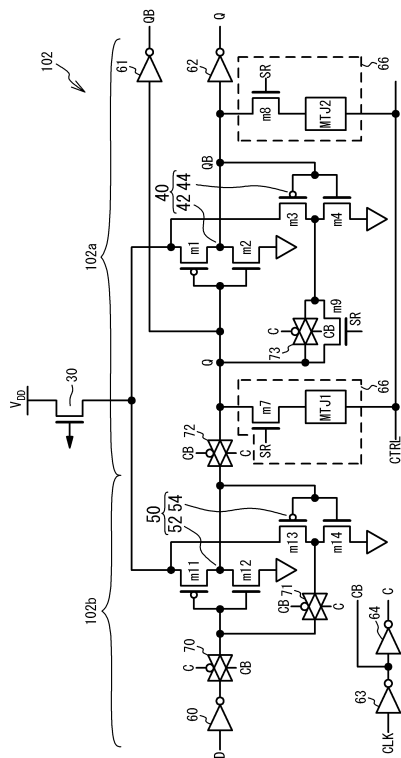
【図13】



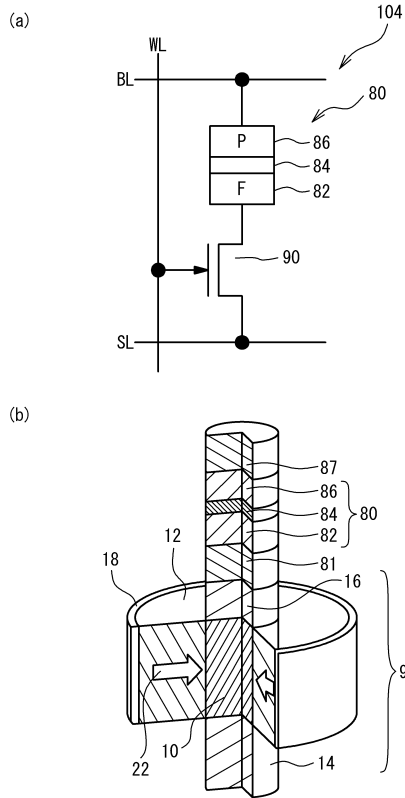
【図14】



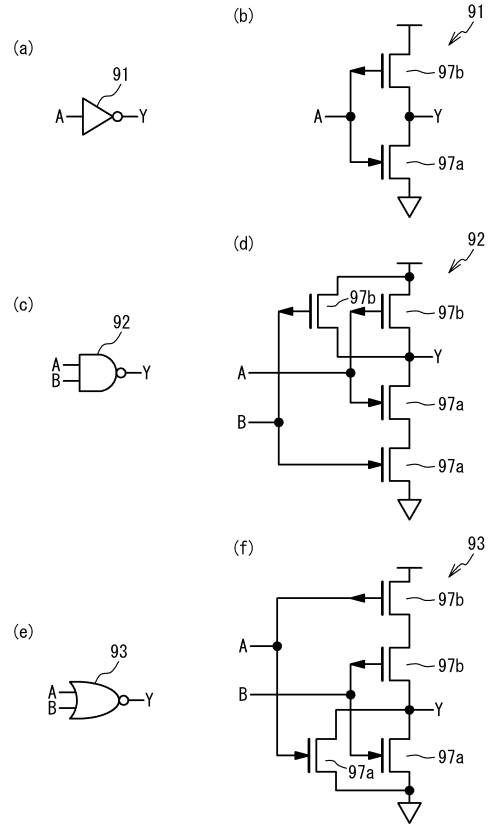
【図15】



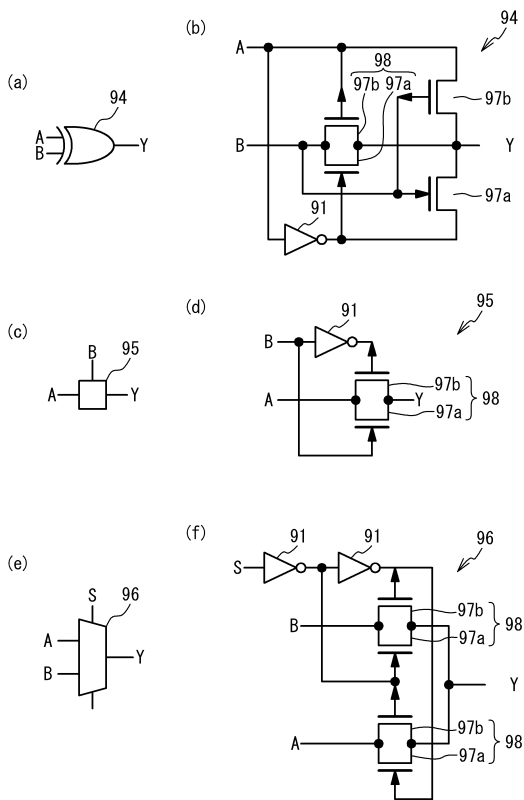
【 図 16 】



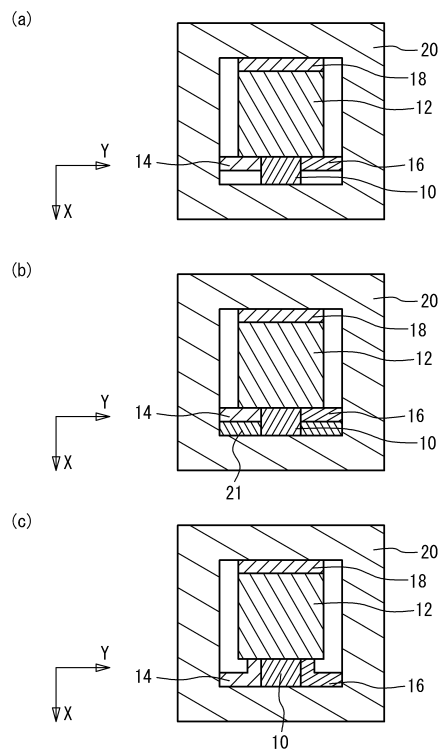
【 図 17 】



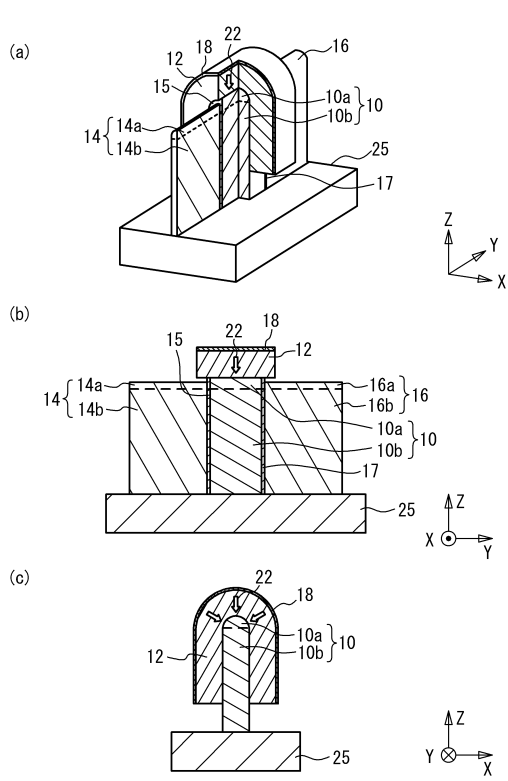
【 図 18 】



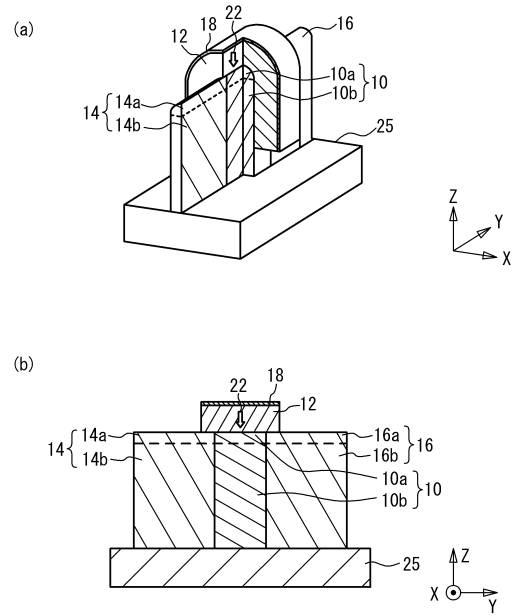
【 図 19 】



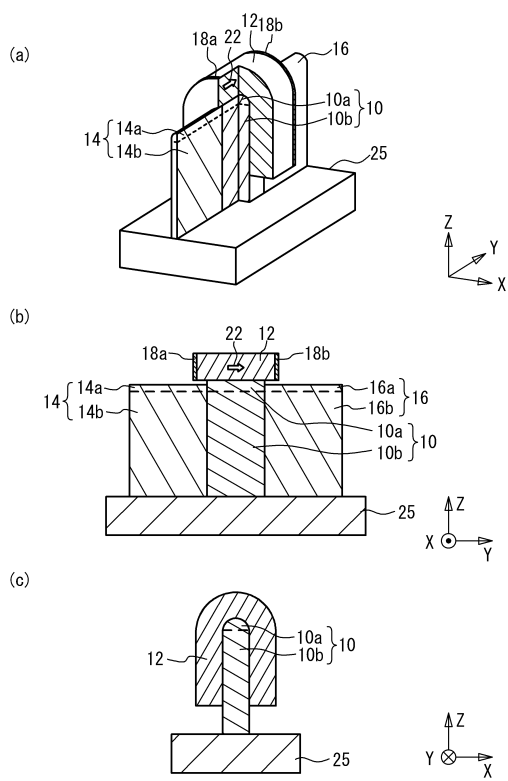
【 図 2 0 】



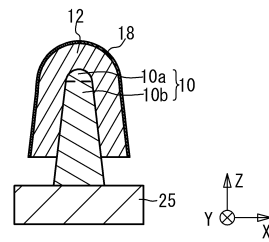
【 図 2 1 】



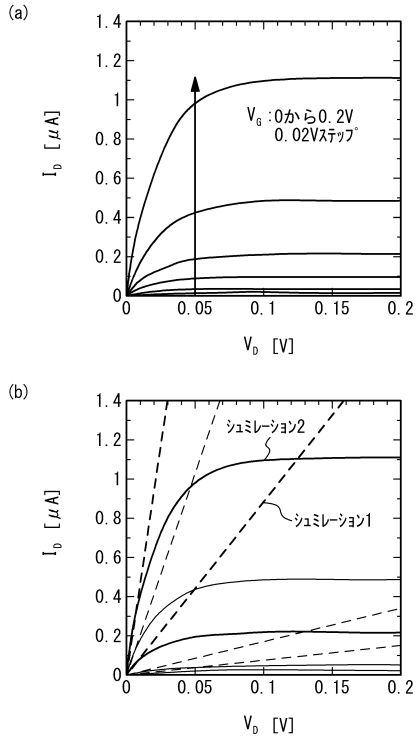
【 図 2 2 】



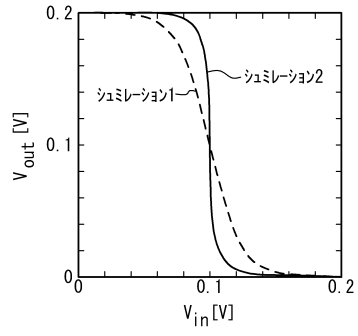
【 図 2 3 】



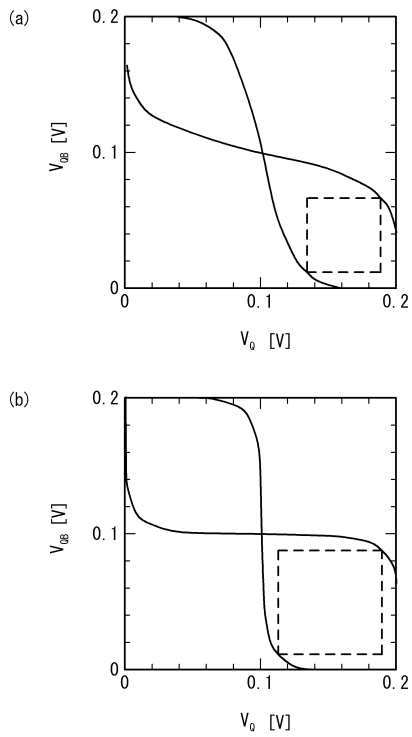
【図24】



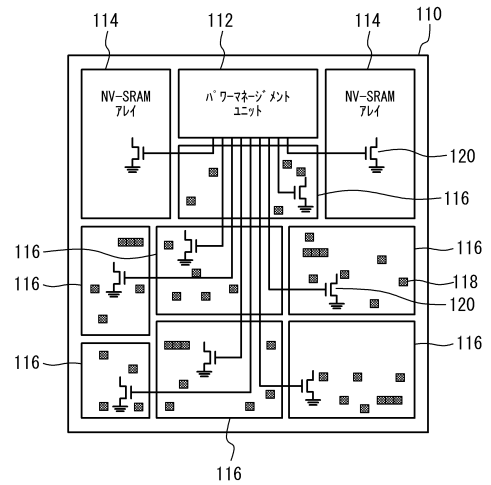
【図25】



【図26】



【図27】



フロントページの続き

- (72)発明者 山本 修一郎
神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内
- (72)発明者 菅原 聡
神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

審査官 上田 智志

- (56)参考文献 特開2007-317729(JP,A)
米国特許出願公開第2010/0328984(US,A1)
米国特許出願公開第2011/0133603(US,A1)
菅原聡 他2名, ピエゾエレクトロニクストランジスタとそのロジック応用 Piezoelectronic Transistor and Its Logic, <第61回> 応用物理学会春季学術講演会 講演予稿集, 2014年 3月 3日, p. 090

- (58)調査した分野(Int.Cl., DB名)
H01L 45/00
G11C 11/15, 13/00
H03K 3/356