

(19) 日本国特許庁(JP)

## 再公表特許(A1)

(11) 国際公開番号

W02015/137256

発行日 平成29年4月6日(2017.4.6)

(43) 国際公開日 平成27年9月17日(2015.9.17)

(51) Int.Cl.	F I	テーマコード(参考)
<b>H01L 45/00 (2006.01)</b>	H01L 45/00 C	5J034
<b>H03K 19/00 (2006.01)</b>	H03K 19/00 A	5J056
<b>H03K 19/0952 (2006.01)</b>	H03K 19/00 C	
<b>H03K 3/356 (2006.01)</b>	H03K 19/094 Z	
	H03K 3/356 D	

審査請求 有 予備審査請求 未請求 (全 34 頁)

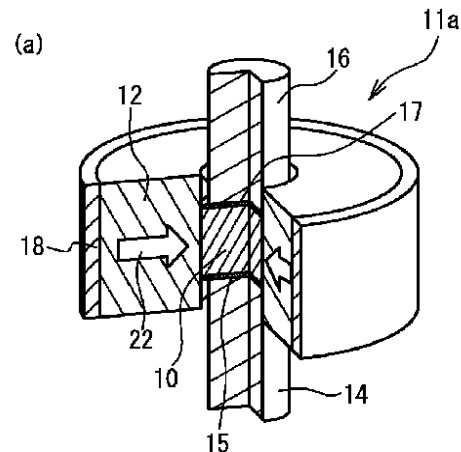
出願番号	特願2016-507499 (P2016-507499)	(71) 出願人	503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号	PCT/JP2015/056694	(74) 代理人	100087480 弁理士 片山 修平
(22) 国際出願日	平成27年3月6日(2015.3.6)	(72) 発明者	周藤 悠介 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(31) 優先権主張番号	特願2014-52529 (P2014-52529)	(72) 発明者	黒澤 実 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(32) 優先日	平成26年3月14日(2014.3.14)	(72) 発明者	舟窪 浩 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 ピエゾ抵抗体をチャンネルに用いたトランジスタおよび電子回路

## (57) 【要約】

キャリアが伝導するピエゾ抵抗体(10)と、前記ピエゾ抵抗体に前記キャリアを注入するソース(14)と、前記ピエゾ抵抗体から前記キャリアを受けるドレイン(16)と、前記ピエゾ抵抗体を囲むように設けられ、前記ピエゾ抵抗体に圧力を加える圧電体(12)と、前記圧電体が前記ピエゾ抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲート(18)を具備するトランジスタを提供する。



**【特許請求の範囲】****【請求項 1】**

キャリアが伝導するpiezo抵抗体と、  
前記piezo抵抗体に前記キャリアを注入するソースと、  
前記piezo抵抗体から前記キャリアを受けるドレインと、  
前記piezo抵抗体を囲むように設けられ、前記piezo抵抗体に圧力を加える圧電体と、  
前記圧電体が前記piezo抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、  
を具備することを特徴とするトランジスタ。

**【請求項 2】**

前記ゲートは、前記圧電体を囲むように設けられ、  
前記圧電体は、前記piezo抵抗体から前記ゲートに向かう方向または前記ゲートから前記piezo抵抗体に向かう方向に誘電分極することを特徴とする請求項 1 記載のトランジスタ。

**【請求項 3】**

前記ゲートは、前記piezo抵抗体内のチャンネルを伝導する前記キャリアの伝導方向に平行な方向に複数設けられ、  
前記圧電体は、前記平行な方向に誘電分極することを特徴とする請求項 1 記載のトランジスタ。

**【請求項 4】**

前記圧電体は、前記キャリアの伝導方向に直交する全ての方向から前記piezo抵抗体を囲むように設けられていることを特徴とする請求項 1 から 3 のいずれか一項記載のトランジスタ。

**【請求項 5】**

前記圧電体は、前記キャリアの伝導方向に直交する一部の方向から前記piezo抵抗体を囲むように設けられていることを特徴とする請求項 1 から 3 のいずれか一項記載のトランジスタ。

**【請求項 6】**

基板上に形成され、前記piezo抵抗体を支持する支持体を具備し、  
前記piezo抵抗体の上面は曲面であり、  
前記圧電体は、前記piezo抵抗体の上面および前記支持体の側面を囲むことを特徴とする請求項 1 から 3 のいずれか一項記載のトランジスタ。

**【請求項 7】**

前記支持体の高さは、前記piezo抵抗体の幅より大きいことを特徴とする請求項 6 記載のトランジスタ。

**【請求項 8】**

前記支持体の材料は、前記piezo抵抗体の材料と同じことを特徴とする請求項 6 または 7 記載のトランジスタ。

**【請求項 9】**

前記支持体の材料は、前記piezo抵抗体の材料と異なることを特徴とする請求項 6 または 7 記載のトランジスタ。

**【請求項 10】**

第 1 方向にキャリアが伝導するpiezo抵抗体と、  
前記piezo抵抗体に前記キャリアを注入するソースと、  
前記piezo抵抗体から前記キャリアを受けるドレインと、  
前記第 1 方向と交差する第 2 方向から前記piezo抵抗体に圧力を加える圧電体と、  
前記圧電体が前記piezo抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、  
を具備することを特徴とするトランジスタ。

**【請求項 11】**

前記ソースと前記ドレインとは、前記piezo抵抗体における前記ソースと前記ドレインとの中間の面に対して対称な構造であり、

前記piezo抵抗体、前記圧電体および前記ゲートは、それぞれ前記中間の面に対して対称な構造であることを特徴とする請求項1から10のいずれか一項記載のトランジスタ。

【請求項12】

第1電源と第2電源との間に接続された回路と、

請求項1から11のいずれか一項記載のトランジスタであって、前記ソースおよび前記ドレインのいずれか一方が前記第1電源に接続され、前記ソースおよび前記ドレインの他方が前記回路の電源端子に接続され、前記回路に供給される電力を遮断する信号が前記ゲートに入力するトランジスタと、

を具備することを特徴とする電子回路。

10

【請求項13】

データを記憶する双安定回路と、

前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、

を具備し、前記回路は前記双安定回路であることを特徴とする請求項12記載の電子回路。

【請求項14】

前記不揮発性素子は、前記双安定回路内のノードと制御線との間に接続されていることを特徴とする請求項13記載の電子回路。

20

【請求項15】

不揮発性素子と、

請求項1から11のいずれか一項記載のトランジスタであって、前記不揮発性素子と直列に前記ソースまたは前記ドレインが接続された前記トランジスタと、

を備える不揮発性メモリセルを具備することを特徴とする電子回路。

【請求項16】

請求項1から11のいずれか一項記載のトランジスタであって、互いに相補型である第1および第2トランジスタを具備し、

前記第1および第2トランジスタの前記圧電体の誘電分極方向は、互いに逆向きであり、前記ソースを基準として、前記ゲートに正の電圧または負の電圧を加えた場合に、前記圧電体が前記piezo抵抗体に圧力を印加できるような方向であることを特徴とする電子回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタおよび電子回路に関し、例えばpiezo抵抗体をチャネルに用いたトランジスタおよび電子回路に関する。

【背景技術】

【0002】

特許文献1には、piezo抵抗体をチャネルとして用い、piezo抵抗体に圧力を印加する圧電体をゲートに設けたトランジスタが開示されている。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許8159854号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1のトランジスタにおいては、高降伏強度材料からなる支持構造を用いて、piezo抵抗体チャネルに圧電体ゲートから圧力を加える（なお、以下、圧電

50

体とゲートとをまとめて圧電体ゲートと呼ぶ)。このため、圧力の印加効率は十分ではなく、また、集積化の障害となる。さらに、ソースとドレインを入れ替えると特性が変わってしまう。このため、ソースとドレインを等価にする回路に特許文献1のトランジスタを用いることが難しい。

【0005】

本発明は、上記課題に鑑みなされたものであり、高降伏強度材料によるデバイス(トランジスタ)の支持構造を用いず、圧電体ゲートからピエゾ抵抗体チャネルへ効果的に圧力を印加可能で、さらに、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することを目的とする。または、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することを目的とする。

10

【課題を解決するための手段】

【0006】

本発明は、キャリアが伝導するピエゾ抵抗体と、前記ピエゾ抵抗体に前記キャリアを注入するソースと、前記ピエゾ抵抗体から前記キャリアを受けるドレインと、前記ピエゾ抵抗体を囲むように設けられ、前記ピエゾ抵抗体に圧力を加える圧電体と、前記圧電体が前記ピエゾ抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、を具備することを特徴とするトランジスタである。

【0007】

上記構成において、前記ゲートは、前記圧電体を囲むように設けられ、前記圧電体は、前記ピエゾ抵抗体から前記ゲートに向かう方向または前記ゲートから前記ピエゾ抵抗体に向かう方向に誘電分極する構成とすることができる。

20

【0008】

上記構成において、前記ゲートは、前記ピエゾ抵抗体内のチャネルを伝導する前記キャリアの伝導方向に平行な方向に複数設けられ、前記圧電体は、前記平行な方向に誘電分極する構成とすることができる。

【0009】

上記構成において、前記圧電体は、前記キャリアの伝導方向に直交する全ての方向から前記ピエゾ抵抗体を囲むように設けられている構成とすることができる。

【0010】

上記構成において、前記圧電体は、前記キャリアの伝導方向に直交する一部の方向から前記ピエゾ抵抗体を囲むように設けられている構成とすることができる。

30

【0011】

上記構成において、基板上に形成され、前記ピエゾ抵抗体を支持する支持体を具備し、前記ピエゾ抵抗体の上面は曲面であり、前記圧電体は、前記ピエゾ抵抗体の上面および前記支持体の側面を囲む構成とすることができる。

【0012】

上記構成において、前記支持体の高さは、前記ピエゾ抵抗体の幅より大きい構成とすることができる。

【0013】

上記構成において、前記支持体の材料は、前記ピエゾ抵抗体の材料と同じ構成とすることができる。

40

【0014】

上記構成において、前記支持体の材料は、前記ピエゾ抵抗体の材料と異なる構成とすることができる。

【0015】

上記構成において、前記ソースと前記ドレインとは、前記ピエゾ抵抗体における前記ソースと前記ドレインとの中間の面に対して対称な構造であり、前記ピエゾ抵抗体、前記圧電体および前記ゲートは、それぞれ前記中間の面に対して対称な構造である構成とすることができる。

【0016】

50

本発明は、第1電源と第2電源との間に接続された回路と、上記トランジスタであって、前記ソースおよび前記ドレインのいずれか一方が前記第1電源に接続され、前記ソースおよび前記ドレインの他方が前記回路の電源端子に接続され、前記回路に供給される電力を遮断する信号が前記ゲートに入力する前記トランジスタと、を具備することを特徴とする電子回路である。

【0017】

上記構成において、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を具備し、前記回路は前記双安定回路である構成とすることができる。

10

【0018】

上記構成において、前記不揮発性素子は、前記双安定回路内のノードと制御線との間に接続されている構成とすることができる。

【0019】

本発明は、不揮発性素子と、上記トランジスタであって、前記不揮発性素子と直列に前記ソースまたは前記ドレインが接続されたトランジスタと、を備える不揮発性メモリセルを具備することを特徴とする電子回路である。

【0020】

本発明は、上記トランジスタであり、互いに相補型である第1および第2トランジスタを具備し、前記第1および第2トランジスタの前記圧電体の誘電分極方向は、互いに逆向きであり、前記ソースを基準として、前記ゲートに正の電圧または負の電圧を加えた場合に、前記圧電体が前記ピエゾ抵抗体に圧力を印加できるような方向であることを特徴とする電子回路である。

20

【0021】

本発明は、第1方向にキャリアが伝導するピエゾ抵抗体と、前記ピエゾ抵抗体に前記キャリアを注入するソースと、前記ピエゾ抵抗体から前記キャリアを受けるドレインと、前記第1方向と交差する第2方向から前記ピエゾ抵抗体に圧力を加える圧電体と、前記圧電体が前記ピエゾ抵抗体に圧力を加えるように前記圧電体に電圧を印加するゲートと、を具備することを特徴とするトランジスタである。

30

【発明の効果】

【0022】

本発明によれば、高降伏強度材料によるデバイス(トランジスタ)の支持構造を用いず、圧電体ゲートからピエゾ抵抗体チャネルへ効果的に圧力を印加可能で、さらに、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することができる。または、ソースとドレインを入れ替え可能なトランジスタおよび電子回路を提供することができる。

【図面の簡単な説明】

【0023】

【図1】図1は、比較例1に係るトランジスタの断面図である。

【図2】図2は、実施例1に係るトランジスタの斜視図である。

40

【図3】図3(a)は、実施例1に係る第1型トランジスタの斜視断面図、図3(b)は、断面図、図3(c)は、回路記号である。

【図4】図4(a)は、実施例1に係る第2型トランジスタの斜視断面図、図4(b)は、断面図、図4(c)は、回路記号である。

【図5】図5(a)から図5(f)は、実施例1の変形例に係るトランジスタの模式図である。

【図6】図6(a)および図6(b)は、それぞれ実施例1および比較例1のシミュレーションに用いたサイズを示す図である。簡略化のため、ソース、ドレイン、ゲートおよび金属コンタクトは示していない。

【図7】図7(a)および図7(b)は、それぞれ実施例1および比較例1における $L_p$

50

$E$  に対する  $I_D$  を示す図である。

【図 8】図 8 ( a ) および図 8 ( b ) は、それぞれ実施例 1 および比較例 1 における  $I_{pR}$  に対する  $I_D$  を示す図である。

【図 9】図 9 ( a ) および図 9 ( b ) は、それぞれ実施例 1 および比較例 1 におけるドレイン電圧  $V_D$  に対するドレイン電流  $I_D$  を示す図である。

【図 10】図 10 ( a ) および図 10 ( b ) は、それぞれ実施例 1 および比較例 1 における  $L_{pE}$  に対する  $S$  を示す図である。

【図 11】図 11 ( a ) および図 11 ( b ) は、それぞれ実施例 1 および比較例 1 における  $I_{pR}$  に対する  $S$  を示す図である。

【図 12】図 12 ( a ) から図 12 ( c ) は、リングオシレータの時間に対する出力電圧を示す図である。

10

【図 13】図 13 ( a ) および図 13 ( b ) は、実施例 2 に係る電子回路のブロック図である。

【図 14】図 14 は、実施例 3 に係る電子回路の回路図である。

【図 15】図 15 は、実施例 3 の変形例に係る電子回路の回路図である。

【図 16】図 16 ( a ) は、実施例 4 に係る不揮発性メモリセルの回路図、図 16 ( b ) は、断面斜視図である。

【図 17】図 17 ( a ) から図 17 ( f ) は、実施例 5 に係る電子回路を示す回路図 ( その 1 ) である。

【図 18】図 18 ( a ) から図 18 ( f ) は、実施例 5 に係る電子回路を示す回路図 ( その 2 ) である。

20

【図 19】図 19 ( a ) から図 19 ( c ) は、実施例 6 およびその変形例に係るトランジスタの断面図である。

【図 20】図 20 ( a ) は、実施例 7 に係るトランジスタの斜視断面図、図 20 ( b ) および図 20 ( c ) は、断面図である。

【図 21】図 21 ( a ) は、実施例 7 の変形例 1 に係るトランジスタの斜視断面図、図 21 ( b ) は、断面図である。

【図 22】図 22 ( a ) は、実施例 7 の変形例 2 に係るトランジスタの斜視断面図、図 22 ( b ) および図 22 ( c ) は、断面図である。

【図 23】図 23 は、実施例 7 の変形例 3 に係るトランジスタの断面図である。

30

【図 24】図 24 ( a ) は、シミュレーション 2 を用いたドレイン特性を示す図であり、図 24 ( b ) は、シミュレーション 1 と 2 を比較したドレイン特性を示す図である。

【図 25】図 25 は、インバータ回路の伝達特性を示す図である。

【図 26】図 26 ( a ) および図 26 ( b ) は、それぞれシミュレーション 1 および 2 における双安定回路のバタフライカーブを示す図である。

【図 27】図 27 は、実施例 8 に係る電子回路のブロック図である。

【発明を実施するための形態】

【 0 0 2 4 】

近年のマイクロプロセッサや SoC (System on a Chip) などの CMOS (Complementary Metal Oxide Semiconductor) ロジックシステムは、トランジスタの微細化と高性能化を両立させることで発展してきた。このような両立は、トランジスタの微細化に基づく電流駆動能力の向上と高密度集積化に負うところが大きい。しかし、トランジスタの微細化 (テクノロジーノードの更新) とともに、消費電力が増大している。この消費電力の増大は、ロジックシステムの性能やトランジスタの集積密度を制限する重大な問題になる。さらに、近年の CMOS ロジックシステムにおける重要な応用の 1 つであるスマートフォンなどのモバイル機器においては、ロジックシステムの消費電力は、バッテリーの利用時間を決める要因の一つにもなっている。

40

【 0 0 2 5 】

CMOS ロジックシステムにおける電源電圧の低電圧化は、CMOS ロジックシステムの低消費電力化に極めて有効な手段の 1 つである。しかし、低電圧化は、ロジックシステ

50

ムの動作周波数（速度）を激しく劣化させてしまう。また、低電圧化は、デバイスのばらつきに対する耐性を著しく劣化させてしまう。このような電源電圧の低電圧化による問題が生じる主要因は、トランジスタの電流駆動能力の劣化である。そこで、より小さな入力電圧で、より大きな電流を駆動できるような、“高感度”なトランジスタの開発が盛んに行われている。さらに、低電圧動作における全消費電力に対する動的電力と静的電力の割合は、駆動電圧の低減とともに静的電力が大きくなる。このことから、低電圧動作においても、リーク（サブスレッシュドリーク）が十分に低いトランジスタが求められる。以上のような観点から、いくつかの新規なデバイスが研究および開発されている。しかしながら、電流駆動能力が高くてもリークが大きいデバイスや、リークは少なくとも電流駆動能力が低いデバイスが多い。

10

## 【0026】

電源電圧が0.2V程度の超低電圧の領域では、大幅な消費電力の低減が見込める。しかし、従来のCMOS技術ではこのような超低電圧動作させると電流駆動能力の低下にもなう回路性能の劣化が激しく、活用は困難である。このような回路性能の劣化は、半導体をチャンネルに用いる限り、どのような半導体材料を用いても根本的に解決することは難しい。金属チャンネルは、抵抗が低く、低電圧でも高い電流駆動能力を実現できる可能性がある。しかし、金属チャンネルを用いると、リークを十分に下げることが原理的に難しい。したがって、金属的に抵抗が低い状態と、絶縁体的に抵抗が高い状態と、の2つの状態を形成可能な金属-絶縁体転移する材料をトランジスタのチャンネルに用いることが考えられる。このようなトランジスタは、超低電圧駆動に適したデバイスであると考えられる。最近、大きな圧電効果をもつ圧電体をゲートに利用し、圧力によって金属-絶縁体転移を引き起こす圧電抵抗効果を有する圧電抵抗体をチャンネルに利用するPET（Piezoelectronic Transistor）と呼ばれる新しいトランジスタが提案されている（特許文献1）。

20

## 【0027】

図1は、比較例1に係るトランジスタ（PET）の断面図である。比較例1は、特許文献1の構造を応用した例である。図1に示すように、ソース14とドレイン16との間に圧電抵抗体10が設けられている。ソース14下（圧電抵抗体10と反対側）に圧電体12が設けられている。圧電体12の下にゲート18が設けられている。ゲート18からドレイン16までの積層体は高降伏強度材料からなる支持構造体20により支持されている。ソース14とゲート18との間に電圧を印加すると、圧電体12が変位する。これにより、圧電体12から圧電抵抗体10に圧力が加わる。

30

## 【0028】

PETでは、圧力によって金属-絶縁体転移する圧電抵抗体10をチャンネルに用いる。圧電抵抗体10は、オン時の金属相における抵抗は極めて低く、大きな電流駆動能力が期待できる。この圧電抵抗体の圧力に対する抵抗変化率は巨大で、オフ時のチャンネル抵抗を極めて高くできる。このため、十分なオン/オフ電流比が期待できる。さらに、PETでは圧電体12の誘電分極の向きを反対にすることで、MOSFETにおけるpチャンネル動作とnチャンネル動作と同様の動作を実現できる。このため、CMOS回路のように相補型のトランジスタを用いた回路も構成可能である。

40

## 【0029】

PETにおいて高い電流駆動能力と急峻なサブスレッシュド特性を実現するためには、大きな圧電効果を有する圧電体12を用いることが求められる。このような圧電体12の特性のみならず、圧電体12から、効率よく圧電抵抗体に圧力を加えることができるデバイス構造も極めて重要になる。これまでに提案されたPETでは、圧電抵抗体に圧力を加えるため、高降伏強度材料などからなる支持構造体20などのデバイスの支持構造が用いられる。このような支持構造は、集積回路の高密度集積化に適さない。さらに、支持構造体20の存在によって生じる各種寄生素子による性能劣化を生じる可能性がある。また、このような支持構造は、圧電体12から高効率に圧電抵抗体からなるチャンネルに圧力を加えるのに適した構造にもなっていない。したがって、PETではこのようなデバイスの支持構造を用いず、チャンネルに効率よく圧力を加えることのできるデバイス構造の

50

実現が重要となる。

【0030】

以下に説明する実施例では、デバイスの支持構造を用いず、集積回路に適したデバイス構造を有するPETが実現できる。さらに、圧電体ゲートからピエゾ抵抗体チャネルに高効率に圧力を印加できる構造を有するPETを実現できる。このデバイス構造のPETによって、高い電流駆動能力と急峻なサブスレッショルド特性を実現できる。さらに、PETの低インピーダンス性を利用したパワーゲーティング回路、PETの低電圧下における高速動作性を利用した低消費電力の記憶回路および論理回路が実現できる。

【実施例1】

【0031】

実施例1は、PETの例である。図2は、実施例1に係るトランジスタの斜視図である。図3(a)は、実施例1に係る第1型トランジスタの斜視断面図、図3(b)は、断面図、図3(c)は、回路記号である。図4(a)は、実施例1に係る第2型トランジスタの斜視断面図、図4(b)は、断面図、図4(c)は、回路記号である。

【0032】

図2から図4(c)に示すように、ピエゾ抵抗体10内の中心軸をz軸とし、径方向をr方向とする。ピエゾ抵抗体10は円筒形状である。ピエゾ抵抗体10の両端にはソース14とドレイン16とが設けられている。ソース14はピエゾ抵抗体10にキャリア(例えば電子)を注入する。ドレイン16はピエゾ抵抗体10からキャリアを受け取る。ピエゾ抵抗体10内をソース14からドレイン16方向にキャリアが伝導する。キャリアの伝導方向はz方向である。ソース14とピエゾ抵抗体10との間には金属コンタクト層15が設けられ、ドレイン16とピエゾ抵抗体10との間には金属コンタクト層17が設けられている。金属コンタクト層15および17は、圧電体12に接触しており、ピエゾ抵抗体10が絶縁相の場合に圧電体12に有効にゲート電圧を加えるために用いられる。金属コンタクト層15および17は、ピエゾ抵抗体10に効果的に圧力が加えられるように、ヤング率が小さいことが好ましい。圧電体12がピエゾ抵抗体10を囲むように設けられている。圧電体12はドーナツ形状である。圧電体12の周りにゲート18が設けられている。

【0033】

図3(a)および図3(b)に示すように、第1型トランジスタ11aにおいて、圧電体12の誘電分極方向22は-r方向である。例えば、ソース14を基準としてゲート18とソース14との間に正の電圧が印加されると、圧電体12はピエゾ抵抗体10に圧力を加える。これにより、ピエゾ抵抗体10は金属相となる。よって、ソース14からドレイン16にキャリアが伝導する。ゲート18とソース14との間に電圧が印加されないと、ピエゾ抵抗体10には圧力が加わらず、ピエゾ抵抗体10が絶縁相となる。これにより、ソース14からドレイン16へのキャリアの伝導が遮断される。このように、第1型トランジスタ11aは、ソース14を基準にゲート18に正側の電圧が加わるとピエゾ抵抗体10はオンする(金属相になる)。このような動作はMOSFETにおけるnチャネルFETの動作と同等とみなせる。そこで、第1型トランジスタ11aを便宜的にnチャネルと称し、図3(c)のような回路記号で表す。図3(c)において、ソースSはソース14、ドレインDはドレイン16およびゲートGはゲート18にそれぞれ対応する。

【0034】

図4(a)および図4(b)に示すように、第2型トランジスタ11bにおいて、圧電体12の誘電分極方向22は+r方向である。例えば、ソース14を基準としてゲート18とソース14との間に負の電圧を印加すると、ピエゾ抵抗体10に圧力が加わる。これにより、ピエゾ抵抗体10は金属相となる。ゲート18とソース14との間に電圧が印加されないと、ピエゾ抵抗体10には圧力が加わらず、ピエゾ抵抗体10が絶縁相となる。これにより、ソース14からドレイン16へのキャリアの伝導が遮断される。このように、第2型トランジスタ11bは、ソース14を基準にゲート18に負側の電圧が加わるとピエゾ抵抗体10がオンする(金属相になる)。このような動作は、MOSFETにお

10

20

30

40

50



る p チャンネル F E T の動作と同等とみなせる。そこで、第 2 型トランジスタ 1 1 b を便宜的に p チャンネルと称し、図 4 ( c ) のような回路記号で表す。

【 0 0 3 5 】

このように、以下の説明における P E T の n チャンネルおよび p チャンネルは、ピエゾ抵抗体 1 0 からなるチャンネルを伝導するキャリアが電子かホールかではなく、M O S F E T の n チャンネル F E T の動作と同じか p チャンネル F E T の動作と同じかにより規定している。

【 0 0 3 6 】

図 5 ( a ) から図 5 ( f ) は、実施例 1 の変形例に係るトランジスタの模式図である。図 5 ( a ) および図 5 ( c ) は、斜視断面図、図 5 ( b ) および図 5 ( d ) は、断面図、図 5 ( e ) および図 5 ( f ) は、回路記号である。図 5 ( a ) および図 5 ( b ) に示すように、トランジスタ 1 1 c では、圧電体 1 2 の誘電分極方向は - z 方向である。圧電体 1 2 の z 方向に対向するようにゲート 1 8 a および 1 8 b が設けられている。ゲート 1 8 b を基準としてゲート 1 8 a と 1 8 b 間に正の電圧を印加することにより、圧電体 1 2 はピエゾ抵抗体 1 0 に圧力を加えることができる。

10

【 0 0 3 7 】

図 5 ( c ) および図 5 ( d ) に示すように、トランジスタ 1 1 d では、圧電体 1 2 の誘電分極方向は z 方向である。ゲート 1 8 b を基準としてゲート 1 8 a と 1 8 b 間に負の電圧を印加することにより、圧電体 1 2 はピエゾ抵抗体 1 0 に圧力を加えることができる。よって、トランジスタ 1 1 c と 1 1 d とは互いに相補型のトランジスタとなる。

20

【 0 0 3 8 】

図 5 ( e ) および図 5 ( f ) において、G 1 がゲート 1 8 a に対応し、G 2 がゲート 1 8 b に対応する。例えば、G 2 をグランドのような参照電圧（またはソースなど）に接続した場合、G 2 を記載せず、図 3 ( c ) および図 4 ( c ) のような回路記号で表すこともできる。以下、G 2 をソースと同電位として、表記を省略する。

【 0 0 3 9 】

実施例 1 では、ゲート 1 8 は、圧電体 1 2 を囲むように設けられている。圧電体 1 2 は、外方向または内方向（例えばピエゾ抵抗体 1 0 内に対し放射状）に誘電分極する。実施例 1 の変形例では、ゲート 1 8 a および 1 8 b は、z 方向に対向する圧電体 1 2 の面（すなわち z 方向に垂直な面）に z 方向に平行に複数設けられている。圧電体 1 2 は、z 方向に誘電分極する。このように、圧電体 1 2 の誘電分極方向は適宜設定する。圧電体 1 2 内の誘電分極方向を反対の方向とすることにより、簡単に相補的なトランジスタを形成できる。

30

【 0 0 4 0 】

実施例 1 およびその変形例では、圧電体 1 2 がピエゾ抵抗体 1 0 を囲みピエゾ抵抗体 1 0 に周囲から圧力を加える。このため、比較例 1 のようなデバイスの支持構造を用いなくともよい。ピエゾ抵抗体 1 0 を円筒形状、圧電体 1 2 をドーナツ形状を例に説明したが、ピエゾ抵抗体 1 0 および圧電体 1 2 の形状はこれらには限られない。例えば、ピエゾ抵抗体 1 0 は四角柱等の多角柱でもよい。また、多角柱の角は丸く縁取りされていてもよい。この場合、実施例 1 では圧電体 1 2 内の誘電分極の方向は、ピエゾ抵抗体 1 0 からゲート 1 8 に向かう方向またはゲート 1 8 からピエゾ抵抗体 1 0 に向かう方向となる。実施例 1 の変形例では、誘電分極方向は z 方向となる。ピエゾ抵抗体 1 0 に均一に圧力を加えるため、ピエゾ抵抗体および圧電体 1 2 は、z 軸に対し回転対称であることが好ましい。

40

【 0 0 4 1 】

実施例 1 およびその変形例（変形例においては金属コンタクト 1 5 および 1 7 が形成されている場合）において、金属コンタクト 1 5 および 1 7 を圧電体 1 2 に接触したまま形成し、ソース 1 4 およびドレイン 1 6 としてもよい。この場合、ソース 1 4 およびドレイン 1 6 と圧電体 1 2 との間が接触してもよい。このように、ソース 1 4 およびドレイン 1 6 にヤング率が小さい材料（例えば、ヤング率がピエゾ抵抗体 1 0 と同程度またはピエゾ抵抗体 1 0 より小さい材料）を用いれば、ソース 1 4 およびドレイン 1 6 と圧電体 1 2 とが接触していてもよい。ソース 1 4 およびドレイン 1 6 のヤング率が大きい場合、図 3 (

50

a)、図3(b)、図4(a)、図4(b)、図5(a)から図5(d)のように、ソース14およびドレイン16と圧電体12との間に空隙を形成することが好ましい。なお、図5(a)から図5(d)において、ソース14およびドレイン16と圧電体12との間に空隙が形成されているが、ソース14およびドレイン16のヤング率が piezo 抵抗体10と同程度または piezo 抵抗体10より小さい場合は、圧電体12とは接触していてもよい。

#### 【0042】

piezo 抵抗体10は、加えられる機械的な圧力により電気抵抗が変化する piezo 抵抗効果を有する材料からなる。piezo 抵抗体10に圧力が加わることにより、piezo 抵抗体10の抵抗率が2桁以上変化することが好ましく、4桁以上変化することがより好ましく、5桁以上変化することがさらに好ましい。このような材料として、例えばSmSe、TmSe、SmS、Ca<sub>2</sub>RuO<sub>4</sub>、(Ca, Ba, SrRu)O<sub>3</sub>、Ni(S<sub>x</sub>Se<sub>1-x</sub>)<sub>2</sub>C、または(V<sub>1-x</sub>Cr<sub>x</sub>)<sub>2</sub>O<sub>3</sub>を piezo 抵抗体10に用いることができる。

10

#### 【0043】

圧電体12は、印加される電圧により機械的に変形する逆圧電効果を有する材料からなる。圧電体12の材料としては、例えば以下のABC<sub>3</sub>型のペロブスカイト構造物質を用いることができる。

(Pb, M1)(Ti, M2)O<sub>3</sub>、  
 (Bi, M1)(Zn, Ti, M2)O<sub>3</sub>、  
 (Bi, M1)(Na, Ti, M2)O<sub>3</sub>、  
 (K, M1)(Nb, M2)O<sub>3</sub>、  
 (Li, M1)(Nb, M2)O<sub>3</sub>、  
 (Li, M1)(Ta, M2)O<sub>3</sub>、

20

または

(Na, M1)(Nb, M2)O<sub>3</sub>

ここで、M1は価数が1-3価のLi、Ca、Ba、Sr、Bi、Pbまたはランタノイド等である。M2は価数が2-6価のZr、Hf、Mg/Nb、Mg/Ta、In/Sr等である。

ペロブスカイト構造物質以外の材料として、以下を用いることができる。

(Hf, M3)O<sub>2</sub>

ここで、M3はSr、Si、Ba、Ca、Mg、Zr、Ce、Ti、Ge、Sn、Nb、Taまたはランタノイドである。

30

圧電体12の材料として、典型的にはPZT(チタン酸ジルコン酸鉛)、PSZT(ストロンチウム添加チタン酸ジルコン酸鉛)、PMT-PT(マグネシウムニオブ酸-チタン酸鉛)、またはPZN-PT(亜鉛ニオブ酸-チタン酸鉛)を用いることができる。ソース14、ドレイン16およびゲート18は、金属等の導電体である。

#### 【0044】

金属コンタクト層15および17は、ヤング率および抵抗率が小さいことが好ましい。このような、材料として、Al(68)、Mg(65)、Ag(76)、Au(80)、Pb(14)、Ca(23)、Sn(41)、Bi(31)、またはIn(10)を用いることができる。カッコ内はヤング率(GPa)を示す。例えば、金属コンタクト層15および17のヤング率は、piezo 抵抗体10と同程度または piezo 抵抗体10より小さいことが好ましい。

40

#### 【0045】

piezo 抵抗体10、圧電体12、金属コンタクト層15および17、並びにソース14、ドレイン16およびゲート18は、例えばスパッタリング法、CVD(Chemical Vapor Deposition)法を用いて形成できる。

#### 【0046】

実施例1と比較例1のトランジスタ特性をシミュレーションした。piezo 抵抗体10をSmSe、圧電体12をPMT-PTとした。

50

## 【0047】

図6(a)および図6(b)は、それぞれ実施例1および比較例1のシミュレーションに用いたサイズを示す図である。簡略化のため、ソース、ドレイン、ゲートおよび金属コンタクトは示していない。図6(a)に示すように、実施例1において、圧電体12がピエゾ抵抗体10に圧力を加える。圧力が加わるr方向のピエゾ抵抗体10の厚さ $l_{PR}$ (半径に相当する)、r方向の圧電体12の厚さ $L_{PE}$ とする。ピエゾ抵抗体10のz方向の厚さ $h_{PR}$ 、圧電体12のz方向の厚さ $H_{PE}$ とする。z軸から圧電体12のr方向の中心までの距離 $R_{PE}$ とする。圧電体12がピエゾ抵抗体10に圧力を加える面(すなわち圧電体12とピエゾ抵抗体10とが向き合う面)の面積をピエゾ抵抗体10について面積 $a_{PR}$ 、圧電体12について $A_{PE}$ とする。 $a_{PR} = 2 l_{PR} h_{PR}$ であり、 $A_{PE} = 2 l_{PR} H_{PE}$ である。よって、面積比 $a_{PR} / A_{PE} = h_{PR} / H_{PE}$ となる。

10

## 【0048】

図6(b)に示すように、比較例1において、圧電体12がピエゾ抵抗体10に圧力を加える方向をx方向とする。ピエゾ抵抗体10のx方向の厚さ $l_{PR}$ 、圧電体12のx方向の厚さ $L_{PE}$ とする。圧電体12とピエゾ抵抗体10とが向き合う(x方向に直交する面となる)ピエゾ抵抗体10の面積 $a_{PR}$ 、圧電体12の面積 $A_{PE}$ とする。

## 【0049】

以上のように大きさのパラメータを規定することで、実施例1と比較例1の比較が可能となる。

## 【0050】

まず、実施例1および比較例1のゲート18に印加されるゲート電圧 $V_G$ に対してピエゾ抵抗体10に加わる圧力Pの比を示す係数について計算した。 $P = V_G$ である。係数が大きい方がピエゾ抵抗体10に効率的に圧力が加わることを示している。

20

## 【0051】

図7(a)および図7(b)は、それぞれ実施例1および比較例1における $L_{PE}$ に対する $a_{PR} / A_{PE}$ を示す図である。 $l_{PR}$ は3nmに固定した。複数の実線は、矢印方向に $a_{PR} / A_{PE}$ を0.2から1.0まで0.2ステップで変えている。以下の実施例1および比較例1についての図も同じである。図7(a)に示すように、 $a_{PR} / A_{PE}$ が小さい方が大きい。 $a_{PR} / A_{PE}$ は $L_{PE}$ には余り依存しない。図7(b)に示すように、 $a_{PR} / A_{PE}$ が小さい方が大きい。 $a_{PR} / A_{PE}$ は $L_{PE}$ が大きくなると小さくなる。

30

## 【0052】

図8(a)および図8(b)は、それぞれ実施例1および比較例1における $l_{PR}$ に対する $a_{PR} / A_{PE}$ を示す図である。 $L_{PE}$ は40nmに固定した。図8(a)に示すように、 $a_{PR} / A_{PE}$ が小さい方が大きい。 $a_{PR} / A_{PE}$ は $l_{PR}$ が小さい方が大きい。図8(b)に示すように、 $a_{PR} / A_{PE}$ が小さい方が大きい。 $a_{PR} / A_{PE}$ は $l_{PR}$ が小さい方が大きい。

## 【0053】

図7(a)および図8(a)と、図7(b)および図8(b)と、を比較すると、例えば、 $L_{PE} = 40\text{nm}$ 、 $l_{PR} = 3\text{nm}$ および $a_{PR} / A_{PE} = 0.4$ では、実施例1では比較例1に比べ、 $a_{PR} / A_{PE}$ が2倍程度大きい。このように、実施例1では、比較例1に比べ、ピエゾ抵抗体10に効率的に圧力を印加できる。これにより、電流駆動能力を高くできる。

40

## 【0054】

図9(a)および図9(b)は、それぞれ実施例1および比較例1におけるドレイン電圧 $V_D$ に対するドレイン電流 $I_D$ を示す図である。実施例1では、 $l_{PR} = 3\text{nm}$ 、 $L_{PE} = 40\text{nm}$ 、 $h_{PR} = 12\text{nm}$ 、 $H_{PE} = 30\text{nm}$ および $a_{PR} / A_{PE} = 0.4$ である。比較例1では、 $l_{PR} = 3\text{nm}$ 、 $L_{PE} = 40\text{nm}$ 、 $a_{PR} = 100\text{nm}^2$ 、 $A_{PE} = 250\text{nm}^2$ および $a_{PR} / A_{PE} = 0.4$ である。複数ある実線は、ゲート電圧 $V_G$ を0Vから0.2Vまで0.01Vステップで印加したものである。

## 【0055】

図9(a)および図9(b)に示すように、実施例1のドレイン電流 $I_D$ は比較例1よ

50

り3倍大きい。このように、実施例1は比較例1に比べ電流駆動能力が3倍以上大きい。

【0056】

次に、サブスレッショルドスロープ $S$ を計算した。サブスレッショルドスロープ $S$ が小さいと、ゲート18によりピエゾ抵抗体10をオフしたときのリーク電流が小さくなる。

【0057】

図10(a)および図10(b)は、それぞれ実施例1および比較例1における $L_{PE}$ に対する $S$ を示す図である。 $l_{PR}$ は3nmに固定した。図10(a)に示すように、 $a_{PR}/A_{PE}$ が小さい方が $S$ は小さい。 $S$ は $L_{PE}$ を小さくすると減少する。図10(b)に示すように、 $a_{PR}/A_{PE}$ が小さい方が $S$ は小さい。 $L_{PE}$ が小さい方が $S$ は小さい。

10

【0058】

図11(a)および図11(b)は、それぞれ実施例1および比較例1における $l_{PR}$ に対する $S$ を示す図である。 $L_{PE}$ は40nmに固定した。図11(a)に示すように、 $a_{PR}/A_{PE}$ が小さい方が $S$ は小さい。 $l_{PR}$ が小さい方が $S$ は小さい。図11(b)に示すように、 $a_{PR}/A_{PE}$ が小さい方が $S$ は小さい。 $l_{PR}$ が小さい方が $S$ は小さい。

【0059】

図10(a)および図11(a)と、図10(b)および図11(b)と、を比較すると、例えば、 $L_{PE} = 40\text{nm}$ 、 $l_{PR} = 3\text{nm}$ 、 $a_{PR}/A_{PE} = 0.4$ では、実施例1では比較例1に比べ、 $S$ は50程度とMOSFETの室温における限界値(60mV/decade)を下回る。一方、比較例1の $S$ は100程度と、実施例1の2倍程度大きい。このように、実施例1では比較例1に比べ、サブスレッショルド特性を急峻にできる。よって、オフ時のリーク電流を抑制できる。

20

【0060】

および $S$ の観点から $a_{PR}/A_{PE}$ は小さいことが好ましい。例えば $a_{PR}/A_{PE}$ は1より小さいことが好ましく、0.6程度以下がより好ましい。

【0061】

次に、5段のインバータで構成したリングオシレータの発振周波数を計算した。インバータは、pチャネルPETとnチャネルPETを用いた相補型インバータとした。図12(a)から図12(c)は、リングオシレータの時間に対する出力電圧を示す図である。図12(a)は、実施例1のPETの計算結果を示す。計算したPETでは、 $l_{PR} = 3\text{nm}$ 、 $L_{PE} = 10\text{nm}$ 、 $h_{PR} = 6\text{nm}$ 、 $H_{PE} = 30\text{nm}$ および $a_{PR}/A_{PE} = 0.2$ である。電源電圧 $V_{DD} = 0.2\text{V}$ である。圧電体12の電圧印加に応答するメカニカルな共振現象は、リングオシレータの発振周波数に影響するため、この効果を取り込んで計算を行った。図12(b)および図12(c)は、16nmノードのFinFETを用いた場合の計算結果であり、それぞれ電源電圧 $V_{DD} = 0.5\text{V}$ および $0.2\text{V}$ である。

30

【0062】

図12(a)に示すように、実施例1では、 $V_{DD} = 0.2\text{V}$ であっても発振周波数は約60GHzである。図12(b)に示すように、FinFETでは、 $V_{DD} = 0.5\text{V}$ で発振周波数は約25GHzである。図12(c)に示すように、 $V_{DD} = 0.2\text{V}$ では発振周波数は約1.3GHzである。このように、現在最も動作速度の速いトランジスタのひとつであるFinFETを用いても、 $V_{DD}$ を小さくすると動作速度が急激に劣化する。一方、実施例1では、駆動電流能力が大きいため、 $V_{DD}$ を小さくしても発振周波数は高い。構造の最適化を行うことで、 $V_{DD} = 0.2\text{V}$ で100GHz程度の発振周波数を実現できる可能性がある。

40

【0063】

実施例1によれば、圧電体12がピエゾ抵抗体10を囲むように設けられている。ゲート18に電圧を印加することにより、圧電体12がピエゾ抵抗体10に圧力を加える。これにより、比較例1と比べ、支持構造体を用いなくともよい。また、図7(a)から図8

50

(b)のように、比較例1に比べ、高効率にピエゾ抵抗体10に圧力を加えることができる。よって、電流駆動能力を高くすることができる。さらに、図10(a)から図11(b)のように、比較例1に比べ、サブスレッショルド特性を向上できる。ピエゾ抵抗体10は圧力により金属相となるため、オン抵抗が非常に低い。このため、図12(a)のように、低い電源電圧(例えば0.2V以下)においても高速動作が可能となる。

#### 【0064】

また、比較例1では、図1のように、ゲート18、ソース14およびドレイン16がこの順番で積層されているため、ソース14からドレイン16方向にキャリアを流す場合と、ドレイン16からソース14方向にキャリアを流す場合と、が等価でなくなる(電流が異なる)。このように、ソース14とドレイン16とがゲート18に対し対称な構造となっていない。このため、ソース14とドレイン16とを入れ替えて同じ特性を得ようとすると、ゲート18に印加する電圧を変えることになる。このため、ソース14とドレイン16を入れ替えると、特性が大きく変わってしまう。

10

#### 【0065】

一方、実施例1では、チャンネル中心に対するソース14とドレイン16方向が対称性待つようにデバイス構造を構成できる。また、ゲート18に対し、ソース14とドレイン16とが等価な構造のため、ソース14とドレイン16とを入れ替えても、ゲート18に同じ電圧を印加すれば、同じ特性が得られる。このように、ソース14とドレイン16を入れ替えても、特性はほとんど変化しない。

20

#### 【実施例2】

#### 【0066】

実施例2は、実施例1のPETをパワースイッチとしたパワーゲーティング回路の例である。図13(a)および図13(b)は、実施例2に係る電子回路のブロック図である。図13(a)に示すように、パワーゲーティング回路100aは、パワースイッチとしてpチャンネルPET30bおよびパワードメイン回路32を有している。パワードメイン回路32は、2つの電源であるグランドGNDと電源 $V_{DD}$ との間に設けられている。パワードメイン回路32には、グランドGNDおよび電源 $V_{DD}$ から電力が供給される。回路32と電源 $V_{DD}$ との間にpチャンネルPET30bが設けられている。PET30bのソースが電源 $V_{DD}$ に、ドレインが回路32に接続されている。ゲートには、回路32に供給する電力を制御する信号が入力する。PET30bと回路32の間のノードが仮想 $V_{DD}$ となる。回路32には、仮想 $V_{DD}$ とグランドGNDとの電位差の電圧が印加される。

30

#### 【0067】

図13(b)に示すように、パワーゲーティング回路100bは、パワースイッチとしてnチャンネルPET30aおよびパワードメイン回路32を有している。グランドGNDと回路32との間にnチャンネルPET30aが設けられている。PET30aのソースがグランドGNDに、ドレインが回路32に接続されている。ゲートには、回路32に供給する電力を制御する信号が入力する。PET30aと回路32の間のノードが仮想GNDとなる。回路32には、電源 $V_{DD}$ と仮想GNDとの電位差の電圧が印加される。PET30aおよび30bは、実施例1に係るトランジスタである。

40

#### 【0068】

実施例2によれば、回路32が電源 $V_{DD}$ (第1電源)とグランドGND(第2電源)との間に接続されている。パワースイッチであるPET30aまたは30bのソースは、電源 $V_{DD}$ またはグランドGNDに接続され、ドレインが回路32に接続される。ゲートに回路32に供給される電力を遮断する信号が入力する。この信号は、PET30aまたは30bをオンまたはオフさせる信号である。

#### 【0069】

このように、実施例2のパワーゲーティング回路では、PET30aまたは30bをパワードメイン回路のパワースイッチに用いる。PET30aまたは30bのオン抵抗は金属的に低い。これにより、パワースイッチにおける電圧降下を極めて低く抑えることがで

50

きる。よって、パワードメイン回路32に印加できる電圧(図13(a)では、仮想電源 $V_{DD}$ とグランドGNDの電位差、図13(b)では、電源 $V_{DD}$ と仮想グランドGNDの電位差)を容易に高くできる。よって、パワードメイン回路32の回路性能を高く維持できる。したがって、通常のMOSFETをパワースイッチに用いたものと比べて高い回路性能が得られる。また、PET30aまたは30bの急峻なサブスレッショルド特性による遮断特性と大きなオン/オフ比によって、電源遮断時には電圧降下をパワースイッチに集中させることができる。このため、電源遮断時におけるパワードメイン回路32のリークを小さく抑えることができる。さらに、PET30aまたは30bを多層配線層の中に作り込めば、パワースイッチによる面積オーバーヘッドをほとんどなくすることができる。パワードメイン回路32は通常のCMOSまたはPET(相補型のPETを含む)で構成することができる。

10

### 【実施例3】

#### 【0070】

実施例3は、不揮発性双安定回路のパワースイッチに実施例1に係るPETを用いる例である。図14は、実施例3に係る電子回路の回路図である。図14に示すように、メモリセル101は、双安定回路40および不揮発性素子MTJ1およびMTJ2(不揮発性メモリ素子)を有している。双安定回路40は、データを揮発的に記憶する。不揮発性素子MTJ1およびMTJ2は、双安定回路40に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを双安定回路40にリストアする。不揮発性素子MTJ1およびMTJ2は、例えば強磁性トンネル接合素子である。

20

#### 【0071】

双安定回路40はインバータ42および44を有している。インバータ42はpチャンネルFETm1およびnチャンネルFETm2を有している。インバータ44はpチャンネルFETm3およびnチャンネルFETm4を有している。インバータ42と44はリング状に接続されている。双安定回路40は、電源 $V_{DD}$ とグランドとの間に接続されている。FETm1およびm3のソースに電源 $V_{DD}$ が、FETm2およびm4のソースにグランドが接続されている。パワースイッチである(pチャンネルの)PET30は、FETm1およびm3のソースと電源 $V_{DD}$ との間に直列に接続されている。PET30をオフすることにより、双安定回路40に供給される電力を遮断できる。

#### 【0072】

インバータ42と44とが接続されたノードがそれぞれノードQおよびQBである。ノードQとノードQBとは互いに相補ノードである。ノードQおよびQBは、それぞれFETm5およびm6を介し入出力線DおよびDBに接続されている。FETm5およびm6のゲートはワード線WLに接続されている。双安定回路40へのデータの書き込みおよび読み出しは、従来のSRAMと同じように行われる。

30

#### 【0073】

ノードQと制御線CTRLとの間の経路66において、(nチャンネルの)FETm7と不揮発性素子MTJ1とが直列に接続され、ノードQBと制御線CTRLとの間の経路66において、(nチャンネルの)FETm8と不揮発性素子MTJ2とが直列に接続されている。FETm7およびm8のソースおよびドレインの一方は、ノードQおよびQBに、ソースおよびドレインの他方は不揮発性素子MTJ1およびMTJ2にそれぞれ接続されている。FETm7およびm8のゲートはスイッチ線SRに接続されている。なお、FETm7およびm8は、それぞれ、不揮発性素子MTJ1およびMTJ2と制御線CTRLとの間に接続されていてもよい。

40

#### 【0074】

双安定回路40から不揮発性素子MTJ1およびMTJ2へのデータのストア動作は、FETm7およびm8をオンした状態で、制御線CTRLをハイレベルとローレベルとにすることにより行なわれる。不揮発性素子MTJ1およびMTJ2にデータがストアされた後、PET30をオフする。これにより、双安定回路40に電力が供給されず、消費電力が削減できる。

50

## 【 0 0 7 5 】

不揮発性素子 M T J 1 および M T J 2 から双安定回路 4 0 へのデータのリストア動作は、制御線 C T R L をローレベルとした状態で P E T 3 0 をオンし、双安定回路 4 0 に電力が供給することにより行なわれる。

## 【 0 0 7 6 】

実施例 3 において、不揮発性素子 M T J 1 および M T J 2 は、強磁性トンネル接合素子以外にも巨大磁気抵抗 ( G M R ) 素子、R e R A M ( Resistance Random Access Memory ) に用いられるような可変抵抗素子、または、P R A M ( Phase change RAM ) に用いられる相変化素子を用いることができる。また、パワースイッチである P E T 3 0 は、実施例 2 の図 1 3 ( b ) のように、グラウンドと双安定回路 4 0 との間に設けられていてもよい。この場合、P E T は n チャンネル P E T であり、F E T m 7 および m 8 は p チャンネルである。さらに、不揮発性素子は、1 つであり、双安定回路 4 0 の 1 つのノードと制御線との間に不揮発性素子が接続されていてもよい。

10

## 【 0 0 7 7 】

実施例 3 の変形例としてマスタスレーブ型フリップフロップ回路の例を説明する。図 1 5 は、実施例 3 の変形例に係る電子回路の回路図である。図 1 5 に示すように、記憶回路 1 0 2 は、D ラッチ回路 1 0 2 a と D ラッチ回路 1 0 2 b とを備えている。D ラッチ回路 1 0 2 a は、双安定回路 4 0 、パスゲート 7 2 、7 3 、不揮発性素子 M T J 1 、M T J 2 、F E T m 7 から m 9 を備えている。双安定回路 4 0 のリング内にパスゲート 7 3 と F E T m 9 が並列に接続されている。双安定回路 4 0 内のノード Q と制御線 C T R L との間に ( n チャンネルの ) F E T m 7 と不揮発性素子 M T J 1 が直列に接続されている。双安定回路 4 0 内のノード Q B と制御線 C T R L との間に ( n チャンネルの ) F E T m 8 と不揮発性素子 M T J 2 が直列に接続されている。ノード Q はインバータ 6 1 を介し Q B 信号となる。ノード Q B はインバータ 6 2 を介し Q 信号となる。ノード Q は、パスゲート 7 2 を介し D ラッチ回路 1 0 2 b に接続される。

20

## 【 0 0 7 8 】

D ラッチ回路 1 0 2 b は、双安定回路 5 0 、パスゲート 7 0 および 7 1 を備えている。双安定回路 5 0 は、インバータ 5 2 および 5 4 がリング状に接続されている。インバータ 5 2 は p チャンネル F E T m 1 1 および n チャンネル F E T m 1 2 を有している。インバータ 5 4 は p チャンネル F E T m 1 3 および n チャンネル F E T m 1 4 を有している。双安定回路 5 0 のリング内にパスゲート 7 1 が接続されている。双安定回路 5 0 には、インバータ 6 0 およびパスゲート 7 0 を介しデータ D が入力する。クロック信号 C L K は、インバータ 6 3 を介しクロック C B となり、さらにインバータ 6 4 を介しクロック C となる。クロック C B および C は、各パスゲート 7 0 から 7 3 に入力する。双安定回路 4 0 および 5 0 と電源 V<sub>DD</sub> との間に、パワースイッチとして ( p チャンネルの ) P E T 3 0 が接続される。

30

## 【 0 0 7 9 】

実施例 3 の変形例において、不揮発性素子 M T J 1 および M T J 2 は、強磁性トンネル接合素子以外にも G M R 素子、R e R A M に用いられるような可変抵抗素子、または、P R A M に用いられる相変化素子を用いることができる。また、パワースイッチである P E T 3 0 は、グラウンドと双安定回路 4 0 との間に設けられていてもよい。この場合、P E T は n チャンネル P E T であり、F E T m 7 および m 8 は p チャンネルである。さらに、不揮発性素子は、1 つであり、双安定回路 4 0 の 1 つのノードと制御線との間に不揮発性素子が接続されていてもよい。

40

## 【 0 0 8 0 】

図 1 4 または図 1 5 の P E T 3 0 に相当するパワースイッチとして M O S F E T を用いた場合の問題について説明する。ストア動作の際は、不揮発性素子 M T J 1 または M T J 2 に電流が流れるため、電源 V<sub>DD</sub> とグラウンドとの間のインピーダンスが大きく低下する。このため、パワースイッチとして M O S F E T を用いると、M O S F E T での電圧降下が大きくなる。これにより、双安定回路 4 0 、不揮発性素子 M T J 1 および M T J 2 に十分な電圧が印加されなくなる。よって、安定動作が難しくなる。したがって、通常の M O

50

S F E Tをパワースイッチに用いる場合では、メモリセルに十分に電圧を印加するために、チャンネル幅の非常に大きな（または複数の）M O S F E Tを用いることになる。よって、セル面積の増大、レイアウトの複雑化、および性能劣化（実際には、セル面積の制約から十分な大きさのパワースイッチを使用できないため）等の問題を生じる。

【 0 0 8 1 】

一方、実施例 3 およびその変形例では、実施例 1 に係る P E T 3 0 をパワースイッチに用いている。これにより、P E T 3 0 の電流駆動能力は M O S F E T（F i n F E T などの高性能トランジスタを含む）と比べて非常に大きく、十分に小さな P E T を使用しても、パワースイッチによる電圧降下を小さく抑えることが容易となる。よって、パワースイッチを導入しても、簡単にメモリセルの安定動作を実現することができる。したがって、P E T 3 0 をパワースイッチに用いれば、セル面積の増大、レイアウトの複雑化および性能劣化を生じることなく（P E T は多層配線層中に形成することも可能である）、不揮発性双安定回路のパワーゲーティングを実現できる。

10

【 0 0 8 2 】

実施例 3 およびその変形例のように、双安定回路 4 0 のデータを不揮発的にストアする不揮発性素子を有する不揮発性双安定回路において、双安定回路 4 0 に電力を供給するパワースイッチを P E T 3 0 とする。これにより、セル面積の増大、レイアウトの複雑化および性能劣化を生じることなく、不揮発性双安定回路のパワーゲーティングを実現できる。また、P E T 3 0 がオフしたときのリーク電流が小さいため、双安定回路 4 0 を遮断したときの待機消費電力を抑制できる。

20

【 0 0 8 3 】

実施例 3 およびその変形例において、F E T m 1 から m 1 4 は、M O S F E T でもよいし、P E T でもよい。経路 6 6 には、ストア動作のときに大きな電流が用いられる。よって、F E T m 7 および m 8 として P E T を用いることにより、低電圧でストア動作が可能となる。F E T m 7 および m 8 を P E T とする場合、後述する実施例 4 の図 1 6（b）構造を採用することができる。また、1 つまたは複数の P E T で複数の不揮発性メモリのパワースイッチを構成できる。例えば、不揮発性メモリセルの数より少ない数の P E T を用いてパワースイッチを構成できる。

【 実施例 4 】

【 0 0 8 4 】

実施例 4 は、不揮発性メモリセルに P E T を用いる例である。図 1 6（a）は、実施例 4 に係る不揮発性メモリセルの回路図、図 1 6（b）は、断面斜視図である。図 1 6（a）に示すように、不揮発性メモリセル 1 0 4 は、不揮発性素子 8 0 と P E T 9 0 を備えている。ソース線 S L とビット線 B L との間に不揮発性素子 8 0 と P E T 9 0 のソースおよびドレインが直列に接続されている。P E T 9 0 のゲートはワード線 W L に接続されている。不揮発性素子 8 0 は、強磁性金属からなるフリー層 8 2 とピン層 8 6 との間に非磁性層 8 4 が設けられている。強磁性トンネル接合素子では、非磁性層 8 4 はトンネル絶縁膜であり、巨大磁気抵抗（G M R）素子では、非磁性層 8 4 は金属層である。フリー層 8 2 とピン層 8 6 とは逆でもよい。

30

【 0 0 8 5 】

図 1 6（b）に示すように、P E T 9 0 のドレイン 1 6 に金属層 8 1、フリー層 8 2、非磁性層 8 4、ピン層 8 6 および金属層 8 7 が順に積層されている。このように、P E T 9 0 に不揮発性素子 8 0 を積層することができる。

40

【 0 0 8 6 】

スピントランスファートルク磁化反転型の強磁性トンネル接合素子のように電流駆動型の不揮発性素子 8 0 は、データ書き換えの際に電流が流れる。そこで、実施例 4 のように、P E T 9 0 と不揮発性素子 8 0 とで不揮発性メモリセル 1 0 4 を構成する。これにより、例えば 0.5V 以下のような低電圧でも動作可能な不揮発性メモリセルを実現できる。これは、P E T 9 0 のオン抵抗が低く、低電圧駆動でもデータ書き換えに必要な十分な電流を駆動できるためである。より抵抗の低い強磁性金属/非磁性金属/強磁性金属構造を有

50



するGMR素子を用いれば、より低い電圧での駆動可能な不揮発性メモリセルを実現できる。不揮発性素子80は、強磁性トンネル接合素子および巨大磁気抵抗(GMR)素子以外にも、ReRAMに用いられるような可変抵抗素子、または、PRAMに用いられる相変化素子を用いることができる。

【実施例5】

【0087】

実施例5は、論理回路にPETを用いる例である。図17(a)から図18(f)は、実施例5に係る電子回路を示す回路図である。図17(a)および図17(b)に示すように、信号Aの反転(NOT)信号Yを出力するインバータ回路91は、1つのnチャンネルPET97aと1つのpチャンネルPET97bとで構成できる。図17(c)および図17(d)に示すように、信号AとBの積の否定(NAND)信号Yを出力するNAND回路92は、2つのnチャンネルPET97aと2つのpチャンネルPET97bとで構成できる。図17(e)および図17(f)に示すように、信号AとBの和の否定(NOR)信号Yを出力するNOR回路93は、2つのnチャンネルPET97aと2つのpチャンネルPET97bとで構成できる。

10

【0088】

図18(a)および図18(b)に示すように、信号AとBの排他的論理和(XOR)信号Yを出力するXOR回路94は、1つのnチャンネルPET97a、1つのpチャンネルPET97b、インバータ回路91およびパスゲート98で構成できる。パスゲート98はnチャンネルPET97aとpチャンネルPET97bとで構成できる。図18(c)および図18(d)に示すように、信号Aを信号Bに同期して信号Yとして出力する回路95は、インバータ回路91とパスゲート98で構成できる。図18(e)および図18(f)に示すように、信号AとBを信号Sに同期して順に信号Yとして出力する回路96は、2つのインバータ回路91と2つのパスゲート98で構成できる。

20

【0089】

実施例5に係る論理回路では、互いに相補型であるPET97a(第1トランジスタ)および97b(第2トランジスタ)における、圧電体12の誘電分極方向22は、お互いに逆向きで、ソース14を基準として、ゲート18にPET97aでは正の電圧、PET97bでは負の電圧を加えた場合に、圧電体12がピエゾ抵抗体10に応力を印加するような方向である。このようなPET97aおよび97bを用いることにより、CMOS論理回路と同じ論理が同じ回路構成で実現できる。例えば、NOT回路、AND回路、NAND回路、OR回路、NOR回路、XOR回路、XNOR回路、多入力のこれらの回路(例えば3入力NANDまたは3入力NORなど)、これらの複合回路(例えばAND-OR-INV(AOI)またはOR-AND-INV(OAI)など)、各種ラッチ回路、各種フリップフロップ回路(例えばDFF、RSFF、JKFFまたはTFFなど)、またはマルチプレクサ(MUX)などの回路を構成することができる。

30

【0090】

また、PET97aと97bのサイズが同じで同じ電流を確保できるように構成できる。よって、CMOS論理回路のように、nチャンネルFETとpチャンネルFETでサイズを変えなくてもよい。そのため、論理回路等を組む場合の配線やレイアウトが容易になり、回路の占有面積を減少させたり、信号伝播遅延を減少させたりといった好ましい効果を期待できる。

40

【0091】

また、比較例1では、図1のように、ソース14からドレイン16へキャリアを流した場合とドレイン16からソース14へキャリアを流した場合とは等価にはならない(電流が異なる)。一方、実施例1では、ソース14からドレイン16への方向とドレイン16からソース14への方向が等価である。これにより、PET97aおよび97bを用いたパスゲート98を構成できる。

【実施例6】

【0092】

50

実施例 6 は、P E T の別の例である。図 19 ( a ) から図 19 ( c ) は、実施例 6 およびその変形例に係るトランジスタの断面図である。図 19 ( a ) に示すように、実施例 6 に係る P E T において、 piezo 抵抗体 10 の - y 方向の面にソース 14 が、+ y 方向の面にドレイン 16 が設けられている。圧電体 12 は、piezo 抵抗体 10 の - x 方向の面に設けられている。圧電体 12 の - x 方向の面にゲート 18 が設けられている。支持構造体 20 が圧電体 12 および piezo 抵抗体 10 を支持する。なお、ソース 14 と piezo 抵抗体 10 との間、およびドレイン 16 と piezo 抵抗体 10 との間に、実施例 1 で示したヤング率の小さな金属コンタクト層が設けられていてもよい。また、ソース 14 およびドレイン 16 の圧電体 12 と反対の面 (+ x 方向の面) が支持構造体 20 に接していてもよい。

【 0093 】

キャリアは、piezo 抵抗体 10 内を y 方向に伝導する。圧電体 12 は piezo 抵抗体 10 に x 方向から圧力を加える。ソース 14 とゲート 18 間の電圧、ドレイン 16 とゲート 18 間の電圧の関係は、ソース 14 とドレイン 16 を入れ替えても同じに保たれる。このため、ソース 14 からドレイン 16 へキャリアを流した場合とドレイン 16 からソース 14 へキャリアを流した場合と、では、電流をほぼ等しくできる。これにより、ソース 14 とドレイン 16 を入れ替えた場合に P E T の特性を等価にできる。よって、例えばパスゲート等に実施例 6 に係る P E T を用いることができる。

【 0094 】

図 19 ( b ) に示すように、実施例 6 の変形例 1 に係る P E T では、ソース 14 およびドレイン 16 と支持構造体 20 との間に、支持体 21 が設けられている。支持体 21 は、例えばポリイミドのような樹脂であり、ヤング率が圧電体 12 および piezo 抵抗体 10 より小さい。

【 0095 】

図 19 ( a ) の実施例 6 では、ソース 14 およびドレイン 16 と、支持構造体 20 と、の間に空隙が形成される。これにより、ソース 14 とドレイン 16 の形成が難しい。また、ソース 14 およびドレイン 16 が構造的に不安定となる。

【 0096 】

図 19 ( b ) の実施例 6 の変形例 1 の P E T によれば、支持体 21 がソース 14 およびドレイン 16 を支持するため、ソース 14 およびドレイン 16 が安定となる。支持体 21 のヤング率が十分小さければ、圧電体 12 の圧力はほとんど piezo 抵抗体 10 に加わる。また、支持体 21 をポラスシリカ等の多孔質材料で形成し、ソース 14 およびドレイン 16 を形成した後に、支持体 21 を潰して空隙としてもよい。

【 0097 】

図 19 ( c ) に示すように、実施例 6 の変形例 2 に係る P E T では、ソース 14 およびドレイン 16 は、piezo 抵抗体 10 の y 方向および - y 方向の面から支持構造体 20 にかけて延在している。さらに、ソース 14 およびドレイン 16 は支持構造体 20 に支持されるように引き出される。これにより、ソース 14 およびドレイン 16 が安定となる。実施例 6 およびその変形例を、実施例 2 から実施例 5 の電子回路に用いることもできる。ソース 14 と piezo 抵抗体 10 との間、およびドレイン 16 と piezo 抵抗体 10 との間に金属コンタクト層が設けられていても、金属コンタクト層のヤング率が小さければ、圧電体 12 から piezo 抵抗体 10 への圧力印加の妨げにはならない。

【 0098 】

比較例 1 では、ソース 14 およびドレイン 16 がこの順番で積層されているため、ソース 14 をドレイン 16 とするとゲートバイアスが変わる。このため、ソース 14 とドレイン 16 とを入れ替えると、P E T の特性が変わってしまう。

【 0099 】

実施例 1 および 6 およびその変形例によれば、ソース 14 とゲート 18 との間、およびドレイン 16 とゲート 18 との間の電圧は、ソース 14 とドレイン 16 を入れ替えても同じである。また、ソース 14 とドレイン 16 の形状をほぼ等価にできる。このため、ソース 14 とドレイン 16 を入れ替えても、特性は変化しない。このために、ソース 14 とド

10

20

30

40

50

レイン 16 とを、 piezo 抵抗体 10 におけるソース 14 とドレイン 16 との中間の面に対してほぼ対称な構造にすることが好ましく、また、 piezo 抵抗体 10、圧電体 12 およびゲート 18 を、それぞれ piezo 抵抗体 10 におけるソース 14 とドレイン 16 との中間の面に対してほぼ対称な構造とすることが好ましい。また、 および S を向上させるため面積  $a_{PR}$  を  $A_{PE}$  より小さくする等の理由により、面積  $a_{PR}$  と  $A_{PE}$  とを異ならせても、以上の特徴は保たれる。よって、ソース 14 とドレイン 16 とを入れ替えても、PET の特性はほとんど変化しない。

#### 【実施例 7】

##### 【0100】

実施例 7 は、PET の別の例である。図 20 (a) は、実施例 7 に係るトランジスタの斜視断面図、図 20 (b) および図 20 (c) は、断面図である。piezo 抵抗体 10、14 および 16 内の破線は、上部 10 a、14 a および 16 a と、支持部 10 b、14 b、および 16 b と、を仮想的に分ける線である。図 20 (a) から図 20 (c) に示すように、ソース 14 からドレイン 16 方向を Y 方向、基板 25 の面方向で Y 方向に直交する方向を X 方向、基板 25 の法線方向を Z 方向とする。

10

##### 【0101】

piezo 抵抗体 10、ソース 14 およびドレイン 16 は基板 25 上に形成されている。piezo 抵抗体 10 は、上部 10 a と支持部 10 b を備える。上部 10 a は半円筒状である。piezo 抵抗体 10 の Y 方向の両端にはソース 14 とドレイン 16 とが設けられている。ソース 14 は、piezo 抵抗体 10 の上部 10 a に相当する上部 14 a と、piezo 抵抗体 10 の支持部 10 b の相当する支持部 16 a を備える。ドレイン 16 は、piezo 抵抗体 10 の上部 10 a に相当する上部 16 a と、piezo 抵抗体 10 の支持部 10 b の相当する支持部 16 b を備える。支持部 10 b、14 b および 16 b は、それぞれ上部 10 a、14 a および 16 a を支持する。キャリアは piezo 抵抗体 10 内を Y 方向に伝導する。ソース 14 と piezo 抵抗体 10 との間には金属コンタクト層 15 が設けられ、ドレイン 16 と piezo 抵抗体 10 との間には金属コンタクト層 17 が設けられている。圧電体 12 が piezo 抵抗体 10 を囲むように設けられている。圧電体 12 の周りにゲート 18 が設けられている。

20

##### 【0102】

実施例 7 の第 1 型トランジスタにおける圧電体 12 の分極方向 22 は、ゲート 18 から piezo 抵抗体 10 の方向である。第 2 型トランジスタにおける圧電体 12 の分極方向 22 は、図 20 (a) から図 20 (c) の矢印 22 と逆方向であり、piezo 抵抗体 10 からゲート 18 の方向である。支持部 10 b を覆う圧電体 12 の分極方向は図示を省略している。その他の構成は実施例 1 と同じであり、説明を省略する。

30

##### 【0103】

図 21 (a) は、実施例 7 の変形例 1 に係るトランジスタの斜視断面図、図 21 (b) は、断面図である。図 21 (a) および図 21 (b) に示すように、金属コンタクト層 15 および 17 は設けられておらず、ソース 14 およびドレイン 16 が直接 piezo 抵抗体 10 に接触する。ソース 14 およびドレイン 16 が圧電体 12 に接触している。その他の構成は実施例 7 と同じであり説明を省略する。

##### 【0104】

図 22 (a) は、実施例 7 の変形例 2 に係るトランジスタの斜視断面図、図 22 (b) および図 22 (c) は、断面図である。図 22 (a) から図 22 (c) に示すように、ゲート 18 a および 18 b は圧電体 12 の Y 方向の両側に設けられている。圧電体 12 の分極方向 22 は、- Y 方向または Y 方向である。その他の構成は、実施例 7 の変形例 1 と同じであり説明を省略する。なお、実施例 7 と同様に金属コンタクト層 15 および 17 を設けてもよい。また、ソース 14 およびドレイン 16 は圧電体 12 に接触していてもよい。このとき、ソース 14 およびドレイン 16 とゲート 18 a および 18 b とは接触しないようにする。

40

##### 【0105】

図 23 は、実施例 7 の変形例 3 に係るトランジスタの断面図である。図 23 に示すよう

50

に、支持部 10 b の断面形状が台形状となっている。その他の構成は実施例 7 およびその変形例 1 および 2 と同じであり説明を省略する。

【0106】

実施例 7 およびその変形例のように、圧電体 12 は、キャリアの伝導方向 (Y 方向) に直交する方向の一部の方向から piezo 抵抗体 10 を囲むように設けられていてもよい。実施例 1 のように、圧電体 12 は、キャリアの伝導方向に直交する方向の全ての方向から piezo 抵抗体 10 を囲むように設けられている場合に比べ、piezo 抵抗体 10 および圧電体 12 の形成が容易となる。

【0107】

基板 25 上に piezo 抵抗体 10 の上部 10 a のみ形成したのでは、圧電体 12 の圧力が piezo 抵抗体 10 に効率的に加わらない。そこで、上部 10 a を支持する支持部 10 b (支持体) を設ける。piezo 抵抗体 10 の上面は曲面であり、圧電体 12 を、piezo 抵抗体 10 の上部 10 a の上面および支持部 10 b の側面を囲むように形成する。これにより、上部 10 a に効率的に圧力が加わる。上部 10 a の XZ 断面形状が半円の場合を例に説明したが、上部 10 a の XZ 断面形状は、半楕円形状、円の一部、または楕円の一部、マッシュルーム形状等でもよい。支持部 10 b は、piezo 抵抗体 10 でなくともよい。piezo 抵抗体 10 に圧力を効率的に加えるため、支持部 10 b のヤング率およびポアソン比は piezo 抵抗体 10 と同じ程度であることが好ましい。このため、支持部 10 b の材料は piezo 抵抗体 10 の材料と同じことが好ましい。また、支持部 10 b の材料は piezo 抵抗体 10 の材料と異なってもよい。

【0108】

また、支持部 14 b および 16 b は、それぞれソース 14 およびドレイン 16 でなくともよい。支持部 14 b および 16 b が圧電体 12 と接触している場合、支持部 14 b および 16 b は、ヤング率の小さい材料が好ましい。製造工程の効率性の観点から支持部 14 b および 16 b は、ソース 14 およびドレイン 16 と同じ材料であることが好ましい。金属コンタクト層 15 および 17 を設ける場合には、金属コンタクト層 15 および 17 は、上部 10 a と 14 a との間、および上部 10 a と 16 a との間に形成されていなければならない。ゲート電極 18 または、圧電体 12 およびゲート電極 18 は、基板 25 への電気伝導を生じないように、基板 25 から離して設けることが好ましい。支持部 10 b、14 b および 16 b を、上部 10 a、14 a および 16 a のそれぞれと異なる材料とする場合、例えば、基板 25 の上面を加工して支持部 10 b、14 b および 16 b としてもよい。すなわち、支持部 10 b、14 b および 16 b の材料は基板 25 の材料と同じでもよい。

【0109】

支持部 10 b の高さがゼロまたは低いと、上部 10 a に効率的に圧力が加わらない。支持部 10 b の高さは、piezo 抵抗体の上部 10 a 幅と同じかそれより大きいことが好ましい。

【0110】

実施例 7 および実施例 7 の変形例 1 のように、圧電体 12 の分極方向 22 を圧電体 12 が piezo 抵抗体 10 を囲む方向またはその反対方向 (例えば圧電体 12 と piezo 抵抗体 10 の界面の法線方向およびその反対方向) としてもよい。この場合、実施例 1 の図 3 (a) から図 4 (b) と同様に動作する。実施例 7 の変形例 2 のように、圧電体 12 の分極方向 22 をキャリアの伝搬方向またはその反対方向としてもよい。この場合、実施例 1 の変形例の図 5 (a) から図 5 (f) と同様に動作する。また、金属コンタクト層 15 および 17 は設けてもよいし設けなくともよい。さらに、実施例 7 およびその変形例におけるトランジスタの各材料は実施例 1 と同じものを用いることができる。基板 25 は、例えばシリコン基板とすることができる。実施例 2 から 5 およびその変形例の電子回路に、実施例 7 およびその変形例のトランジスタを用いることができる。

【0111】

図 7 (a) から図 11 (b) におけるシミュレーションでは、piezo 抵抗体 10 内の圧力分布が概ね一様とみなしている。これは、piezo 抵抗体 10 のチャンネル長が短い場合、

または、実施例 1 の変形例および実施例 7 の変形例 2 において成立する。このシミュレーションをシミュレーション 1 とする。しかしながら、実施例 1 および実施例 7 およびその変形例 1 において、例えばチャネル長をある程度以上に長くすると、ピエゾ抵抗体 10 に圧力がグラジアルに加わる。そこで、図 6 ( a ) の構造を用い、ピエゾ抵抗体 10 に加わる圧力がグラジアルとしてシミュレーションを行なった。このシミュレーションをシミュレーション 2 とする。各シミュレーションは、ピエゾ抵抗体 10 のうち上部 10 a の実効的断面積を用いることにより、実施例 7 に適用できる。

#### 【 0 1 1 2 】

図 2 4 ( a ) は、シミュレーション 2 を用いたドレイン特性を示す図であり、図 2 4 ( b ) は、シミュレーション 1 と 2 を比較したドレイン特性を示す図である。  $l_{PR} = 3 \text{ nm}$ 、  $L_{PE} = 40 \text{ nm}$ 、  $h_{PR} = 12 \text{ nm}$ 、  $H_{PE} = 30 \text{ nm}$  および  $a_{PR} / A_{PE} = 0.4$  とした。ゲート電圧  $V_G$  は矢印方向に 0 V から 0.2 V まで 0.02 V ステップである。図 2 4 ( a ) に示すように、ドレイン電圧  $V_D$  が高くなると、ドレイン電流  $I_D$  は飽和する。

10

#### 【 0 1 1 3 】

図 2 4 ( b ) に示すように、低ドレイン電圧  $V_D$  においては、シミュレーション 1 と 2 はほぼ一致している。しかし、ドレイン電圧  $V_D$  が高くなると、シミュレーション 1 では、ドレイン電流  $I_D$  は飽和しない。シミュレーション 2 では、ドレイン電流  $I_D$  は飽和する。このように、実施例 1 および 7 では、ドレイン電流  $I_D$  が飽和する可能性がある。実施例 1 の変形例、実施例 7 の変形例 2 および比較例 1 のような構造ではドレイン電流  $I_D$  は飽和しない。また、実施例 6 およびその変形例においてもドレイン電流  $I_D$  が飽和する可能性がある。

20

#### 【 0 1 1 4 】

次に、実施例 5 の図 1 7 ( a ) および図 1 7 ( b ) のようなインバータ回路 9 1 の P E T 9 7 a および 9 7 b として、実施例 7 のトランジスタを用いた場合について、伝達特性をシミュレーションした。図 2 5 は、インバータ回路の伝達特性を示す図である。図 2 5 に示すように、シミュレーション 2 ではシミュレーション 1 に比べ入力電圧  $V_{in}$  の変化に対し、出力電圧  $V_{out}$  が急峻に変化する。

#### 【 0 1 1 5 】

図 2 5 を用い、インバータ回路 9 1 をループ状に接続した双安定回路におけるバタフライカーブをシミュレーションした。図 2 6 ( a ) および図 2 6 ( b ) は、それぞれシミュレーション 1 および 2 における双安定回路のバタフライカーブを示す図であり、ノード Q の電圧  $V_Q$  に対するノード Q B の電圧  $V_{QB}$  を示す図である。破線は、バタフライカーブの開口に入る最大の正方形を示す。この正方形の一辺の長さがノイズマージンとなる。図 2 6 ( a ) に示すように、シミュレーション 1 のようにドレイン電流が飽和しない場合、ノイズマージンは約 55 mV である。図 2 6 ( b ) に示すように、シミュレーション 2 のようにドレイン電流が飽和する場合、ノイズマージンは約 77 mV である。このシミュレーションの例では、ドレイン電流が飽和する場合のノイズマージンは、ドレイン電流が飽和しない場合の 1.4 倍となる。

30

#### 【 0 1 1 6 】

実施例 1 および 7 のように、圧電体 12 の分極方向を、ピエゾ抵抗体 10 からゲート 18 に向かう方向またはゲート 18 からピエゾ抵抗体 10 に向かう方向とする。これにより、シミュレーション 2 のように、ドレイン電流を飽和させることができる。よって、図 2 6 ( b ) のように、ノイズマージンを大きくすることができる。

40

#### 【 実施例 8 】

#### 【 0 1 1 7 】

図 2 7 は、実施例 8 に係る電子回路のブロック図である。電子回路は、マイクロプロセッサ 110 は、パワーマネージメントユニット 112、不揮発性 S R A M アレイ 114 およびパワードメイン 116 を有している。不揮発性 S R A M アレイ 114 は、パワースイッチ 120 を有している。パワードメイン 116 は、パワースイッチ 120 および不揮発

50

性フリップフロップ 118 を有している。パワーマネジメントユニット 112 は、不揮発性 S R A M アレイ 114 およびパワードメイン 116 のパワースイッチ 120 を用い、不揮発性 S R A M アレイ 114 およびパワードメイン 116 に供給される電源を遮断または低減することができる。

【0118】

不揮発性 S R A M アレイ 114 に、実施例 3 または 4 において説明したメモリセルを用いることができる。これにより、不揮発性 S R A M アレイ 114 を低電圧で駆動可能となる。さらに、例えば電源遮断を行なうときには、不揮発記憶も可能となる。実施例 3 の変形例において説明したフリップフロップ回路をパワードメイン 116 内の不揮発性フリップフロップ 118 として用いることができる。これにより、不揮発性フリップフロップ 118 を低い電圧で駆動可能となる。さらに、例えば電源遮断を行なうときには、不揮発記憶も可能となる。パワードメイン 116 内の論理回路として、実施例 5 において説明した論理回路を用いることができる。これにより、低電圧駆動が可能で、さらに、一般の C M O S 回路に比べて高速に動作が可能となる。実施例 2 において説明したパワースイッチをパワースイッチ 120 として用いることができる。これにより、パワースイッチ 120 による電圧降下を低く抑えることができる。以上により、より理想に近い低電圧駆動ロジックシステムの不揮発性パワーゲーティングが可能となる。

10

【0119】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

20

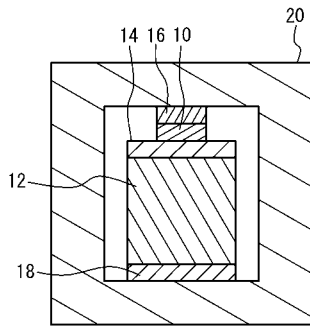
【符号の説明】

【0120】

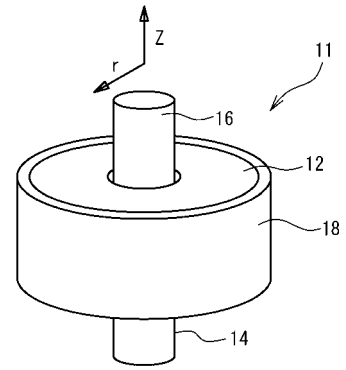
10	piezoelectric body
10a	upper part
10b	support part
12	piezoelectric body
14	source
16	drain
18	gate
22	direction of induced electric charge
30、90	PET
32	circuit
80	non-volatile element

30

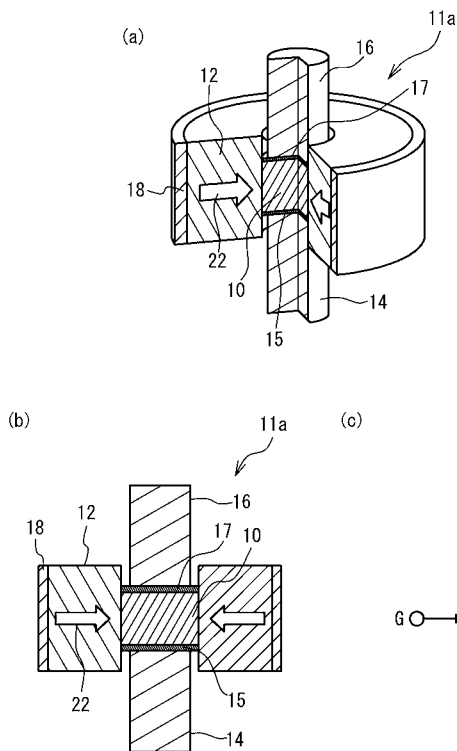
【 図 1 】



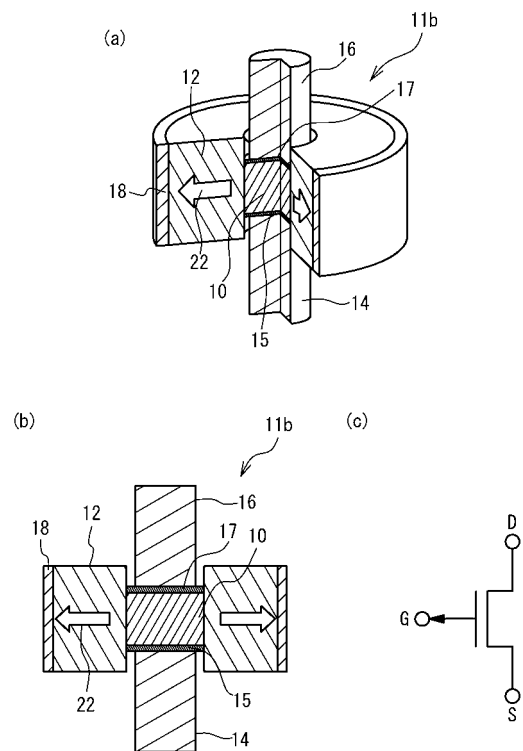
【 図 2 】



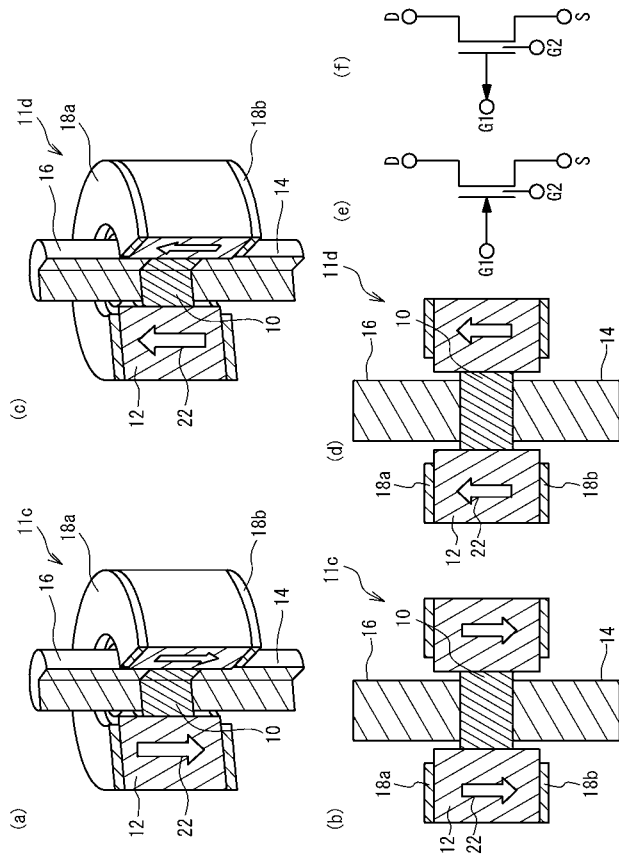
【 図 3 】



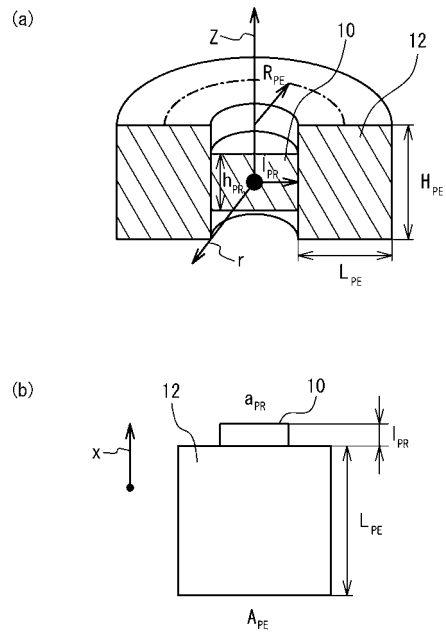
【 図 4 】



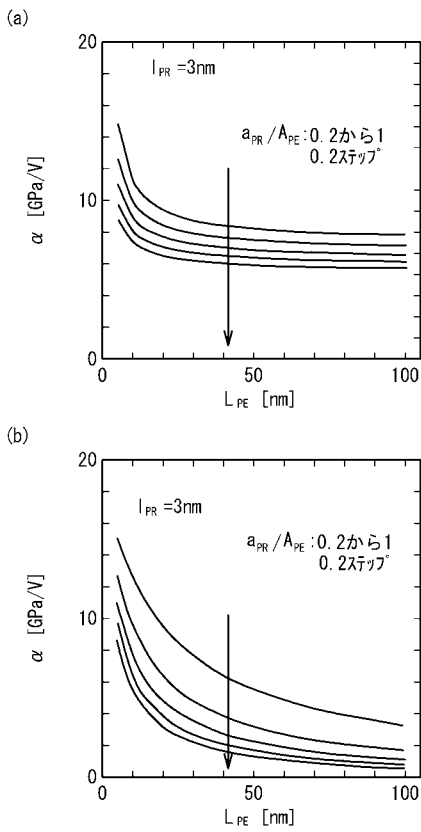
【 図 5 】



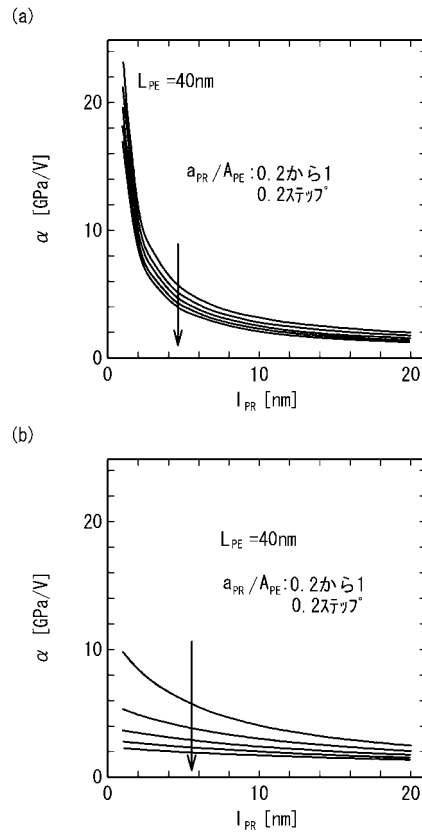
【 図 6 】



【 図 7 】

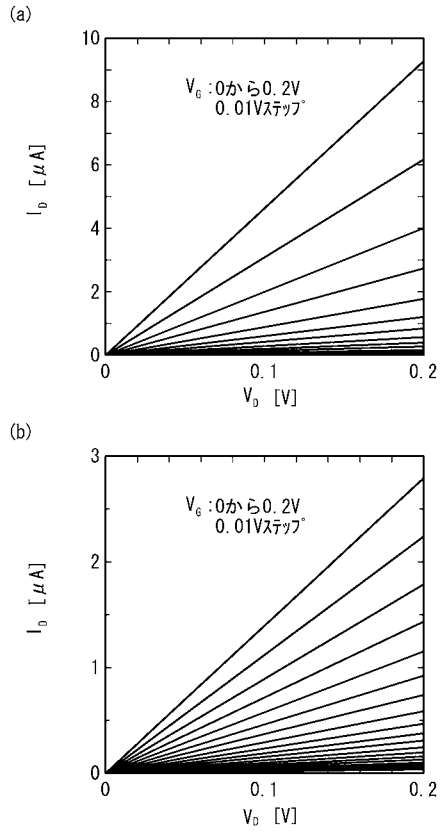


【 図 8 】

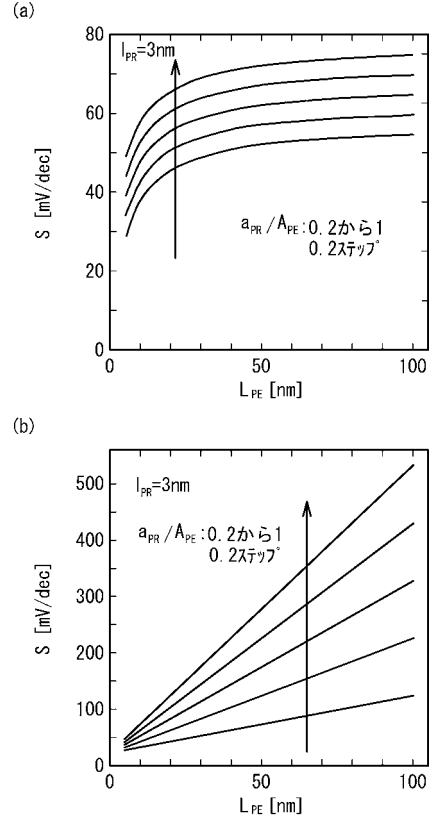




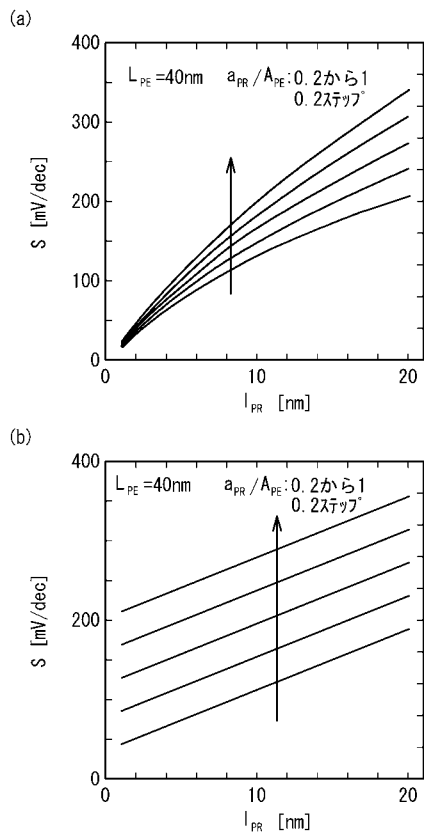
【 図 9 】



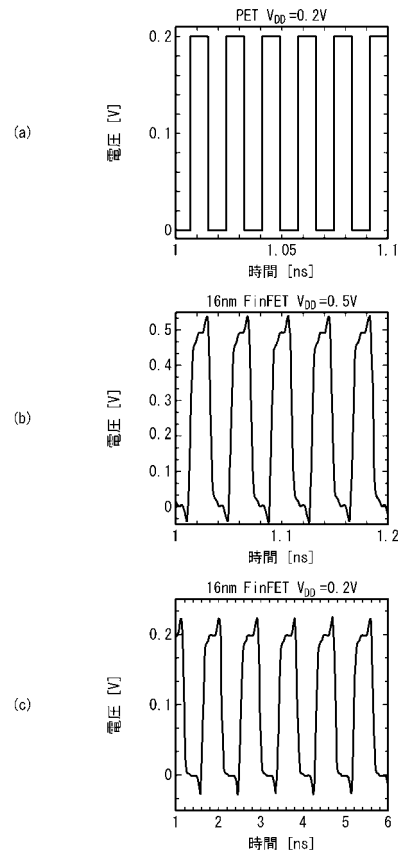
【 図 1 0 】



【 図 1 1 】

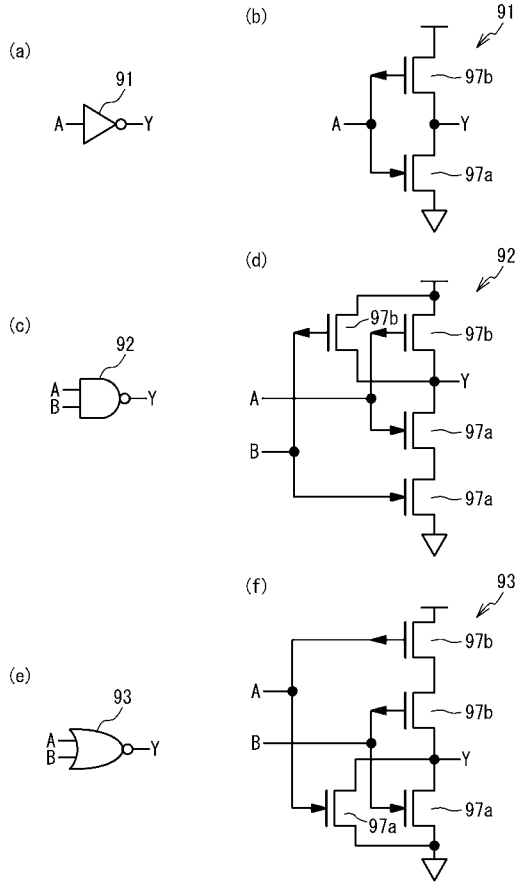


【 図 1 2 】

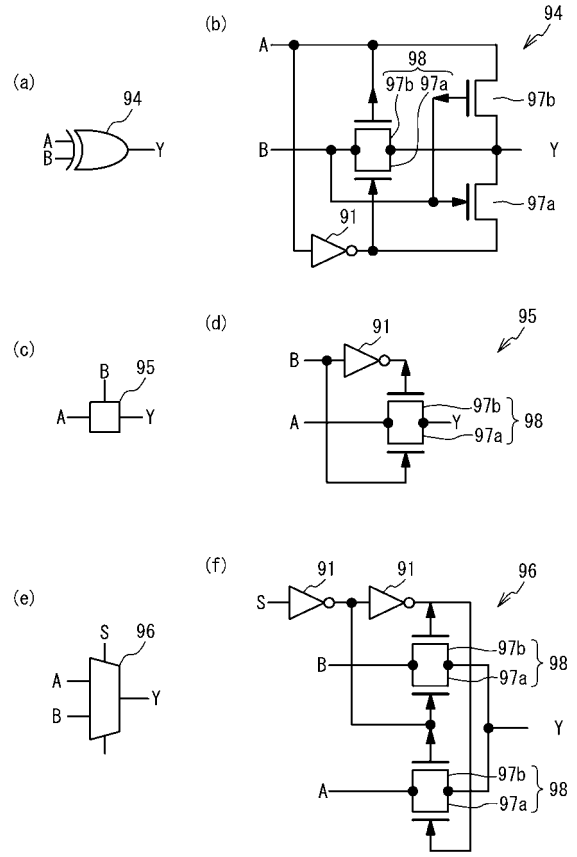




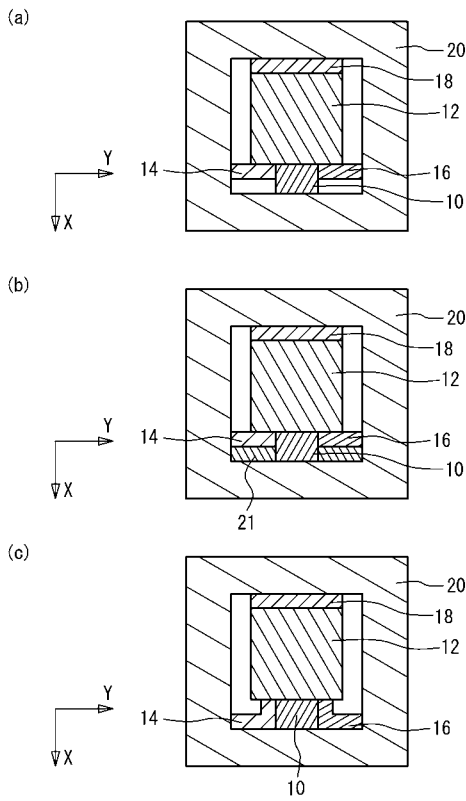
【 図 1 7 】



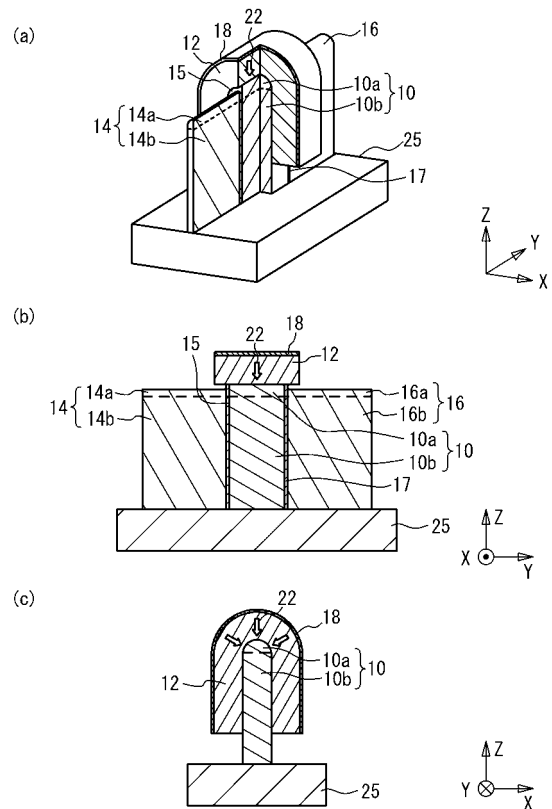
【 図 1 8 】



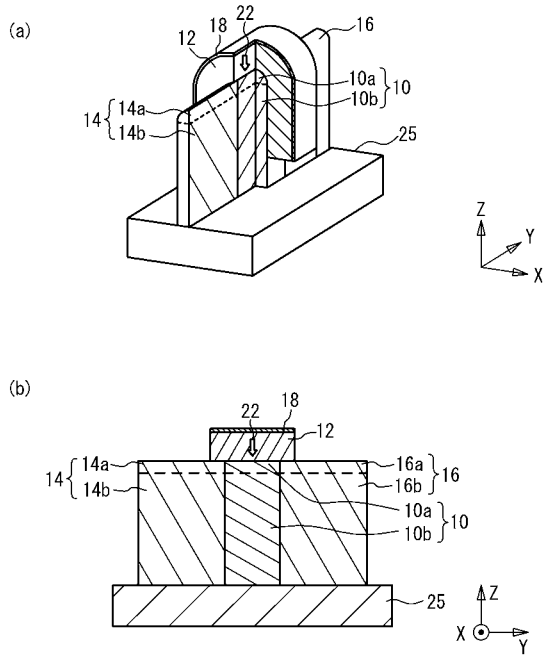
【 図 1 9 】



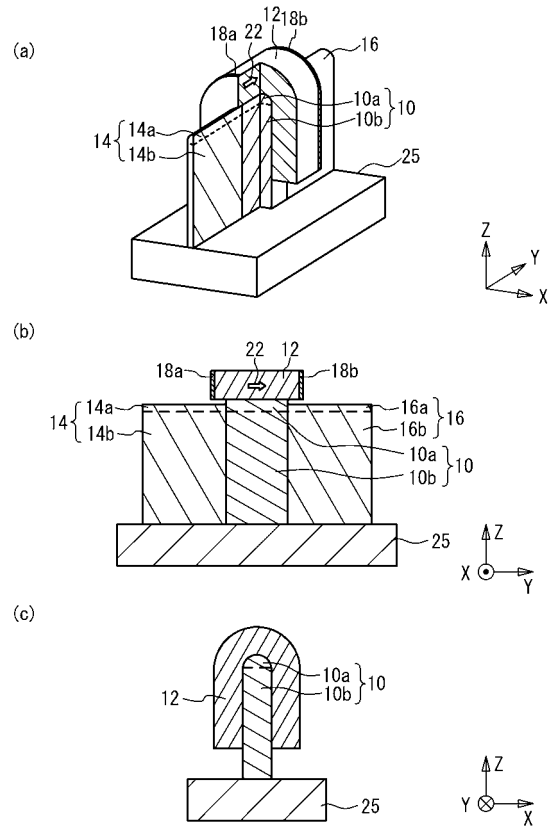
【 図 2 0 】



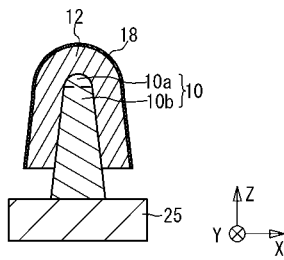
【 図 2 1 】



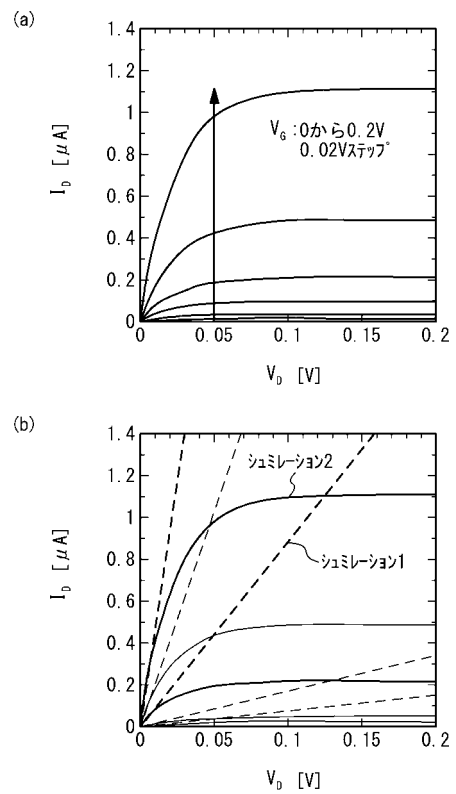
【 図 2 2 】



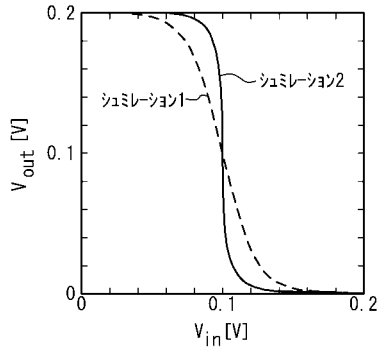
【 図 2 3 】



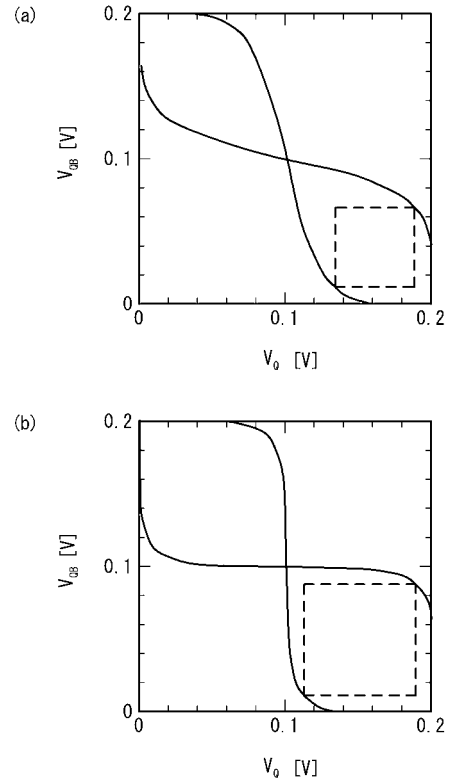
【 図 2 4 】



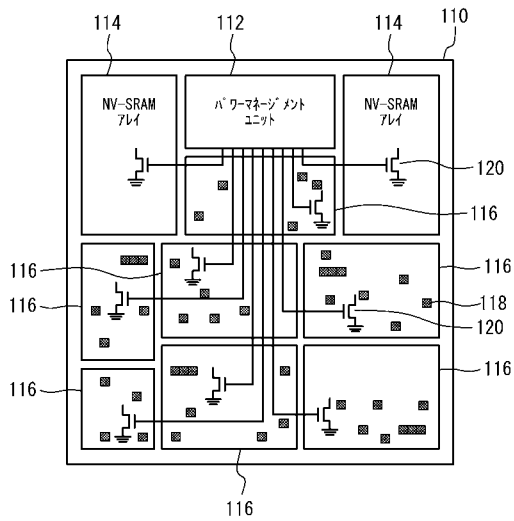
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2015/056694
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L45/00(2006.01)i, G11C11/15(2006.01)i, G11C13/00(2006.01)i, H03K3/356(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L45/00, G11C11/15, G11C13/00, H03K3/356  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Satoshi SUGAHARA et al., "Piezoelectronic Transistor and Its Logic Applications", <Dai 61 Kai> JSAP Spring Meeting Koen Yokoshu, 03 March 2014 (03.03.2014), page 090	1-16
A	JP 2007-317729 A (Sharp Corp.), 06 December 2007 (06.12.2007), entire text; all drawings & US 2007/0272969 A1	1-16
A	US 2010/0328984 A1 (INTERNATIONAL BUSINESS MACHINES CORP.), 30 December 2010 (30.12.2010), entire text; all drawings (Family: none)	1-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 April 2015 (28.04.15)		Date of mailing of the international search report 19 May 2015 (19.05.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/056694

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0133603 A1 (INTERNATIONAL BUSINESS MACHINES CORP.), 09 June 2011 (09.06.2011), entire text; all drawings & US 2012/0270353 A1 & GB 2485749 A & WO 2011/069920 A1 & DE 112010004700 T5 & CN 102640314 A	1-16

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 5 6 6 9 4	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L45/00(2006.01)i, G11C11/15(2006.01)i, G11C13/00(2006.01)i, H03K3/356(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L45/00, G11C11/15, G11C13/00, H03K3/356			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	菅原聡 他2名, ピエゾエレクトロニクストランジスタとそのロジック応用 Piezoelectronic Transistor and Its Logic Applications, <第61回>応用物理学会春季学術講演会 講演予稿集, 2014.03.03, p. 090	1-16	
A	JP 2007-317729 A (シャープ株式会社) 2007.12.06, 全文, 全図 & US 2007/0272969 A1	1-16	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 28.04.2015		国際調査報告の発送日 19.05.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 上田 智志	5 F 3664
		電話番号 03-3581-1101 内線 3514	



国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 5 6 6 9 4
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2010/0328984 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2010.12.30, 全文, 全図 (ファミリーなし)	1-16
A	US 2011/0133603 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2011.06.09, 全文, 全図 & US 2012/0270353 A1 & GB 2485749 A & WO 2011/069920 A1 & DE 112010004700 T5 & CN 102640314 A	1-16

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 山本 修一郎

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

(72)発明者 菅原 聡

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

Fターム(参考) 5J034 AB03 AB15 CB01 DB03

5J056 AA00 AA03 BB17 CC03 CC14 DD01 HH00 KK02 KK03

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。