

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6352243号
(P6352243)

(45) 発行日 平成30年7月4日(2018.7.4)

(24) 登録日 平成30年6月15日(2018.6.15)

(51) Int.Cl.		F I			
HO 1 L 29/66	(2006.01)	HO 1 L	29/66	S	
HO 1 L 29/06	(2006.01)	HO 1 L	29/06	GO 1 B	

請求項の数 10 (全 29 頁)

(21) 出願番号	特願2015-505448 (P2015-505448)	(73) 特許権者	503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86) (22) 出願日	平成26年3月9日(2014.3.9)	(74) 代理人	100082876 弁理士 平山 一幸
(86) 国際出願番号	PCT/JP2014/056079	(72) 発明者	真島 豊 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(87) 国際公開番号	W02014/142039	(72) 発明者	寺西 利治 京都府宇治市五ヶ庄 国立大学法人京都大学内
(87) 国際公開日	平成26年9月18日(2014.9.18)	(72) 発明者	松本 和彦 大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内
審査請求日	平成29年3月8日(2017.3.8)		
(31) 優先権主張番号	特願2013-47421 (P2013-47421)		
(32) 優先日	平成25年3月9日(2013.3.9)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 論理演算素子

(57) 【特許請求の範囲】

【請求項1】

ボトムゲート電極となる領域の部分の厚みが高く、導電性を有する基板と、前記基板上に設けられ前記基板の表面を平坦化する絶縁層と、ナノギャップを有するように前記絶縁層上に設けられた一方の電極及び他方の電極と、前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、前記ボトムゲート電極を含む、前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、

を備え、

前記金属ナノ粒子と前記一方の電極との間、前記金属ナノ粒子と前記他方の電極との間には単分子膜が存在し、

前記複数のゲート電極のうち三つ以上のゲート電極に「0」、「1」の何れかに相当する電圧が印加され、前記三つ以上のゲート電極への各入力に従って前記金属ナノ粒子の電荷が変化して論理演算が行われ、前記一方の電極と前記他方の電極との間に流れる電流が「0」、「1」の何れかに相当する値に制御される、論理演算素子。

【請求項2】

前記複数のゲート電極がサイドゲート電極とトップゲート電極を含み、前記トップゲート電極の配設方向が、前記一方の電極と前記他方の電極との配設方向、前記サイドゲート電極の配設方向の何れかの方向とも異なる、請求項1に記載の論理演算素子。

10

20

【請求項 3】

ナノギャップを有するように設けられた一方の電極及び他方の電極と、
前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、
サイドゲート電極とトップゲート電極を含む、前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、
を備え、

前記トップゲート電極の配設方向が、前記一方の電極と前記他方の電極との配設方向、
前記サイドゲート電極の配設方向の何れかの方向とも異なり、

前記金属ナノ粒子と前記一方の電極との間、前記金属ナノ粒子と前記他方の電極との間
には単分子膜が存在し、

前記複数のゲート電極のうち三つ以上のゲート電極に「0」、「1」の何れかに相当する
電圧が印加され、前記三つ以上のゲート電極への各入力に従って前記金属ナノ粒子の電
荷が変化して論理演算が行われ、前記一方の電極と前記他方の電極との間に流れる電流が
「0」、「1」の何れかに相当する値に制御される、論理演算素子。

10

【請求項 4】

ナノギャップを有するように設けられた一方の電極及び他方の電極と、
前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、
前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、
を備え、

前記金属ナノ粒子と前記一方の電極との間、前記金属ナノ粒子と前記他方の電極との間
には単分子膜が存在し、

前記複数のゲート電極のうち三つ以上のゲート電極に印加される電圧の High と Low
の入力に相当する電位差として、一周期分のクーロンオシレーションにおけるピーク電
流を与えるゲート電圧と隣のピーク電流を与えるゲート電圧の電圧差 V を三等分又は四
等分した或る一つの電圧区間の両端に相当する値が設定されることにより、前記複数のゲ
ート電極のうち三つ以上のゲート電極に「0」、「1」の何れかに相当する電圧が印加さ
れ、前記三つ以上のゲート電極への各入力に従って前記金属ナノ粒子の電荷が変化して論
理演算が行われ、前記一方の電極と前記他方の電極との間に流れる電流が「0」、「1」
の何れかに相当する値に制御される、論理演算素子。

20

【請求項 5】

前記一方の電極、前記他方の電極及び前記サイドゲート電極が第 1 絶縁層である前記絶
縁層上に設けられ、

第 2 絶縁層が前記第 1 絶縁層上において、前記一方の電極、前記他方の電極、前記サイ
ドゲート電極、前記単分子膜及び前記金属ナノ粒子を埋設するように設けられ、

前記トップゲート電極が、前記第 2 絶縁層上で前記金属ナノ粒子の上に設けられている
、請求項 2 に記載の論理演算素子。

30

【請求項 6】

基板上に第 1 絶縁層が設けられ、

前記一方の電極、前記他方の電極及び前記サイドゲート電極が前記第 1 絶縁層上に設け
られ、

第 2 絶縁層が前記第 1 絶縁層上において、前記一方の電極、前記他方の電極、前記サイ
ドゲート電極、前記単分子膜及び前記金属ナノ粒子を埋設するように設けられ、

前記トップゲート電極が、前記第 2 絶縁層上で前記金属ナノ粒子の上に設けられてい
る、請求項 3 に記載の論理演算素子。

40

【請求項 7】

前記ボトムゲート電極が存在する面と、前記サイドゲート電極が存在する面と、前記ト
ップゲート電極が存在する面とが、上下方向に分離されており、

前記金属ナノ粒子及び前記単分子膜が前記ボトムゲート電極上で前記トップゲート電極
下であって絶縁層に埋設するように設けられている、請求項 2 に記載の論理演算素子。

【請求項 8】

50

前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に前記金属ナノ粒子を介して流れる電流の出力との関係が、X O R 又は X N O R となる、請求項 1、3 又は 4 に記載の論理演算素子。

【請求項 9】

前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に流れる電流の出力が、下記の全ての関係を有する、請求項 1、3 又は 4 に記載の論理演算素子。

第 1 の関係:三つのゲート電極に何れも、「0」に相当する電圧、「1」に相当する電圧の何れかが印加されたとき、「1」に相当する電流が出力される関係。

第 2 の関係:三つのゲート電極に何れも、「0」に相当する電圧、「1」に相当する電圧の何れかが印加されたとき、「0」に相当する電流が出力される関係。

第 3 の関係:三つのゲート電極のうち、二つ又は三つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 4 の関係:三つのゲート電極のうち、二つ又は三つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 5 の関係:三つのゲート電極のうち、二つ若しくは三つのゲート電極に「1」に相当する電圧が印加されたとき、又は何れのゲート電極にも「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 6 の関係:三つのゲート電極のうち、一つ若しくは三つのゲート電極に「1」に相当する電圧が印加されたとき、又は何れのゲート電極にも「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 7 の関係:三つのゲート電極のうち、一つ又は二つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

【請求項 10】

前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に流れる電流の出力が、下記の全ての関係を有する、請求項 1、3 又は 4 に記載の論理演算素子。

第 1 の関係:四つのゲート電極のうち、奇数個のゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 2 の関係:四つのゲート電極のうち、偶数個のゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 3 の関係:四つのゲート電極のうち、一つ又は二つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 4 の関係:四つのゲート電極のうち、一つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 5 の関係:四つのゲート電極のうち三つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 6 の関係:四つのゲート電極のうち、二つ又は三つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 7 の関係:四つのゲート電極のうち、一つ、二つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 8 の関係:四つのゲート電極のうち、一つ、三つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第 9 の関係:四つのゲート電極のうち、二つ又は三つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三以上のゲートを備えた論理演算素子に関する。

【背景技術】

【0002】

本発明者らは、単電子トランジスタの製造技術の確立のために、単電子デバイスにおけるクーロン島として金ナノ粒子に注目し、STM (Scanning Tunneling Microscope) を用いて1.8 nmの粒径の金ナノ粒子が常温でクーロン島として機能していることを明らかにしてきた。また、固体基板上へ電子デバイスの構築に向けて、無電解メッキを用いて5 nmのギャップ長を有するナノギャップ電極を一度に高歩留まりで作製する技術を確認してきた。さらに、ナノギャップ電極間に金ナノ粒子を化学吸着法により導入した単電子トランジスタの動作について報告してきた(非特許文献1乃至6)。

10

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】S. Kano, Y. Azuma, M. Kanehara, T. Teranishi, Y. Majima, Appl. Phys. Express, 3, 105003 (2010)

【非特許文献2】Y. Yasutake, K. Kono, M. Kanehara, T. Teranishi, M. R. Buitelaar, C. G. Smith, Y. Majima, Appl. Phys. Lett., 91, 203107 (2007)

20

【非特許文献3】Victor M. Serdio V., Yasuo Azuma, Shuhei Takeshita, Taro Muraki, Toshiharu Teranishi and Yutaka Majima, Nanoscale, 4, 7161 (2012)

【非特許文献4】N. Okabayashi, K. Maeda, T. Muraki, D. Tanaka, M. Sakamoto, T. Teranishi, Y. Majima, Appl. Phys. Lett., 100, 033101 (2012)

【非特許文献5】Kosuke Maeda, Norio Okabayashi, Shinya Kano, Shuhei Takeshita, Daisuke Tanaka, Masanori Sakamoto, Toshiharu Teranishi, and Yutaka Majima, ACS Nano, 6, 2798 (2012)

【非特許文献6】猪川洋、藤原聡、高橋庸夫、信学技報、ED2001-241、SDM2001-250、15-20頁

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

しかしながら、このような単電子トランジスタを用いた3入力以上の論理演算素子については未だ実現されていない。

【0005】

そこで、本発明の目的は、上記課題に鑑み、3入力以上の論理演算を一つのユニークなデバイスで実現することができる論理演算素子を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明は次の構成を採用する。

40

[1] ボトムゲート電極となる領域の部分の厚みが高く、導電性を有する基板と、前記基板上に設けられ前記基板を平坦化する絶縁層と、ナノギャップを有するように前記絶縁層上に設けられた一方の電極及び他方の電極と、前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、前記ボトムゲート電極を含む、前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、を備え、

前記金属ナノ粒子と前記一方の電極との間、前記金属ナノ粒子と前記他方の電極との間には単分子膜が存在し、

前記複数のゲート電極のうち三つ以上のゲート電極に「0」、「1」の何れかに相当す

50

る電圧が印加され、前記三つ以上のゲート電極への各入力に従って前記金属ナノ粒子の電荷が変化して論理演算が行われ、前記一方の電極と前記他方の電極との間に流れる電流が「0」、「1」の何れかに相当する値に制御される、論理演算素子。

[2] 前記複数のゲート電極がサイドゲート電極とトップゲート電極を含み、前記トップゲート電極の配設方向が、前記一方の電極と前記他方の電極との配設方向、前記サイドゲート電極の配設方向の何れの方向とも異なる、前記[1]に記載の論理演算素子。

[3] ナノギャップを有するように設けられた一方の電極及び他方の電極と、前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、サイドゲート電極とトップゲート電極を含む、前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、

を備え、前記トップゲート電極の配設方向が、前記一方の電極と前記他方の電極との配設方向、前記サイドゲート電極の配設方向の何れの方向とも異なり、前記金属ナノ粒子と前記一方の電極との間、前記金属ナノ粒子と前記他方の電極との間には単分子膜が存在し、

前記複数のゲート電極のうち三つ以上のゲート電極に「0」、「1」の何れかに相当する電圧が印加され、前記三つ以上のゲート電極への各入力に従って前記金属ナノ粒子の電荷が変化して論理演算が行われ、前記一方の電極と前記他方の電極との間に流れる電流が「0」、「1」の何れかに相当する値に制御される、論理演算素子。

[4] ナノギャップを有するように設けられた一方の電極及び他方の電極と、前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、

を備え、前記金属ナノ粒子と前記一方の電極との間、前記金属ナノ粒子と前記他方の電極との間には単分子膜が存在し、

前記複数のゲート電極のうち三つ以上のゲート電極に印加される電圧のHighとLowの入力に相当する電位差として、一周分分のクーロンオシレーションにおけるピーク電流を与えるゲート電圧と隣のピーク電流を与えるゲート電圧の電圧差 V を三等分又は四等分した或る一つの電圧区間の両端に相当する値が設定されていることにより、前記複数のゲート電極のうち三つ以上のゲート電極に「0」、「1」の何れかに相当する電圧が印加され、前記三つ以上のゲート電極への各入力に従って前記金属ナノ粒子の電荷が変化して論理演算が行われ、前記一方の電極と前記他方の電極との間に流れる電流が「0」、「1」の何れかに相当する値に制御される、論理演算素子。

【0007】

[5] 前記一方の電極、前記他方の電極及び前記サイドゲート電極が第1絶縁層である前記絶縁層上に設けられ、

第2絶縁層が前記第1絶縁層上において、前記一方の電極、前記他方の電極、前記サイドゲート電極、前記単分子膜及び前記金属ナノ粒子を埋設するように設けられ、

前記トップゲート電極が、前記第2絶縁層上で前記金属ナノ粒子の上に設けられている、前記[2]に記載の論理演算素子。

[6] 基板上に第1絶縁層が設けられ、前記一方の電極、前記他方の電極及び前記サイドゲート電極が前記第1絶縁層上に設けられ、

第2絶縁層が前記第1絶縁層上において、前記一方の電極、前記他方の電極、前記サイドゲート電極、前記単分子膜及び前記金属ナノ粒子を埋設するように設けられ、

前記トップゲート電極が、前記第2絶縁層上で前記金属ナノ粒子の上に設けられている、前記[3]に記載の論理演算素子。

[7] 前記ボトムゲート電極が存在する面と、前記サイドゲート電極が存在する面と、前記トップゲート電極が存在する面とが、上下方向に分離されており、

10

20

30

40

50

前記金属ナノ粒子及び前記単分子膜が前記ボトムゲート電極上で前記トップゲート電極下であって絶縁層に埋設するように設けられている、前記[2]に記載の論理演算素子。

【0008】

[8] 前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に前記金属ナノ粒子を介して流れる電流の出力との関係が、XOR又はXNORとなる、前記[1]、[3]又は[4]に記載の論理演算素子。

[9] 前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に流れる電流の出力が、下記の全ての関係を有する、前記[1]、[3]又は[4]に記載の論理演算素子。

第1の関係:三つのゲート電極に何れも、「0」に相当する電圧、「1」に相当する電圧の何れかが印加されたとき、「1」に相当する電流が出力される関係。

10

第2の関係:三つのゲート電極に何れも、「0」に相当する電圧、「1」に相当する電圧の何れかが印加されたとき、「0」に相当する電流が出力される関係。

第3の関係:三つのゲート電極のうち、二つ又は三つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第4の関係:三つのゲート電極のうち、二つ又は三つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第5の関係:三つのゲート電極のうち、二つ若しくは三つのゲート電極に「1」に相当する電圧が印加されたとき、又は何れのゲート電極にも「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

20

第6の関係:三つのゲート電極のうち、一つ若しくは三つのゲート電極に「1」に相当する電圧が印加されたとき、又は何れのゲート電極にも「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第7の関係:三つのゲート電極のうち、一つ又は二つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

[9] 前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に流れる電流の出力が、下記の全ての関係を有する、前記[1]、[3]又は[4]に記載の論理演算素子。

第1の関係:四つのゲート電極のうち、奇数個のゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

30

第2の関係:四つのゲート電極のうち、偶数個のゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第3の関係:四つのゲート電極のうち、一つ又は二つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第4の関係:四つのゲート電極のうち、一つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第5の関係:四つのゲート電極のうち三つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

40

第6の関係:四つのゲート電極のうち、二つ又は三つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第7の関係:四つのゲート電極のうち、一つ、二つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第8の関係:四つのゲート電極のうち、一つ、三つ又は四つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき、「1」に相当する電流が出力される関係。

第9の関係:四つのゲート電極のうち、二つ又は三つのゲート電極に「1」に相当する電圧が印加されたとき、又は四つのゲート電極に「0」に相当する電圧が印加されたとき

50

、「1」に相当する電流が出力される関係。

【発明の効果】

【0009】

本発明によれば、一方の電極と他方の電極とがナノギャップを有するように設けられ、その間に金属ナノ粒子が絶縁して配置され、複数のゲート電極が金属ナノ粒子の電荷を変化させる位置に設けられるため、複数のゲート電極のうち3つ以上のゲート電極に印加される電圧に従って一方の電極と他方の電極との間に流れる電流を制御することができる。特に、三つ以上のゲート電極が、二つのサイドゲートと一つのトップゲートとで構成されている場合、または、一つのサイドゲートと一つのトップゲートと一つのボトムゲートとで構成されている場合には、ゲート電極に印加される電圧に応じて、クーロン島としての

10

金属ナノ粒子の電荷を変化させることができ、XORやXNORなどの各種の論理演算を、一つの素子で行うことができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態に係る論理演算素子の構成を示しており、(A)は断面図、(B)は平面図である。

【図2】図1とは異なる論理演算素子の断面図である。

【図3】ナノギャップ長を有する電極に対し、例えばジチオール分子を用いた化学結合による単電子島を設置する工程を模式的に示す図である。

【図4】3入力における真理値表を示し、各論理動作をさせるためのゲート電圧の設定の仕方についても併せて示した図である。

20

【図5】或るドレイン電圧において各ゲート電圧に応じて流れるドレイン電流の波形を模式的に示す図である。

【図6】ドレイン電圧 V_d と各ゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ を各値に設定したときの微分コンダクタンスを模式的に示す図である。

【図7】本発明の実施形態に係る論理演算素子の構成を示しており、(A)は断面図、(B)は平面図である。

【図8】4入力における真理値表を示し、各論理動作をさせるためのゲート電圧の設定の仕方についても併せて示した図である。

【図9】実施例1で作製した論理演算素子のSEM像を示す図である。

30

【図10】実施例1で作製したサンプルにおいて、ドレイン電圧に対するドレイン電流を示す図である。

【図11】トップゲート電圧及びドレイン電圧をそれぞれ掃引した際の微分コンダクタンスのマッピング(スタビリティダイアグラム)を示す図である。

【図12】ドレイン電圧に対するドレイン電流依存性を示す図である。

【図13】(A)は第1のサイドゲート電圧に対するドレイン電流依存性、(B)は第2のサイドゲート電圧に対するドレイン電流依存性、(C)はトップゲート電圧に対するドレイン電流依存性、(D)は第1のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス特性、(E)は第2のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス特性、(F)はトップゲート電圧とドレイン電圧を変化させた際の

40

微分コンダクタンス特性、を示す図である。
【図14】任意の二つのゲートに印加する電圧に対する微分コンダクタンス依存性を示す図であり、(A)は第1のサイドゲート電圧及び第2のサイドゲート電圧に対する微分コンダクタンス依存性、(B)は第2のゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性、(C)は第1のサイドゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性、を表す。

【図15】実施例1で作製した論理演算素子の特性を示す図である。

【図16】ドレイン電圧に対するドレイン電流依存性を示す図である。

【図17】(A)、(B)、(C)は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を、(D)、(E)、(F)はそれぞれの

50

ゲート電圧に対するクーロンダイヤモンド特性を示す図である。

【図18】(A)、(B)、(C)は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を繰り返し測定した結果を示す図である。

【図19】実施例2で作製した論理演算素子の特性を示す図である。

【図20】(A)は周波数1Hzでの論理演算素子の動作結果を示す図、(B)は周波数10Hzでの論理演算素子の動作結果を示す図である。

【符号の説明】

【0011】

1：基板

2：第1の絶縁層

3A, 3B, 4A, 4B：金属層

5A：ナノギャップ電極（一方の電極）

5B：ナノギャップ電極（他方の電極）

5C, 5D：ゲート電極（サイドゲート電極）

6, 6A, 6B：自己組織化単分子膜

7：金属ナノ粒子

7A：アルカンチオールで保護された金属ナノ粒子

71：絶縁膜

72：絶縁膜付き金属ナノ粒子

8：第2の絶縁層

9：自己組織化単分子混合膜（SAM混合膜）

9A：アルカンチオール

10：論理演算素子

11, 11B：ゲート電極（トップゲート電極）

11A：ゲート電極（ボトムゲート電極）

【発明を実施するための形態】

【0012】

以下、図面を参照しながら本発明の実施形態について説明するが、本発明は特許請求の範囲で記載した発明の範囲において適宜変更して実施することができる。

【0013】

〔論理演算素子の構造〕

図1は、本発明の実施形態に係る論理演算素子の構成を示しており、(A)は断面図、(B)は平面図である。本発明の実施形態に係る論理演算素子10は、ナノギャップを有するように配置された一方の電極5A及び他方の電極5Bと、一方の電極5A及び他方の電極5Bとの間に絶縁して配置される金属ナノ粒子7と、金属ナノ粒子7の電荷を調整するための複数のゲート電極5C, 5D, 11と、を備える。

【0014】

図1に示す具体的な形態では、基板1と、基板1上に設けた第1の絶縁層2と、第1の絶縁層2上にナノギャップ長を有するように設けた一方の電極5A及び他方の電極5Bと、一方の電極5A及び他方の電極5Bに設けた自己組織化単分子膜6と、自己組織化単分子膜6に吸着して一方の電極5Aと他方の電極5Bとの間に配置した金属ナノ粒子7と、一方の電極5A及び他方の電極5Bの配設方向と交差する方向に配設されたサイドゲート電極5C, 5Dと、第1の絶縁層2、一方の電極5A、他方の電極5B、サイドゲート電極5C, 5D上で、自己組織化単分子膜6及び金属ナノ粒子7を埋設するように設けた第2の絶縁層8と、第2の絶縁層8上に配置され、金属ナノ粒子7の上方でその真上に配置されるトップゲート電極11と、を備える。

【0015】

ここで、ナノギャップ長とは数nm、例えば0.5nm~12nmの寸法である。金属ナノ粒子7の周囲には、自己組織化単分子（SAM：Self-Assembled Monolayer）と有機分子との反応により形成された、絶縁膜としての自己組織化単分子混合膜が吸着している

10

20

30

40

50

。この第1の実施形態では、第1の絶縁層2上で、一方の電極5A及び他方の電極5Bの配設方向と交差する方向、具体的には直交する方向にゲート電極(サイドゲート電極と呼んでもよい。)5C, 5Dが設けられている。

【0016】

基板1にはSi基板など各種半導体基板が用いられ得る。第1の絶縁層2は、 SiO_2 、 Si_3N_4 、 Al_2O_3 などにより形成される。一方の電極5A及び他方の電極5Bは、Au、Al、Ag、Cu、Niなどにより形成される。一方の電極5A及び他方の電極5Bは、密着層と金属層とを順に積層することにより形成されてもよい。ここで、密着層はTi、Cr、Niなどで形成され、金属層は密着層上にAu、Al、Ag、Cu、Niなどの別の又は同一の金属で形成される。

10

【0017】

自己組織化単分子膜6は、各種のものが用いられ得る。自己組織化単分子膜6は、第1の電極5A、第2の電極5Bを構成する金属原子に化学吸着する第1の官能基と、第1の官能基に結合する第2の官能基とから成る。第1の官能基は、チオール基、ジチオカルバメート基、キサンテート基の何れかの基である。第2の官能基は、アルカン、アルケン、アルカン又はアルケンの水素分子の一部又は全部をフッ素に置換したもの、アミノ基、ニトロ基、アミド基の何れかの基である。

【0018】

金属ナノ粒子7は、数nmの直径を有する粒子で、金、銀、銅、ニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、イリジウム、白金などが用いられる。金属ナノ粒子7は、自己組織化単分子膜6を構成する分子の直鎖部分と結合するアルカンチオールなどの分子が周囲に結合している。

20

第2の絶縁層6は、 SiN 、 SiO 、 $SiON$ 、 Si_2O_3 、 SiO_2 、 Si_3N_4 、 Al_2O_3 、 MgO など、無機絶縁物により形成される。無機絶縁物は化学量論組成のものが好ましいが、化学量論組成に近いものであってもよい。

【0019】

トップゲート電極11は、第2の絶縁層8上において平面視で金属ナノ粒子7の真上にあたる位置に、一方の電極5Aと他方の電極5Bとに跨ぐように設けられる。トップゲート電極11は、図1(B)に示すように、第1の絶縁層2上の電極5A, 5Bの配設方向, サイドゲート電極5C, 5Dの配設方向とは異なる方向に、配設されている。これは、トップゲート電極11とそれ以外の電極5A, 5B, 5C, 5Dと容量を形成しないようにするためである。

30

【0020】

ここで、金属ナノ粒子7の周りの自己組織化単分子膜6又は自己組織化混合膜と第2の絶縁層8とにより、金属ナノ粒子7が一方の電極5Aと他方の電極5Bと絶縁されて配置されていけばよい。

【0021】

図2は図1とは異なる論理演算素子20の断面図である。図2に示すように、例えば、金属ナノ粒子7の周りに無機又は有機の絶縁膜71が設けられており、絶縁膜付きの金属ナノ粒子72が、一方の電極5Aと他方の電極5Bとの間に配置されて、絶縁膜付きの金属ナノ粒子が一方の電極5Aと他方の電極5Bと絶縁されていてもよい。金属ナノ粒子7の外周全面に絶縁膜71が設けられている必要はなく、一方の電極5Aと金属ナノ粒子7とが、例えば0.3nm~10nmの絶縁膜で絶縁され、金属ナノ粒子7と他方の電極5Bとが、例えば0.3nm~10nmの絶縁膜で絶縁されていてもよい。または、金属ナノ粒子7が一方の電極5Aと他方の電極5Bの間に配置され、絶縁膜71と第2の絶縁層8とが区別されずに、絶縁層によって金属ナノ粒子7と一方の電極5Aと他方の電極5Bとが絶縁されていてもよい。

40

【0022】

金属ナノ粒子7の位置に関する最適性について説明する。論理演算素子10, 20において、金属ナノ粒子7の位置は、2つのサイドゲート及びトップゲートと金属ナノ粒子と

50

の間のゲートキャパシタンスが同じ値となることが好ましい。これを実現するためには、金属ナノ粒子7と各ゲート電極5C, 5D, 11間の距離、ナノギャップ電極5A, 5Bの形状、金属ナノ粒子7とナノギャップ長の関係、金属ナノ粒子7のナノギャップ電極5A, 5Bの間の位置などが重要である。ゲートキャパシタンスは、各電極から電束がどれだけ金属ナノ粒子に収束するかという点で決まる。そのため、ナノギャップ電極5A, 5Bは、金属ナノ粒子7が存在する部分だけギャップ長が狭く、サイドゲート電極5C, 5Dへの開口部が広くなり、金属ナノ粒子7への開口が広くさらにはトップゲート電極11に対して広がっていることが好ましく、このような好ましい形態によって、金属ナノ粒子7がナノギャップ電極5A, 5Bに埋もれない。

【0023】

〔論理演算素子の製造方法〕

次に、図1に示す論理演算素子10の製造方法について詳細に説明する。

まず、基板1上に第1の絶縁層2を形成する。次に、分子定規無電解メッキ法によりナノギャップ電極5A, 5Bと、サイドゲート電極5C, 5Dを形成する。

【0024】

例えば、第1の絶縁層2上にナノギャップよりも広いギャップを有するように金属層3A, 3Bを間隔をあけて対を成すように形成しておき、次に、無電解メッキ液に基板1を浸漬する。無電解メッキ液は、金属イオンを含む電解液に還元剤及び界面活性剤が混入されて作製される。この無電解メッキ液に基板1を浸すと、金属イオンが還元剤により還元され、金属が金属層3A, 3Bの表面に析出して金属層4Aと金属層4Bとなり、金属層4Aと金属層4Bとのギャップが狭くなり、無電解メッキ液に含まれる界面活性剤がその析出により形成される金属層4A, 4Bに化学吸着する。界面活性剤はギャップの長さ(単に「ギャップ長」と呼ぶ。)をナノメートルサイズに制御する。電解液中の金属イオンが還元剤により還元されて金属が析出するため、このような手法は無電解メッキ法に分類される。金属層3A, 3Bに金属層4A, 4Bがメッキにより形成され、電極5A, 5Bの対が得られる。このように、ナノギャップ電極5A, 5Bの表面に保護基である界面活性剤分子を分子定規として用いた無電解メッキ法(以下、「分子定規無電解メッキ法」と呼ぶ。)により、ギャップ長を界面活性剤の分子によって制御する。これにより、ナノギャップ電極5A, 5Bを精度よく形成することができる。ゲート電極5C, 5Dについても同時に形成することができる。なお、ナノギャップ電極は、上述した手法により形成したものに限らず、例えば本発明者らが非特許文献3に開示したように、ヨウ素を用いた無電解メッキにより形成してもよい。

【0025】

次に、ジチオール分子によるアルカンチオールで保護された金ナノ粒子7の配位子交換を用いて、ナノギャップ電極5A, 5B間に金属ナノ粒子7を化学結合させる。これにより、金属ナノ粒子7を、例えば自己組織化単分子膜6に固定する。

【0026】

図3は、ナノギャップ長を有する電極5A, 5Bに対し、例えばジチオール分子を用いた化学結合による単電子島を設置する工程を模式的に示す図である。図3(A)に示すように、電極5A, 5Bとしての金電極表面に、自己組織化単分子膜(Self-Assembled Monolayer: SAM)6A, 6Bを形成する。次に、図3(B)に示すように、アルカンジチオール9Aを導入することでSAM欠損部にアルカンジチオールが配位するか又はアルカンチオールとアルカンジチオールが交換するかによって、SAMとアルカンチオールとからなるSAM混合膜9が形成される。次に、アルカンチオールで保護された金属ナノ粒子7Aを導入する。すると、図3(C)に示すように、金属ナノ粒子7の保護基であるアルカンチオールと、アルカンチオールとアルカンジチオールの混合自己組織化単分子膜6A, 6B中のアルカンジチオールとの配位子交換により、金属ナノ粒子7が自己組織化単分子に化学吸着する。

【0027】

このようにして、ナノギャップ長を有する電極5A, 5Bの間に、自己組織化単分子膜

10

20

30

40

50

6 A , 6 B を利用し、自己組織化単分子混合膜を介在して化学吸着によって金属ナノ粒子 7 を単電子島として導入する。

【 0 0 2 8 】

その後、触媒 C V D 法、プラズマ C V D 法、光 C V D 法又はパルスレーザー堆積 (P L D) 法を用いて、金属ナノ粒子 7 を自己組織化単分子層 6 A , 6 B によって化学吸着したナノギャップ電極付き基板を冷却しながら、サンプルが所定の温度を超えて昇温しないようにして、その上に第 2 の絶縁層 8 を堆積させる。

【 0 0 2 9 】

なお、第 2 の絶縁層 8 として $A l_2 O_3$ 又は $S i_3 N_4$ を堆積させる際には、原子層エピタキシー法や熱 C V D 法を用いてガスを熱分解してもよい。その場合は、サンプル台を十分冷却する必要がある。

10

【 0 0 3 0 】

その後、レジストを塗布し、電子ビームリソグラフィー技術又は光リソグラフィーによりゲート電極 1 1 のパターンを描いて、現像後、一又は二種類の金属層を形成することにより、ゲート電極 1 1 を形成する。その際、密着層を設けた方がよい。

【 0 0 3 1 】

ゲート電極 1 1 の形成と同時に又は相前後して、ナノギャップ電極 5 A , 5 B を外部接続するために、外部への取出用電極を形成する。例えば、第 2 の絶縁層 8 の上にレジストを形成し、レジスト上にマスクを配置して露光することにより、レジストにマスクパターンを形成する。その後、第 2 の絶縁層 8 にビアホールを形成する。ビアホールにある自己組織化単分子については必要に応じてアッシングにより除去する。そして、このビアホールに金属を充填させて外部取出用電極を形成する。

20

【 0 0 3 2 】

上述では、電極材料としては金を用いているが、金に限らず別の金属であってもよい。例えば電極材料としてイニシャル電極の材料を銅としてもよい。その際、イニシャル電極は、電子ビームリソグラフィー法又は光リソグラフィー法を用いて銅電極を形成し、その後、銅電極表面を塩化銅とする。メッキ液としてアスコルビン酸を還元剤として用いた塩化金溶液を用い、銅電極表面を金で覆う。具体的には、塩化金 (I I I) 酸水溶液に界面活性剤臭化アルキルトリメチルアンモニウム $C_n H_{2n+1} [C H_3]_3 N^+ \cdot B r^-$ を混ぜ、還元剤 L (+) - アスコルビン酸を加え、ギャップ電極上に、自己触媒型無電解金メッキを行う。そして、分子定規メッキ法により表面が金のナノギャップ電極を作製する。

30

【 0 0 3 3 】

以上により、本発明の実施形態に係る論理演算素子 1 0 を作製することができる。

【 0 0 3 4 】

ここで、従来、トップゲート電極 1 1 を配置することが難しかったことについて説明する。この困難性は、第 2 の絶縁層 8 の形成が単電子素子の製造において実現できなかったことに依拠する。

【 0 0 3 5 】

$S i_3 N_4$ のような無機絶縁膜を、触媒 C V D 法、プラズマ C V D 法、光 C V D 法又は P L D 法を用いて形成する際、一般的に、プラズマ中にサンプルが晒されたり、運動エネルギーの高い粒子がサンプル表面をスパッタしたり、主に膜質を向上させるために基板の温度が高くなる場合がある。これらの基板に対するプラズマ、高エネルギー粒子、熱等により、単電子素子は容易に破壊されるため、無機絶縁膜を堆積することがこれまで困難であった。

40

【 0 0 3 6 】

すなわち、自己組織化単分子膜 (S A M : Self-Assembled Monolayer) のような有機物によって表面が覆われたナノ粒子や配位子分子に無機絶縁膜を堆積させると、堆積物のソース源が S A M 及び配位子分子を壊し、ナノ粒子が壊れることによって素子を破壊してしまう。素子が破壊されなくても、ギャップ間に存在するナノ粒子が無機絶縁体の堆積中に移動してしまい、単電子素子として機能しなくなる。特に、金ナノギャップ電極として用

50

いるナノスケールの金電極は熱に対して流動性が高いために、熱を加えることで、ナノギャップの構造変化が起こり、単電子素子が壊れてしまう。

【0037】

本発明者らは、鋭意研究の結果、次のような観点に着目し、第2の絶縁層8の形成などを実現させた。

1) 無電解メッキによりギャップ長を制御して電極対を形成することができ、そのようなナノギャップ電極は熱に対して安定であること。

2) 無機絶縁物を堆積する際、金属ナノ粒子が配位分子により覆われ、ナノギャップ電極がSAMで覆われていることから電極表面を破壊しないこと。

3) 単電子島(「クーロン島」とも呼ばれる。)として働く金属ナノ粒子が、ナノギャップ間にアンカー分子、例えばジチオール分子によって化学的に固定したこと。

【0038】

〔論理演算素子の動作〕

次に、本発明の実施形態に係る論理演算素子の動作原理について説明する。図4は、3入力における真理値表を示す図であり、各論理動作をさせるためのゲート電圧の設定の仕方を併せて示してある。本発明の実施形態に係る論理演算素子は、単電子トランジスタの構造を有している。単電子トランジスタはFET(Field Effect Transistor)の一種であるにも拘わらず、ゲート電圧によって金属ナノ粒子7からなる単電子島への電荷が変動し、その結果、電流が流れる状態と流れない状態の2つの状態が周期的に現れるという、所謂クーロンオシレーション現象が観察される。図5は或るドレイン電圧において、各ゲート電圧に応じて流れるドレイン電流の波形を模式的に示し、図6は、ドレイン電圧 V_d と各ゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ を各値に設定したときのドレイン電流 I の微分コンダクタンスを模式的に示す図である。図6においては、ドレイン電流 I の微分コンダクタンスの大きさがメッシュの数に応じて大きくなるように示している。図5に示すように、クーロンオシレーション特性における電流波形は、ドレイン電圧 V_d と各ゲート電圧の2つの電圧方向に正の傾きと負の傾きを有する直線で外挿され、電流値はピークを持つ。

【0039】

図5に示すように、ピーク電流を与えるゲート電圧 V_1 と右隣のピーク電流を与えるゲート電圧 V_2 の差 $V(=V_2-V_1)$ が、1周期分のクーロンオシレーションに相当し、ゲート容量 C は、 $C=e/V$ で与えられる。ここで、 e は素電荷である。この V の値は、金属ナノ粒子7と一方の電極5A及び他方の電極5B、つまり金属ナノ粒子7とソース電極及びドレイン電極との配置関係、さらに、二つのサイドゲート電極5C及び5Dとトップゲート電極11との配置関係に依存する。よって、 V の値は、三つのゲート電極5C、5D及び11の配置に依存するので、三つのゲート電極毎に、ドレイン電流 I_d の1周期分のクーロンオシレーションに対応した V の値が異なる。

【0040】

そこで、3つのゲート電極を有する論理演算素子10、20に対して排他的論理和(XOR: exclusive or)の動作をさせる場合には、各ゲート電圧の値を次のように設定すればよい。XOR動作では、3つのゲートに印加される「0」の電圧と「1」の電圧の入力に相当する電圧の差が、 $V/2$ (2分の1周期)に相当する電圧差となるようにドレイン電圧を調整する。そして、例えば「1」の入力に相当するトップゲート電圧を、クーロンオシレーションのピーク電流をとるゲート電圧とし、「0」の入力に相当するゲート電圧を $V/2$ だけ小さい電圧値とする。トップゲート電圧は先に決めた「0」の入力にして、次に、一方のサイドゲート電圧は、ピーク電流をとるサイドゲート電圧を「1」の入力に相当するゲート電圧とし、「0」の入力に相当するゲート電圧を $V/2$ だけ小さい電圧値とする。トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、さらに、他方のサイドゲート電圧は、ピーク電流をとるゲート電圧を「1」の入力に相当するゲート電圧とし、「0」の入力に相当するゲート電圧を $V/2$ だけ小さい電圧値とする。その際、3つのゲート電圧が共に「1」の入力に相当するゲート電圧で、出力が「1」

の電流ピーク値をとるように、入力ゲート電圧を設定する。

【0041】

3つのゲート電圧を全て「0」の状態とすると、電流は流れず出力は「0」となる。

3つのゲート電極のいずれか1つのゲート電圧を「1」の状態とし、残りの2つのゲート電圧を「0」の状態とすると、ピーク電流が流れ、出力は「1」となる。

3つのゲート電極のなかで、いずれか2つのゲート電圧を「1」の状態とし、残り1つのゲート電圧を「0」の状態とすると、ゲート電圧による単電子島への電荷誘起の重畳が起こり、1周期分の V を印加した状態となるため、出力は「0」の状態となる。

3つのゲート電圧を「1」の状態とすると、1.5周期分の V を印加したことに等しいので出力は「1」となる。

10

図4の論理対応表のXORの列では、上述した出力電流の結果を示している。出力結果で、「0」は電流が流れない状態又は小さい状態を示し、「1」は電流が流れる状態又は大きい状態を示している。

論理対応表の最下欄には、1周期分のクーロンオシレーション(横軸はゲート電圧、縦軸がドレイン電流)を示しており、黒丸(●)印は「0」の電流出力状態、白丸(○)印は「1」の電流出力状態を示している。XOR動作では、 $V/2$ の電位差を入力ゲート電圧の「0」と「1」の状態に相当する電位の差として用い、入力が「0」側で出力が「0」であることから、1周期分のクーロンオシレーションの左半分の電圧領域を各ゲート電極に印加する電圧として用いていることになる。

【0042】

20

以上のように、ゲート電極の入力の組み合わせと出力との関係は、排他的論理和XOR動作の出力となっている。よって、単電子トランジスタでは、クーロンオシレーション特性と、複数のゲート電極による単電子島への電荷の誘起の重畳現象とにより、論理演算を実現することができる。

【0043】

次に、論理演算素子10, 20に対して排他的論理和の否定(XNOR: exclusive not OR)の動作をさせる場合について説明する。この場合、各ゲート電圧の値を次のように設定すればよい。すなわち、XNOR動作では、XORと同様に「0」と「1」の状態の入力電圧の差が、 $V/2$ に相当するゲート電圧差となるようにドレイン電圧を調整するが、3つのゲート電圧が共に「0」の入力に相当するゲート電圧で、出力が「1」の電流ピーク値をとるように、入力ゲート電圧を設定する。すると、XORと同様な動作原理により、このゲート電圧の設定で、XNORの論理演算を実現することができる。このことは、1周期分のクーロンオシレーションの図の右半分の電圧領域を各ゲート電極に印加する電圧として用いていることになる。

30

【0044】

次に、論理演算素子10, 20に対して、入力「0」と入力「1」の電圧差として $V/4$ (4分の1周期)を用い、 $V/4$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。図4の4分の1周期の、クーロンオシレーション特性にあるように、 $V/4$ ずつゲート電圧をずらすと、「0」

40

【0045】

演算Aの動作又は演算Cの動作をさせる場合について説明する。この場合、各ゲート電圧の入力電圧値を、図4の4分の1周期のクーロンオシレーションの演算Aに相当するゲート電圧に設定すればよい。すなわち、例えば、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるようにドレイン電圧を調節し、「0」の入力に相当するトップゲート電圧を、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

【0046】

50

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

【0047】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値に設定し、「1」

10

【0048】

3つのゲート電圧が共に「1」の入力に相当するゲート電圧で、出力が「1」の電流ピーク値をとるように、入力のゲート電圧を設定する。すると、3つのゲート電圧への入力が(0, 0, 0)及び(1, 1, 1)の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となって、論理演算素子10が演算Aの動作を行う。

【0049】

逆に、演算Cに相当するゲート電圧を次のように設定する。すなわち、例えば「1」の入力に相当するトップゲート電圧を、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

20

【0050】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

【0051】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

30

【0052】

すると、3つのゲート電圧への入力が、(0, 0, 0)及び(1, 1, 1)の場合のみ出力が「0」となり、それ以外の場合には出力が「1」となって、演算Cの論理演算が実現される。

40

【0053】

次に、論理演算素子10に対して演算Bの動作又は演算Dの動作をさせる場合について説明する。この場合も、入力「0」と入力「1」の電圧差として $V/4$ を使い、ドレイン電圧を調整する。これにより、ピーク電流の正のスロープと負のスロープの途中の値で同一の値をとるようにする。演算Bに相当するゲート電圧を次のように設定する。

【0054】

例えば「1」の入力に相当するトップゲート電圧として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して V の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に

50

設定する。

【 0 0 5 5 】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して V の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

【 0 0 5 6 】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して V の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

10

【 0 0 5 7 】

すると、入力で「0」の個数が0個又は1個の場合には出力が「0」となり、それ以外の場合には出力が「1」となって、演算Bの論理演算が実現される。

【 0 0 5 8 】

逆に、演算Dに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。「1」を入力した際には、負のスロープで前記の同一の電流値と同じ電流値となる。

20

【 0 0 5 9 】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当する

30

【 0 0 6 0 】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

【 0 0 6 1 】

すると、入力で「0」の個数が0個又は1個の場合には出力が「1」となり、それ以外の場合には出力が「0」となって、演算Dの論理演算が実現される。

40

【 0 0 6 2 】

論理演算素子10に対して次のような動作をさせることもできる。すなわち、入力「0」と入力「1」の電圧差として $V/3$ を用い、 $V/3$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。

【 0 0 6 3 】

演算Eに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を

50

設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0064】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0065】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

10

【0066】

すると、入力で「1」の個数が2個の場合のみ出力が「0」で、それ以外の場合は出力が「1」となる論理演算Eが実現される。

【0067】

逆に、演算Fに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

20

【0068】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

30

【0069】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0070】

すると、入力で「1」の個数が1個の場合のみ出力が「0」となり、それ以外の場合には出力が「1」となる、演算Fの論理演算が実現される。

40

【0071】

演算Gに相当するゲート電圧を次のように設定する。例えば「1」の入力に相当するトップゲート電圧は次のように設定する。 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように V を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $V/3$ だけ低い電圧値とする。

【0072】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として次のように設定する。 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ

50

上で同じ値となるように V を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $V/3$ だけ低い電圧値とする。

【0073】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のゲート電圧の値として次のように設定する。 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように V を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $V/3$ だけ低い電圧値とする。

10

【0074】

すると、入力で「1」の個数が1個又は2個の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となる、演算Gの論理演算が実現される。

【0075】

以上説明したように、図1及び図2に示す論理演算素子10, 20は、HighとLowの電位差、例えば「0」と「1」の電圧差を V/n とし、 n を2以上の整数のそれぞれの値を設定することにより、3入力の論理演算素子を実現することができる。

【0076】

ここで、サイドゲート電極5C, 5Dからソース及びドレインの各電極となる一方の電極5A, 他方の電極5Bに対してリーク電流が流れると、On/Off比が悪くなるので、好ましくない。よって、リーク電流が流れないようにギャップ長を大きくする必要がある。

20

【0077】

本発明の実施形態は、図1に示すようにゲート電極は3つである必要はなく、ゲート電極は4つ又はそれ以上でもよい。ゲート電極は配置位置に応じて、ボトムゲート電極、トップゲート電極、サイドゲート電極に区分けされる。各電極は所定の電圧が印加されれば材質等は問わない。

【0078】

三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極で構成されてもよい。三つ以上のゲート電極は、二つのサイドゲート電極と一つのボトムゲート電極で構成されてもよい。三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極と一つのボトムゲート電極で構成されてもよい。

30

【0079】

三つ以上のゲート電極のうち、例えば四つのゲート電極、すなわち、二つのサイドゲート電極と一つのボトムゲート電極と一つのトップゲート電極のうち、任意の三つを電圧入力用に用い、残りの一つを電圧調整用の電極として用いてもよい。二つのサイドゲート電極は、図1等を参照して説明したように、一方の電極と他方の電極との配設の軸に対して対称性を有するため、ボトムゲート電極及びトップゲート電極の何れか一方を電圧調整用の電極とすることが好ましい。電圧調整用の電極を例えば0Vに設定し、それを基準に、他のゲート電極に印加する電圧の値を設定することができる。

40

【0080】

〔4入力の論理演算素子〕

次に、4入力の論理演算素子について説明する。図7は、本発明の実施形態に係る4入力の論理演算素子を示し、(A)は断面図、(B)は平面図である。図7に示すように、本発明の実施形態に係る論理演算素子30は、ナノギャップを有するように配置された一方の電極5A及び他方の電極5Bと、一方の電極5Aと他方の電極5Bとの間に絶縁して配置される金属ナノ粒子7と、金属ナノ粒子7の電荷を調整するための複数のゲート電極5C, 5D, 11A, 11Bと、を備える。

【0081】

ボトムゲート電極11Aが存在する面と、サイドゲート電極5C, 5Dが存在する面と

50

、トップゲート電極 1 1 A とが存在する面とが、上下方向に分離されている。サイドゲート電極 5 C , 5 D が存在する面を挟んで、ボトムゲート電極 1 1 A が存在する面と、トップゲート電極 1 1 B が存在する面とが上下に分かれて配置されている。金属ナノ粒子 7 がボトムゲート電極 1 1 A 上でトップゲート電極 1 1 B 下であって第 2 の絶縁層 8 に埋設されている。

【 0 0 8 2 】

図 7 に示す形態では、Si 基板等の導電性を有する基板 1 の所定の領域だけが高くなるように周りをエッチングなどの処理が施されて形成される。その基板 1 上に第 1 の絶縁層 2 がその基板 1 上に形成され表面が必要により平坦化される。その後は、図 1 の論理演算素子 1 0 の場合と同様に、一方の電極 5 A 及び他方の電極 5 B が形成され、金属ナノ粒子 7 がその所定の領域の上でナノギャップの間に配置され、第 2 の絶縁層 8 が形成され、トップゲート電極 1 1 B が形成される。

10

【 0 0 8 3 】

よって、基板 1 に電圧を印加することにより、基板 1 の高くなっている部分をボトムゲート電極 1 1 A として機能させることができる。

【 0 0 8 4 】

なお、基板 1 の部分を導電性層に置き換えることにより、複数の論理演算素子の集積化や、金属ナノ粒子を用いた論理演算素子と他の一又は複数の素子と集積化することも実現される。

【 0 0 8 5 】

〔 四入力による論理演算素子の動作 〕

図 8 は 4 入力における真理値表を示し、各論理動作をさせるためのゲート電圧の設定の仕方についても併せて示した図である。

20

【 0 0 8 6 】

演算 H と I は、論理演算素子 3 0 に対して、入力「 0 」と入力「 1 」の電圧差として $V/2$ (2 分の 1 周期) を用い、 $V/2$ の電圧差を有する 2 つのゲート電圧を加えた際に、クーロンオシレーションの電流ピークを示すように、ドレイン電圧を調節する。図 8 の 2 分の 1 周期の、クーロンオシレーション特性にあるように、 $V/2$ ずつゲート電圧をずらすと、「 0 」、「 1 」、「 0 」、「 1 」と変化する。よって、演算 H では、入力で「 1 」の個数が奇数個の場合のみ出力が「 1 」であり、それ以外の場合は出力が「 0 」となる論理演算を行う。演算 I では、入力で「 1 」の個数が偶数個の場合のみ出力が「 1 」となり、それ以外の場合は出力が「 0 」となる論理演算を行う。

30

【 0 0 8 7 】

演算 J , K , L , M は、論理演算素子 3 0 に対して、入力「 0 」と入力「 1 」の電圧差として $V/4$ (4 分の 1 周期) を用い、 $V/4$ の電圧差を有する 2 つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。図 4 の 4 分の 1 周期の、クーロンオシレーション特性にあるように、 $V/4$ ずつゲート電圧をずらすと、「 0 」、「 1 」、「 1 」、「 0 」と変化する。

【 0 0 8 8 】

よって、演算 J では入力で「 1 」の個数が 1 個又は 2 個の場合のみ出力が「 1 」であり、それ以外の場合は出力が「 0 」となる論理演算を行う。演算 K では、入力で「 1 」の個数が 0 個、 1 個、 4 個の場合のみ出力が「 1 」であり、それ以外の場合は出力が「 0 」となる論理演算を行う。演算 L では、入力で「 1 」の個数が 0 個、 3 個、 4 個の場合のみ出力が「 1 」であり、それ以外の場合は出力が「 0 」となる論理演算を行う。演算 M では、入力で「 1 」の個数が 2 個、 3 個の場合のみ出力が「 1 」となり、それ以外の場合は出力が「 0 」となる論理演算を行う。

40

【 0 0 8 9 】

演算 N , O , P は、論理演算素子 3 0 に対して次のような動作をさせることもできる。すなわち、入力「 0 」と入力「 1 」の電圧差として $V/3$ を用い、 $V/3$ の電圧差を

50

有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。

【0090】

演算Nに相当するゲート電圧に設定すると、入力で「1」の個数が1個、2個、4個の場合のみ出力が「1」となり、それ以外の場合は出力が「0」となる論理演算Nを行う。演算Oに相当するゲート電圧に設定すると、入力で「1」の個数が0個、1個、3個、4個の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となる論理演算Oを行う。

【0091】

演算Pに相当するゲート電圧に設定すると、入力で「1」の個数が0個、2個、3個の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となる論理演算Pを行う。

【0092】

なお、図8の最下欄に示す、各論理動作をさせるためのゲート電圧の設定の仕方については、図4のそれと同様であるので、説明を省略する。

【実施例1】

【0093】

実施例1として、図1に示す論理演算素子10を次の要領で作製した。図9は実施例1で作製した論理演算素子10のSEM像である。Si基板1の上に第1の絶縁層2としてSiO₂膜を熱CVD法で作製し、その上に、ギャップ長9nmの金ナノギャップ電極5A, 5Bを形成し、コア直径6.2nmの金ナノ粒子7を金ナノギャップ電極間に配置した。そして、金ナノギャップ電極5A, 5B及びSiO₂膜2上に、第2の絶縁層8としてSiNのパッシベーション層を形成した。

【0094】

Si₃N₄のパッシベーション層の形成は次の要領で行った。作製した単電子トランジスタを真空チャンバー内に導入し、水冷により単電子トランジスタの温度が65℃以上にならないように温度制御を行った。この条件の下で、真空チャンバー内にシランガス、アンモニアガス及び水素ガスを導入し、触媒CVD法にてSiN_x層を堆積した。実施例1では、加熱により単電子トランジスタが破壊されることを防止するため、SiN_xのパッシベーション層を形成する時、サンプル温度が65℃を超えないように冷却した。もっとも、パッシベーション層の堆積は170℃以下であればよいが、出来るだけ堆積の際の温度が低くなるよう、好ましくは65℃以下になるよう、サンプルを冷却する。SiN_xのパッシベーション層の厚みをエリプソメトリー法及び走査電子顕微鏡でそれぞれ測定したところ、いずれも50nmであった。

【0095】

その後、サンプルにレジストを塗布し、電子ビームリソグラフィ法によって、金ナノギャップ部の直上に電極パターンを描画した。現像後、電子ビーム蒸着によりTi層30nm, Au層70nmを順に蒸着した。これにより、金ナノギャップの直上に第2の絶縁層8としてのSi₃N₄層を介してトップゲート電極21を配置した。

【0096】

図10は、実施例1で作製したサンプルにおいて、ドレイン電圧に対するドレイン電流を示す図である。測定温度は9Kとした。横軸はドレイン電圧V_d(mV)、左縦軸はドレイン電流I_d(pA)、右縦軸はドレイン電流I_d(nA)である。パッシベーション膜としてのSiN_xを堆積する前のドレイン電流は±約百pAの範囲であるが、SiN_xを堆積した後のドレイン電流は±400pAの範囲で大きくなっており、ドレイン電流I_dが流れないドレイン電圧V_dの幅も大きくなっている。さらに、トップゲートを堆積させた後は、ドレイン電流は±4nAとなっている。

【0097】

図11は、トップゲート電圧及びドレイン電圧をそれぞれ掃引した際の微分コンダクタ

10

20

30

40

50

ンスのマッピング(スタビリティダイアグラム)を示す図である。横軸はトップゲートに印加する電圧(V)、縦軸はドレイン電圧 V_d (V)であり、濃淡がドレイン電流(A)の微分コンダクタンスを示す。測定温度は9 Kとした。ドレインとソースとの間のクーロン島を介した電流の抑制(クーロンブロックード)に起因した、いわゆるクーロンダイヤモンドと呼ばれる平行四辺形状の電圧領域が観察される。このことから、単電子トランジスタとして動作していることが分かる。また、理論計算値と一致していることを確認している。

【0098】

図12は、ドレイン電圧に対するドレイン電流依存性を示す図である。横軸はドレイン電圧 V_d (V)であり、縦軸はドレイン電流 I_d (pA)である。図から、ドレイン電圧の増減に対してドレイン電流が流れていない領域があることから、クーロンステアケース特性が明瞭に観察されており、実施例1で作製したサンプルが単電子トランジスタとして動作していることが分かる。また、これは理論計算と一致している。

10

【0099】

図13(A)は第1のサイドゲート電圧に対するドレイン電流依存性(クーロンオシレーション特性)、(B)は第2のサイドゲート電圧に対するドレイン電流依存性(クーロンオシレーション特性)、(C)はトップゲート電圧に対するドレイン電流依存性(クーロンオシレーション特性)、(D)は第1のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス(dI_d/dV_d)特性、(E)は第2のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス(dI_d/dV_d)特性、(F)はトップゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス(dI_d/dV_d)特性を示す図である。測定温度は9 Kである。

20

【0100】

図13(A)~(C)の縦軸はドレイン電流 I_d (pA)で、(D)~(F)の縦軸はドレイン電圧 V_d (V)で、(A)及び(D)の横軸は第1のサイドゲート電圧 V_{g1} (V)で、(B)及び(E)の横軸は第2のサイドゲート電圧 V_{g2} (V)で、(C)及び(F)の横軸はトップゲート電圧 $V_{top-gate}$ (V)である。

【0101】

図13(A)、(B)、(C)はそれぞれ、ゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対応するクーロンオシレーション特性である。電流が流れない領域と正と負の傾きを持つスロープによりピーク電流が観察されている。図13(A)及び(C)ではピーク電流が複数観察されており、ピーク間の電圧差 V より、ゲート容量 C が、 $C = e/V$ で与えられる。図13(B)では、ゲート容量が小さいために、1周期分のクーロンオシレーションは観察できていないが、ほぼ1周期分は観察されている。

30

【0102】

図13(D)、(E)、(F)はそれぞれのゲート電圧に対応するクーロンダイヤモンド特性である。ゲート電圧方向で、 $V_d = 0$ V 近傍の平行四辺形で囲まれた領域内では電流がクーロンブロックードにより流れない。クーロンオシレーション特性に呼応して、平行四辺形は、ゲート電圧方向に頂点を共有して連なっている。

【0103】

図14は任意の二つのゲートに印加する電圧に対する微分コンダクタンス依存性を示す図であり、(A)は第1のサイドゲート電圧及び第2のサイドゲート電圧に対する微分コンダクタンス依存性、(B)は第2のゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性、(C)は第1のサイドゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性を示す。で示す部分はピーク電流に対応し、で示す領域では電流がクーロンブロックードにより流れていない。任意の2つのゲート電圧に対してで示すピーク電流が平行な線の集まりとして観察されていることから、一つのデバイスで同時に3つのゲートで論理演算をすることができると予測される。

40

【0104】

図15は、実施例1で作製した論理演算素子の特性を示す図である。前記したように

50

$V/2$ に相当するゲート電圧を、3つのゲート電圧の「0」と「1」の入力に相当する値とするため、 $V_{top-gate}$ の $-1V$ 、 $0.85V$ をそれぞれ「0」、「1」の入力に相当する値とし、 V_{g1} の $-4V$ 、 $4V$ をそれぞれ「0」、「1」の入力に相当する値とし、 V_{g2} の $2V$ 、 $0.6V$ をそれぞれ「0」、「1」の入力に相当する値とした。

【0105】

図15から、第1のサイドゲート電圧、第2のサイドゲート電圧及びトップゲート電圧のパルス電圧波形の入力に応じて、ドレイン電流がXORの出力となっていることが分かる。ON/OFF比は10であった。なお、動作温度は9Kとした。

【実施例2】

【0106】

実施例2では、第2の絶縁層8として、パルスレーザー堆積法を用いて50nmの Al_2O_3 とした以外は実施例1と同様に作製した。以下、測定環境は9Kとした。

【0107】

図16は、ドレイン電圧に対するドレイン電流依存性を示す図である。横軸はドレイン電圧 V_d (V)であり、縦軸はドレイン電流 I_d (nA)である。図から、ドレイン電圧の増減に対してドレイン電流が流れていない領域があることから、クーロンステアケース特性が明瞭に観察されており、実施例2で作製したサンプルが単電子トランジスタとして動作していることが分かった。また、理論計算と一致していることが分かった。

【0108】

図17(A)、(B)、(C)は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を示し、(D)、(E)、(F)はそれぞれのゲート電圧に対するクーロンダイヤモンド特性を示す。図17(A)~(C)の縦軸はドレイン電流 I_d (nA)、(D)~(F)の縦軸はドレイン電圧 V_d (V)であり、(A)及び(D)の横軸は第1のサイドゲート電圧 V_{g1} (V)、(B)及び(E)の横軸は第2のサイドゲート電圧 V_{g2} (V)、(C)及び(F)の横軸はトップゲート電圧 $V_{top-gate}$ (V)である。

【0109】

図17(A)乃至(C)から、電流が流れない領域と正と負の傾きを持つスロープによりピーク電流が観察されている。図17(A)、(B)及び(C)では、ピーク電流が複数観察されており、ピーク間の電圧差 V から、ゲート容量 C が、 $C = e / V$ で与えられる。

【0110】

図17(D)乃至(F)から、ゲート電圧方向で、 $V_d = 0V$ 近傍の平行四辺形で囲まれた領域内では、電流がクーロンブロックにより流れない。クーロンオシレーション特性に呼応して、平行四辺形は、ゲート電圧方向に頂点を共有して連なっている。このように、クーロンオシレーション特性及びクーロンダイヤモンド特性が明瞭に観察されている。

【0111】

図18(A)、(B)、(C)は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を繰り返し測定した結果を示す。なお、 V_d は10mVとした。図の縦軸及び横軸は図17(A)、(B)、(C)のものと同じである。図から、クーロンオシレーションが安定して観測できていることが分かった。また、再現性よくクーロンダイヤモンドの特性を観測することができた。

【0112】

実施例1と比べて、ドレイン電流がpAのオーダーではなくnAのオーダーであった。また、実施例1と比べて、クーロン振動がより安定していた。単電子トランジスタでは、単電子島近傍に存在するトラップ電荷が変化すると、出力電流(ドレイン)電流が乱れることとなる。パッシベーション膜として Al_2O_3 を用いた場合、電流のばらつきがSiNxを用いた場合と比較して小さいことから、パルスレーザー堆積法により作製した Al_2O_3 絶縁膜は、単電子トランジスタのパッシベーション層として、トラップ電荷が変化し

10

20

30

40

50

にくいという観点で適している。Al₂O₃、SiNxに留まらず、SiO₂層、HfO_xなどの高誘電率絶縁層といったトラップ電荷が変化しにくい膜が適している。

【0113】

図19は、実施例2で作製した論理演算素子の特性を示す図である。前述したようにV/2に相当するゲート電圧を、3つのゲート電圧の「0」と「1」の入力に相当する値とするため、V_{top-gate}の-0.9V、0.5Vをそれぞれ「0」、「1」の入力に相当する値とし、V_{g1}の-7.5V、0.5Vをそれぞれ「0」、「1」の入力に相当する値とし、V_{g2}の-7.5V、-1Vをそれぞれ「0」、「1」の入力に相当する値とした。

【0114】

図19から、第1のサイドゲート電圧、第2のサイドゲート電圧及びトップゲート電圧のパルス電圧波形の入力に応じて、ドレイン電流がXORの出力となっていることが分かる。ON/OFF比は9.4であった。なお、動作温度は9Kとした。

【0115】

また、図19では、出力が「0」に相当する電流値は、0.1nA程度であり、出力が「1」に相当する電流は0.9nA程度であることから、ON/OFF比が約9である。出力が「0」の際の電流値が0.1nAであるのは、ソース電極とドレイン電極との間にリーク電流が流れているためである。図19ではXOR特性を示したが、前述したように、ゲート電圧を半周期ずらすことにより、XNORの特性を示すことを確認した。さらに、V/2ではなく、V/3やV/4の電圧差を用いると、図4に示す真理値表のように様々な論理動作が可能である。

【0116】

次に、周波数を1Hz、10Hzと増加させて、実施例2で作製した論理演算素子の動作を確かめた。図20(A)(B)は、それぞれ周波数1Hz、10Hzでの論理演算素子の動作結果を示すものである。周波数を上げて、論理演算素子の特性を維持していることが確認された。

【0117】

本発明は上述の実施形態及び実施例に限定されるものではなく、特許請求の範囲に記載した発明の範囲において種々変更して適用することが可能である。

【0118】

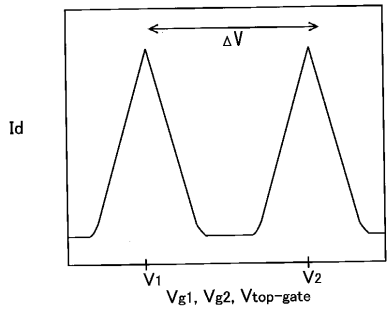
本発明の実施形態により、金属ナノ粒子や機能性粒子を用いた単電子トランジスタを応用して、二つのサイドゲート、トップゲート、ボトムゲートの何れかの三つ以上のゲートを組み合わせた論理演算素子を提供することができる。さらに、本発明の実施形態に係る論理演算素子をCMOS回路と組み合わせることにより、集積度が高くより高機能な論理演算回路が提供される。

10

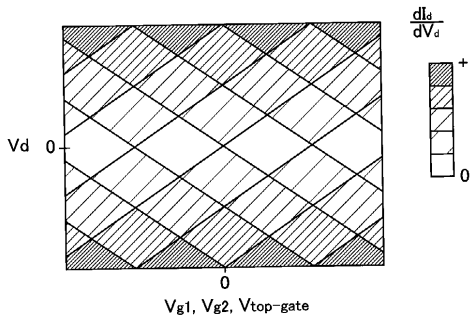
20

30

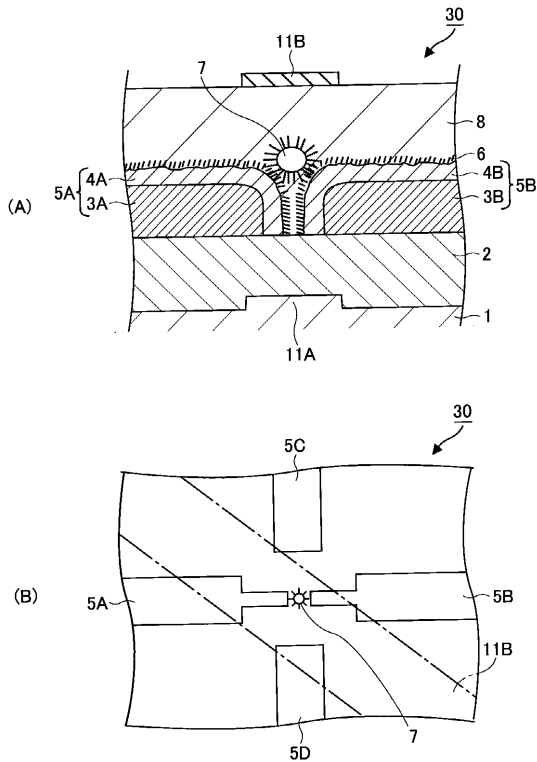
【 図 5 】



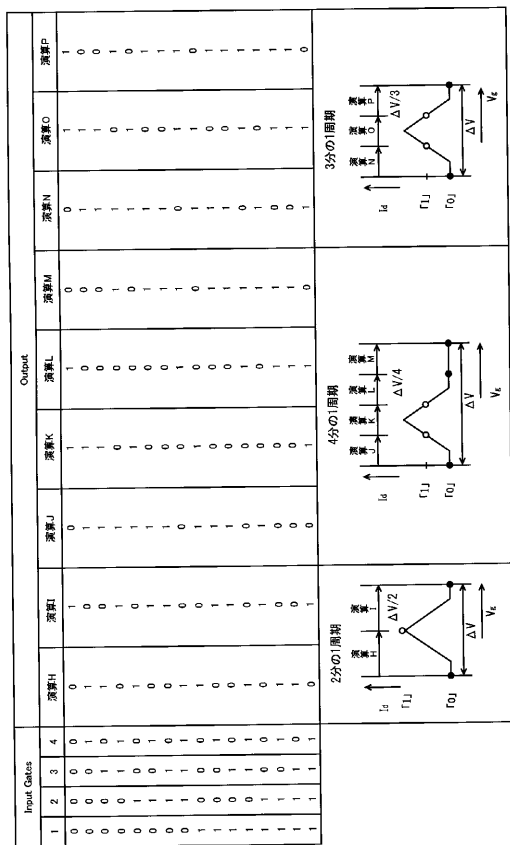
【 図 6 】



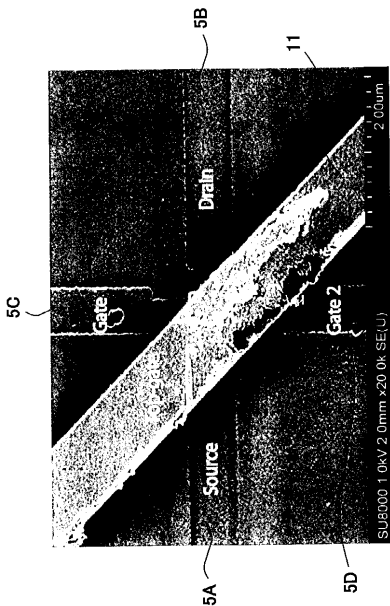
【 図 7 】



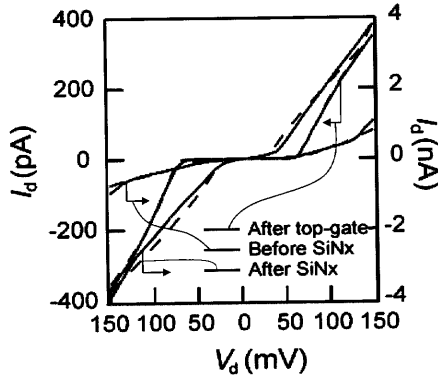
【 図 8 】



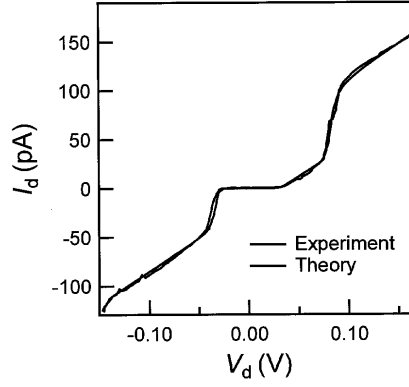
【 図 9 】



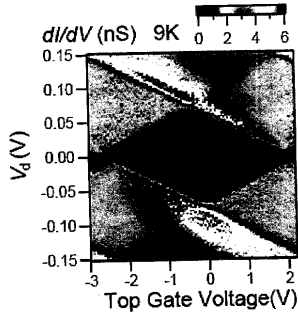
【 1 0 】



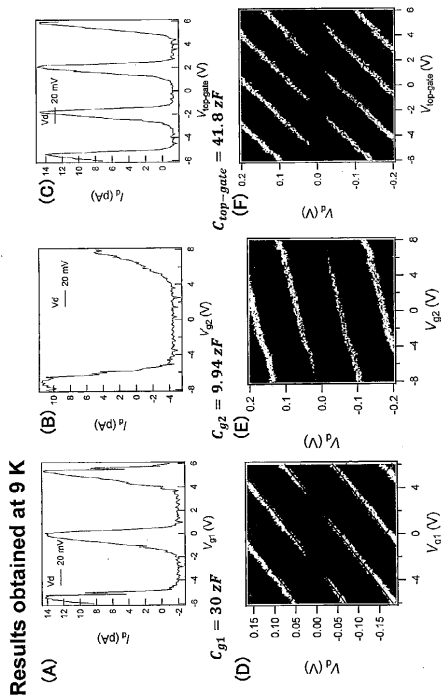
【 1 2 】



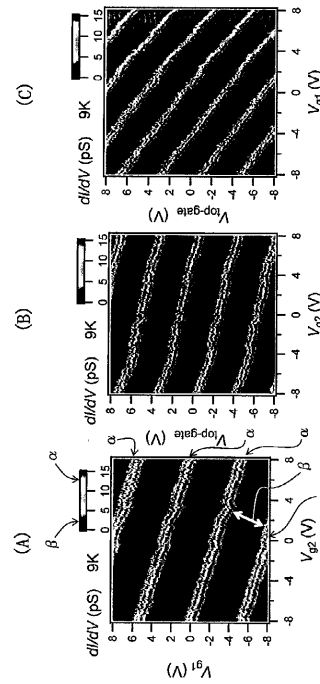
【 1 1 】



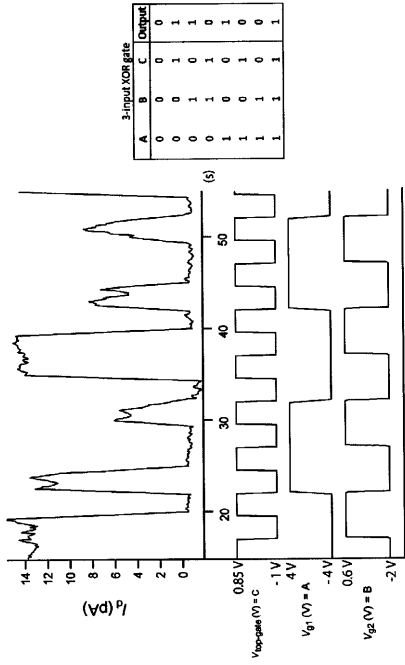
【 1 3 】



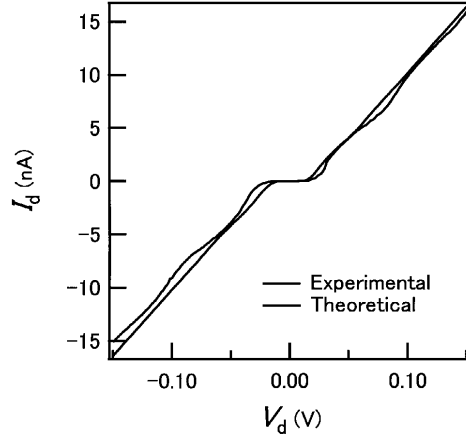
【 1 4 】



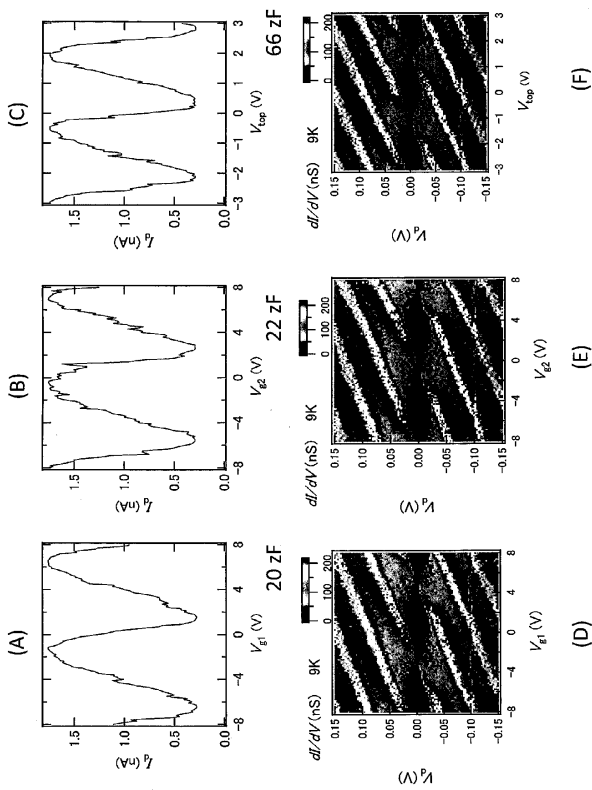
【 15 】



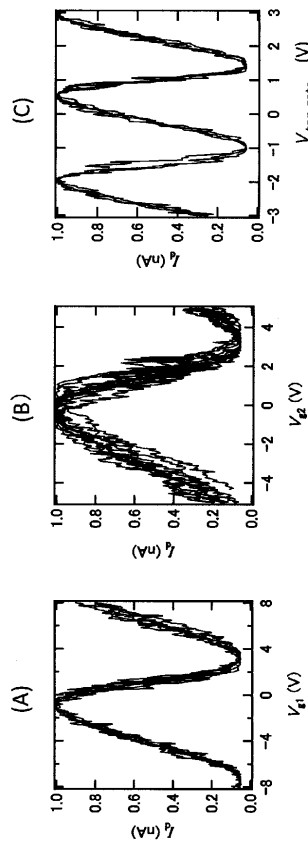
【 16 】



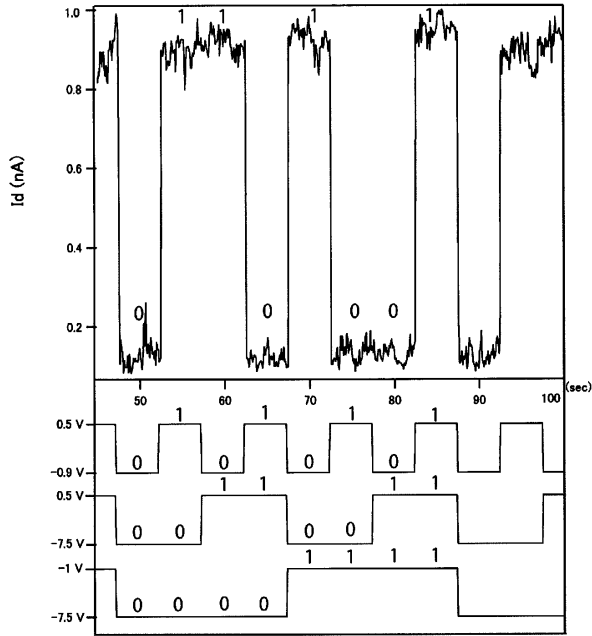
【 17 】



【 18 】

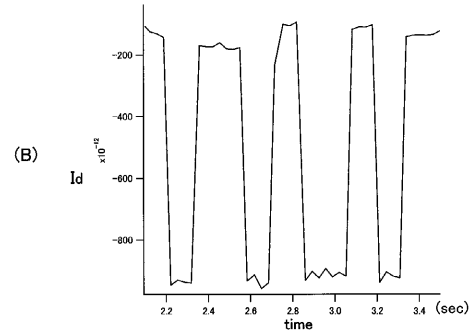
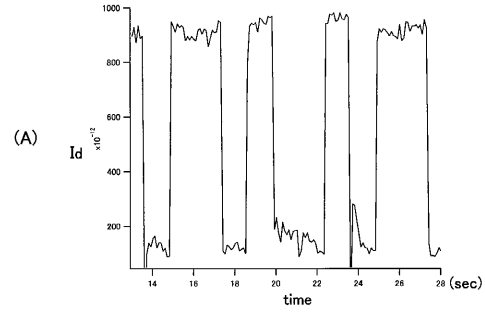


【 19 】



Lowest current : 0.1 nA
Highest current : 0.94 nA
ON/OFF ration : 9.4
Frequency : 0.025 Hz

【 20 】



フロントページの続き

特許法第30条第2項適用 ウェブサイトの掲載日 2013年12月12日 「RANDOM TELEGRAPH SIGNALS BY ALKANETHIOL-PROTECTED AU NANOPARTICLES IN CHEMICALLY ASSEMBLED SINGLE-ELECTRON TRANSISTORS」 JOURNAL OF APPLIED PHYSICS 114, 223717

特許法第30条第2項適用 ウェブサイトの掲載日 2013年10月21日 「SILICON-NITRIDE-PASSIVATED BOTTOM-UP SINGLE-ELECTRON TRANSISTORS」 JAPANESE JOURNAL OF APPLIED PHYSICS 52(2013)110101

特許法第30条第2項適用 ウェブサイトの掲載日 2013年9月11日 「NEGATIVE DIFFERENTIAL RESISTANCE BY MOLECULAR RESONANT TUNNELING BETWEEN NEUTRAL TRIBENZOSUBPORPHINE ANCHORED TO A Au(111) SURFACE AND TRIBENZOSUBPORPHINE CATION ADSORBED ON TO A TUNGSTEN TIP」 JOURNAL OF THE AMERICAN CHEMICAL SOCIETY 2013.135

特許法第30条第2項適用 発行日 2013年11月5日 「ELECTROLESS PLATED NANOGAP ELECTRODES AND THEIR DEVICE APPLICATIONS」 26TH INTERNATIONAL MICROPROCESSES AND NANOTECHNOLOGY CONFERENCE, MNC 2013 8A-10-2

特許法第30条第2項適用 発行日 2013年9月10日 「BOTTOM-UP SINGLE-ELECTRON TRANSISTORS AND MOLECULAR DEVICES」 INTERNATIONAL CONFERENCE ON FLEXIBLE AND PRINTED ELECTRONICS, ICFPE 2013

特許法第30条第2項適用 ウェブサイトの掲載日 2014年2月3日 「MULTISTATE SWITCHING OF REDOX ACTIVE UNIMOLECULAR DEVICE BASED ON ELECTROLESS PLATED GOLD ELECTRODES」 247TH AMERICAN CHEMICAL SOCIETY NATIONAL MEETING & EXPOSITION 251

特許法第30条第2項適用 発行日 2014年3月3日 「SELF-TERMINATED NANOGAP ELECTRODES BY ELECTROLESS GOLD PLATING」 第61回応用物理学春季学術講演会 予稿集17P-F11-10

特許法第30条第2項適用 発行日 2014年3月3日 「ポルフィリン誘導体保護Auナノ粒子のトンネル抵抗制御」 第61回応用物理学春季学術講演会 予稿集17P-F11-9

特許法第30条第2項適用 発行日 2014年3月3日 「無電解金メッキ法による縦型非対称ナノギャップ電極の作製」 第61回応用物理学春季学術講演会 予稿集17P-F11-8

特許法第30条第2項適用 発行日 2014年3月3日 「無電解金メッキ法におけるナノギャップ電極密度とメッキ成長速度との関係」 第61回応用物理学春季学術講演会 予稿集17P-F11-7

特許法第30条第2項適用 発表日 2013年11月22日 「ELECTROLESS PLATED NANOGAP ELECTRODES AND THEIR DEVICE APPLICATIONS」 ミニシンポジウム 「組織化と機能2013：-分子-光-電子-」 (於)九州大学 伊都キャンパス

(72)発明者 前橋 兼三

大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内

(72)発明者 須崎 友文

神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内

(72)発明者 大野 恭秀

大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内

(72)発明者 松崎 功佑

神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内

(72)発明者 ギョーム ヒューベル フレデリック ハケンベルジェ
神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内

審査官 儀同 孝信

(56)参考文献 特開平11-168205(JP,A)
特許第4054881(JP,B2)
国際公開第2012/121067(WO,A1)
特許第5141943(JP,B2)
特開平06-196720(JP,A)
特開平09-102616(JP,A)
特許第4873335(JP,B2)

(58)調査した分野(Int.Cl., DB名)
H01L 29/66
H01L 29/06