

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-157076

(P2018-157076A)

(43) 公開日 平成30年10月4日(2018.10.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/11585	5 F 1 0 1
HO 1 L 29/792 (2006.01)	HO 1 L 29/78 3 0 1 B	5 F 1 4 0
HO 1 L 27/11585 (2017.01)		
HO 1 L 29/78 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願2017-52989 (P2017-52989)
 (22) 出願日 平成29年3月17日 (2017.3.17)

(71) 出願人 504160781
 国立大学法人金沢大学
 石川県金沢市角間町ヌ7番地
 (74) 代理人 100114074
 弁理士 大谷 嘉一
 (72) 発明者 川江 健
 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
 (72) 発明者 徳田 規夫
 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
 (72) 発明者 松本 翼
 石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内

最終頁に続く

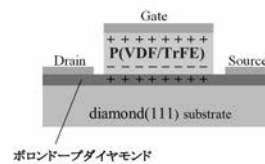
(54) 【発明の名称】 MFS型の電界効果トランジスタ

(57) 【要約】

【課題】 ドーパントとしてホウ素を用いたダイヤモンドの上に強誘電体を絶縁膜としてゲート電極を形成した電界効果トランジスタの提供を目的とする。

【解決手段】 ドーパントとしてホウ素を用いたボロンドープダイヤモンドの上に、ゲート絶縁膜として強誘電体がいわれていることを特徴とする。

【選択図】 図1



ボロンドープダイヤモンド

【特許請求の範囲】

【請求項 1】

ドーパントとしてホウ素を用いたボロンドープダイヤモンドの上に、ゲート絶縁膜として強誘電体を用いられていることを特徴とする電界効果トランジスタ。

【請求項 2】

前記ボロンドープダイヤモンドの表面がOH終端化されていることを特徴とする請求項 1 記載の電界効果トランジスタ。

【請求項 3】

前記ボロンドープダイヤモンドの上にソース電極とドレイン電極とが形成されており、前記OH終端化されたダイヤモンド表面に前記強誘電体の薄膜が積層されており、前記強誘電体の薄膜上にゲート電極が形成されていること特徴とする請求項 2 記載の電界効果トランジスタ。

【請求項 4】

前記強誘電体は、フッ化ビニリデンと三フッ化エチレンとの共重合体薄膜であることを特徴とする請求項 1 ~ 3 のいずれかに記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体をゲート絶縁体として用いた電界効果トランジスタに関する。

【背景技術】

【0002】

ダイヤモンドは絶縁破壊電界、熱伝導率などにおいて非常に優れた物性を有することから次世代パワーデバイスへの応用研究が盛んに行われており、これまでに高いon/off比を有する反転層チャネルMOSFET構造等が報告されている（非特許文献1）。

しかし、ダイヤモンドは室温におけるキャリア活性化率が低いため、従来のFET構造において高いドレイン電流密度を得ることは容易ではない。

そこで我々はMISFET構造のゲート絶縁膜として強誘電体を用いることを検討し本発明に至った。

強誘電体は非常に大きな自発分極を持つことから、通常の絶縁体を上回る高濃度なキャリア誘起が期待される。

非特許文献2には、低濃度ボロンドープダイヤモンドをチャネルとしたMESFETが開示されているが最大ドレイン電流密度等のFET特性が充分とは言えないものである。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】T.Matsumoto et al.,Sci.Rep.,6,31585(2016)

【非特許文献2】H.Umezawa et al.,IEEE Electron Device Lett.,35,6910291(2014)

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、ドーパントとしてホウ素を用いたダイヤモンドの上に強誘電体を絶縁膜としてゲート電極を形成した電界効果トランジスタの提供を目的とする。

【課題を解決するための手段】

【0005】

本発明に係る電界効果トランジスタは、ドーパントとしてホウ素を用いたボロンドープダイヤモンドの上に、ゲート絶縁膜として強誘電体を用いられていることを特徴とする。

ここで、前記ボロンドープダイヤモンドの表面がOH終端化されているのが好ましい。

【0006】

例えば、前記ボロンドープダイヤモンドの上にソース電極とドレイン電極とが形成されており、前記OH終端化されたダイヤモンド表面に前記強誘電体の薄膜が積層されており

10

20

30

40

50

、前記強誘電体の薄膜上にゲート電極が形成されている形態が例として挙げられる。

【0007】

本発明に用いる強誘電体とは、自発分極能を有するものであれば限定されないが、ダイヤモンドの表面に低温で積層できる点で、フッ素系の有機薄膜が好ましい。

例えば、フッ化ビニリデン(VDF)と三フッ化エチレン(TrFE)との共重合体薄膜が例として挙げられる。

【発明の効果】

【0008】

本発明に係るFETはデプレッション型のpチャンネルFET動作を示し、非特許文献2に記載のMESFETと比較すると、室温での観測値は約10倍の最大ドレイン電流密度を示した。

10

【図面の簡単な説明】

【0009】

【図1】本発明に係るMFSFETの構造を示す。

【図2】評価に用いたFETを示す。(a)は光学顕微鏡像を示し、(b)は構造の模式図を示す。

【図3】ゲートリーク電流特性を示す。

【図4】 $P - V_G$ 特性を示す。

【図5】 $C - V_G$ 特性を示す。

【図6】 $I_{DS} - V_{DS}$ 特性を示す。

20

【図7】 $I_{DS} - V_G$ 特性を示す。

【図8】インバータ特性を示す。

【発明を実施するための形態】

【0010】

本発明に係る電界効果トランジスタ(FET)の基本構造例を図1の模式図に示し、評価に用いたサンプルの構造を図2に示す。

ダイヤモンド(111)基板の上に、大気中に存在するホウ素を不純物源として、プラズマCVD法により低濃度のボロンド-プダイヤモンドの薄膜をエピタキシャル成長させた。

次に真空蒸着法を用いてAuからなるソース電極とドレイン電極を形成した。

30

次に H_2O 雰囲気、500℃、60minのアニール処理を行い、ダイヤモンドの表面をOH終端化処理した。

次にスピンコート法を用いてフッ化ビニリデン・三フッ化エチレン共重合体からなる強誘電体P(VDF-TrFE)の薄膜を形成した。

なお、窒素雰囲気、120℃、20minのアニール処理をした。

膜厚は約150nmであった。

上記にて形成したP(VDF-TrFE)薄膜の上に真空蒸着法にてAuからなるゲート電極を形成した。

なお、ゲート長さ：5 μm 、チャンネル長さ：15 μm であった。

【0011】

40

このようにして製作したサンプルにて各特性を評価したので以下、説明する。

図3にゲートリーク電流特性の測定結果を示し、約 $\pm 20V$ まではリーク電流が $10^{-5} A/cm^2$ オーダー未満であった。

図4に $P - V_G$ 特性の測定結果を示す。

空乏層に起因すると推定された非対称性のヒステリシスループを示した。

図5に $C - V_G$ 特性の測定結果を示す。

これらのことから、ボロンド-プダイヤモンド上に形成したP(VDF-TrFE)薄膜が良好な強誘電体として機能していることが確認された。

なお、算出したP(VDF-TrFE)の比誘電率は6.8であった。

【0012】

50

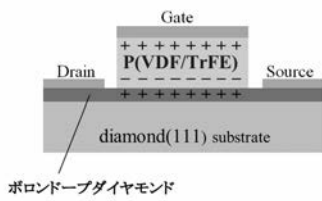
次にゲート電圧を変化させた $I_{D S} - V_{D S}$ 特性の測定結果を図 6 に示し、 $I_{D S} - V_G$ 特性の測定結果を図 7 に示す。

このことからデプレッション型の p チャンネル FET として動作していることを確認できた。

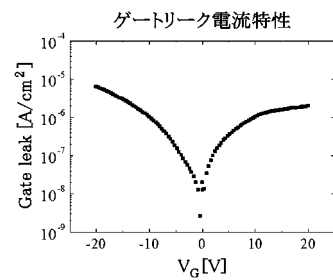
最大ドレイン電流密度： 0.87 mA/mm , $V_{D S} = -30 \text{ V}$ における最大電流 on/off 比は 10^3 倍であった。

また、図 8 に示すようにインバータとして動作していることも確認できた。

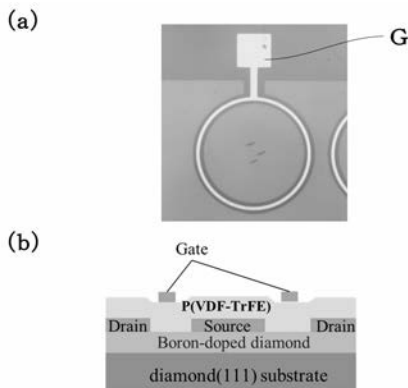
【 図 1 】



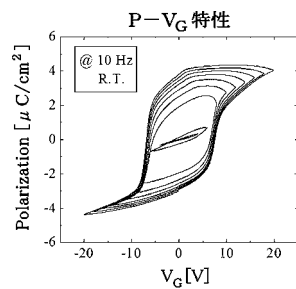
【 図 3 】



【 図 2 】

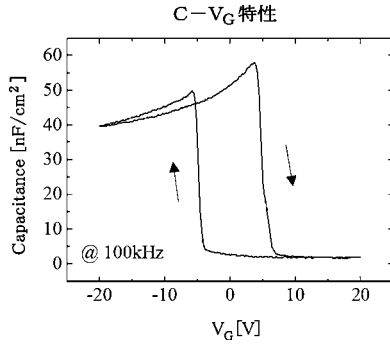


【 図 4 】

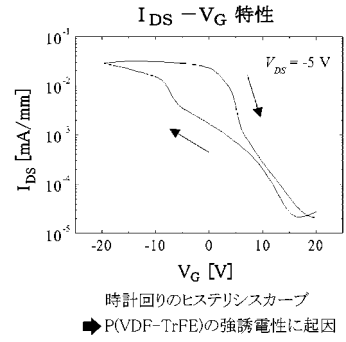


$2P_r = 6.8 \mu\text{C}/\text{cm}^2$
 $2V_c = 14.5 \text{ V}$ @最大印加電圧: 20 V
 空乏層に起因する非対称性

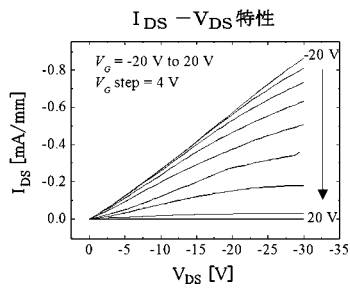
【 図 5 】



【 図 7 】

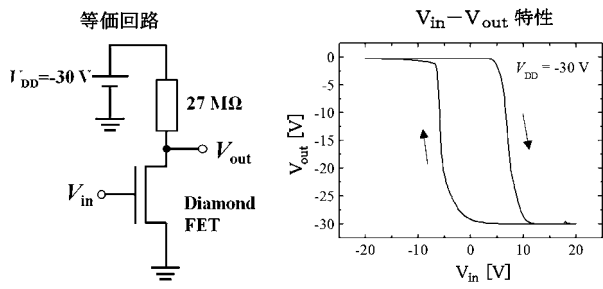


【 図 6 】



➢ デプレッション型pチャネルFET動作を確認
 最大ドレイン電流密度 : 0.87 mA/mm
 最大電流on/off比 : 10³ @ V_{DS} = -30 V

【 図 8 】



➢ V_{in} = 20 V (High) ➡ V_{out} = -30 V (Low)
 ➢ V_{in} = -20 V (Low) ➡ V_{out} = 0 V (High)
 インバータとして動作していることを確認

フロントページの続き

特許法第30条第2項適用申請有り 1. 発行日：平成28年12月10日，刊行物：平成28年度応用物理学会北陸・信越支部学術講演会講演予稿集 第57頁 C07，平成28年度応用物理学会北陸・信越支部学術講演プログラム編集委員会 2. 開催日：平成28年12月10日，集会名，開催場所：平成28年度応用物理学会北陸・信越支部学術講演会，富山県民会館（富山県富山市新総曲輪4-18） 3. 発行日：平成29年3月1日，刊行物：2017年<第64回>応用物理学会春季学術講演会〔講演予稿集〕14p-412-12，公益社団法人応用物理学会 4. 開催日：平成29年3月14日（開催期間：平成29年3月14～17日），集会名，開催場所：2017年第64回応用物理学会春季学術講演会，パンフィコ横浜（神奈川県横浜市西区みなとみらい1丁目1-1）

（出願人による申告）平成27年度国立研究開発法人科学技術振興機構 研究成果展開事業 マッチングプランナープログラム 産業技術力強化法第19条の適用を受ける特許出願

(72)発明者 馬場 一気

石川県金沢市角間町又7番地 国立大学法人金沢大学内

(72)発明者 柄谷 涼太

石川県金沢市角間町又7番地 国立大学法人金沢大学内

(72)発明者 中嶋 宇史

東京都新宿区神楽坂一丁目3番地 学校法人東京理科大学内

Fターム(参考) 5F083 FR05 GA02 HA10

5F101 BA62 BD02 BD12

5F140 AA05 AC02 BA04 BD04