

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6316981号
(P6316981)

(45) 発行日 平成30年4月25日(2018.4.25)

(24) 登録日 平成30年4月6日(2018.4.6)

(51) Int.Cl.		F I			
HO 1 L 21/336	(2006.01)	HO 1 L	29/78	3 O 1 B	
HO 1 L 29/78	(2006.01)	HO 1 L	29/78	3 O 1 S	
		HO 1 L	29/78	3 O 1 P	
		HO 1 L	29/78	3 O 1 H	

請求項の数 10 (全 20 頁)

(21) 出願番号	特願2016-557764 (P2016-557764)	(73) 特許権者	503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86) (22) 出願日	平成27年11月2日(2015.11.2)	(74) 代理人	100087480 弁理士 片山 修平
(86) 国際出願番号	PCT/JP2015/080954	(72) 発明者	鳥海 明 東京都文京区本郷7丁目3番1号 国立大 学法人東京大学内
(87) 国際公開番号	W02016/072398	(72) 発明者	李 忠賢 東京都文京区本郷7丁目3番1号 国立大 学法人東京大学内
(87) 国際公開日	平成28年5月12日(2016.5.12)	(72) 発明者	西村 知紀 東京都文京区本郷7丁目3番1号 国立大 学法人東京大学内
審査請求日	平成29年4月20日(2017.4.20)		
(31) 優先権主張番号	特願2014-225622 (P2014-225622)		
(32) 優先日	平成26年11月5日(2014.11.5)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】ゲルマニウム層をチャンネル領域とする半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲルマニウム層内に形成された第1導電型を有するチャンネル領域と、
前記ゲルマニウム層内に形成され、前記第1導電型と異なる第2導電型を有するソース領域およびドレイン領域と、
を具備し、

前記チャンネル領域における酸素濃度は、前記ソース領域およびドレイン領域の少なくとも一方の領域と前記少なくとも一方の領域を囲む前記第1導電型を有する領域との接合界面における酸素濃度より低いことを特徴とする半導体装置。

【請求項2】

前記チャンネル領域における酸素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以下であり、前記接合界面における酸素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ より高いことを特徴とする請求項1記載の半導体装置。

【請求項3】

前記チャンネル領域における酸素濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以下であることを特徴とする請求項2記載の半導体装置。

【請求項4】

前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする請求項1から3のいずれか一項記載の半導体装置。

【請求項5】

10

20

ゲルマニウム層内に形成された第1導電型を有するチャネル領域を形成する工程と、前記ゲルマニウム層内に前記第1導電型と異なる第2導電型を有するソース領域およびドレイン領域を形成する工程と、

前記チャネル領域における酸素濃度が前記ソース領域およびドレイン領域の少なくとも一方の領域と前記少なくとも一方の領域を囲む前記第1導電型を有する領域との接合界面における酸素濃度より低くなるように酸素濃度を設定する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項6】

前記酸素濃度を設定する工程は、

前記ゲルマニウム層内の前記チャネル領域となる領域が露出し、前記接合界面となる領域上の前記ゲルマニウム層の表面が露出しない状態で還元性雰囲気において前記ゲルマニウム層を熱処理する工程を含むことを特徴とする請求項5記載の半導体装置の製造方法。

10

【請求項7】

前記熱処理する工程は、前記チャネル領域および前記接合界面の酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上のゲルマニウム層を熱処理する工程であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】

前記熱処理する工程の前に、前記チャネル領域となる領域および前記接合界面となる領域に酸素を導入する工程を含むことを特徴とする請求項6または7記載の半導体装置の製造方法。

20

【請求項9】

前記酸素濃度を設定する工程は、

前記チャネル領域となる領域に対し前記接合界面となる領域に選択的に酸素を導入する工程を含むことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項10】

前記酸素濃度を設定する工程は、

前記チャネル領域における酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下となり、前記接合界面における酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より高くなるように前記酸素濃度を設定する工程であることを特徴とする請求項5から9のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、ゲルマニウム層をチャネル領域とする半導体装置およびその製造方法に関する。

【背景技術】

【0002】

ゲルマニウム(Ge)は、シリコン(Si)に比べ優れた電子物性を有する半導体である。例えば、ゲルマニウム層をチャネル領域とするMOSFET(Metal Oxide Semiconductor Field Effect Transistor)が開発されている。特許文献1には、還元性ガスまたは不活性ガス雰囲気においてゲルマニウム層を熱処理することが記載されている。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開第2014/050187号

【発明の概要】

【発明が解決しようとする課題】

【0004】

MOSFETにおいては、例えばチャネルの移動度を向上させることによりオン電流を大きくすることができる。また、例えばソース領域およびドレイン領域における接合電流を抑制することによりオフ電流を抑制することができる。しかしながら、オン電流を大き

50

くし、かつオフ電流を小さくすることは難しい。このため、オフ電流に対するオン電流の比（いわゆるオンオフ比）を大きくすることは難しい。

【0005】

本発明は、上記課題に鑑みなされたものであり、オフ電流に対するオン電流の比を大きくすることが可能な半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、ゲルマニウム層内に形成された第1導電型を有するチャネル領域と、前記ゲルマニウム層内に形成され、前記第1導電型と異なる第2導電型を有するソース領域およびドレイン領域と、を具備し、前記チャネル領域における酸素濃度は、前記ソース領域およびドレイン領域の少なくとも一方の領域と前記少なくとも一方の領域を囲む前記第1導電型を有する領域との接合界面における酸素濃度より低いことを特徴とする半導体装置である。

10

【0007】

上記構成において、前記チャネル領域における酸素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以下であり、前記接合界面における酸素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ より高い構成とすることができる。

【0008】

上記構成において、前記チャネル領域における酸素濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以下である構成とすることができる。

20

【0009】

上記構成において、前記第1導電型はp型であり、前記第2導電型はn型である構成とすることができる。

【0010】

本発明は、ゲルマニウム層内に形成された第1導電型を有するチャネル領域を形成する工程と、前記ゲルマニウム層内に前記第1導電型と異なる第2導電型を有するソース領域およびドレイン領域を形成する工程と、前記チャネル領域における酸素濃度が前記ソース領域およびドレイン領域の少なくとも一方の領域と前記少なくとも一方の領域を囲む前記第1導電型を有する領域との接合界面における酸素濃度より低くなるように酸素濃度を設定する工程と、を含むことを特徴とする半導体装置の製造方法である。

30

【0011】

上記構成において、前記酸素濃度を設定する工程は、前記ゲルマニウム層内の前記チャネル領域となる領域が露出し、前記接合界面となる領域上の前記ゲルマニウム層の表面が露出しない状態で還元性雰囲気において前記ゲルマニウム層を熱処理する工程を含む構成とすることができる。

【0012】

上記構成において、前記熱処理する工程は、前記チャネル領域および前記接合界面の酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上のゲルマニウム層を熱処理する工程である構成とすることができる。

【0013】

上記構成において、前記熱処理する工程の前に、前記チャネル領域となる領域および前記接合界面となる領域に酸素を導入する工程を含む構成とすることができる。

40

【0014】

上記構成において、前記酸素濃度を設定する工程は、前記チャネル領域となる領域に対し前記接合界面となる領域に選択的に酸素を導入する工程を含む構成とすることができる。

【0015】

上記構成において、前記酸素濃度を設定する工程は、前記チャネル領域における酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下となり、前記接合界面における酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より高くなるように前記酸素濃度を設定する工程である構成とすることができる。

50

【発明の効果】

【0016】

本発明によれば、オフ電流に対するオン電流の比を大きくすることが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0017】

【図1】図1(a)から図1(d)は、実験に用いたMOS構造の作製方法を示す断面図である。

【図2】図2は、基板AおよびBについて、面電子密度 N_s に対する電子移動度 μ_{eff} を示す図である。

10

【図3】図3(a)および図3(b)は、それぞれ基板AおよびBにおけるn-FETのゲート電圧 V_G に対するソース電流 I_S およびドレイン電流 I_D を示す図である。

【図4】図4は、基板Bにおける深さに対する酸素濃度を示す図である。

【図5】図5(a)および図5(b)は、基板Bを水素熱処理したサンプルの面密度 N_s に対する移動度 μ_{eff} を示す図である。

【図6】図6(a)および図6(b)は、基板Bを水素熱処理したサンプルのゲート電圧 V_G に対するドレイン電流 I_D を示す図である。

【図7】図7は、基板Aに酸素イオンをイオン注入したサンプルの面電子密度 N_s に対する電子移動度 μ_{eff} を示す図である。

【図8】図8は、基板Aに酸素イオンをイオン注入したサンプルの表面からの深さに対する酸素濃度を示す図である。

20

【図9】図9(a)から図9(d)は、接合電流を評価するサンプルの作製方法を示す断面図である。

【図10】図10は、基板Aに酸素イオン注入したサンプルおよび酸素イオン注入しないサンプルの表面からの深さに対する酸素濃度を示す図である。

【図11】図11(a)は、基板Aを用いたFETの接合電圧に対する接合電流を示す図であり、図11(b)は、逆方向電流を示す図である。

【図12】図12は、基板Aを用いたFETの熱処理温度に対するオフリーク電流を示す図である。

【図13】図13は、基板Aを用い酸素イオン注入したFETの接合電流の温度依存性を示す図である。

30

【図14】図14は、実施例1に係る半導体装置の断面図である。

【図15】図15(a)から図15(d)は、実施例2に係るFETの製造方法を示す断面図である。

【図16】図16(a)から図16(c)は、実施例3に係るFETの製造方法を示す断面図である。

【図17】図17(a)から図17(c)は、実施例4に係るFETの製造方法を示す断面図である。

【図18】図18は、作製した実施例5に係るFETの断面図である。

【図19】図19は、実施例5のゲート電圧 V_G に対するソース電流 I_S およびドレイン電流 I_D を示す図である。

40

【図20】図20は、実施例5の面電子密度 N_s に対する電子移動度 μ_{eff} を示す図である。

【発明を実施するための形態】

【0018】

以下に、発明者らが本発明に至った実験について説明する。

【0019】

単結晶ゲルマニウム基板として、成長方法の異なる基板Aおよび基板Bを用いMOS構造を作製した。図1(a)から図1(d)は、実験に用いたMOS構造の作製方法を示す断面図である。図1(a)に示すように、(111)面を主面とする単結晶ゲルマニウム

50

基板 10 を準備する。ゲルマニウム基板 10 が p 型の場合、アクセプタ濃度 N_A は $2 \times 10^{16} \text{ cm}^{-3}$ である。ゲルマニウム基板 10 が n 型の場合、ドナー濃度 N_D は $1 \times 10^{16} \text{ cm}^{-3}$ である。

【0020】

図 1 (b) に示すように、ゲルマニウム基板 10 上に酸化ゲルマニウム膜 12 を形成する。酸化ゲルマニウム膜 12 の形成は、ゲルマニウム基板 10 を酸素ガス雰囲気中で熱処理することにより行なう。酸化ゲルマニウム膜 12 の形成条件は、酸素圧力が 70 気圧、基板温度が 500 である。酸化ゲルマニウム膜 12 の膜厚は 5 nm から 6 nm 程度である。図 1 (c) に示すように、酸化ゲルマニウム膜 12 の表面にゲート電極 14 として金属膜を形成する。ゲート電極 14 は、金 (Au) 膜である。これにより、移動度を測定するサンプルが完成する。

10

【0021】

作製したサンプルについて、スプリット CV 法を用い、室温におけるキャリア数と移動度 μ_{eff} を求めた。スプリット CV 法は、CV 測定の積分からキャリア数を導出し、キャリア数と I-V 測定から移動度を求める方法である。キャリア数から面キャリア密度 N_s を求めた。

【0022】

FET を作製する場合には、図 1 (d) に示すように、ゲルマニウム基板 10 内にソース領域 16 およびドレイン領域 18 を形成する。ソース領域 16 およびドレイン領域 18 は、イオン注入法を用い形成する。n-FET においては、ゲルマニウム基板 10 は p 型であり、ソース領域 16 およびドレイン領域 18 は n 型である。p-FET においては、ゲルマニウム基板 10 は n 型であり、ソース領域 16 およびドレイン領域 18 は p 型である。その後、活性化アニールとして、ゲルマニウム基板 10 を窒素ガス雰囲気において熱処理を行なう。ソース領域 16 およびドレイン領域 18 とソース領域 16 およびドレイン領域 18 を囲む領域とは異なる導電型なり、pn 接合が形成される。

20

【0023】

n-FET においては、ソース領域 16 およびドレイン領域 18 を形成するため燐 (P) をイオン注入する。注入条件は、注入エネルギーが 50 keV であり、注入ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ である。p-FET においては、ソース領域 16 およびドレイン領域 18 を形成するため、ホウ素 (B) をイオン注入する。注入条件は、注入エネルギーが 20 keV であり、注入ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ である。

30

【0024】

ゲルマニウム基板 10 上に、図 1 (b) と同様に、酸化ゲルマニウム膜 12 をゲート絶縁膜として形成する。酸化ゲルマニウム膜 12 上に、ゲート電極 14 を形成する。ゲート電極 14 は、アルミニウム (Al) 膜である。ゲルマニウム基板 10 上に絶縁膜 24 を形成する。絶縁膜 24 はゲルマニウム基板 10 側から酸化イットリウム膜および酸化シリコン膜である。ソース領域 16 およびドレイン領域 18 上の絶縁膜 24 に開口を形成する。開口を介しソース領域 16 およびドレイン領域 18 に接触するようにそれぞれソース電極 26 およびドレイン電極 28 を形成する。ソース電極 26 およびドレイン電極 28 は、アルミニウム膜である。

40

【0025】

作製した FET サンプルについて、室温におけるゲート電圧 V_G に対するソース電流 I_S およびドレイン電流 I_D を測定した。

【0026】

図 2 は、基板 A および B について、面電子密度 N_s に対する電子移動度 μ_{eff} を示す図である。図 2 に示すように、基板 A の電子移動度 μ_{eff} は N_s が $0.2 \times 10^{12} \text{ cm}^{-2}$ 付近で最大となり、約 $1700 \text{ cm}^2 / \text{Vs}$ である。基板 B の電子移動度 μ_{eff} は N_s が $1 \times 10^{12} \text{ cm}^{-2}$ 付近で最大となり、約 $300 \text{ cm}^2 / \text{Vs}$ である。基板 A の移動度 μ_{eff} は全ての N_s で基板 B より高い。このように、基板 A と B とで移動度が異なる理由は不明である。

50

【0027】

図3(a)および図3(b)は、それぞれ基板AおよびBにおけるn-FETのゲート電圧 V_G に対するソース電流 I_S およびドレイン電流 I_D を示す図である。基板Aを用いて作製したn-FETにおけるゲート長 L およびゲート幅 W はそれぞれ $400\mu\text{m}$ および $90\mu\text{m}$ であり、基板Bを用いて作製したn-FETにおけるゲート長 L およびゲート幅 W はそれぞれ $100\mu\text{m}$ および $120\mu\text{m}$ である。ソース領域16およびドレイン領域18の大きさは、 $130 \times 100\mu\text{m}^2$ である。活性アニールは温度が 500 および時間が10分の条件で行なった。

【0028】

図3(a)および図3(b)に示すように、基板AおよびBともピンチオフ電圧は約 -1V である。ゲート電圧 V_G が正の領域のソース電流 I_S およびドレイン電流 I_D がオン電流に相当する。ゲート電圧 V_G が -1V 以下の領域のソース電流 I_S およびドレイン電流 I_D がオフ電流に相当する。オン電流が大きく、オフ電流が小さいFETほど性能が良い。

10

【0029】

基板Aは基板Bに対し、オン電流が大きい。これは、図2に示したように、基板Aが基板Bに比べ移動度が高いためである。一方、基板Bは基板Aに対し、オフ電流が小さい。これは、基板Bが基板Aに比べpn接合におけるリーク電流が小さいためと考えられる。オン電流は基板Aが好ましく、オフ電流は基板Bが好ましい。基板Aと同程度のオン電流で、基板B程度のオフ電流が実現できれば、FET特性は向上する。発明者らは、基板AとBとでオン電流およびオフ電流が異なる原因を調査した。

20

【0030】

基板AおよびBについて、SIMS (Secondary Ion Mass Spectrometry) 分析を行なった。図4は、基板Bにおける深さに対する酸素濃度を示す図である。図1(a)の後、図1(b)の前に基板Bの表面が露出した状態で、大気圧水素ガス(100%)雰囲気において、熱処理を行なった。熱処理温度は、 700 および 850 であり、熱処理時間は15分である。図4において、黒四角は基板Bを水素熱処理する前、黒三角は 700 の水素熱処理後、黒丸は 850 の水素熱処理後のSIMS分析結果を示す。酸素の検出限界は約 $1 \times 10^{15}\text{cm}^{-3}$ である。酸素濃度は、深さが 0.3 から $0.4\mu\text{m}$ 程度より浅い領域で非常に大きくなる。これは、ゲルマニウム基板の表面に吸着された酸素が観測されているためである。

30

【0031】

図4に示すように、水素熱処理前の基板Bにおいては、表面からの深さが少なくとも $5\mu\text{m}$ まで、酸素濃度は $1 \times 10^{16}\text{cm}^{-3}$ 以上である。一方、基板Aの酸素濃度は検出限界以下であった。このように、基板Bは基板Aより酸素濃度が高い。このことから、基板Bにおいて移動度が低くかつ接合リーク電流が低いこととゲルマニウム基板10内の酸素濃度とは何らかの関係があると推定した。

【0032】

基板Bを 700 で水素熱処理すると、基板B内の酸素濃度が $1 \times 10^{16}\text{cm}^{-3}$ 以下に減少する。深さが $1.5\mu\text{m}$ 以下では、酸素濃度は約 $5 \times 10^{15}\text{cm}^{-3}$ 以下であり、深さが $1\mu\text{m}$ 以下では、酸素濃度は約 $3 \sim 4 \times 10^{15}\text{cm}^{-3}$ である。基板Bを 850 で熱処理すると、酸素濃度はさらに減少する。深さが $4\mu\text{m}$ 以下で、酸素濃度は約 $5 \times 10^{15}\text{cm}^{-3}$ 以下である。深さが $1.5\mu\text{m}$ 以下で酸素濃度は約 $2 \times 10^{15}\text{cm}^{-3}$ である。このように、水素熱処理の温度を高くすると基板10内の酸素濃度が減少する。

40

【0033】

基板Bについて、熱処理温度を変え、水素熱処理したサンプルを作製し移動度を測定した。サンプルの作製工程は、図1(a)から図1(c)であり、図1(b)の前に水素雰囲気中15分の熱処理を行なっている。

【0034】

50

図5(a)および図5(b)は、基板Bを水素熱処理したサンプルの面密度 N_S に対する移動度 μ_{eff} を示す図である。図5(a)の基板Bはp型であり、面密度 N_S は面電子密度であり、移動度 μ_{eff} は電子移動度である。図5(b)の基板Bはn型であり、面密度 N_S は面ホール密度であり、移動度 μ_{eff} はホール移動度である。水素熱処理温度は650(白四角)、700(白三角)および850(白丸)、熱処理時間は15分である。基準サンプル(黒丸)は、熱処理を行なっておらず、酸化ゲルマニウム膜の膜厚が15nmであり、他のサンプルより酸化ゲルマニウム膜の成膜温度を高くしている。

【0035】

図5(a)に示すように、基準サンプルでは、最大の電子移動度 μ_{eff} が約300cm²/Vs程度である。熱処理温度を650とすると、最大の移動度 μ_{eff} が約600cm²/Vsと向上する。熱処理温度を700とすると、最大の移動度 μ_{eff} が約800cm²/Vsとさらに向上する。熱処理温度を850とすると、最大の移動度 μ_{eff} は約1200cm²/Vsと基板Aとほぼ同程度となる。

10

【0036】

図5(b)に示すように、各サンプルとも最大のホール移動度 μ_{eff} は、500から700cm²/Vsである。熱処理温度が高くなると最大のホール移動度が高くなる。水素熱処理によるホール移動度の改善は電子移動度ほど顕著ではない。

【0037】

基板Bについて、熱処理温度を変え、水素熱処理したFETサンプルを作製した。サンプルの作製工程は、図1(a)から図1(d)であり、図1(b)の前に水素雰囲気中で15分の熱処理を行なっている。作製したFETのゲート長Lおよびゲート幅Wはそれぞれ200 μ mおよび90 μ mである。ソース領域16およびドレイン領域18の大きさは、130 \times 100 μ m²である。

20

【0038】

図6(a)および図6(b)は、基板Bを水素熱処理したサンプルのゲート電圧 V_G に対するドレイン電流 I_D を示す図である。図6(a)はn-FET、図6(b)はp-FETである。ドレイン電圧 V_D は0.5Vである。図6(a)に示すように、n-FETでは、基準サンプルに比べ水素熱処理を行なうとオン電流(V_G が2V付近の I_D)が大きくなる。しかし、オフ電流(V_G が-1V付近の I_D)も大きくなる。このように、水素熱処理を行なうことにより、図3(b)の基板Aと同様のFET特性となる。図6(b)に示すように、p-FETにおいては、水素熱処理によるFET特性の変化はほとんどない。

30

【0039】

このように、水素熱処理により、オン電流およびオフ電流が大きくなる。これは、水素熱処理によって、移動度が向上し、かつ接合リーク電流が増加したためと考えられる。水素熱処理の影響は、p-FETよりn-FETが大きい。

【0040】

図4と図5(a)および図5(b)とを比較すると、水素熱処理の温度が高くなると基板B中の酸素濃度が減少し、電子移動度およびホール移動度が向上する。水素熱処理の温度が850では、基板B中の酸素濃度は 2×10^{15} cm⁻³程度となり、電子移動度は図2に示した基板Aと同程度となる。このように、ゲルマニウム基板10内の酸素濃度と移動度とに相関があることがわかる。特に、酸素濃度と電子移動度とには相関がある。移動度を向上させるためには、熱処理温度は750以上が好ましく、800以上がより好ましく、850以上がさらに好ましい。ゲルマニウムの融点が約938であることから、熱処理温度は925度以下が好ましく、900以下がより好ましい。

40

【0041】

図4と図6(a)および図6(b)とを比較すると、水素熱処理の温度が高くなり基板B中の酸素濃度が減少すると、オン電流およびオフ電流が大きくなる。水素熱処理の温度が850では、オン電流およびオフ電流は、図3(a)に示した基板Aと同程度となる

50

。オン電流が大きくなるのは移動度が向上したためであり、オフ電流が大きくなるのは接合リーク電流が大きくなるためである。このように、ゲルマニウム基板10内の酸素濃度とオン電流およびオフ電流とに相関があることがわかる。特に、酸素濃度とn-FETの特性には相関がある。

【0042】

基板Bにおいて、水素熱処理の熱処理温度を高くすると酸素濃度が低くなる理由は明らかではないが、例えばゲルマニウム基板10内の酸素が還元性ガスにより除去されることが考えられる。

【0043】

水素熱処理により、ゲルマニウム基板内の酸素濃度が減少することを確認するため、基板Aのゲルマニウム基板10に酸素イオンをイオン注入し、熱処理した。熱処理雰囲気は窒素ガス雰囲気としたサンプルと水素ガス雰囲気としたサンプルを作製した。イオン注入および熱処理以外の作製工程は、図1(a)から図1(c)と同じである。図1(a)の状態、ゲルマニウム基板10に注入エネルギーが100keV、注入ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ の条件で酸素イオンを注入した。その後、イオン注入によるダメージを回復させるため、酸化シリコン膜をキャップに、窒素雰囲気中で750の熱処理を行なった。その後、キャップを除去し、ゲルマニウム基板10の表面を露出した状態で、窒素ガス雰囲気または水素ガス雰囲気中で熱処理した。熱処理における熱処理温度は700、熱処理時間は15分である。その後、図1(b)および図1(c)の工程を行なった。

【0044】

図7は、基板Aに酸素イオンをイオン注入したサンプルの面電子密度 N_s に対する電子移動度 μ_{eff} を示す図である。基準サンプルは、酸素をイオン注入しておらず、熱処理を行っていない。図7に示すように、基準サンプルでは、最大の移動度が約1200 $\text{ cm}^2/\text{Vs}$ 程度である。酸素イオン注入後、窒素ガス雰囲気において熱処理を行なったサンプルでは、最大の移動度は約500 $\text{ cm}^2/\text{Vs}$ 程度である。これに対し、酸素イオン注入後、水素ガス雰囲気において熱処理を行なったサンプルでは、最大の移動度は約800 $\text{ cm}^2/\text{Vs}$ 程度である。このように、酸素イオンを注入すると移動度が低下する。酸素イオン注入後、窒素熱処理しても移動度はあまり改善しないが、水素熱処理することにより、移動度が向上する。

【0045】

水素熱処理の温度が700のサンプルをSIMS分析した。図8は、基板Aに酸素イオンをイオン注入したサンプルの表面からの深さに対する酸素濃度を示す図である。実線、破線および点線は、それぞれ水素熱処理する前の基準サンプルのSIMS分析結果、700の水素熱処理後のサンプルのSIMS分析結果、およびイオン注入した酸素イオンの計算結果を示す。深さが150nmより浅い領域では、ゲルマニウム基板の表面に吸着された酸素が観測されている。また、測定速度が異なるため図4とは検出限界および深さが浅い領域での振舞いが異なる。

【0046】

図8に示すように、基準サンプルにおいて、酸素イオンを注入する前の基板Aの酸素濃度は、検出限界の $8 \times 10^{15} \text{ cm}^{-3}$ 程度である。点線の計算結果のように、深さが約150nmにおいて酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ のピークとなるように、酸素イオンをゲルマニウム基板10にイオン注入している。

【0047】

700の水素熱処理により、深さが150nmから600nmでは、酸素濃度は最大で $3 \times 10^{16} \text{ cm}^{-3}$ である。深さが600nm以上では、酸素濃度は検出限界である。図8のように、酸素を注入したゲルマニウム基板10を水素熱処理することにより、ゲルマニウム基板10内の酸素濃度が減少することがわかる。図7のように、窒素熱処理より水素熱処理において移動度が高くなる。このことから、水素熱処理により、基板10内の酸素が除去され、移動度が向上していると考えられる。

【0048】

図4から図8の実験結果から、基板Bを還元性ガス雰囲気中、700程度以上において熱処理すると、基板B中の酸素が除去され、酸素濃度が減少する。基板B内の酸素濃度が減少することにより、図5(a)のように基板Bの移動度が基板Aの移動度と同程度となる。図6(a)のように、基板Bのオン電流およびオフ電流が基板Aと同程度となる。このことから、基板AとBとで、移動度および接合リーク電流が異なるのは、基板中の酸素濃度が関連していると考えられる。

【0049】

ゲルマニウム基板中の酸素濃度と接合リーク電流との関係を調べるため、酸素イオンを注入した基板Aにpn接合を形成し、接合電流およびFET特性を評価した。

【0050】

図9(a)から図9(c)は、接合電流を評価するサンプルの作製方法を示す断面図である。図9(a)に示すように、(111)面を主面とするp型単結晶ゲルマニウム基板10に酸素イオンを注入し、酸素イオン注入領域20を形成する。酸素イオン注入条件は、注入エネルギーが100keV、注入ドーズ量が $1 \times 10^{13} \text{ cm}^{-3}$ である。酸素イオン注入後、ダメージ回復のため、酸化シリコン膜をキャップとして形成し、窒素ガス雰囲気において750の熱処理を行なう。これにより、深さが約300nmの酸素イオン注入領域20が形成される。

【0051】

図9(b)に示すように、酸素イオン注入領域20内にn型領域22を形成する。n型領域22は、リンイオンのイオン注入により形成する。注入条件は、注入エネルギーが30keV、注入ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ または $1 \times 10^{14} \text{ cm}^{-2}$ ある。イオン注入後、活性化アニールとして、窒素ガス雰囲気において600-30秒の熱処理を行なう。これにより、深さが約50nmのn型領域22が形成される。n型領域22の大きさは $80 \times 80 \mu\text{m}^2$ である。

【0052】

図9(c)に示すように、ゲルマニウム基板10内の酸素イオン注入領域20上に絶縁膜24を形成する。絶縁膜24は、基板10側から酸化イットリウム膜および酸化シリコン膜である。n型領域22上の絶縁膜24に開口を形成する。開口を介し、n型領域22に接触するソース電極26およびドレイン電極28を形成する。ソース電極26およびドレイン電極28は、アルミニウム膜である。

【0053】

図9(d)は、FET特性を評価するサンプルの断面図である。図9(d)に示すように、ゲルマニウム基板10に図9(a)と同様に酸素イオン注入領域20が形成されている。ソース領域16およびドレイン領域18として図9(c)のn型領域22が形成されている。その他の構成は、図1(d)と同じであり説明を省略する。

【0054】

基板Aにドーズ量が $1 \times 10^{13} \text{ cm}^{-3}$ の酸素をイオン注入したサンプルと酸素を注入していないサンプルとをSIMS分析した。図10は、基板Aに酸素イオン注入したサンプルおよび酸素イオン注入しないサンプルの表面からの深さに対する酸素濃度を示す図である。図10に示すように、酸素を注入していないサンプルの酸素濃度は測定限界($1 \times 10^{15} \text{ cm}^{-3}$)程度である。酸素を注入したサンプルでは、深さが約250nmにおいて酸素濃度は約 $5 \times 10^{17} \text{ cm}^{-3}$ 程度である。

【0055】

図11(a)は、基板Aを用いたFETの接合電圧に対する接合電流を示す図であり、図11(b)は、逆方向電流を示す図である。酸素をイオン注入していないサンプル(ドーズ量0のサンプル)、酸素ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ および $1 \times 10^{14} \text{ cm}^{-2}$ のサンプルの接合電流の測定結果である。図11(a)に示すように、酸素を注入していないサンプルに対し、酸素を注入したサンプルは逆方向の接合電流が約2桁小さい。図11(b)に示すように、酸素を注入していないサンプルに対し、酸素を注入したサンプルは逆方向のブレイクダウン電圧 V_{BV} が大きい。

10

20

30

40

50

【 0 0 5 6 】

図 1 2 は、基板 A を用いた F E T の熱処理温度に対するオフリーク電流を示す図である。熱処理温度は、図 9 (b) における燐注入後の活性化アニールのための熱処理温度である。オフリーク電流は、F E T サンプルにおけるゲート電圧が - 1 V のドレイン電流である。図 1 2 に示すように、酸素を注入していないサンプルに対し、酸素を注入したサンプルは逆方向のオフリーク電流が約 2 桁小さい。

【 0 0 5 7 】

このように、酸素をイオン注入したサンプルは、酸素をイオン注入していないサンプルに比べ、接合電流が 2 桁小さく、ブレークダウン電圧が高い、また、オフリーク電流が 2 桁小さい。

10

【 0 0 5 8 】

図 1 3 は、基板 A を用い酸素イオン注入した F E T の接合電流の温度依存性を示す図である。測定したサンプルは、酸素ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ のサンプルである。活性化アニールは 6 0 0 3 0 秒である。測定する温度を 3 0 0 K、2 5 0 K、2 0 0 K および 1 5 0 K とし接合電流を測定した。図 1 3 に示すように、逆方向の接合電流は温度が低くなると桁が変わる程度に減少する。これは、逆方向の接合電流が単純なトンネル電流起因ではないことを示している。

【 0 0 5 9 】

半導体中に欠陥が導入されると、欠陥を介したトンネル電流が生じ、逆方向の接合リーク電流が大きくなると考えられる。しかしながら、図 1 1 (a) および図 1 1 (b) のように、ゲルマニウム基板 1 0 内の酸素に関連した欠陥が増えると、このようなリーク電流は小さくなることがわかった。これにより、逆方向ブレークダウン電圧が高くなる。また、オフ電流が小さくなる。この理由は明確ではない。図 1 3 のように、逆方向の接合電流はトンネル電流ではなく、活性化エネルギーを有するものであることがわかる。

20

【 0 0 6 0 】

以上の実験結果に基づき、オン電流が大きく、かつオフ電流が小さい実施例について以下に説明する。

【実施例 1】

【 0 0 6 1 】

図 1 4 は、実施例 1 に係る半導体装置の断面図である。図 1 4 に示すように、ゲルマニウム層 3 0 内にソース領域 3 6 およびドレイン領域 3 8 が形成されている。ソース領域 3 6 とドレイン領域 3 8 との間のゲルマニウム層 3 0 上にゲート絶縁膜 3 2 が形成されている。ゲート絶縁膜 3 2 上にゲート電極 3 4 が形成されている。ゲート電極 3 4 以外のゲルマニウム層 3 0 上に絶縁膜 4 0 が形成されている。ソース領域 3 6 およびドレイン領域 3 8 上の絶縁膜 4 0 には開口が形成されている。開口を介しソース領域 3 6 およびドレイン領域 3 8 に接触するようにそれぞれソース電極 4 2 およびドレイン電極 4 4 が形成されている。

30

【 0 0 6 2 】

ゲート電極 3 4 およびゲート絶縁膜 3 2 下のゲルマニウム層 3 0 内のチャネル領域 5 0 とソース領域 3 6 およびドレイン領域 3 8 とは反対の導電型である。ソース領域 3 6 およびドレイン領域 3 8 と、ゲルマニウム層 3 0 とは、p n 接合を形成する。チャネル領域には酸素濃度の低い低酸素濃度領域 4 8 が形成されている。p n 接合界面 5 2 には酸素濃度が低酸素濃度領域 4 8 の酸素濃度より高い高酸素濃度領域 4 6 が形成されている。

40

【 0 0 6 3 】

ゲルマニウム層 3 0 は、単結晶ゲルマニウム基板でもよいし、基板（例えばシリコン基板）上に形成された単結晶または多結晶ゲルマニウム膜でもよい。また、ゲルマニウム層 3 0 は、例えば n 型または p 型ゲルマニウムである。さらに、ゲルマニウム層 3 0 には、上記実験の効果が得られる程度にシリコンが含まれていてもよい。シリコンの組成比は、全体の 1 0 % 程度以下であればよい。ゲルマニウム層 3 0 の主面は、いずれの面でもよく、例えば (1 0 0) 面、(1 1 1) 面または (1 1 0) 面とすることができる。なお、(

50

100)面、(111)面および(110)面は、これらに等価な結晶面も含まれる。また、主面は、これらの面から数度程度オフしていてもよい。すなわち、主面の法線方向は<111>方向および<110>方向から数度以下、好ましくは1度以下の範囲で傾いていてもよい。

【0064】

ゲート絶縁膜32として、酸化ゲルマニウム膜、高誘電率絶縁膜、または酸化ゲルマニウム膜と高誘電率絶縁膜との積層膜を用いることができる。高誘電率絶縁膜としては、酸化ハフニウム、酸化ジルコニウムまたは酸化イットリウム等の希土類金属酸化膜を用いることができる。ゲート絶縁膜32の膜厚は、2nm以下が好ましく、1.5nm以下がより好ましく、1.0nm以下がさらに好ましい。ゲート電極34としては、金属または半導体等の導電層を用いることができる。また、酸化ゲルマニウム膜は、酸化イットリウムまたは酸化スカンジウム等の酸化ゲルマニウムより酸素ポテンシャルの低い物質を含んでもよい。酸化ゲルマニウムより酸素ポテンシャルの低い物質としては、窒化ゲルマニウムまたは酸化アルミニウムでもよい。さらに、酸化ゲルマニウム膜は、アルカリ土類元素、希土類元素およびアルミニウムの少なくとも1つの酸化物と、を含んでもよい。これらにより、ゲルマニウム層30とゲート絶縁膜32との界面を良好にすることができる。また、ゲート絶縁膜32を薄膜化できる。例えば、EOT(等価酸化膜厚:Equivalent Oxide Thickness)を1nm以下とすることができる。

10

【0065】

n-FETにおいては、ゲルマニウム層30はp型であり、ソース領域36およびドレイン領域38はn型である。p-FETにおいては、ゲルマニウム層30はn型であり、ソース領域36およびドレイン領域38はp型である。n-FETにおいては、(111)面を主面とするゲルマニウム層30を用いることにより性能を向上させることができる。p-FETにおいては、(100)面または(110)面を主面とするゲルマニウム層30を用いることにより性能を向上できる。

20

【0066】

絶縁膜40はゲルマニウム層30表面を保護する膜である。絶縁膜40としては、例えば酸化シリコン膜または窒化シリコン膜を含む膜を用いることができる。ソース電極42およびドレイン電極44は、それぞれソース領域36およびドレイン領域38とオーミック接触する電極である。ソース電極42およびドレイン電極44としては、例えばアルミニウム等の金属膜を用いる。

30

【0067】

実施例1によれば、ゲルマニウム層30内に第1導電型を有するチャネル領域50が形成されている。ゲルマニウム層30内に第2導電型(第1導電型と異なる導電型)を有するソース領域36およびドレイン領域38が形成されている。チャネル領域50における酸素濃度は、ソース領域36およびドレイン領域38と、ソース領域36およびドレイン領域38を囲む領域であるゲルマニウム層30と、の接合界面52における酸素濃度より低い。チャネル領域50の酸素濃度が低いため、チャネル領域50の移動度を向上できる。これにより、オン電流を大きくできる。接合界面52の酸素濃度が高いため、接合リーク電流を抑制できる。これによりオフ電流を小さくできる。よって、オフ電流に対するオン電流の比を大きくできる。このようにFET特性を向上させることができる。

40

【0068】

高酸素濃度領域46は、接合界面52を含んでいればよく、ソース領域36およびドレイン領域38の全体を含んでいてもよい。また、チャネル領域の酸素濃度は、ソース領域36およびドレイン領域38の少なくとも一方の接合界面の酸素濃度より低ければよい。

【0069】

図4のように、オン電流を大きくするためには、チャネル領域50における酸素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以下が好ましく、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下がより好ましく、 $3 \times 10^{15} \text{ cm}^{-3}$ 以下が一層好ましい。

【0070】

50

オフ電流を小さくするためには、接合界面52における酸素濃度は $1 \times 10^{16} \text{ cm}^{-3}$ より高いことが好ましく、 $2 \times 10^{16} \text{ cm}^{-3}$ 以上がより好ましく、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上が一層好ましい。

【0071】

図6(a)および図6(b)のように、FET特性を向上させるためには、第1導電型はp型であり、第2導電型はn型であることが好ましい。

【実施例2】

【0072】

図15(a)から図15(d)は、実施例2に係るFETの製造方法を示す断面図である。図15(a)に示すように、ゲルマニウム層30を準備する。ゲルマニウム層30は、例えば基板Aのように、酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下である。図15(b)に示すように、ゲルマニウム層30の表面近傍に酸素を導入し、高酸素濃度領域46を形成する。高酸素濃度領域46は、例えば酸素イオンをイオン注入して形成する。

10

【0073】

図15(c)に示すように、ゲルマニウム層30上に開口56を有するキャップ54を形成する。キャップ54は例えば酸化シリコン膜である。開口56を介しゲルマニウム層30の表面が露出した状態で、還元性ガス雰囲気において、熱処理する。これにより、開口56下の高酸素濃度領域46内の酸素が除去され低酸素濃度領域48が形成される。キャップ54により覆われた高酸素濃度領域46の酸素は除去されない。

【0074】

20

還元性ガスには、水素ガス等のガスが含まれていればよい。還元性ガスとして、例えば、水素ガスが100%のガス、または水素ガスと不活性ガスとの混合ガスを用いることができる。不活性ガスは、例えば酸化性のないガスであり、希ガスまたは窒素ガスである。還元性ガスは、水素ガスを含まなくてもよい。例えば、酸素をほとんど含まないガスであり、かつ熱処理によってゲルマニウム層30とほとんど反応しないガスであって、熱処理によってゲルマニウム層30内の酸素を除去するガスであればよい。例えば酸素をほとんど含まない窒素ガスでもよい。このように、熱処理するガスには酸素はほとんど含まれないことが好ましい。熱処理温度は、図4および図6(a)のように、700以上が好ましく、800以上がより好ましい。熱処理時間は、1分以上が好ましく、5分以上がより好ましく、15分以上がさらに好ましい。

30

【0075】

図15(d)に示すように、高酸素濃度領域46内にソース領域36およびドレイン領域38を形成する。低酸素濃度領域48にチャンネル領域50(図14参照)が含まれるように、ゲート絶縁膜32およびゲート電極34を形成する。ゲルマニウム層30内の高酸素濃度領域46上に絶縁膜40を形成する。絶縁膜40の開口を介しソース領域36およびドレイン領域38に接触するようにそれぞれソース電極42およびドレイン電極44を形成する。これにより、実施例1と同様のFETが形成される。

【0076】

実施例2によれば、図15(b)および図15(c)のように、チャンネル領域50となる領域における酸素濃度が接合界面52(図14参照)となる領域における酸素濃度より低くなるように酸素濃度を設定する。これにより、実施例1のように、FET特性を向上できる。

40

【0077】

また、図15(c)のように、ゲルマニウム層30内のチャンネル領域50となる領域が露出し、接合界面52(図14参照)となる領域上のゲルマニウム層30の表面が露出しない状態で還元性雰囲気においてゲルマニウム層30を熱処理する。これにより、低酸素濃度領域48を簡単に形成できる。

【0078】

図15(b)のように、熱処理する工程の前に、チャンネル領域50となる領域および接合界面52となる領域に酸素を導入してもよい。これにより、高酸素濃度領域46を簡単

50

に形成できる。

【実施例 3】

【0079】

図16(a)から図16(c)は、実施例3に係るFETの製造方法を示す断面図である。図16(a)に示すように、ゲルマニウム層30を準備する。ゲルマニウム層30は、例えば基板Bのように、酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ より大きい。図16(b)に示すように、実施例2の図15(c)と同様に、チャンネル領域50となる領域の酸素を除去し、低酸素濃度領域48を形成する。図16(c)に示すように、その後、実施例2の図15(d)と同様の工程を行なう。その他の工程は、実施例2と同じであり説明を省略する。

10

【0080】

実施例3のように、基板Bのように酸素濃度の高いゲルマニウム層30を用いることにより、酸素を導入する工程を省略できる。

【実施例 4】

【0081】

図17(a)から図17(c)は、実施例4に係るFETの製造方法を示す断面図である。図17(a)に示すように、ゲルマニウム層30を準備する。ゲルマニウム層30は、例えば基板Aのように、酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下である。図17(b)に示すように、チャンネル領域50となる領域には酸素を導入せず、接合界面52となる領域に酸素を導入する。図17(c)に示すように、その後、実施例2の図15(d)と同様の工程を行なう。その他の工程は実施例1と同じであり説明を省略する。

20

【0082】

実施例4によれば、チャンネル領域50となる領域に対し接合界面52となる領域に選択的に酸素を導入する。これにより、実施例2の図15(c)のような還元性ガス雰囲気での熱処理を省略できる。

【実施例 5】

【0083】

実施例5は、実施例2の図15(a)から図15(d)に示す方法を用いn-FET作製した例である。図18は、作製した実施例5に係るFETの断面図である。ゲルマニウム層30としては、(100)面を主面としアクセプタ濃度が $2 \times 10^{16} \text{ cm}^{-3}$ のp型の基板Aを用いた。酸素イオンの注入条件は注入エネルギーが100keV、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ である。水素ガス雰囲気における熱処理のキャップは酸化シリコン膜である。水素熱処理条件は、熱処理温度が750、熱処理時間が15分の熱処理である。ソース領域36およびドレイン領域38を形成するイオン注入条件は、イオンが燐、注入エネルギーが50keV、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ である。活性化アニールの条件は、窒素ガス雰囲気、熱処理温度が600、熱処理時間が30秒である。

30

【0084】

ゲート絶縁膜32としては、EOTが4nmの酸化ゲルマニウム膜を用いた。ゲート電極34、ソース電極42およびドレイン電極44としてはアルミニウム膜を用いた。絶縁膜40としては、酸化イットリウム膜40aおよび酸化シリコン膜40bを用いた。試作したFETのゲート長Lは200 μm 、ゲート幅Wは90 μm である。

40

【0085】

図19は、実施例5のゲート電圧 V_G に対するソース電流 I_S およびドレイン電流 I_D を示す図である。図19に示すように、室温において、ドレイン-ソース電圧 V_{DS} が0.5Vおよび1Vのとき、オフ電流 I_{OFF} に対するオン電流 I_{ON} の比は約 10^5 である。サブスレッショールド係数SSは74mV/decである。

【0086】

図20は、実施例5の面電子密度 N_S に対する電子移動度 μ_{eff} を示す図である。比較例は、水素ガス雰囲気における熱処理を行っていない以外実施例5と同じ方法で作製した。線Siは、シリコンMOSFETにおける一般的な移動度を示す。図20に示すよ

50

うに、比較例は、Si MOSFETより移動度が低い。実施例5は、Si MOSFETに比べ、 N_s が $1 \times 10^{12} \text{ cm}^{-2}$ まで、移動度が高い。最大の移動度は、 $1412 \text{ cm}^2 / \text{Vs}$ である。これまで報告されているゲルマニウムMOSFETの中で、オンオフ比が 10^5 、サブスレッシュホールド係数が $74 \text{ mV} / \text{dec}$ 、電子移動度が $1412 \text{ cm}^2 / \text{Vs}$ は、最も高い値である。

【0087】

実施例1から5においては、MOSFETを例に説明したが、MOSFET以外の半導体装置でもよい。

【0088】

実施例1から5においては、チャネル領域50のほとんど全てが低酸素濃度領域48に含まれ、pn接合界面52のほとんど全てが高酸素濃度領域46に含まれる例を説明したが、チャネル領域50の一部は低酸素濃度領域48に含まれず、pn接合界面52の一部は高酸素濃度領域46に含まれなくてもよい。例えば、チャネル領域50のpn接合界面52側の一部は高酸素濃度領域46に含まれていてもよい。pn接合界面52のチャネル領域50側の一部は低酸素濃度領域48に含まれていてもよい。チャネル領域50のうちオン電流の増加に寄与する領域は低酸素濃度領域48に含まれることが好ましい。pn接合界面52のうちオフ電流の抑制に寄与する領域は高酸素濃度領域46に含まれることが好ましい。

【0089】

FETの構造として、ゲルマニウム層30にソース領域36およびドレイン領域38を形成した単純な構造を例に説明したが、FETの構造は他の構造でもよい。例えば、LDD (Lightly Doped Drain) 構造、またはFin-FET構造でもよい。また、GOI (Germanium On Insulator) 構造でもよい。

【0090】

実施例3の製造方法FETを製造した場合、ゲルマニウム基板の表面近くのチャネル領域における酸素濃度の検出は難しいが、ゲート絶縁膜32下における深さが $1 \mu\text{m}$ 程度の酸素濃度とほぼ同じと考えられる。また、図4のように、ゲート絶縁膜32下のゲルマニウム層において表面から $1 \mu\text{m}$ における酸素濃度が表面から $5 \mu\text{m}$ における酸素濃度より低く、かつ $1 \times 10^{16} \text{ cm}^{-3}$ より低くなる。

【0091】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

【0092】

10	ゲルマニウム基板	
12	酸化ゲルマニウム膜	
14	ゲート電極	
16	ソース領域	
18	ドレイン領域	
20	酸素イオン注入領域	
24	絶縁膜	
26	ソース電極	
28	ドレイン電極	
30	ゲルマニウム層	
32	ゲート絶縁膜	
34	ゲート電極	
36	ソース領域	
38	ドレイン領域	
40	絶縁膜	

10

20

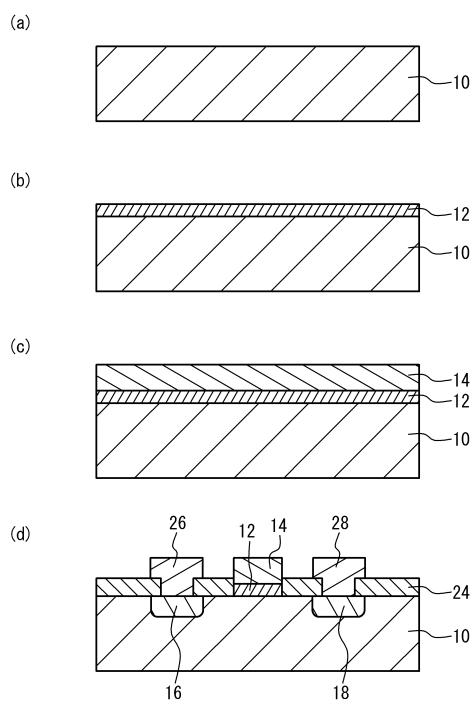
30

40

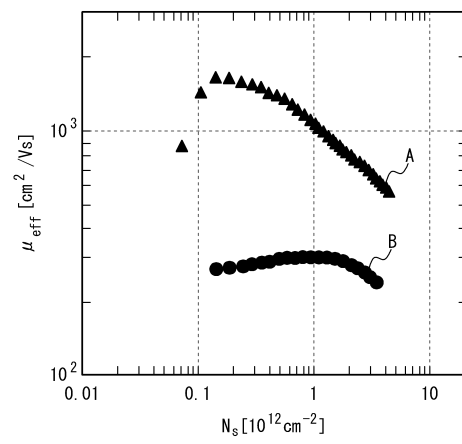
50

- 4 2 ソース電極
- 4 4 ドレイン電極
- 4 6 高酸素濃度領域
- 4 8 低酸素濃度領域
- 5 0 チャンネル領域
- 5 2 接合界面
- 5 4 キャップ
- 5 6 開口

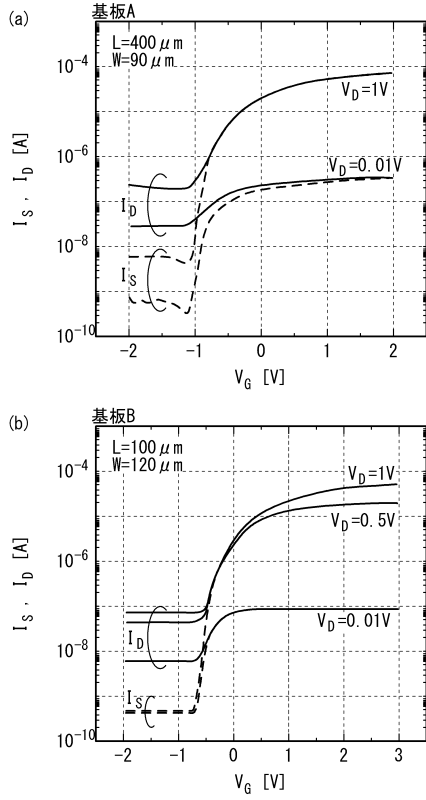
【図1】



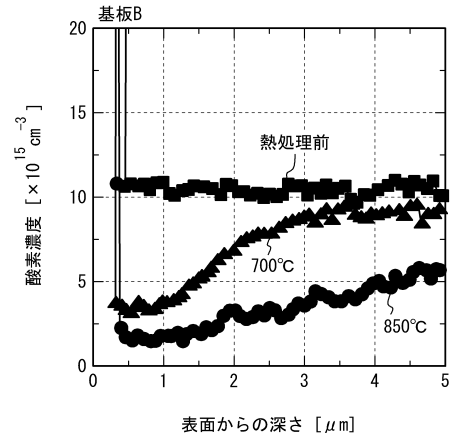
【図2】



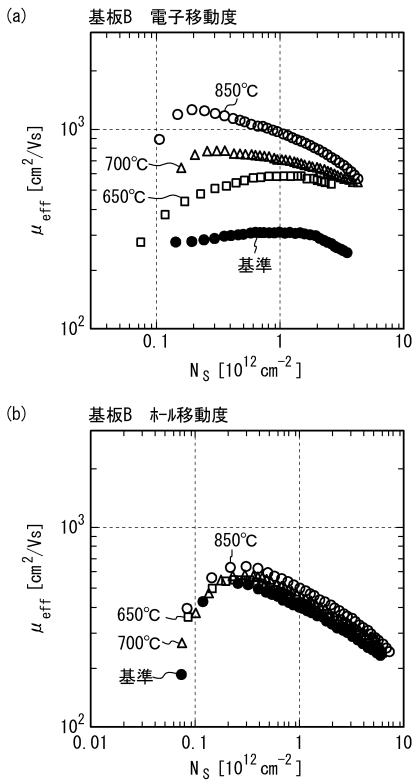
【 図 3 】



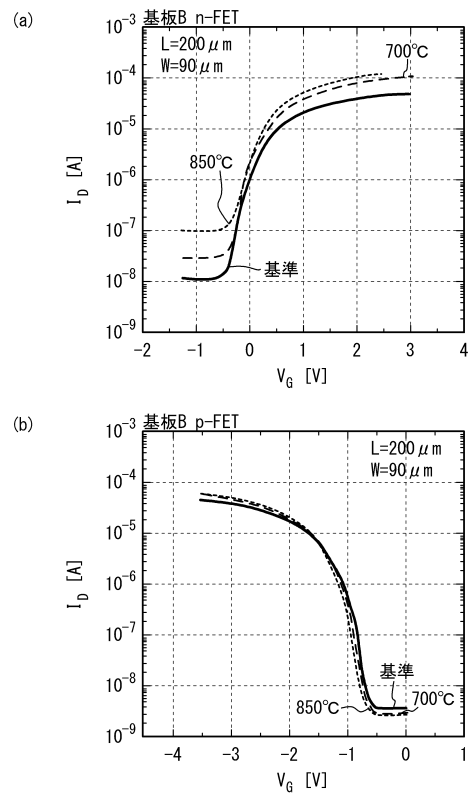
【 図 4 】



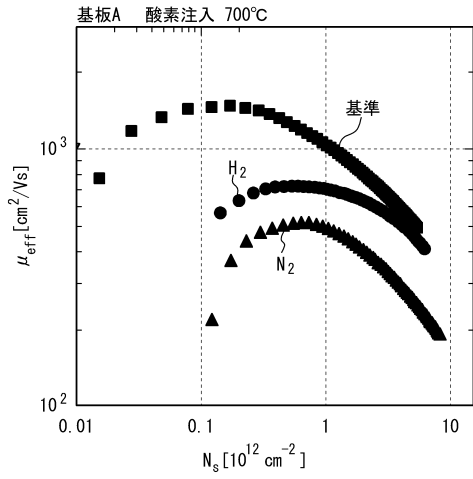
【 図 5 】



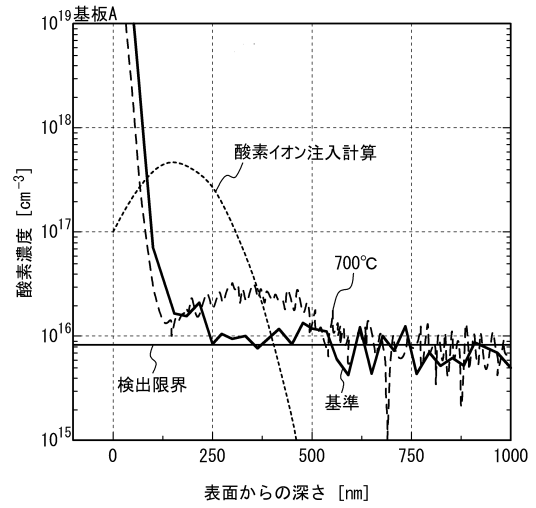
【 図 6 】



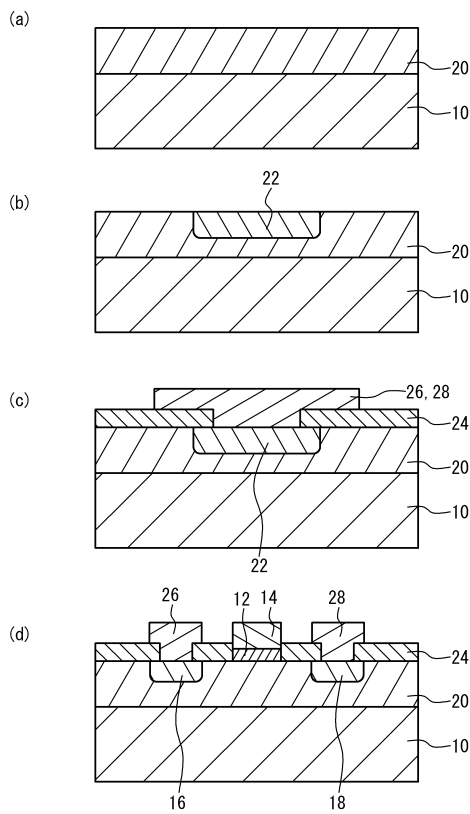
【図7】



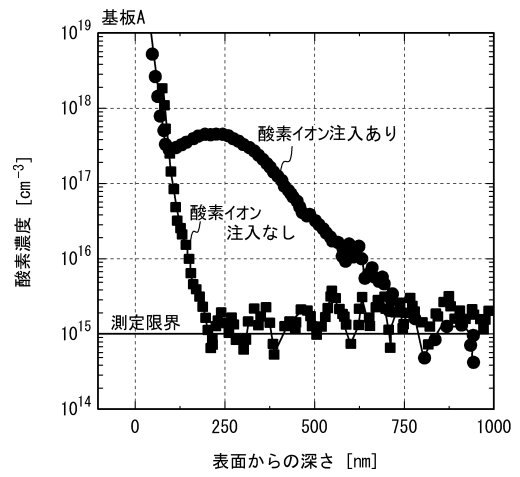
【図8】



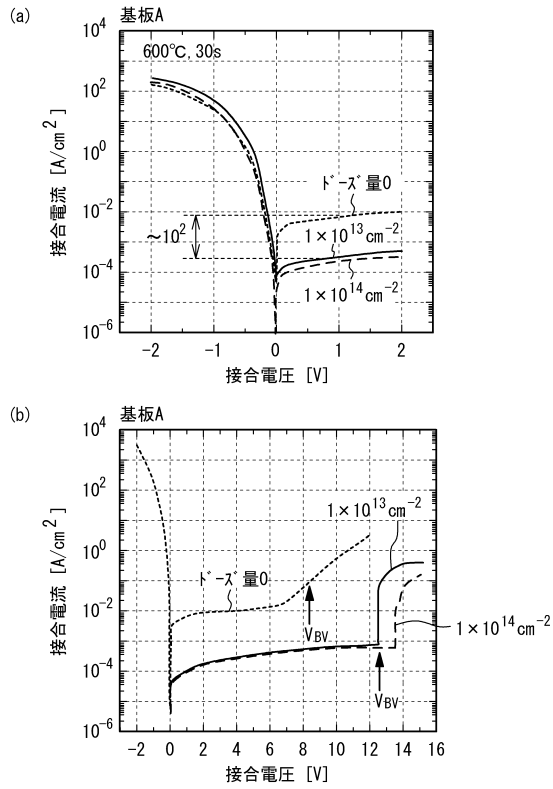
【図9】



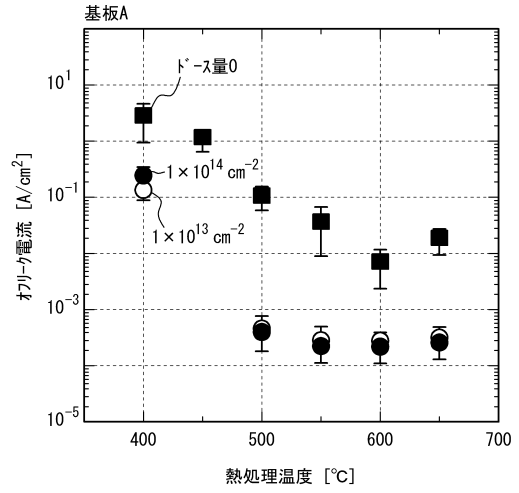
【図10】



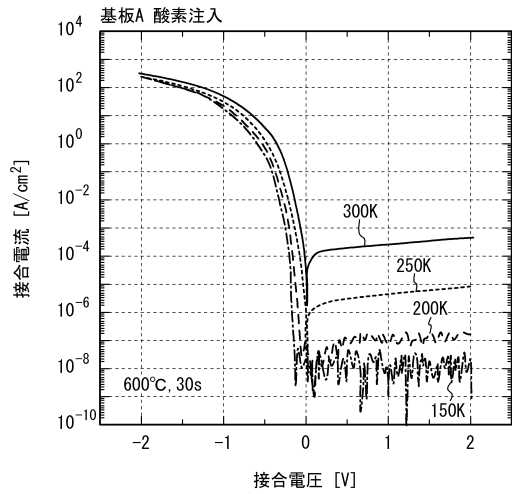
【図11】



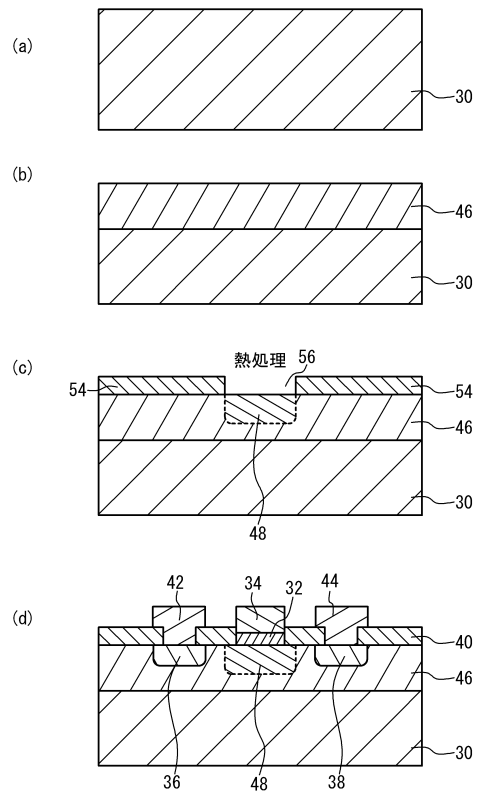
【図12】



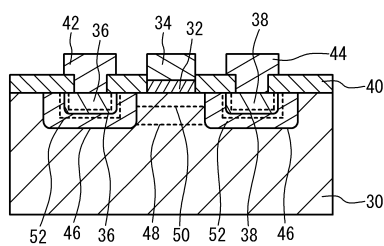
【図13】



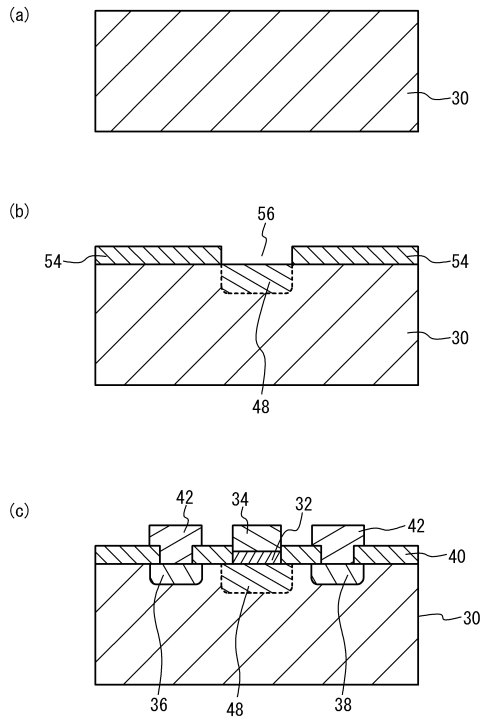
【図15】



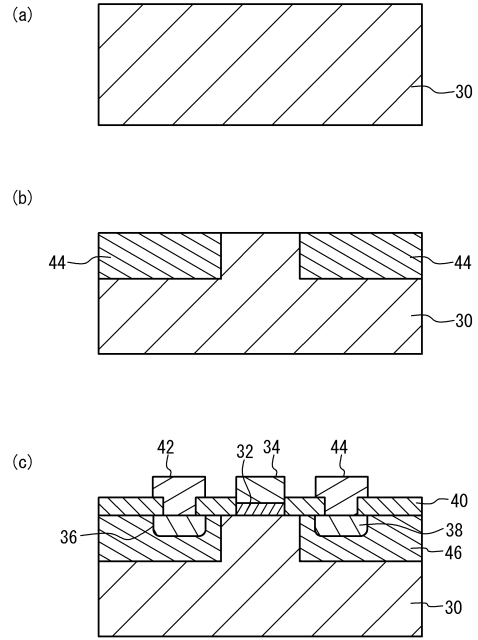
【図14】



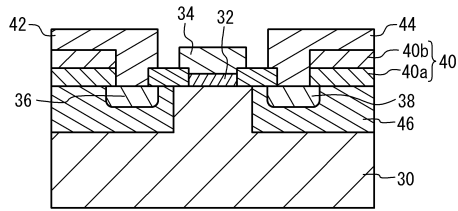
【図16】



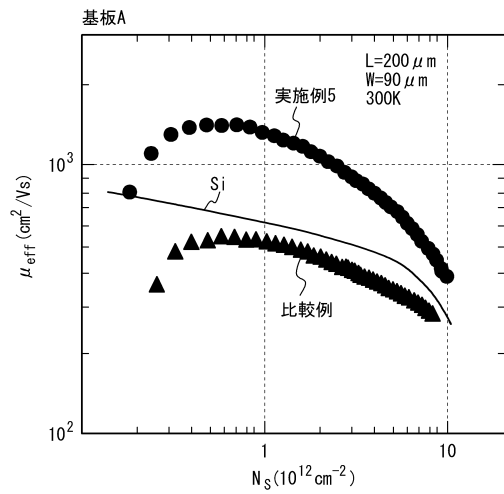
【図17】



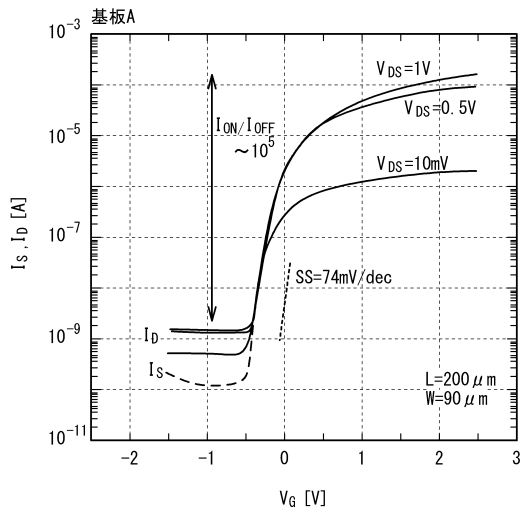
【図18】



【図20】



【図19】



フロントページの続き

審査官 市川 武宜

(56)参考文献 国際公開第2015/064338(WO, A1)

特許第5581464(JP, B2)

特開2010-103296(JP, A)

特開平09-306904(JP, A)

特開平03-042872(JP, A)

特開昭56-093367(JP, A)

特開2007-251163(JP, A)

特開2003-017579(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78