

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/031836

発行日 平成29年8月17日 (2017. 8. 17)

(43) 国際公開日 平成28年3月3日 (2016. 3. 3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 5 1	5 B 2 2 5
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 6 0 1 N	5 F 0 8 3
HO 1 L 29/66 (2006.01)	HO 1 L 29/66 S	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 2	
B 8 2 Y 10/00 (2011.01)	HO 1 L 29/78 6 1 7 N	

審査請求 未請求 予備審査請求 未請求 (全 34 頁) 最終頁に続く

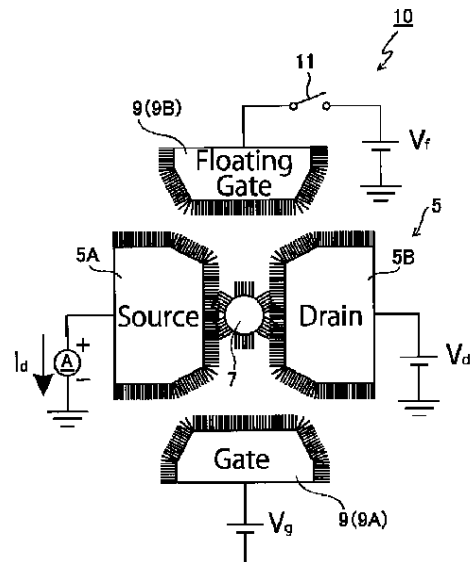
出願番号 特願2016-545560 (P2016-545560)	(71) 出願人 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号 PCT/JP2015/073917	
(22) 国際出願日 平成27年8月25日 (2015. 8. 25)	
(31) 優先権主張番号 特願2014-176634 (P2014-176634)	(74) 代理人 100082876 弁理士 平山 一幸
(32) 優先日 平成26年8月29日 (2014. 8. 29)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 真島 豊 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
	(72) 発明者 寺西 利治 京都府宇治市五ヶ庄 国立大学法人京都大学内
	(72) 発明者 加納 伸也 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内

最終頁に続く

(54) 【発明の名称】 ナノデバイス

(57) 【要約】

金属ナノ粒子の電荷状態を制御可能なナノデバイスを提供する。ナノサイズのギャップを有するように一方の電極5Aと他方の電極5Bとが配置されて成るナノギャップ電極5と、ナノギャップ電極5の間に設けられるナノ粒子7と、複数のゲート電極9と、を備え、複数のゲート電極9のうち少なくとも一つをフローティングゲート電極として用い、ナノ粒子7の電荷状態を制御する。これにより、多値メモリ、書き換え可能な論理演算処理が実現される。



【特許請求の範囲】

【請求項 1】

ナノサイズのギャップを有するように一方の電極と他方の電極とが配置されて成るナノギャップ電極と、

上記ナノギャップ電極間に設けられるナノ粒子と、

複数のゲート電極と、を備え、

上記複数のゲート電極のうち少なくとも一つをフローティングゲート電極として用い、前記ナノ粒子の電荷状態を制御する、ナノデバイス。

【請求項 2】

前記フローティングゲートに加える電圧は、クーロンオシレーションのピーク状態とボトム状態の電圧の間とする、請求項 1 に記載のナノデバイス。 10

【請求項 3】

前記フローティングゲートに加える電圧が、複数の階層に分かれることにより、前記一方の電極と前記他方の電極との間に流れる電流を段階的に異ならせる、請求項 1 に記載のナノデバイス。

【請求項 4】

前記フローティングゲートに加える電圧は、クーロンオシレーション特性のうち緩やかな傾き又は急峻な傾きの何れかを用いる、請求項 3 に記載のナノデバイス。

【請求項 5】

前記複数のゲート電極に印加される電圧のHighとLowの入力に相当する電位差として、一周期分のクーロンオシレーションにおけるピーク電流を与えるゲート電圧と隣のピーク電流を与えるゲート電圧との電位差 V の二等分、三等分又は四等分した或る一つの電圧区間の両端に相当する値が設定される、請求項 1 に記載のナノデバイス。 20

【請求項 6】

前記複数のゲート電極は、前記ナノギャップ電極と同一の面に有る一又は複数のサイドゲート電極からなる、請求項 1 乃至 5 の何れかに記載のナノデバイス。

【請求項 7】

前記ナノギャップ電極と前記ナノ粒子が絶縁層により覆われており、

前記複数のゲート電極は、サイドゲート電極及びトップゲート電極からなる、請求項 1 乃至 5 の何れかに記載のナノデバイス。 30

【請求項 8】

さらに、前記フローティングゲート電極を挟んで前記ナノ粒子と対向する位置に、コントロールゲート電極を備えており、

前記コントロールゲート電極に電圧を印加することにより、前記フローティングゲート電極の電荷状態を変化させ、前記ナノ粒子の電荷状態を制御する、請求項 1 に記載のナノデバイス。

【請求項 9】

前記一方の電極と前記他方の電極とが前記ナノ粒子を挟んで配置されており、

前記複数のゲート電極として、前記サイドゲート電極と前記フローティングゲート電極とが前記ナノ粒子を挟んで配置されており、 40

前記フローティングゲート電極を挟んで、前記ナノ粒子と対向するようにコントロールゲート電極が配置されている、請求項 1 に記載のナノデバイス。

【請求項 10】

前記一方の電極、前記他方の電極、前記サイドゲート電極、前記フローティングゲート電極及び前記コントロールゲート電極が、同一面上に配置されている、請求項 9 に記載のナノデバイス。

【発明の詳細な説明】

【技術分野】

【0001】 50

本発明は、ナノギャップ電極間にナノ粒子を設け、そのナノ粒子の電荷状態を制御するナノデバイスに関する。

【背景技術】

【0002】

ナノギャップを有するように対となる電極を向かい合わせ、そのナノギャップにナノ粒子や分子を配置して構成したデバイスは、スイッチング機能やメモリ機能を有するため、新たなデバイスとして有望視されている。本発明者らは、無電解金メッキにより作製したナノギャップ電極に対して化学的に合成した金ナノ粒子を導入して単電子トランジスタ (Single Electron Transistor: SET) を組み立て、常温で動作する SET 集積回路を構築することを目指している (非特許文献 1)。また、5 nm 以下のギャップ長を有するナノギャップ電極を 90% の収率で作製することに成功し (非特許文献 2)、さらに、界面活性剤分子をテンプレートとして用いた「分子定規無電解金メッキ法」 (Molecular Ruler Electroless Gold Plating: MoREGP) を開発し、2 nm のギャップ長を有するナノギャップ電極を再現性良く作製する技術を確立してきた (特許文献 1, 非特許文献 3)。

10

【0003】

一方、非特許文献 4 には、ポリ Si 超薄膜細線とゲート電極とが酸化膜を介して互いに交差している構造のトランジスタにおいて、単電子メモリの動作について報告がなされている。ポリ Si は数 nm の結晶粒が敷き詰められた構造を有しており、ゲート電圧を加えると、ポリ Si 結晶粒に電子が満たされてゆき、パーコレーションパスがつながり、ソースとドレインとの間に電流が流れるようになる。さらにゲート電圧として高い電圧を加えると、蓄積ドットに電子が捕獲され、電子間のクーロン反発力により電流経路のコンダクタンスが変化して、メモリ効果が生じる。

20

【0004】

非特許文献 5 には、カーボンナノチューブを SiN 膜で覆い、Au ドットとブロッキング層 Al₂O₃ を設けて、Au ドットを電荷蓄積ノードとして用い、その上に、トップゲートを設ける技術が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】国際公開 2012/121067 号

30

【非特許文献】

【0006】

【非特許文献 1】K. Maeda, Y. Majima et al., ACS Nano, 6, 2798 (2012)

【非特許文献 2】Victor M. Serdio V., Yutaka Majima et al., Nanoscale, 4, 7161 (2012)

【非特許文献 3】N. Okabayashi, Yutaka Majima et al., Appl. Phys. Lett., 100, 033101 (2012)

【非特許文献 4】K. Uchida et al., IEEE Trans Electron Dev., 41, 1628(1994)

【非特許文献 5】Y. Fujii et al., Jpn. J. Appl. Phys., 51, 06FD11 (2012)

【非特許文献 6】T. Teranishi et al., Adv. Mater. 13, 1699 (2001)

40

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、金属ナノ粒子の電荷状態を制御することを一つのデバイスで実現することが難しく、金属ナノ粒子に誘起される電荷状態を素電荷の半分程度変化させることが難しい。

【0008】

そこで、本発明の目的は、上記課題に鑑み、ナノ粒子の電荷状態を制御可能なナノデバイスを提供することにある。

【課題を解決するための手段】

50

【 0 0 0 9 】

本発明の課題を解決するために、以下の手段が講じられる。

[1] ナノサイズのギャップを有するように一方の電極と他方の電極とが配置されて成るナノギャップ電極と、

上記ナノギャップ電極間に設けられるナノ粒子と、
複数のゲート電極と、を備え、

上記複数のゲート電極のうち少なくとも一つをフローティングゲート電極として用い、前記ナノ粒子の電荷状態を制御する、ナノデバイス。

[2] 前記フローティングゲートに加える電圧は、クーロンオシレーションのピーク状態とボトム状態の電圧の間とする、前記 [1] に記載のナノデバイス。

[3] 前記フローティングゲートに加える電圧が、複数の階層に分かれることにより、前記一方の電極と前記他方の電極との間に流れる電流を段階的に異ならせる、前記 [1] に記載のナノデバイス。

[4] 前記フローティングゲートに加える電圧は、クーロンオシレーション特性のうち緩やかな傾き又は急峻な傾きの何れかを用いる、前記 [3] に記載のナノデバイス。

[5] 前記複数のゲート電極に印加される電圧のHighとLowの入力に相当する電位差として、一周分分のクーロンオシレーションにおけるピーク電流を与えるゲート電圧と、隣のピーク電流を与えるゲート電圧の電位差 V の二等分、三等分又は四等分した或る一つの電圧区間の両端に相当する値が設定される、前記 [1] に記載のナノデバイス。

[6] 前記複数のゲート電極は、前記ナノギャップ電極と同一の面に有る一又は複数のサイドゲート電極からなる、前記 [1] 乃至 [5] の何れかに記載のナノデバイス。

[7] 前記ナノギャップ電極と前記ナノ粒子が絶縁層により覆われており、

前記複数のゲート電極は、サイドゲート電極及びトップゲート電極からなる、前記 [1] 乃至 [5] の何れかに記載のナノデバイス。

[8] さらに、前記フローティングゲート電極を挟んで前記ナノ粒子と対向する位置に、コントロールゲート電極を備えており、

前記コントロールゲート電極に電圧を印加することにより、前記フローティングゲート電極の電荷状態を変化させ、前記ナノ粒子の電荷状態を制御する、前記 [1] に記載のナノデバイス。

[9] 前記一方の電極と前記他方の電極とが前記ナノ粒子を挟んで配置されており、

前記複数のゲート電極として、前記サイドゲート電極と前記フローティングゲート電極とが前記ナノ粒子を挟んで配置されており、

前記フローティングゲート電極を挟んで、前記ナノ粒子と対向するようにコントロールゲート電極が配置されている、前記 [1] に記載のナノデバイス。

[1 0] 前記一方の電極、前記他方の電極、前記サイドゲート電極、前記フローティングゲート電極及び前記コントロールゲート電極が、同一面上に配置されている、前記 [9] に記載のナノデバイス。

【 発明の効果 】

【 0 0 1 0 】

本発明によれば、複数のゲート電極の少なくとも一つをフローティングゲート電極として用いるため、ナノ粒子の電荷状態を任意に制御することができ、一つのナノデバイスで多値メモリを構成したり、一つのナノデバイスで書き換え可能な論理演算素子を構成することができる。よって、本発明によれば、省電力な単電子フラッシュメモリ、論理演算素子への応用が期待される。

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 本発明の実施形態に係るナノデバイスの構成を模式的に示す図である。

【 図 2 】 図 1 に示すナノデバイスの一形態を示し、(A) は断面図、(B) は平面図である。

【 図 3 】 図 2 とは異なるナノデバイスの一形態を示し、(A) は断面図、(B) は平面図

10

20

30

40

50

である。

【図4】本発明の実施形態に係るナノデバイスを多値メモリとして活用する場合を説明するための図で、(A)は或る値のドレイン電圧を印加したときのドレイン電流 - ゲート電圧特性を示し、(B)はドレイン電流の時間特性を示す。

【図5】3入力における真理値表を示す図である。

【図6】或るドレイン電圧において、各ゲート電圧に応じて流れるドレイン電流の波形を模式的に示す図である。

【図7】ドレイン電圧 V_d と各ゲート電圧 V_{g1} , V_{g2} , $V_{top-gate}$ を各値に設定したときのドレイン電流 I の微分コンダクタンスを模式的に示す図である。

【図8】本発明の実施形態に係るナノデバイスの一形態を示し、(A)は断面図、(B)は平面図である。

10

【図9】実施例で作製したサンプルにおいて、ドレイン電圧に対するドレイン電流を示す図である。

【図10】第1サイドゲート電圧 V_{G1} (V)、第2サイドゲート電圧 V_{G2} (V)をそれぞれ掃引したときのドレイン電流 V_D (mV)と微分コンダクタンスのマッピング(スタビリティダイアグラム)を示す図である。

【図11】クーロンオシレーション特性を示す図で、(A)は第2サイドゲートを0Vにしたときの第1サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性、(B)は第1サイドゲートを0Vにしたときの第2サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性を示す。

20

【図12】図11(A)の原点付近を拡大した図である。

【図13】第1サイドゲートに印加する電圧 V_{G1} が25mV, 95mVである場合を抽出した図である。

【図14】図13に示す測定をした後におけるクーロンオシレーション特性を示す図であり、(A)は第2サイドゲートを0Vにしたときの第1サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性、(B)は第1サイドゲートを0Vにしたときの第2サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性を示す。

【図15】第1サイドゲートで電荷フォーミングを行い、第2サイドゲート電圧でクーロンオシレーション特性を測定した図である。

【図16】第2サイドゲート電圧のパルス幅の入力依存性を示し、(A), (B), (C)はそれぞれパルス幅が5秒、0.5秒、0.05秒の場合を示す。

30

【図17】サイドゲートで電荷フォーミングを行っているときのドレイン電流の時間依存性を示す図であり、実線はナノデバイスのドレイン電流、破線はサイドゲート電圧を示す。

【図18】(A), (B), (C)は、図3のナノデバイスにおいて、3つのゲート電圧に対するクーロンダイヤモンド特性をそれぞれ示す図である。

【図19】3つのゲート電圧に対してパルス列を印加して、ナノデバイスがXOR動作を示すことを表した図である。

【図20】実施例4で作製したナノデバイスにおいて、第1サイドゲート電圧 V_{FG} (V)、第2サイドゲート電圧 V_{CG} (V)をそれぞれ掃引したときのドレイン電流 V_D (mV)と微分コンダクタンスのマッピング(スタビリティダイアグラム)を示す図である。

40

【図21】実施例4で作製したナノデバイスにおいて、2入力のゲート電極をそれぞれ独立して掃引したときのクーロンオシレーションを示す図であり、(A)は、 V_{FG} に0Vを印加した状態でスイッチを切り、フローティングゲート電極をフローティング状態にしたときの $I_{DS} - V_{CG}$ 特性を示し、(B)は、電圧 V_{CG} を0Vにしたときの $I_{DS} - V_{FG}$ 特性を示す図である。

【図22】実施例4で作製したナノデバイスにおいて、フローティング電極の電荷フォーミングの電圧を30mV, 45mV, 100mVとしてフローティングゲートとして用いたときの電流の時間依存性を示す図である。

【図23】実施例5で作製したナノデバイスのSEM像と測定回路を示す図である。

50

【図 2 4】実施例 5 で作製したナノデバイスのドレイン電流 - ドレイン電圧特性を示す図である。

【図 2 5】実施例 5 で作製したナノデバイスにおいて、コントロールゲートにパルス電圧を印加したときのドレイン電流 - ゲート電圧特性を示す図である。

【図 2 6】(A) は、実施例 5 で作製したナノデバイスにおいて、フローティングゲート電圧に電荷が蓄積されていない状態でのドレイン電流の微分値をドレイン電圧及びサイドゲート電圧の二次元平面にプロットした図であり、(B) は、コントロールゲートに 20 V パルス印加後のドレイン電流の微分値をドレイン電圧及びサイドゲート電圧の二次元平面にプロットした図である。

【図 2 7】書込信号、消去信号の繰り返し入力に伴うドレイン電流の変化を示す図である。

10

【符号の説明】

【0012】

10, 10A, 20: ナノデバイス

1: 基板 (半導体基板)

2: 第 1 の絶縁層 (絶縁層)

3A, 3B: 種電極 (イニシャル電極)

4A, 4B: メッキ電極

5: ナノギャップ電極

5A: 一方の電極 (ソース電極)

5B: 他方の電極 (ドレイン電極)

6: 自己組織化単分子膜

7: 金属ナノ粒子 (金ナノ粒子)

8: 第 2 の絶縁層 (別の絶縁層)

9: ゲート電極

9A: サイドゲート電極

9B: サイドゲート電極 (フローティングゲート電極)

9C: トップゲート電極

9D: ボトムゲート電極

11: スイッチ

12: コントロールゲート電極

【発明を実施するための形態】

【0013】

以下、図面を参照して本発明を実施するための形態について具体的に説明する。

【0014】

図 1 は、本発明の実施形態に係るナノデバイスの構成を模式的に示す図である。本発明の実施形態に係るナノデバイス 10 は、ナノギャップを有するように一方の電極 5A と他方の電極 5B とを設けて成るナノギャップ電極 5 と、前記ナノギャップ間に設けられる金属ナノ粒子 7 と、複数のゲート電極 9 と、を備えており、前記複数のゲート電極 9 の少なくとも一つをフローティングゲート電極 9B として機能させる。

40

【0015】

図 2 は図 1 に示すナノデバイスの一形態を示し、(A) は断面図、(B) は平面図である。ナノデバイス 10 は、具体的には、基板 1 と、絶縁層 2 と、その絶縁層 2 上に設けられたナノギャップ電極 5 と、ナノギャップ電極 5 上に設けた自己組織化単分子膜 6 と、自己組織化単分子膜 6 を介在してナノギャップ間に設けられた金属ナノ粒子 7 と、前記絶縁層 2 上にナノギャップ電極 5 の配列方向と交差するように設けられた複数のゲート電極 9 (9A, 9B) と、を備える。複数のゲート電極 9 は何れもサイドゲート電極であり、サイドゲート電極 9B の一つをフローティングゲート電極として機能させる。ナノギャップ電極 5 (5A, 5B) は、1 又は 2 以上の層からなる種電極 3A, 3B と、メッキ電極 4A, 4B とから成る。

50

【0016】

複数のゲート電極9のうち少なくとも一つのサイドゲート電極9Aには、ゲート電圧を加えることが出来るように配線接続されている。その他のサイドゲート電極9Bには、図1に示すようにスイッチ11の一端が接続されており、フローティング電極にフローティング電圧 V_f を印加して或る電位となるようにすることができる。

【0017】

図3は図2とは異なるナノデバイスの一形態を示し、(A)は断面図、(B)は平面図である。ナノデバイス10Aは、具体的には、基板1と、絶縁層2と、その絶縁層2上に設けられたナノギャップ電極5と、ナノギャップ電極5上に設けた自己組織化単分子膜6と、自己組織化単分子膜6を介在してナノギャップ間に設けられた金属ナノ粒子7と、複数のゲート電極9とを備える。複数のゲート電極9は、図3に示す形態では図2に示す形態と異なり、サイドゲート電極9A, 9Bとトップゲート電極9Cとボトムゲート電極9Dとを備える。ゲート電極9の数は、前記絶縁層2上にナノギャップ電極の配列方向と交差するように設けられたサイドゲート電極9A, 9B及びトップゲート電極9Cとの組み合わせで設定される。サイドゲート電極9A, 9B及びトップゲート電極9Cの数はナノデバイス10Aの用途に応じて適宜設定される。

10

【0018】

図3に示すナノデバイス10Aでは、ナノギャップ電極5、金属ナノ粒子7及びサイドゲート電極9A, 9B上に第2の絶縁層8が形成されており、その第2の絶縁層8上にトップゲート電極9Cが形成されている。また、ボトムゲート電極9Dは基板1上に形成されており、基板1により電位を印加することができる。図3に示すナノデバイス10Aにおいても、複数のゲート電極の9のうち、少なくとも一つをフローティングゲート電極として用いる。

20

【0019】

複数のゲート電極9のうち少なくとも一つのゲート電極には、ゲート電圧を加えることが出来るように配線接続されている。その他のゲート電極には、スイッチの一端が接続されており、フローティング電極にフローティング電圧 V_f を印加したり、或る電位となるようにすることができる。以下の説明では図2に示す形態を主として説明するが、図3に示す形態であっても同様である。

【0020】

一方の電極5Aとしてのソース電極には電流計が接続され、他方の電極5Bとしてドレイン電極にはドレイン電圧 V_d を印加することができるように構成され、ドレイン電圧によってナノギャップ電極間に流れる電流が計測される。

30

【0021】

図1乃至図3に示すナノデバイスは、ゲート電極9の少なくとも一つをフローティングゲート電極として用いるため、メモリ機能、論理演算機能等、各種の機能を有する。以下、順に説明する。

【0022】

(メモリ機能)

本発明の実施形態に係るナノデバイスでは、フローティングゲート電極にフローティング電圧 V_f を印加した後に、スイッチをOFFしても、フローティングゲートに蓄えられた電荷で、金属ナノ粒子の電荷の状態を記憶させておくことができる。後述する実施例で示すように、現状で12時間以上のリテンション特性が得られている。

40

【0023】

(多値メモリ)

本発明の実施形態に係るナノデバイスは、フローティングゲート電極に加える電圧により、金属ナノ粒子の電荷状態を段階的に異ならせることができ、その結果として、ナノギャップ電極間に流れる電流を段階的に異ならせることができる。よって、任意のゲート電圧を設定することにより、金属ナノ粒子の電荷状態を段階的に異ならせ、多数の状態を一つのメモリで表せ、多値メモリとして用いることができる。

50

【 0 0 2 4 】

図 4 は、本発明の実施形態に係るナノデバイスを多値メモリとして活用する場合を説明するための図である。図 4 (A) は或る値のドレイン電圧を印加したときのドレイン電流 - ゲート電圧特性を示し、図 4 (B) はドレイン電流の時間特性を示す。図 4 (A) の横軸はフローティングゲート電圧 (V)、縦軸はドレイン電流 (p A) である。図 4 (B) の横軸は時間 (s e c)、縦軸はドレイン電流 (p A) である。図 4 (A) において実線と点線は電圧のスイープの前後に相当する。金属ナノ粒子がクーロン島として作用するので、ドレイン電流 - ゲート電圧特性にはクーロンオシレーションが観察される。クーロンオシレーションの傾斜のうち、上昇する部分、下降する部分の何れかを、任意の段階に分けることで、ドレイン電流が異なる値となる。従って、図 4 (B) に示すように、ゲート電圧を例えば、1 (V) ~ 4 (V) の或る範囲内に設定することで、その範囲に対応したドレイン電流が流れる。よって、フローティングゲート電圧 V_f の値に応じて、複数の状態を保持することができる。

10

【 0 0 2 5 】

(メモリ安定性)

本実施形態に係るナノデバイスでは、スイッチを ON / OFF することにより、フローティング状態を得ている。このスイッチの動作によって単電子トランジスタのメモリ動作に影響を与えない。

【 0 0 2 6 】

(単電子トランジスタの書き換え動作)

本発明の実施形態に係るナノデバイスでは、複数のゲート 9 のうち、信号入力端子として用いる入力ゲートと、書き換え動作を行うフローティング電圧を印加するためのコントロールゲートと、を備える。コントロールゲートに電圧を印加することでナノ粒子の電荷状態を換え、単電子トランジスタの動作を反転させる。入力ゲートを例えば 3 入力とすることにより、X O R , X N O R などの各種論理演算処理が実現される。

20

【 0 0 2 7 】

3 つの入力ゲートを有するナノデバイスが、論理演算処理をすることを説明する。図 5 は、3 入力における真理値表を示す図であり、各論理動作をさせるためのゲート電圧の設定の仕方を併せて示してある。ナノデバイスは単電子トランジスタの構造を有しているため、ゲート電圧によって金属ナノ粒子からなる単電子島の電荷が変調し、その結果、電流が流れる状態と流れない状態の 2 つの状態が周期的に現れるという、所謂クーロンオシレーション現象が観察される。図 6 は或るドレイン電圧において、各ゲート電圧に応じて流れるドレイン電流の波形を模式的に示し、図 7 は、ドレイン電圧 V_d と各ゲート電圧 V_{g1} , V_{g2} , $V_{top-gate}$ を各値に設定したときのドレイン電流 I の微分コンダクタンスを模式的に示す図である。図 7 においては、ドレイン電流 I の微分コンダクタンスの大きさがメッシュの数に応じて大きくなるように示している。図 6 に示すように、クーロンオシレーション特性における電流波形は、ドレイン電圧 V_d と各ゲート電圧の 2 つの電圧方向に正の傾きと負の傾きを有する直線で外挿され、電流値はピークを持つ。

30

【 0 0 2 8 】

図 5 に示すように、ピーク電流を与えるゲート電圧 V_1 と右隣のピーク電流を与えるゲート電圧 V_2 の差 $V (= V_2 - V_1)$ が、1 周期分のクーロンオシレーションに相当し、ゲート容量 C は、 $C = e / V$ で与えられる。ここで、 e は素電荷である。この V の値は、金属ナノ粒子と一方の電極及び他方の電極との配置関係、さらに、二つのサイドゲート電極とトップゲート電極及び / 又はボトムゲート電極との配置関係に依存する。よって、 V の値は、三つのゲート電極の配置に依存するので、三つのゲート電極毎に、ドレイン電流 I_d の 1 周期分のクーロンオシレーションに対応した V の値が異なる。

40

【 0 0 2 9 】

(単電子トランジスタの書き換え動作その 1 : X O R とその反転動作)

3 つの入力ゲートを有するナノデバイスに対して排他的論理和 (X O R : exclusive or) の動作をさせる場合には、各ゲート電圧の値を次のように設定すればよい。X O R 動作

50

では、3つの入力ゲートに印加される「0」の電圧と「1」の電圧の入力に相当する電圧の差が、 $V/2$ （2分の1周期）に相当する電圧差となるようにドレイン電圧を調整する。そして、例えば「1」の入力に相当するトップゲート電圧を、クーロンオシレーションのピーク電流をとるゲート電圧とし、「0」の入力に相当するゲート電圧を $V/2$ だけ小さい電圧値とする。トップゲート電圧は先に決めた「0」の入力にして、次に、一方のサイドゲート電圧は、ピーク電流をとるサイドゲート電圧を「1」の入力に相当するゲート電圧とし、「0」の入力に相当するゲート電圧を $V/2$ だけ小さい電圧値とする。トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、さらに、他方のサイドゲート電圧は、ピーク電流をとるゲート電圧を「1」の入力に相当するゲート電圧とし、「0」の入力に相当するゲート電圧を $V/2$ だけ小さい電圧値とする。その際、3つのゲート電圧が共に「1」の入力に相当するゲート電圧で、出力が「1」の電流ピーク値をとるように、入力ゲート電圧を設定する。

10

【0030】

3つのゲート電圧を全て「0」の状態とすると、電流は流れず出力は「0」となる。

3つのゲート電極のいずれか1つのゲート電圧を「1」の状態とし、残りの2つのゲート電圧を「0」の状態とすると、ピーク電流が流れ、出力は「1」となる。

3つのゲート電極のなかで、いずれか2つのゲート電圧を「1」の状態とし、残り1つのゲート電圧を「0」の状態とすると、ゲート電圧による単電子島への電荷誘起の重畳が起こり、1周期分の V を印加した状態となるため、出力は「0」の状態となる。

3つのゲート電圧を「1」の状態とすると、1.5周期分の V を印加したことに等しいので出力は「1」となる。

20

図5の論理対応表のXORの列では、上述した出力電流の結果を示す。出力結果で、「0」は電流が流れない状態又は小さい状態を示し、「1」は電流が流れる状態又は大きい状態を示す。

論理対応表の最下欄には、1周期分のクーロンオシレーション（横軸はゲート電圧、縦軸がドレイン電流）を示しており、黒丸（●）印は「0」の電流出力状態、白丸（○）印は「1」の電流出力状態を示している。XOR動作では、 $V/2$ の電位差を入力ゲート電圧の「0」と「1」の状態に相当する電位の差として用い、入力が「0」側で出力が「0」であることから、1周期分のクーロンオシレーションの左半分の電圧領域を各ゲート電極に印加する電圧として用いている。

30

【0031】

以上のように、ゲート電極の入力の組み合わせと出力との関係は、排他的論理和XOR動作の出力となっている。よって、ナノデバイスでは、クーロンオシレーション特性と、複数のゲート電極による単電子島への電荷の誘起の重畳現象とにより、論理演算を実現することができる。

【0032】

本発明の実施形態に係るナノデバイスでは、複数のゲート電極のうち任意数の入力のゲート電極として用いていない残りのゲート電極をフローティングゲート電極として用い、フローティングゲート電極のクーロンオシレーションのピークtoピークの電圧の半分の電圧の大きさ分+側又は-側にシフトさせ、スイッチをOFFとして、フローティングゲートに電荷を誘起する。この誘起した電荷によって金属ナノ粒子の電荷状態が反転する。このようなフローティングゲートにより、ナノデバイスによって書き換え可能な論理演算回路が実現される。

40

【0033】

ここで、フローティングゲートに印加する電圧は、クーロンオシレーションのピークtoピークの電圧の半分の電圧である必要はなく、金属ナノ粒子の電荷状態を反転させるのに必要な電圧であればよい。フローティングゲートに印加する電圧を決める要素としては、第1に金属ナノ粒子とナノギャップ電極との配置関係、第2に金属ナノ粒子と各ゲート電極との配置関係、第3にゲートのうちフローティングゲートとしてトップゲートを用いるかボトムゲートを用いるか、第4に、トップゲートを設けるための第2の絶縁層の厚さ

50

及び誘電率の値が挙げられ、これらの少なくとも一つ以上の要素の影響を受ける。

【0034】

(単電子トランジスタの書き換え動作その2の前提として、その他の論理演算)

ナノデバイスに対して排他的論理和の否定(XNOR: exclusive not OR)の動作をさせる場合について説明する。この場合、各ゲート電圧の値を次のように設定すればよい。すなわち、XNOR動作では、XORと同様に「0」と「1」の状態の入力電圧の差が、 $V/2$ に相当するゲート電圧差となるようにドレイン電圧を調整するが、3つのゲート電圧が共に「0」の入力に相当するゲート電圧で、出力が「1」の電流ピーク値をとるように、入力のゲート電圧を設定する。すると、XORと同様な動作原理により、このゲート電圧の設定で、XNORの論理演算を実現することができる。このことは、1周期分のクーロンオシレーションの図の右半分の電圧領域を各ゲート電極に印加する電圧として用いていることになる。

10

【0035】

次に、ナノデバイスに対して、入力「0」と入力「1」の電圧差として $V/4$ (4分の1周期)を用い、 $V/4$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。図4の4分の1周期の、クーロンオシレーション特性にあるように、 $V/4$ ずつゲート電圧をずらすと、「0」、「1」、「1」、「0」と変化する。

20

【0036】

演算Aの動作又は演算Cの動作をさせる場合について説明する。この場合、各ゲートの入力電圧値を、図5の4分の1周期のクーロンオシレーションの演算Aに相当するゲート電圧に設定すればよい。すなわち、例えば、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるようにドレイン電圧を調節し、「0」の入力に相当するトップゲート電圧を、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

【0037】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

30

【0038】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

40

【0039】

3つのゲート電圧が共に「1」の入力に相当するゲート電圧で、出力が「1」の電流ピーク値をとるように、入力のゲート電圧を設定する。すると、3つのゲートへの入力が(0, 0, 0)及び(1, 1, 1)の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となり、演算Aの処理がなされる。

【0040】

逆に、演算Cに相当するゲート電圧を次のように設定する。すなわち、例えば「1」の入力に相当するトップゲート電圧を、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の

50

値よりも $V/4$ だけ低い電圧値に設定する。

【0041】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

【0042】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

10

【0043】

すると、3つのゲートへの入力が、 $(0, 0, 0)$ 及び $(1, 1, 1)$ の場合のみ出力が「0」となり、それ以外の場合には出力が「1」となって、演算Cの論理演算処理が実現される。

【0044】

次に、演算Bの動作又は演算Dの動作について説明する。この場合も、入力「0」と入力「1」の電圧差として $V/4$ を使い、ドレイン電圧を調整する。これにより、ピーク電流の正のスロープと負のスロープの途中の値で同一の値をとるようにする。演算Bに相当するゲート電圧を次のように設定する。

20

【0045】

例えば「1」の入力に相当するトップゲート電圧として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して V の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

【0046】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して V の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

30

【0047】

さらに、他方のサイドゲート電圧については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のサイドゲート電圧の値とし、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して V の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ低い電圧値に設定する。

40

【0048】

すると、入力で「0」の個数が0個又は1個の場合には出力が「0」となり、それ以外の場合には出力が「1」となって、演算Bの論理演算が実現される。

【0049】

逆に、演算Dに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧

50

の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。「1」を入力した際には、負のスロープで前記の同一の電流値と同じ電流値となる。

【0050】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

【0051】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/4$ だけ高い電圧値に設定する。

【0052】

すると、入力で「0」の個数が0個又は1個の場合には出力が「1」となり、それ以外の場合には出力が「0」となって、演算Dの論理演算が実現される。

【0053】

ナノデバイスに対して次のような動作をさせることもできる。すなわち、入力「0」と入力「1」の電圧差として $V/3$ を用い、 $V/3$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。

【0054】

演算Eに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0055】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0056】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0057】

すると、入力で「1」の個数が2個の場合のみ出力が「0」で、それ以外の場合には出力が「1」となる論理演算Eが実現される。

【0058】

逆に、演算Fに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるよう、ピーク電流の負のスロープ上の電圧の

10

20

30

40

50

値を設定し、「1」の入力に相当するトップゲート電圧をその設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0059】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

【0060】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $V/3$ だけ高い電圧値に設定する。

10

【0061】

すると、入力で「1」の個数が1個の場合のみ出力が「0」となり、それ以外の場合には出力が「1」となる、演算Fの論理演算が実現される。

【0062】

演算Gに相当するゲート電圧を次のように設定する。例えば「1」の入力に相当するトップゲート電圧は次のように設定する。 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように V を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $V/3$ だけ低い電圧値とする。

20

【0063】

次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として次のように設定する。 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように V を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $V/3$ だけ低い電圧値とする。

30

【0064】

さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のゲート電圧の値として次のように設定する。 V を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように V を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $V/3$ だけ低い電圧値とする。

【0065】

すると、入力で「1」の個数が1個又は2個の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となる、演算Gの論理演算が実現される。

40

【0066】

以上説明したように、ナノデバイスは、HighとLowの電位差、例えば「0」と「1」の電圧差を V/n とし、 n を2以上の整数のそれぞれの値を設定することにより、3入力の論理演算処理を実現することができる。

【0067】

ここで、サイドゲート電極9A, 9Bからソース及びドレインの各電極となる一方の電極5A, 他方の電極5Bに対してリーク電流が流れると、ON/OFF比が悪くなるので、好ましくない。よって、リーク電流が流れないようにギャップ長を大きくする必要がある。

50

【0068】

(単電子トランジスタの書き換え動作その2：その他の論理演算での反転処理)

本発明の実施形態に係るナノデバイスが各種論理演算処理を行うため、XORでの反転処理と同様、複数のゲート電極のうち3入力のゲート電極として用いていない残りのゲート電極をフローティングゲート電極として用い、フローティングゲート電極のクーロンオシレーションのピークtoピークの電圧の半分の電圧の大きさ分+側又は-側にシフトさせ、スイッチをOFFとして、フローティングゲートに電荷を誘起する。この誘起した電荷によって金属ナノ粒子の電荷状態が反転する。このようなフローティングゲートにより、ナノデバイスによって書き換え可能な論理演算素子を実現される。

【0069】

ここで、フローティングゲートに印加する電圧は、クーロンオシレーションのピークtoピークの電圧の半分の電圧である必要はなく、金属ナノ粒子の電荷状態を反転させるのに必要な電圧であればよい。フローティングゲートに印加する電圧を決める要素としては、第1に金属ナノ粒子とナノギャップ電極との配置関係、第2に金属ナノ粒子と各ゲート電極との配置関係、第3にゲートのうちフローティングゲートとしてトップゲートを用いるかボトムゲートを用いるか、第4に、トップゲートを設けるための第2の絶縁層の厚さ及び誘電率の値が挙げられ、これらの少なくとも一つ以上の要素の影響を受ける。

【0070】

(ナノデバイスの作製方法)

本発明の各実施形態に係るナノデバイスの作製方法について、図3に示すナノデバイスを例にとって説明する。

第1ステップ：半導体基板1上に第1の絶縁層2を形成する。なお、ボトムゲート電極9Dを形成するためには、半導体基板1をエッチングしてボトムゲート電極9Dとする部分を残しておく。

第2ステップ：第1の絶縁層2上に、種電極3A, 3Bを部分的に構成する密着層を形成する。

第3ステップ：無電解メッキ法により電極対とサイド電極の対とを形成し、その後必要に応じて分子定規無電解メッキ法によりギャップ長が所定の値になるようにギャップ長を狭める。第2ステップ及び第3ステップにより、種電極3A, 3Bとメッキ電極4A, 4Bとを有するナノギャップ電極5が形成される。また、第2ステップ及び第3ステップの際にサイドゲート電極9A, 9Bが形成される。

第4ステップ：図3に一点破線で示すように、保護分子で覆われた金属ナノ粒子7をナノギャップ間に導入し、Cat-CVD (Catalytic Chemical Vapor Deposition, 触媒化学気相成長)法や光CVD法等を用いて第2の絶縁層8を形成する。その上でトップゲート電極9Cを形成する。

【0071】

具体的には、第2ステップにおいて、例えば、第1の絶縁層2上に最終のギャップ長よりも大きいギャップを有するように密着層を形成する。その後、種電極層を密着層上に間隔をあけて対を成すように形成しておく。このようにして、初期ギャップを有するように間隔をあけて種電極の対が形成された基板をサンプルとして用意する。

【0072】

次に、第3ステップにおいて、無電解メッキ法により電極対を形成する。その際、サンプルを無電解メッキ液に浸漬する。メッキ液に含まれる金属イオンの濃度に応じて、浸漬時間が設定される。サンプルをメッキ液に浸漬して一定時間経過すると、メッキ液を交換する。これにより、フラットな表面を形成することができる。フラットな表面は必ずしも平面に限らないが、段差のある部分では滑らかな曲面が含まれてもよい。ここで、フラットな平面とは、基準面に対して凹凸の高さ、深さが5nm以上30nm以下であることを意味する。

【0073】

本発明の実施形態は、ゲート電極は3つである必要はなく、ゲート電極は4つ又はそれ

10

20

30

40

50

以上でもよい。ゲート電極は配置位置に応じて、ボトムゲート電極、トップゲート電極、サイドゲート電極に区分けされる。各電極は所定の電圧が印加されれば材質等は問わない。

【0074】

三つ以上のゲート電極のうち、例えば四つのゲート電極、すなわち、二つのサイドゲート電極と一つのボトムゲート電極と一つのトップゲート電極のうち、任意の三つを電圧入力用に用い、残りの一つを電圧調整用の電極として用いる。二つのサイドゲート電極は、一方の電極と他方の電極との配設の軸に対して対称性を有するため、ボトムゲート電極及びトップゲート電極の何れか一方を電圧調整用の電極とすることが好ましい。電圧調整用の電極を例えば0Vに設定し、それを基準に、他のゲート電極に印加する電圧の値を設定することができる。

10

【0075】

(コントロールゲート電極を備えたナノデバイス)

図8は、本発明の実施形態に係るナノデバイスの一形態を示し、(A)は断面図、(B)は平面図である。本発明の実施形態に係るナノデバイス20は、ナノギャップを有するように一方の電極5Aと他方の電極5Bとを設けて成るナノギャップ電極5と、ナノギャップ間に設けられる金属ナノ粒子7と、複数のゲート電極9と、を備えており、複数のゲート電極9の少なくとも一つをフローティングゲート電極9Bとして機能させる。例えば、一方の電極5Aがソース電極に対応し、他方の電極5Bがドレイン電極に対応する。本発明の実施形態に係るナノデバイス20は、さらに、図8に示すように、コントロールゲート12を備えている。コントロールゲート電極12は、ゲート電極9の一種とみなすことができる。

20

【0076】

一方の電極5Aと他方の電極5Bとが金属ナノ粒子7を挟んで配置されており、複数のゲート電極9として、サイドゲート電極9Aとフローティングゲート電極9Bとが金属ナノ粒子7を挟んで配置されている。コントロールゲート電極12が、フローティングゲート電極9Bを挟んで、金属ナノ粒子7と対向するように配置されている。

【0077】

図8に示すように、一方の電極5A、他方の電極5B、サイドゲート電極9A、フローティングゲート電極9B及びコントロールゲート電極12は、同一面上に配置されている。

30

【0078】

これらの電極が配置されている面は、図3(A)に示した実施形態と同様、基板1上に設けた第1の絶縁層2の面である。第1の絶縁層2の上に一方の電極5A、他方の電極5B、サイドゲート電極9A、フローティングゲート電極9B及びコントロールゲート電極12が配置されており、一方の電極5Aと他方の電極5Bとのナノギャップの間に金属ナノ粒子7が配置されている。好ましくは、図3(A)に示した実施形態と同様に、第2の絶縁層8が、一方の電極5A、他方の電極5B、サイドゲート電極9A、フローティングゲート電極9B、コントロールゲート電極12及び金属ナノ粒子7をカバーするように配置されている。

40

【0079】

フローティングゲート電極9B及び/又はコントロールゲート電極12は、第1の絶縁層2上に設けられている必要はなく、例えば、第2の絶縁層8上に設けて、各種の電極を水平方向のみならず垂直方向に各電極を配置してもよい。即ち、フローティングゲート電極9Bを第2の絶縁層8上に設ける際には、金属ナノ粒子7上にトップゲート構造のフローティングゲート電極9Bとしてもよい。さらに、第3の絶縁層を第2の絶縁層8及びトップゲート構造のフローティングゲート電極9B上に設け、第3の絶縁層上にコントロールゲート電極を設けてもよい。

【0080】

コントロールゲート電極12は、電圧が印加されることにより、フローティングゲート

50

電極 9 B の電荷状態を変化させ、これにより金属ナノ粒子 7 の電荷状態を制御するために用いられる。図 1 に示す形態では、フローティングゲート電極 9 B の電荷状態をスイッチ 1 1 の ON / OFF で制御しているのに対し、図 8 に示す形態では、フローティングゲート電極 9 B の電荷状態をフローティングゲート電極 1 2 へのパルス電圧により制御している。

【0081】

フローティングゲート電極の電荷状態を変化させるためのパルス電圧のパルス幅、電圧については、フローティングゲート電極、コントロールゲート電極、ソース電極、ドレイン電極、Si 基板からなるバックゲート電極の各構造及び材料に依存し、それに伴って形成される静電容量と電圧を加えた際の抵抗に依存する。フローティングゲート電極は、コントロールゲート電極、ソース電極、ドレイン電極、バックゲート電極の各間とそれぞれ静電容量を有して、コントロールゲート電極にパルス電圧を印加した際には、それぞれの静電容量に対応した電位差が生じる。フローティングゲート電極との間の抵抗が一番低い電極から、その電極との電位差をゼロにするような電荷がその電極からフローティングゲート電極に流れ、結果としてフローティングゲート電極に電荷が誘起された状況となる。電位差がゼロになるとそれ以上の時間、パルス電圧を印加してもフローティングゲート電極の電荷は変化しない。したがって、パルス幅はフローティングゲート電極に電位差をゼロにする電荷を蓄積させる時間以上にしても、誘起電荷には変化がなく、その時間よりも短くすると、蓄積させる電荷量を制御できることになる。パルス電圧については、フローティングゲート電極に電荷を誘起させる伝導機構が非線形な伝導なので、電荷を動かすのに十分なパルス電圧とする必要がある。

10

20

【0082】

なお、ナノギャップ電極 5、サイドゲート電極 9 A、フローティングゲート電極 9 B 及びコントロールゲート電極 1 2 は、分子定規メッキ法によらず、電子線描画法及び電子線蒸着法並びにリフトオフプロセスにより作製しても良い。

【実施例】

【0083】

(実施例 1)

実施例 1 として、図 2 に示すナノデバイス 1 0 を次の要領で作製した。

最初に、金ナノギャップ電極 5 を電子ビーム描画法 (EBL : Electron Beam Lithography) により作製した。第 1 の絶縁層 2 として SiO₂ 膜が形成された半導体基板 1 の Si 基板に対して、アセトン、エタノールによる超音波洗浄を行った。オゾン洗浄を行った後に、ポジ型レジスト ZEP - 520 a と ZEP - a (共に日本ゼオン製) を 1 : 2 で混合した溶液をスピコートにより塗布した。レジストを塗布した基板を 180 °C で 2 分間ベーキングした後、この基板に EBL 描画を行い、ZEP - 520 (日本ゼオン製) により現像を行った。現像後の基板に、電子ビーム蒸着により Ti と Au を蒸着した。基板を ZDMAC (日本ゼオン製) に浸漬し、レジストをリフトオフすることにより、ギャップ長 25 nm の初期金ナノギャップ電極を作製した。その後、プローバとナノギャップ電極の電気的な接点を取るためのコンタクトパッドをフォトリソグラフィ、Ti と Au の蒸着により作製した。

30

40

【0084】

次に、ギャップ長 10 nm 程度の金ナノギャップ電極を無電解金メッキ法により形成した。詳細は非特許文献 2 に記載されているので省略する。ヨードチンキ、金箔、アスコルビン酸を混合した溶液に金ナノギャップ電極を浸漬させることで、初期金ナノギャップ電極を成長させ、ギャップ長約 10 nm の金ナノギャップ電極 5 A、5 B と二つのサイドゲート電極 9 A、9 B とを形成した。

【0085】

この金ナノギャップ電極に以下の手順で自己組織化単分子膜 6 と金ナノ粒子 7 を導入した。金ナノ粒子の作製法は非特許文献 6 で公開済みである。まず、金ナノギャップ電極を清浄にするために、アセトンとエタノールの煮沸洗浄を各 10 分、酸素プラズマによるア

50

ッシング処理を計20分行った。上記の洗浄後、金ナノギャップ電極表面の金の酸化膜除去のため、エタノール溶液に1時間浸漬させた。次に、ヘキサチオール分子0.1 mMのエタノール溶液(40)に電極を24時間浸漬させ、自己組織化単分子膜6を形成する。その後、化学合成により作製したオクタンチオール/デカンジチオール混合膜保護金ナノ粒子のトルエン溶液に30分浸漬させる。コア直径8.2 nmの金ナノ粒子溶液は、凝集体を分散させるために事前に150で5分間加熱させておく。金ナノ粒子のコア直径は8.2 nmであり、保護基中のデカンジチオール分子を介して金に化学吸着する。そのため、金ナノ粒子7はギャップ長10 nmの金ナノギャップ電極5間に架橋して、単電子トランジスタの単電子島として動作する。これにより、実施例1のナノデバイス10を作製した。

10

【0086】

作製したナノデバイス10を、真空中9 Kにおいて電気測定し、動作の書き換え可能な回路素子として動作させた。電気測定はプローバを用いて行い、サイドゲート電極の電気的な接点を機械的に外せる(リトラクト)ようにした。

【0087】

図9は、実施例1で作製したサンプルにおけるドレイン電流 - ドレイン電圧特性を示した図である。測定温度は9 Kとした。横軸はドレイン電圧 V_D (V)、縦軸はドレイン電流 I_{DS} (pA)である。グラフ中の R_1 、 R_2 、 C_1 、 C_2 、 Q_0 は非特許文献3に記載した等価回路で、二重トンネル接合の電流電圧特性の理論式から求めた値を示している。実線は、上記のパラメータを用いて理論式を計算した結果であり、実験結果とよく一致することがわかる。これは、作製したサンプルが図2に示すような理想的な二重トンネル接合を形成していることによる。

20

【0088】

図10は、第1サイドゲート電圧 V_{G1} (V)、第2サイドゲート電圧 V_{G2} (V)をそれぞれ掃引したときのドレイン電流 V_D (mV)と、微分コンダクタンス(dI/dV)のマッピング(スタビリティダイアグラム)を示す図である。横軸は各サイドゲートに印加する電圧(V)、縦軸はドレイン電圧 V_D (V)であり、濃淡がドレイン電流(nA)、ドレイン電流の微分コンダクタンス(nS)を示す。測定温度は9 Kとした。ドレイン電極とソース電極との間のクーロン島を介した電流の抑制(クーロンブロック)に起因した、いわゆるクーロンドiamondと呼ばれる平行四辺形状の電圧領域が観察される。このことから、作製したサンプルが単電子トランジスタとして動作していることが分かる。また、クーロンドiamondの形状が、平行四辺形かつ V_{G1} に対して周期的な構造をとっている。この結果も、作製したサンプルが1つのクーロン島のみ有した、図1に示すような理想的な単電子トランジスタ構造をとっていることを示唆している。

30

【0089】

図11は、クーロンオシレーション特性を示す図で、(A)は第2サイドゲートを0 Vにしたときの第1サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性、(B)は第1サイドゲートを0 Vにしたときの第2サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性を示す。なお、ドレイン電圧 V_D は5 mVとした。クーロン島に対するサイドゲート電極のゲート容量 C_{G1} 、 C_{G2} に対応して、周期的なクーロンオシレーションが観察されることが分かった。ここから先の図では、 V_{G1} をフローティングゲート電圧として用いてナノ粒子上の電荷状態を非接触で調整し、 V_{G2} はクーロンオシレーションを観察するための信号入力端子の役割としている。

40

【0090】

図12は、図11(A)の原点付近を拡大した図である。横軸は第1サイドゲート電圧 V_{G1} (V)であり、縦軸はドレイン電流 I_{DS} (pA)である。第2サイドゲート電圧を0 Vとし、ドレイン電圧を5 mVとして、第1サイドゲートへの電圧印加を4回行い、その測定結果を重ねて示している。測定を繰り返しても、Low状態(約0 pA)とHigh状態(約230 pA)付近が安定していることが分かった。これは、安定した論理演算動作に必要な条件である。

50

【0091】

図13は第1サイドゲートに印加する電圧をパラメータとして、ドレイン電流の時間依存性を測定した結果を示す。第1サイドゲートに印加する電圧をそれぞれ25mV, 95mVとした後、電圧を印加するためのプローブをリトラクトした。ここではこのフローティングゲートへの帯電作業を電荷フォーミングと呼ぶ。即ち、電荷フォーミングとは、「ある所望のゲート電圧を電圧印加用のプローブに印加し、その電圧を維持したまま電圧印加用のプローブをゲート電極から引き離す(リトラクトする)」作業のことを意味している。これにより、ゲート電極に誘起された電荷がプローブと非接触の状態に保持される。上側の波形が、 $V_{G1} = 95\text{ mV}$ の場合のドレイン電流時間依存性であり、下側の波形が、 $V_{G1} = 25\text{ mV}$ の場合のドレイン電流時間依存性である。図13より、図12に示したHigh状態とLow状態とが、電荷フォーミング後の時間特性においても区別できることが分かった。

10

【0092】

図14は、図13に示す測定をした後におけるクーロンオシレーション特性を示す図で、(A)は第2サイドゲートを0Vにしたときの第1サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性、(B)は第1サイドゲートを0Vにしたときの第2サイドゲートに印加する電圧に対するドレイン電流 I_{DS} (pA)依存性を示す。ドレイン電圧 V_D は5mVとした。図11と比較して、ナノ粒子上の電荷状態が変化しているため、このクーロンオシレーションの場合、第1ゲート電圧 $V_{G1} = 30\text{ mV}$ でHigh状態となり、 $V_{G1} = 100\text{ mV}$ でLow状態になる。

20

【0093】

図15は、第1サイドゲートで電荷フォーミングを行い、第2サイドゲート電圧でクーロンオシレーション特性を測定した図である。第1サイドゲートに印加する電圧 V_{G1} は30mV, 100mVと固定し、電荷フォーミングを行った。 V_{G1} を、30mVから100mVに増加することにより、クーロンオシレーションを半周期シフトさせることができています。この結果から、電荷フォーミングにより金属ナノ粒子の電荷状態をちょうど0.5e(ただし、eは素電荷)変化できることがわかった。この V_{G1} の条件下で、第2ゲート電圧を0Vと0.4Vの2値に振動させると、ナノデバイスの特性がHigh、Lowとに振動することが予想される。

【0094】

図16は、第2サイドゲート電圧のパルス幅の入力依存性を示し、(A), (B), (C)はそれぞれパルス幅が5秒、0.5秒、0.05秒の場合を示す。第1サイドゲート電圧 V_{G1} は30mV, 100mVの2ケースとし、電荷フォーミングを行った。その後、第2サイドゲートに0Vと0.4Vの2値をとるパルス電圧を入力した。

30

【0095】

図16から、第1サイドゲート電圧 V_{G1} が30mVである場合と100mVである場合とを比較すると、第2サイドゲート電圧のパルス応答が、逆転していることが分かった。つまり、電荷フォーミング条件により、ナノデバイス10の V_{G2} に対する動作が書き換えられている。また、パルス幅を5秒、0.5秒、0.05秒の何れにおいても同様の結果を得ていることが分かり、回路の高速動作も期待できる。

40

【0096】

以上の実施例1から、ゲート電極の少なくとも一つに印加する電圧を、クーロンオシレーションの半周期分変化させ、そのゲート電極をフローティング状態にすることで、金属ナノ粒子の電荷状態を反転させることができることが分かった。また、そのゲート電極をフローティング電極として用いることにより、ナノデバイス10の動作の書き換えが可能であることが分かった。

【0097】

(実施例2)

図2に示すナノデバイス10に関する別の実施例を説明する。実施例1と同様な作製手法で、金ナノギャップ電極5および2つのサイドゲート電極9A, 9Bを作製した。この

50

金ナノギャップ電極 5 に以下の手順で自己組織化単分子膜 6 と金ナノ粒子 7 を導入した。まず、オクタンチオール分子 1 m M のエタノール溶液に電極を 2 4 時間浸漬させ、エタノールでリンスをした。その後、デカンジチオール分子 5 0 0 m M のエタノール溶液に電極を 2 4 時間浸漬させ、デカンジチオール分子をオクタンチオール単分子膜内に挿入した。これにより、オクタンチオールとデカンジチオールの混合した自己組織化単分子膜 6 を形成する。さらにエタノールでリンスした後、化学合成により作製したデカンチオール保護金ナノ粒子 7 のトルエン溶液に 1 6 時間浸漬させる。直径 6 . 2 n m の金ナノ粒子を、自己組織化単分子膜 6 中のデカンジチオール分子により金ナノギャップ電極 5 間に化学吸着させる。この素子にフローティングゲート電極を設け、電荷フォーミングにより素子を ON / OFF できるようにした。これにより、実施例 2 としてのナノデバイス 1 0 を作製した。

10

【 0 0 9 8 】

図 1 7 は、サイドゲートで電荷フォーミングを行っているときのドレイン電流の時間依存性を示す図であり、実線はナノデバイスのドレイン電流、破線はサイドゲート電圧を示す。測定温度は 9 K とした。この素子のドレイン電流 - ゲート電圧依存性は図 4 に示されている。ドレイン電圧は $V_d = 60 \text{ mV}$ としている。電荷フォーミング電圧 V_f を 0 V から 4 V まで 1 V ずつ段階的に増加させたところ、ドレイン電流が段階的に増加した。これにより、ナノデバイスが電荷フォーミングにより多値メモリとして動作していることが分かった。また、約 3 0 0 秒経過したのちに、電荷フォーミング電圧 V_f を 4 V に保ったまま電圧印加用のプローブをリトラクトし、サイドゲート電極をフローティング状態にしても、約 1 2 時間、ドレイン電流の値は殆ど変化しないことが分かった。これは、金ナノ粒子上の電荷状態はフローティング状態のサイドゲート電極により長時間保持され、電荷フォーミングによるナノデバイスの動作書き換えが行えることを示唆している。約 4 3 5 0 0 秒経過後、電荷フォーミング電圧を $V_f = 0 \text{ V}$ とし、リトラクトしていた電圧印加用のプローブをフローティングゲートに接地したところ、ドレイン電流が 0 p A の初期状態に戻った。図 4 では、図 1 7 の測定前後におけるナノデバイスのドレイン電流 - ゲート電圧依存性が示されているが、測定前後で同じ特性を示している。

20

【 0 0 9 9 】

この実施例 2 の結果から、電荷フォーミングによってナノデバイスの特性は劣化せず、なおかつ電荷フォーミング後のナノ粒子上の電荷状態は 1 2 時間以上の保持時間を有することがわかった。

30

【 0 1 0 0 】

(実施例 3)

3 入力 XOR、X NOR などの論理回路動作に必要な、図 3 に示す 3 つの入力ゲートを有するナノデバイス 1 0 A の実施例を説明する。まず実施例 2 と同様の作製手法で、2 つの入力ゲートを有するナノデバイスを作製した。ナノデバイス動作確認後、Cat - CVD 法を用いて第 2 の絶縁層 8 となる Si_3N_4 層を 5 0 n m ナノデバイス上に堆積させた。堆積プロセス時の基板温度は 6 5 程度とした。最後に、 Si_3N_4 層上にトップゲート電極 9 C を設けた。金ナノギャップ電極 5 とサイドゲート電極 9 A、9 B を作製した時と同じ条件で E B L の重ね露光と電極蒸着を行い、金属ナノ粒子 7 の直上にトップゲート電極 9 C を作製した。これにより、実施例 3 としてのナノデバイス 1 0 A を作製した。

40

【 0 1 0 1 】

図 1 8 は、図 3 に示したナノデバイスの 3 つのゲート電極それぞれを用いて、クーロンダイヤモンド特性を観察した結果を示す図であり、図 1 8 (A)、(B)、(C) はゲート電極 9 A、9 B、9 C それぞれにゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ を印加した場合を示している。測定温度は 9 K で、使用した金属ナノ粒子のサイズと比較して妥当なナノデバイスの特性が得られている。図 1 9 は動作結果を示す図であり、真理値表を付している。ナノ粒子上の電荷状態を 0 . 5 e シフトさせるだけの電圧、すなわち $V/2$ でパルス列を作成しそれを 3 つのゲート電極に印加することで、ナノデバイスが 3 入力 XOR 動作することを示している。この構造において、1 つのゲート電極をフローティング電

50

極として、 $0.5e$ シフトさせるような電荷フォーミングを行うと、残りの2電極を用いて、2入力のXOR論理回路を2入力のXNORへと書き換えることが可能となる。

【0102】

以上の各実施例から、フローティングゲートにより金属ナノ粒子の電荷状態を任意に制御して、一つのナノデバイスで書き換え可能な論理演算処理を提供することができる。

【0103】

(実施例4)

実施例1と似通った作製方法で2つの入力ゲートを有する単電子トランジスタを作製した。実施例1と同様な作製方法で、金ナノギャップ電極5および2つのサイドゲート電極9を作製した。この金ナノギャップ電極に以下の手順で自己組織化単分子膜6と金ナノ粒子7を導入した。まず、ヘキサチオール分子 0.1 mM のエタノール溶液に電極を15時間浸漬させ、エタノールでリンスをした。これにより、ヘキサチオールの自己組織化単分子膜6を形成する。さらにエタノールでリンスした後、化学合成により作製したオクタチオールとデカンジチオールが混合した保護基を有する金ナノ粒子7のトルエン溶液に 0.5 時間浸漬させる。直径 8.2 nm の金ナノ粒子を、金ナノ粒子7中のデカンジチオール分子により金ナノギャップ電極5間に化学吸着させる。この素子にフローティングゲート電極を設け、電荷フォーミングにより素子をON/OFFできるようにした。これにより、実施例4としてのナノデバイス10を作製した。

10

【0104】

図20は、第1サイドゲート電圧(フローティング電圧) V_{FG} (V)、第2サイドゲート電圧(コントロール電圧) V_{CG} (V)をそれぞれ掃引したときのドレイン電流 V_D (mV)と、微分コンダクタンス(dI/dV)のマッピング(スタビリティダイアグラム)を示す図である。横軸は各サイドゲートに印加する電圧(V)、縦軸はドレイン電圧 V_D (V)であり、濃淡がドレイン電流(nA)、ドレイン電流の微分コンダクタンス(nS)を示す。測定温度は9Kとした。ドレイン電極とソース電極との間のクーロン島を介した電流の抑制(クーロンブロック)に起因した、いわゆるクーロンドiamondと呼ばれる平行四辺形状の電圧領域が観察される。このことから、作製したサンプルが単電子トランジスタとして動作していることが分かる。また、クーロンドiamondの形状が、平行四辺形かつ V_{FG} 、 V_{CG} に対して周期的な構造をとっている。この結果も、作製したサンプルが1つのクーロン島のみ有した、図1に示すような理想的な単電子トランジスタ構造をとっていることを示唆している。

20

30

【0105】

2入力のゲート電極をそれぞれ独立して掃引した際のクーロンオシレーションを測定した。図21(A)は、 V_{FG} に0Vを印加した状態でスイッチを切り、フローティングゲート電極をフローティング状態にしたときの $I_{DS} - V_{CG}$ 特性を示し、(B)は、電圧 V_{CG} を0Vにしたときの $I_D - V_{FG}$ 特性を示す。図21から図20のスタビリティダイアグラムに呼応した、クーロンオシレーションが明瞭に観察されている。フローティングゲート電極側の V は 150 mV 、コントロールゲート側の V は 730 mV であることが分かった。

【0106】

フローティング電極の電荷フォーミングの電圧を 30 mV 、 45 mV 、 100 mV としてフローティングゲートとして用いると、図22に示すように V_{CG} を0Vとしたときに、3値の電流値をとる多値メモリとして動作することが分かった。なお、 $V_{FG} = 30\text{ mV}$ 、 $V_{CG} = 0\text{ V}$ の際に、この単電子トランジスタはピーク電流をとる。

40

【0107】

また、コントロールゲート電圧が $V/2$ に相当する 365 mV の際に、上記の3値を取るようにフローティングゲートのフォーミング電圧を選択することも可能である。すなわち、ピーク電流を発生させる $V_{FG} = 30\text{ mV}$ に、 $V/2$ に相当する 75 mV を足した $V_{FG} = 105\text{ mV}$ をフォーミング電圧とすると、 $V_{CG} = 365\text{ mV}$ でピーク電流を発生し、 $V_{CG} = 0$ ではオフになる。同様に、 45 mV 、 100 mV にそれぞれ 75 mV

50

を足した $V_{FG} = 120 \text{ mV}$ 、 175 mV とすると、図 22 の $V_{FG} = 45 \text{ mV}$ 、 100 mV に相当する電流値を $V_{CG} = 365 \text{ mV}$ で得ることができる。ただし、 $V_{FG} = 175 \text{ mV}$ の際には、 $V_{CG} = 0$ において、電流が 0 にならない。電流を 0 にするには次のようにすればよい。すなわち、ドレイン電圧を小さめにして、 $V/2$ の電圧範囲で電流が 0 をとり続ける状態とし、 V_{CG} が 0 mV と 365 mV の範囲で、電流が 0 であり続けるような V_{FG} を選択すればよい。

【0108】

(実施例 5)

実施例 5 として、図 8 に示すコントロールゲート電極 12 を備えたナノデバイス 20 を次の要領で作成した。SiO₂ 層を設けた Si 基板上に、電子線描画法及び電子線蒸着法を用いて、ナノギャップ電極 5、フローティングゲート電極 9B、コントロールゲート電極 12 及びサイドゲート電極 9A を有する電極構造体を作製した。作製した電極構造体を、エタノール溶媒で濃度 1 mM のオクタンチオール溶液に 12 時間浸漬し、オクタンチオール自己組織化単分子膜を電極構造体の表面に作製した。その後、エタノール溶媒で濃度 1 mM のデカンジチオール溶液に 12 時間浸漬することでオクタンチオール分子を部分的にデカンジチオールに置換した混合自己組織化単分子膜の作製を行った。この試料をトルエン溶媒の Au ナノ粒子溶液に浸漬することで、ナノギャップ電極間に Au ナノ粒子を導入しナノデバイス 20 としてのフローティングゲート電極付き単電子トランジスタの作製を行った。図 23 は、実施例 5 で作製したナノデバイスの SEM 像及び測定回路を示す図である。

10

20

【0109】

この構造では、ソース電極?ドレイン電極間にナノ粒子からなる単電子島があり、空間的に孤立したフローティングゲート電極 9B の一端がサイドゲート電極の代わりに単電子島に対向している。フローティングゲート電極 9B の他端には、コントロールゲート 12 が対向している。この SEM 像では、ギャップ間に 3 つの金属ナノ粒子 7 が観察されているが、一番上の金属ナノ粒子 7 を通じた電流のみが観察されている。他の 2 つの金属ナノ粒子は、クーロンボックス、即ち、金属ナノ粒子上に量子化した電子がドレイン電圧ならびにゲート電圧により、1 つずつ加わっていき、単電子島として作用する金属ナノ粒子 7 に対して、これらのクーロンボックスの電荷は、単電子島と金属ナノ粒子 7 と間の静電容量に起因して、金属ナノ粒子 7 のオフセット電荷に影響を与えている。

30

【0110】

図 24 は、実施例 5 で作製したナノデバイスのドレイン電流 - ドレイン電圧 ($I_D - V_D$) 特性を示す図である。測定温度は 9 K である。ドレイン電圧 $V_D = 0$ の近傍において電流が流れなくなるクーロンブロック現象が明瞭に観察されている。図中、白丸 () 印は実験結果を示し、実線は図中のパラメータを用いて計算した理論曲線である。グラフ中の R_1 、 R_2 、 C_1 、 C_2 、 Q_0 は非特許文献 3 に記載した等価回路で、二重トンネル接合の電流電圧特性の理論式から求めた値を示している。実線は、上記のパラメータを用いて理論式を計算した結果であり、実験結果とよく一致することがわかる。これは、作製したサンプルが理想的な二重トンネル接合を形成していることによる。

40

【0111】

図 25 において、(1) で示す線は、この単電子トランジスタにおいて、ドレイン電圧 $V_D = 40 \text{ mV}$ を印加した条件でサイドゲート電圧 V_{G2} を掃引した際のドレイン電流 - サイドゲート電圧特性 ($I_D - V_{G2}$ 特性) である。クーロンオシレーションと呼ばれるゲート変調現象が観察されている。サイドゲートによるピーク電圧を与える電圧の差 V は 15 V であることから、サイドゲート容量は、 10.7 zF である。

【0112】

次にドレイン電極、ソース電極、サイドゲート電極、裏面 Si 電極の全てを 0 V とした上でコントロールゲート電極 12 に対して $+20 \text{ V}$ をパルス幅 0.5 秒で印加した。その後コントロールゲート電圧を 0 V とした上で $I_D - V_{G2}$ 特性を測定した。その測定結果は図 25 において (2) の線で示すように $I_D - V_{G2}$ 特性が V_{G2} 軸の正方向に平行に

50

7 Vシフトしている。これは+20 Vのコントロールゲート電極12へのパルス電圧の印加に伴い、フローティングゲート電極9Bに電荷が誘起され、この電荷がコントロールゲート電圧を0 Vにした後も保持され、単電子島のオフセットチャージが $-0.47e$ 、即ちほぼ $e/2$ だけ変化したことに相当する。ここで、 e は素電荷である。このシフトは、ほぼVの半周期分に相当する単電子島の電荷が変調されたことを意味する。

【0113】

次に、同様の手順によってコントロールゲート電極12に対して-15 Vをパルス幅0.5秒(s)で印加した。その後、コントロールゲート電圧を0 Vとした上で $I_D - V_{G2}$ 特性を測定した。その測定結果は図25において(3)の線で示すように、 $I_D - V_{G2}$ 特性が V_{G2} 軸の負方向に平行に7 Vシフトしている。この状態でのクーロンオシレーションによる $I_D - V_{G2}$ 特性は、初期状態のクーロンオシレーションによる $I_D - V_{G2}$ 特性と重なっている。よって、フローティングゲート電極9Bの電荷が初期状態と同じ状況に戻り、フローティングゲートの電荷により誘起される、単電子島のオフセット電荷が初期状態に戻っている。

10

【0114】

以上のように、コントロールゲート電極12への+20 Vのパルス電圧の印加により、フローティングゲート電極9Bには電荷が蓄積され、単電子島のオフセット電荷を素電荷の半分だけずらすことが可能で、-15 Vのパルス電圧の印加により、フローティングゲート電極9Bに蓄えられていた電荷が初期状態に戻り、単電子島のオフセット電荷が初期状態に戻ったことを意味している。サイドゲート電圧 V_{G2} が7 Vの際の電流値は、初期状態では0 Aであり、正のパルス電圧印加後にはピーク電流となっている。よって、ナノデバイス20は、フローティングゲートメモリとして動作すると共に、オンがオフに、オフがオンに入れ替わることから、書き換え可能な回路が構築されていることが分かる。

20

【0115】

図26において、(A)はフローティングゲート電極9Bに電荷が蓄えられていない状態においてドレイン電流の微分値 dI_D/dV_D をドレイン電圧 V_D とサイドゲート電圧 V_{G2} の二次元平面にプロット($dI_D/dV_D - V_D - V_{G2}$ プロット)した結果である。単電子トランジスタにおいて観察されるクーロンダイヤモンドと呼ばれる菱形の形状が明瞭に観察されている。

30

【0116】

次に、ドレイン電極、ソース電極、サイドゲート電極、裏面Si電極の全てを0 Vとした上でコントロールゲート電極12に対して+20 Vをパルス幅0.5秒(s)で印加し、その後コントロールゲート電圧を0 Vとした上で $dI_D/dV_D - V_D - V_{G2}$ プロットを測定した。その結果、図26(B)に示すようにクーロンダイヤモンドが V_{G2} 軸の正方向に7 V平行にシフトしている。このことは、クーロンオシレーションの実験結果と符合しており、+20 Vのパルス電圧の印加に伴い、フローティングゲート電極に電荷が蓄積され、その電荷により単電子島であるAuナノ粒子のオフセット電荷が変化し、その状況が保たれている。

40

【0117】

$dI_D/dV_D - V_D - V_{G2}$ プロットの測定時間は13時間であることから、フローティングゲート電極に誘起・蓄積された電荷は極めて安定で、少なくとも13時間以上保持されているといえる。

【0118】

次に、サイドゲート電圧 $V_{G2} = 6.5$ Vを印加した条件において、コントロールゲート電極12に+20 Vと-15 Vとの電圧パルスをパルス幅1秒で交互に入力し、それぞれの電圧パルス印加直後におけるドレイン電流 I_D をドレイン電圧 $V_D = 40$ mVを印加した条件で測定した。図27は、書込信号、消去信号の繰り返し入力に伴うドレイン電流の変化を示す図である。+20 Vのパルスを印加した直後は2 pA程度のドレイン電流 I_D が観察されているのに対し、-15 Vのパルスを印加した直後におけるドレイン電流は $I_D = 0$ となっている。

50

【 0 1 1 9 】

よって、実施例 5 で作製したナノデバイスに係る単電子メモリ素子は、書込み及び消去が繰り返しできることが分かった。

【 0 1 2 0 】

ナノデバイス 2 0 では、+ 2 0 V と? 1 5 V の電圧パルスを加えることにより、フローティングゲート電極 9 B の電荷を変化させることができた。フローティングゲート周りの構造の違いにより、同様の電圧を加えてもフローティングゲート電極の電荷を変化させることができないこともある。これは、フローティングゲートに電荷を誘起させる伝導機構に非線形性があり、わずかな構造の違いによって、伝導が起きる部分の電界強度などが異なるために、伝導が起きないことがあることを示している。このような場合は、さらに大きなパルス電圧を加えるなどして、動作させることが可能である。

10

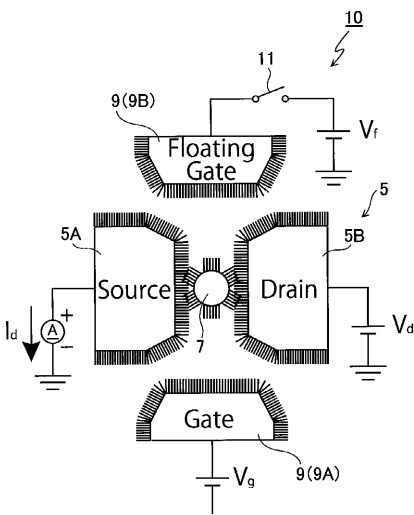
【 0 1 2 1 】

実施例 5 のナノデバイス 2 0 は、9 K で動作している。これを室温で動作させるには、金属ナノ粒子 7 のコア粒径をさらに小さいものにして、常温でクーロンブロッケード現象が安定して観察できるようにすることが必要となる。

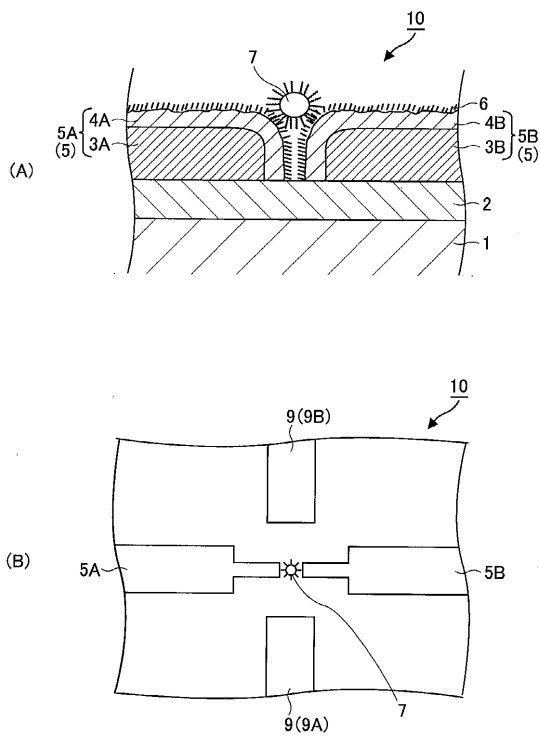
【 0 1 2 2 】

本発明の実施形態及び実施例では、金属ナノ粒子を用いたが、半導体等のナノ粒子、分子でも適用することができる。

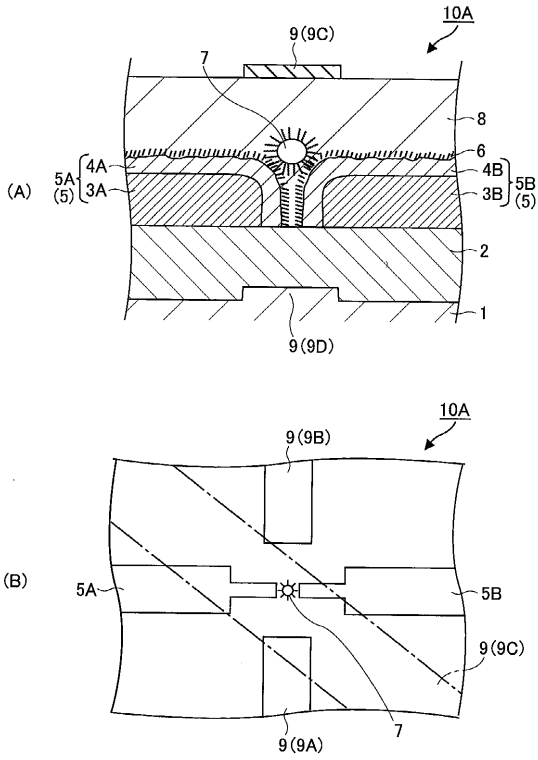
【 図 1 】



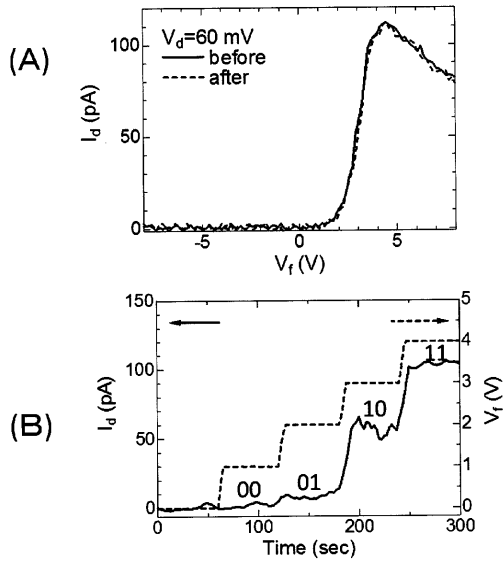
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

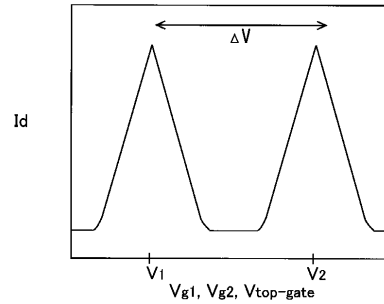
Input Gates			Output						3分の1周期			
1	2	3	XOR	XNOR	演算A	演算B	演算C	演算D		演算E	演算F	演算G
0	0	0	0	1	0	0	0	1	1	1	0	0
0	0	1	1	0	0	1	1	1	1	0	1	1
0	1	0	1	0	0	1	1	1	1	0	1	1
0	1	1	0	1	0	1	0	0	1	0	1	1
1	0	0	1	0	0	0	1	1	1	0	1	1
1	0	1	0	1	0	1	1	1	1	0	1	1
1	1	0	0	1	0	1	1	0	0	1	1	1
1	1	1	1	0	1	0	0	0	1	1	1	0

2分の1周期

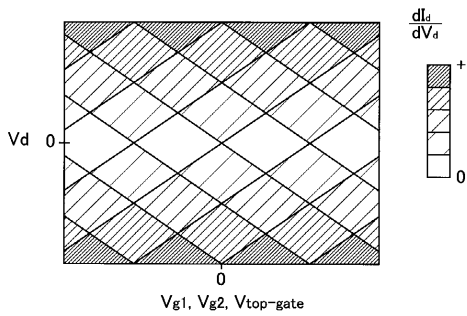
4分の1周期

3分の1周期

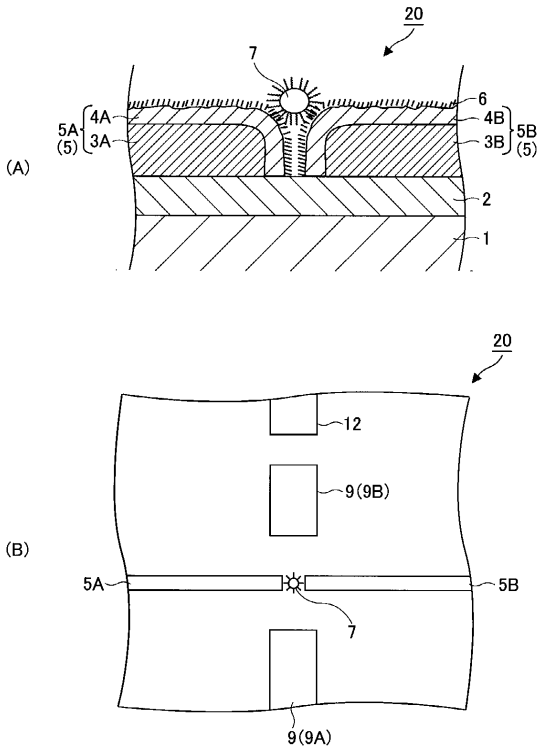
【 図 6 】



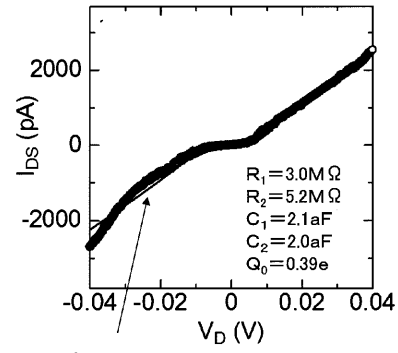
【 図 7 】



【 図 8 】

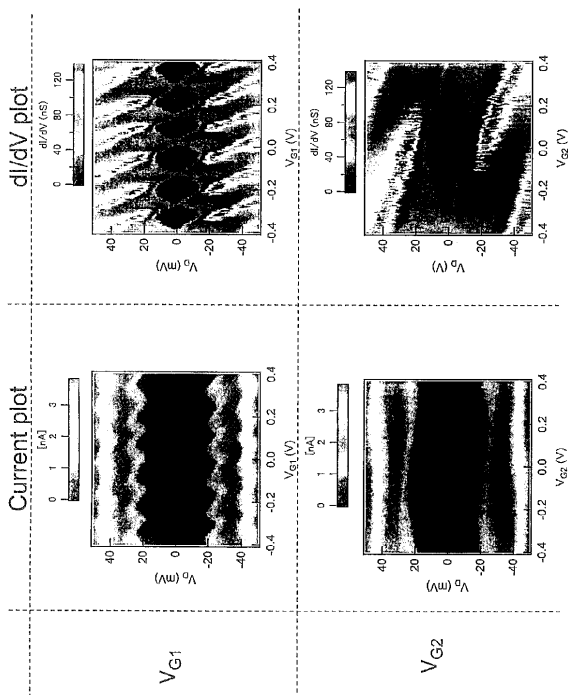


【 図 9 】

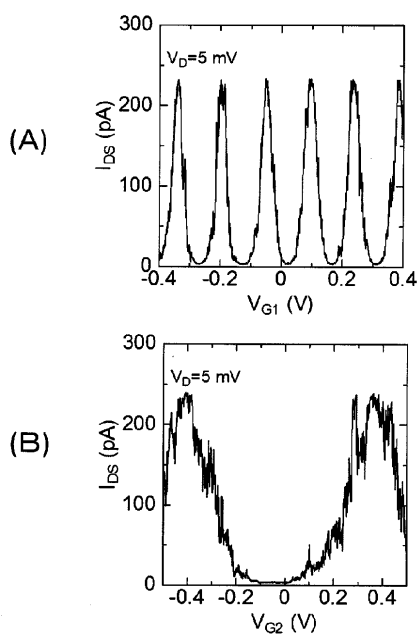


理論式から
求めた値

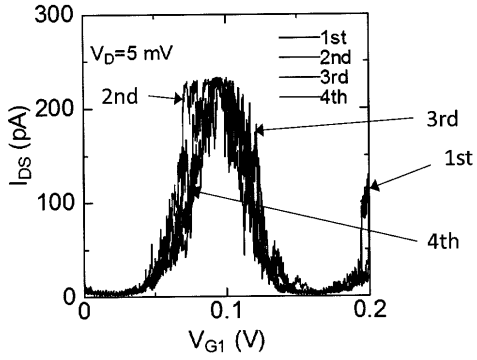
【 図 10 】



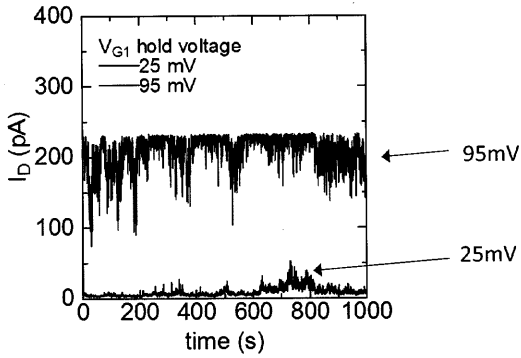
【 図 11 】



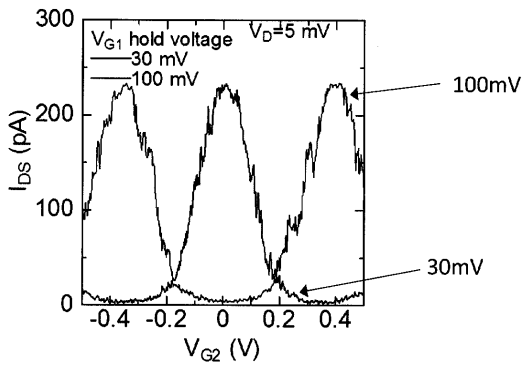
【 図 1 2 】



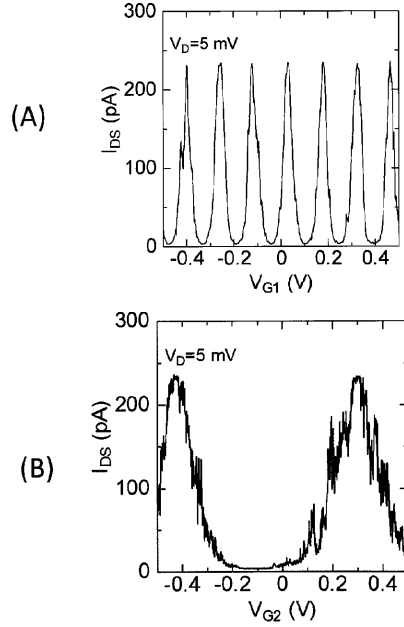
【 図 1 3 】



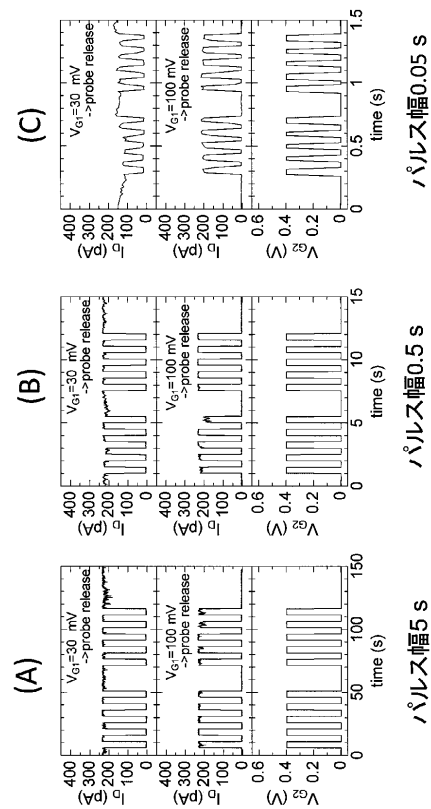
【 図 1 5 】



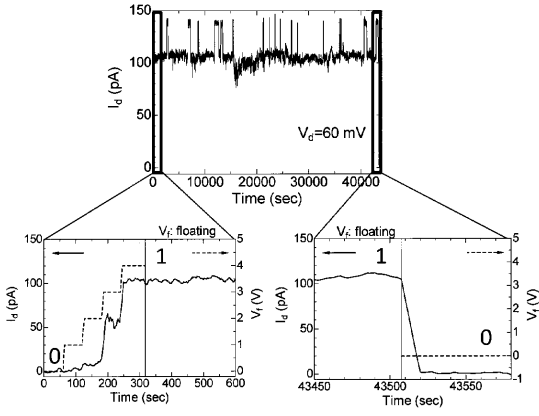
【 図 1 4 】



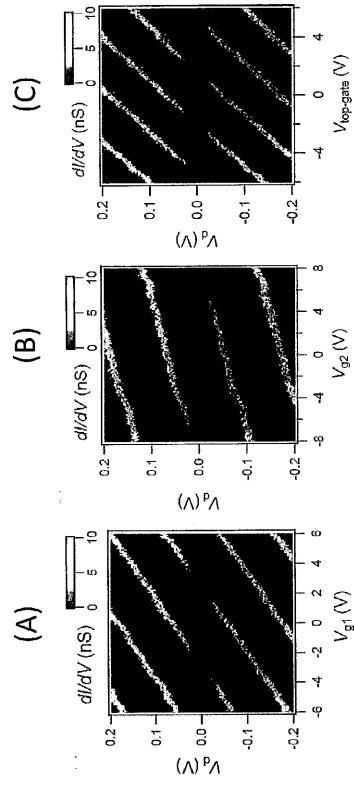
【 図 1 6 】



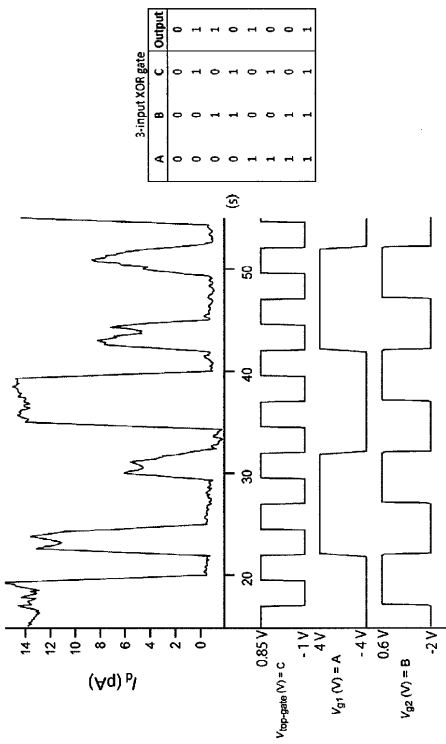
【 図 1 7 】



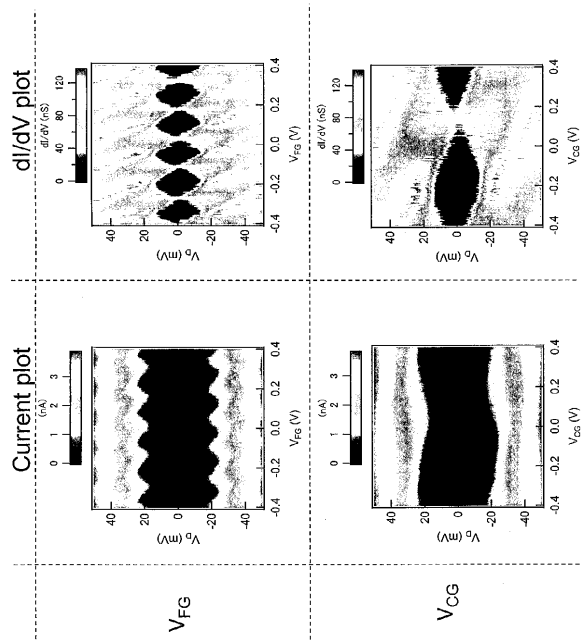
【 図 1 8 】



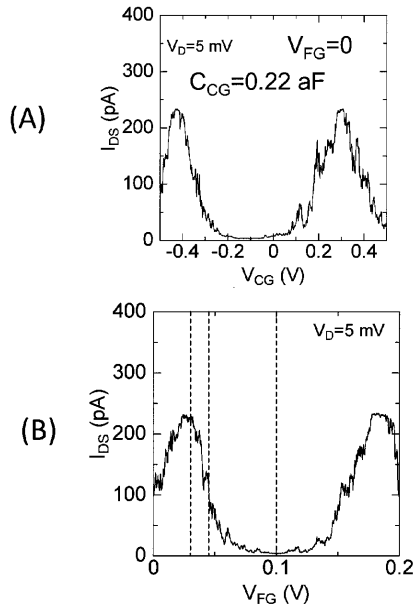
【 図 1 9 】



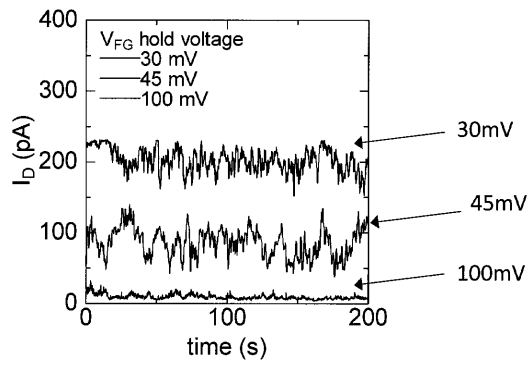
【 図 2 0 】



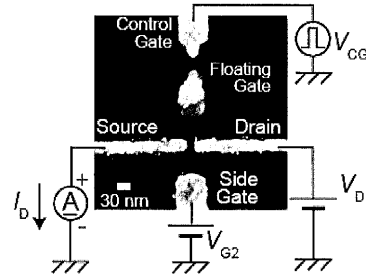
【 図 2 1 】



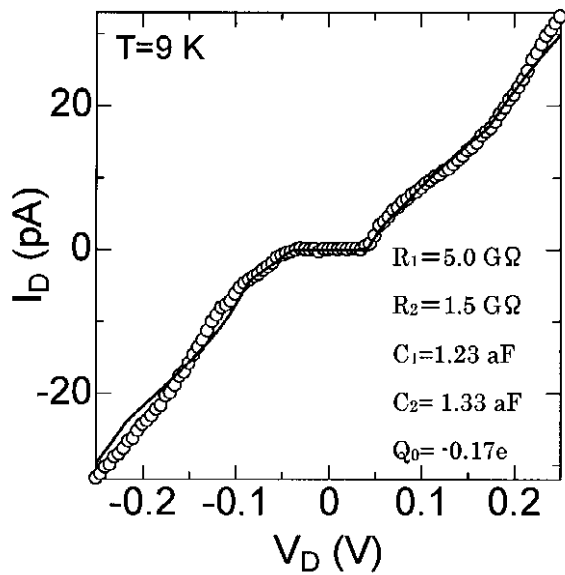
【 図 2 2 】



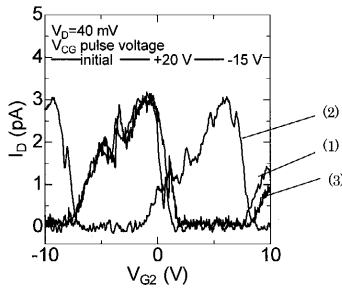
【 図 2 3 】



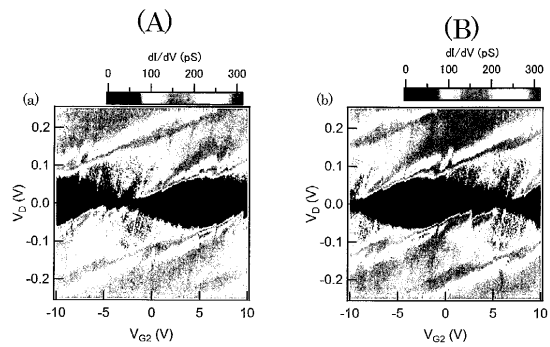
【 図 2 4 】



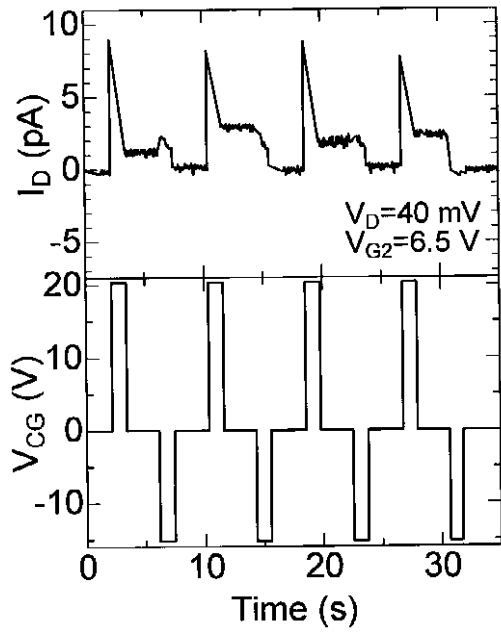
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/073917

A. CLASSIFICATION OF SUBJECT MATTER H01L21/8247(2006.01)i, B82Y30/00(2011.01)i, H01L21/336(2006.01)i, H01L27/115(2006.01)i, H01L29/06(2006.01)i, H01L29/66(2006.01)i, H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/8247, B82Y30/00, H01L21/336, H01L27/115, H01L29/06, H01L29/66, H01L29/786, H01L29/788, H01L29/792		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 7465953 B1 (KOH et al.), 16 December 2008 (16.12.2008), column 7, line 34 to column 9, line 18; column 11, line 26 to column 12, line 8; fig. 1 to 14 (Family: none)	1, 3, 8 2, 4, 6, 7 5, 9, 10
Y	WO 2013/129535 A1 (Japan Science and Technology Agency), 06 September 2013 (06.09.2013), paragraphs [0022], [0023], [0037], [0066]; fig. 1 to 27 & US 2015/0014624 A1 paragraphs [0089], [0090], [0106], [0135]; fig. 1 to 27 & EP 2822040 A1	2, 4, 6, 7
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 11 November 2015 (11.11.15)	Date of mailing of the international search report 24 November 2015 (24.11.15)	
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/073917

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-175224 A (Nippon Telegraph and Telephone Corp.), 30 June 2005 (30.06.2005), paragraphs [0025] to [0098]; fig. 1 to 35 (Family: none)	1-10

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 7 3 9 1 7									
A. 発明の属する分野の分類 (国際特許分類 (IPC))											
Int.Cl. H01L21/8247(2006.01)i, B82Y30/00(2011.01)i, H01L21/336(2006.01)i, H01L27/115(2006.01)i, H01L29/06(2006.01)i, H01L29/66(2006.01)i, H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i											
B. 調査を行った分野											
調査を行った最小限資料 (国際特許分類 (IPC))											
Int.Cl. H01L21/8247, B82Y30/00, H01L21/336, H01L27/115, H01L29/06, H01L29/66, H01L29/786, H01L29/788, H01L29/792											
最小限資料以外の資料で調査を行った分野に含まれるもの											
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2015年										
日本国実用新案登録公報	1996-2015年										
日本国登録実用新案公報	1994-2015年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X	US 7465953 B1 (KOH et al.) 2008.12.16,	1, 3, 8									
Y	7 欄 34 行目-9 欄 18 行目, 11 欄 26 行目-12 欄 8 行目, 図 1-14	2, 4, 6, 7									
A	(ファミリーなし)	5, 9, 10									
Y	WO 2013/129535 A1 (独立行政法人科学技術振興機構) 2013.09.06, 段落 0022, 0023, 0037, 0066, 図 1-27 & US 2015/0014624 A1, 段落 0089, 0090, 0106, 0135, 図 1-27 & EP 2822040 A1	2, 4, 6, 7									
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献									
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 11.11.2015		国際調査報告の発送日 24.11.2015									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 小山 満	5 F 9458								
		電話番号 03-3581-1101 内線 3516									

国際調査報告		国際出願番号 PCT/JP2015/073917
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-175224 A (日本電信電話株式会社) 2005.06.30, 段落 0025-0098, 図 1-35 (ファミリーなし)	1-10

フロントページの続き

(51) Int.Cl.			F I			テーマコード (参考)
G 1 1 C 16/04 (2006.01)			B 8 2 Y	10/00		
G 1 1 C 11/56 (2006.01)			G 1 1 C	16/04	1 0 0	
G 1 1 C 13/00 (2006.01)			G 1 1 C	11/56	2 0 0	
			G 1 1 C	13/00	2 4 5	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72) 発明者 青山 詠樹

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

Fターム(参考) 5B225 BA08 BA19 FA02 FA05 FA07
 5F083 FZ01 GA05 GA11 HA02 JA38 JA60 ZA21
 5F110 AA30 BB03 BB05 BB13 CC10 DD05 DD13 EE02 EE04 EE14
 EE27 EE43 GG01 GG42 HK02 HK04 HK21 HK32 QQ14

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。