

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/024527

発行日 平成29年8月31日 (2017.8.31)

(43) 国際公開日 平成28年2月18日 (2016.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/15 (2006.01)	G 1 1 C 11/15 1 1 0	5 B 0 1 5
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/40 3 0 1	

審査請求 有 予備審査請求 未請求 (全 55 頁)

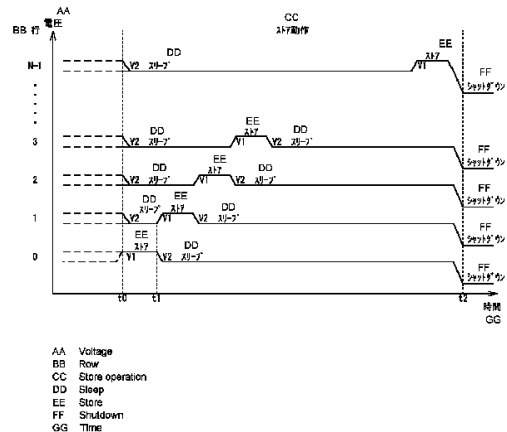
出願番号 特願2016-542556 (P2016-542556)	(71) 出願人 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号 PCT/JP2015/072392	
(22) 国際出願日 平成27年8月6日 (2015.8.6)	
(31) 優先権主張番号 特願2014-164526 (P2014-164526)	(71) 出願人 591243103 公益財団法人神奈川県科学技術アカデミー 神奈川県川崎市高津区坂戸3丁目2番1号
(32) 優先日 平成26年8月12日 (2014.8.12)	
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100087480 弁理士 片山 修平
	(72) 発明者 菅原 聡 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
	(72) 発明者 周藤 悠介 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内

最終頁に続く

(54) 【発明の名称】 記憶回路

(57) 【要約】

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、複数の行および複数の列に、前記複数の行が分割された各々が1または複数の行を含む複数のバンクを形成するように配列された複数のセルと、前記複数の行を順にストア動作し、前記複数のバンクのうちストア動作される行を含む第1バンクのセルの電源に供給される電圧を第1電圧とし、前記複数のバンクのうち前記第1バンク以外のセルの電源に供給される電圧を前記第1電圧より低く前記双安定回路のデータが維持される第2電圧とする制御部と、を具備することを特徴とする記憶回路。



【特許請求の範囲】**【請求項 1】**

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、複数の行および複数の列に、前記複数の行が分割され各々が 1 または複数の行を含む複数のバンクを形成するように配列された複数のセルと、

前記複数の行を順にストア動作し、前記複数のバンクのうちストア動作される行を含む第 1 バンクのセルの電源に供給される電圧を第 1 電圧とし、前記複数のバンクのうち前記第 1 バンク以外のセルの電源に供給される電圧を前記第 1 電圧より低く前記双安定回路のデータが維持される第 2 電圧とする制御部と、
を具備することを特徴とする記憶回路。

10

【請求項 2】

前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧を前記第 2 電圧とすることを特徴とする請求項 1 記載の記憶回路。

【請求項 3】

前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧をシャットダウンすることを特徴とする請求項 1 記載の記憶回路。

【請求項 4】

前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記複数のセルは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチを各々備え、

20

前記複数のセルの電源に供給される電圧は、前記双安定回路に供給されることを特徴とする請求項 1 から 3 のいずれか一項記載の記憶回路。

【請求項 5】

前記複数のバンクは各々 1 つの行を含むことを特徴とする請求項 1 から 4 のいずれか一項記載の記憶回路。

【請求項 6】

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有する複数のセルと、

30

前記複数のセルの電源に供給される電圧を変更する 1 または複数のパワースイッチと、1 つのパワースイッチにより共通の電圧が供給される領域が複数のブロックに分割され、前記領域において前記複数のブロックごとに異なる期間にストア動作する制御部と、を具備することを特徴とする記憶回路。

【請求項 7】

前記複数のセルは、複数の行および複数の列に配列され、

前記領域は、1 または複数の行を含み、

1 つの行が前記複数のブロックに分割されていることを特徴とする請求項 6 記載の記憶回路。

【請求項 8】

40

前記複数のセルは、各々データのストアを実行するスイッチを有し、

前記複数のブロックの各々のセル内の前記スイッチは共通のサブスイッチ線に接続され、

同じ行のサブスイッチ線は 1 つのスイッチ線に接続され、

前記複数のブロックのうち 1 つのブロックを選択し、選択されたブロックのサブスイッチ線に前記スイッチをオンする信号を出力する選択回路を具備することを特徴とする請求項 7 記載の記憶回路。

【請求項 9】

前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記スイッチは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続され

50

、
前記セルの電源に供給される電圧は、前記双安定回路に供給されることを特徴とする請求項 8 記載の記憶回路。

【請求項 10】

前記複数のブロックの各々は、同じ行内の連続したセルを含むことを特徴とする請求項 7 から 9 のいずれか一項記載の記憶回路。

【請求項 11】

前記複数のブロックの各々は、同じ行内の周期的に配列されたセルを含むことを特徴とする請求項 7 から 9 のいずれか一項記載の記憶回路。

【請求項 12】

前記複数のブロックの各々のセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、

前記データが不一致のとき、対応するブロック内のセルのストア動作を行ない、前記データが一致のとき、前記対応するブロック内のセルのストア動作を行なわない選択回路と

、
を具備することを特徴とする請求項 6 から 11 のいずれか一項記載の記憶回路。

【請求項 13】

各々のセルが、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他端が制御線に接続され、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチと、を有し、各々共通のスイッチ線に接続された複数の行と各々共通の制御線に接続された複数の列とに配列された複数のセルと、

同じ制御線に対し共通に設けられ、対応する制御線の信号に基づき、前記対応する制御線に接続されたセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、

前記データが不一致のとき、前記対応する制御線に接続されたセル内の前記スイッチをオンさせ、前記データが一致のとき、前記対応する制御線に接続されたスイッチをオフさせる選択回路と、

を具備することを特徴とする記憶回路。

【請求項 14】

1つの行が各々複数のセルを含む複数のブロックに分割され、

前記選択回路は、対応するブロック内の複数のセルのデータの少なくとも一つが不一致のとき、前記対応するブロック内の前記スイッチをオンさせ、前記対応するブロック内の複数のセルのデータの全てが一致のとき、前記対応するブロック内の前記スイッチをオフさせることを特徴とする請求項 13 記載の記憶回路。

【請求項 15】

前記判定回路は、同じブロック内の複数の制御線に共通に設けられていることを特徴とする請求項 14 記載の記憶回路。

【請求項 16】

一对の前記不揮発性素子は、前記双安定回路の相補するノードにそれぞれ接続され、

一对の前記制御線は、前記一对の不揮発性素子にそれぞれ接続され、

前記判定回路は、前記双安定回路のデータと前記一对の制御線の信号と、に基づき、前記データが一致か不一致かを判定することを特徴とする請求項 13 から 15 のいずれか一項記載の記憶回路。

【請求項 17】

電源線および接地線から電圧が供給され、データを記憶する双安定回路と、

一端が前記双安定回路内のノードに他端が制御線に接続され、前記一端と前記他端との間を流れる電流により抵抗値が変更されることにより前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする

10

20

30

40

50

不揮発性素子と、

ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたFETと、

前記双安定回路にデータを揮発的に書き込みおよび読み出しを行なう第1期間において、前記FETのゲートに印加される電圧を、前記FETがnチャンネルFETの場合前記接地線の電圧より低くし、前記FETがpチャンネルFETの場合前記電源線の電圧より高くする制御部と、

を具備することを特徴とする記憶回路。

【請求項18】

前記制御部は、前記双安定回路のデータが維持され前記双安定回路の前記電源線の電圧と前記接地線の電圧との差が前記第1期間における前記電源線の電圧と前記接地線の電圧の差より小さくなる第2期間に、前記FETのゲートに印加される電圧を、前記FETがnチャンネルFETの場合前記第1期間における前記接地線の電圧より低くし、前記FETがpチャンネルFETの場合前記第1期間における前記電源線の電圧より高くすることを特徴とする請求項17記載の記憶回路。

【請求項19】

前記制御部は、

前記FETがnチャンネルFETの場合、前記不揮発性素子にストアされたデータを前記双安定回路にリストアする期間における前記FETのゲートに印加される電圧を、前記双安定回路に記憶されたデータを不揮発的に不揮発性メモリにストアする期間における前記FETのゲートに印加される電圧より、低くし、

前記FETがpチャンネルFETの場合、前記リストアする期間における前記FETのゲートに印加される電圧を、前記ストアする期間における前記FETのゲートに印加される電圧より、高くすることを特徴とする請求項17または18記載の記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶回路に関し、例えば双安定回路と不揮発性素子とを有する複数のセルを備えた記憶回路に関する。

【背景技術】

【0002】

近年、情報処理機器による消費電力量は急激に増大している。今後、CMOS (Complementary Metal Oxide Semiconductor) ロジックシステムを中心とする情報処理機器の省エネルギー化はこれまで以上に重要になると予想される。最近のパーソナルコンピュータ (PC)、サーバのマイクロプロセッサ、およびスマートフォン等の携帯機器、のシステムオンチップ (SoC) などのCMOSロジックシステムでは、トランジスタの微細化および高密度集積化にともない、リーク電流によって待機時に消費する待機 (スタンバイ) 電力が著しく大きくなる。このように、待機時の電力の増大が重大な問題となっている。例えば、最近のマイクロプロセッサの待機電力はCMOSの動作 (演算) 時に消費するダイナミックパワーと同じレベルに達している。すなわち、このようなマイクロプロセッサは演算を行わなくても待機時に演算と同レベルの電力を消費してしまう。したがって、待機電力の削減がCMOSロジックシステムにおける重要課題になっている。

【0003】

パワーゲーティング (PG) はロジック回路をパワードメインと呼ばれるブロックに分割して、パワードメイン毎に電源遮断によるパワーマネジメント (電力制限) を行うことで、待機電力を削減する方法である。パワーマネジメントには、パワースイッチまたはスリープトランジスタと呼ばれるMOSFET (Metal Oxide Semiconductor Field Effect Transistor) スイッチを用いる。なお、以下では、パワースイッチとスリープトランジスタとを含め、パワースイッチと呼ぶ。PGは現在ではマイクロプロセッサやSoCなど

10

20

30

40

50

のCMOSロジックシステムにおける必須の電力削減アーキテクチャの1つになっている。PGにおける省電力(省エネルギー)効果は、パワードメインの空間的な粒度(パワードメインの大きさ)とPGを行う時間的な粒度(PGをかける時間的頻度)が重要な因子となる。パワードメイン内にある記憶回路内の情報の保持がPGの空間的および時間的粒度に制約を与えている。これは、パワードメイン内にあるレジスタやキャッシュメモリなどの記憶回路に記憶されている重要な情報が、電源遮断によって失われてしまうためである。

【0004】

不揮発性パワーゲーティング(NV(non-volatile)PG)は以上に述べた従来のPGにおける問題を解消し、CMOS回路のみでは実現できない最適な空間的および時間的粒度のPGを実現する。これにより、高効率にエネルギーを削減し、大幅に待機時消費電力を削減できる技術である。NVPGを実現するためには、マイクロプロセッサやSoC内で使用されるキャッシュメモリやレジスタ、レジスタファイルのような記憶回路を不揮発化する。これらの記憶回路はSRAM(Static Random Access Memory)やフリップフロップ(FF)といった双安定回路で構成されている。強磁性トンネル接合(MTJ)などの不揮発メモリ素子を双安定回路に付加することで、不揮発性SRAM(NV-SRAM)や不揮発性FF(NV-FF)といった不揮発性双安定回路を構成することができる。

10

【0005】

特許文献1には、双安定回路と不揮発性素子を有するセルを用いた記憶回路が記載されている。双安定回路のデータを不揮発性素子にストアし、不揮発性素子のデータを双安定回路にリストアする回路を不揮発性双安定回路という。特許文献2には、不揮発性双安定回路を有するセルにおいて、通常SRAM動作、スリープ動作、ストア動作および電源遮断(シャットダウン)を行なう記憶回路が記載されている。特許文献3には、双安定回路に記憶されているデータと、不揮発性素子にストアされているデータが一致する場合、双安定回路のデータを不揮発性素子にストアしない制御を行なう記憶回路が記載されている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第2009/028298号

30

【特許文献2】国際公開第2013/172066号

【特許文献3】国際公開第2013/172065号

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1から3のような記憶回路では、選択されたセルの双安定回路のデータを不揮発性素子にストアするときに、選択されていないセルにもストア動作のための電圧が供給される。このように、選択されていないセルがストア動作のためのスタンバイ状態となる。これにより、無駄な待機電力が生じる。

40

【0008】

また、特許文献2および3のように、セルをスリープモードやシャットダウンモードとするためには、パワースイッチを用いる。ストア動作のときに低インピーダンスの不揮発性素子に電流が流れる。このため、セルに印加される仮想電源電圧を高く(または仮想接地電圧を低く)維持するためには、セルをスリープまたはシャットダウンするためのパワースイッチが大きくなる。このため、パワースイッチの占有面積が大きくなる。

【0009】

さらに、特許文献3のように、セル単位でストアの有無を判断する場合、周辺回路が大きくなる。

【0010】

本発明は、上記課題に鑑みなされたものであり、待機電力を抑制すること、または、占

50

有面積を抑制することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、複数の行および複数の列に、前記複数の行が分割され各々が1または複数の行を含む複数のバンクを形成するように配列された複数のセルと、前記複数の行を順にストア動作し、前記複数のバンクのうちストア動作される行を含む第1バンクのセルの電源に供給される電圧を第1電圧とし、前記複数のバンクのうち前記第1バンク以外のセルの電源に供給される電圧を前記第1電圧より低く前記双安定回路のデータが維持される第2電圧とする制御部と、を具備することを特徴とする記憶回路である。

10

【0012】

上記構成において、前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧を前記第2電圧とする構成とすることができる。

【0013】

上記構成において、前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧をシャットダウンする構成とすることができる。

【0014】

上記構成において、前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記複数のセルは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチを各々備え、前記複数のセルの電源に供給される電圧は、前記双安定回路に供給される構成とすることができる。

20

【0015】

上記構成において、前記複数のバンクは各々1つの行を含む構成とすることができる。

【0016】

本発明は、各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有する複数のセルと、前記複数のセルの電源に供給される電圧を変更する1または複数のパワースイッチと、1つのパワースイッチにより共通の電圧が供給される領域が複数のブロックに分割され、前記領域において前記複数のブロックごとに異なる期間にストア動作する制御部と、を具備することを特徴とする記憶回路である。

30

【0017】

上記構成において、前記複数のセルは、複数の行および複数の列に配列され、前記領域は、1または複数の行を含み、1つの行が前記複数のブロックに分割されている構成とすることができる。

【0018】

上記構成において、前記複数のセルは、各々データのストアを実行するスイッチを有し、前記複数のブロックの各々のセル内の前記スイッチは共通のサブスイッチ線に接続され、同じ行のサブスイッチ線は1つのスイッチ線に接続され、前記複数のブロックのうち1つのブロックを選択し、選択されたブロックのサブスイッチ線に前記スイッチをオンする信号を出力する選択回路を具備する構成とすることができる。

40

【0019】

上記構成において、前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記スイッチは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続され、前記セルの電源に供給される電圧は、前記双安定回路に供給される構成とすることができる。

【0020】

上記構成において、前記複数のブロックの各々は、同じ行内の連続したセルを含む構成

50

とすることができる。

【0021】

上記構成において、前記複数のブロックの各々は、同じ行内の周期的に配列されたセルを含む構成とすることができる。

【0022】

上記構成において、前記複数のブロックの各々のセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、前記データが不一致のとき、対応するブロック内のセルのストア動作を行ない、前記データが一致のとき、前記対応するブロック内のセルのストア動作を行わない選択回路と、を具備する構成とすることができる。

10

【0023】

本発明は、各々のセルが、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他端が制御線に接続され、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチと、を有し、各々共通のスイッチ線に接続された複数の行と各々共通の制御線に接続された複数の列とに配列された複数のセルと、同じ制御線に対し共通に設けられ、対応する制御線の信号に基づき、前記対応する制御線に接続されたセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、前記データが不一致のとき、前記対応する制御線に接続されたセル内の前記スイッチをオンさせ、前記データが一致のとき、前記対応する制御線に接続されたスイッチをオフさせる選択回路と、を具備することを特徴とする記憶回路である。

20

【0024】

上記構成において、1つの行が各々複数のセルを含む複数のブロックに分割され、前記選択回路は、対応するブロック内の複数のセルのデータの少なくとも一つが不一致のとき、前記対応するブロック内の前記スイッチをオンさせ、前記対応するブロック内の複数のセルのデータの全てが一致のとき、前記対応するブロック内の前記スイッチをオフさせる構成とすることができる。

【0025】

上記構成において、前記判定回路は、同じブロック内の複数の制御線に共通に設けられている構成とすることができる。

30

【0026】

上記構成において、一对の前記不揮発性素子は、前記双安定回路の相補するノードにそれぞれ接続され、一对の前記制御線は、前記一对の不揮発性素子にそれぞれ接続され、前記判定回路は、前記双安定回路のデータと前記一对の制御線の信号と、に基づき、前記データが一致か不一致かを判定する構成とすることができる。

【0027】

本発明は、電源線および接地線から電圧が供給され、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他端が制御線に接続され、前記一端と前記他端との間を流れる電流により抵抗値が変更されることにより前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたFETと、前記双安定回路にデータを揮発的に書き込みおよび読み出しを行なう第1期間において、前記FETのゲートに印加される電圧を、前記FETがnチャンネルFETの場合前記接地線の電圧より低くし、前記FETがpチャンネルFETの場合前記電源線の電圧より高くする制御部と、を具備することを特徴とする記憶回路である。

40

【0028】

上記構成において、前記制御部は、前記双安定回路のデータが維持され前記双安定回路の前記電源線の電圧と前記接地線の電圧との差が前記第1期間における前記電源線の電圧

50

と前記接地線の電圧の差より小さくなる第2期間に、前記FETのゲートに印加される電圧を、前記FETがnチャンネルFETの場合前記第1期間における前記接地線の電圧より低くし、前記FETがpチャンネルFETの場合前記第1期間における前記電源線の電圧より高くする構成とすることができる。

【0029】

上記構成において、前記制御部は、前記FETがnチャンネルFETの場合、前記不揮発性素子にストアされたデータを前記双安定回路にリストアする期間における前記FETのゲートに印加される電圧を、前記双安定回路に記憶されたデータを不揮発的に不揮発性メモリにストアする期間における前記FETのゲートに印加される電圧より、低くし、前記FETがpチャンネルFETの場合、前記リストアする期間における前記FETのゲートに印加される電圧を、前記ストアする期間における前記FETのゲートに印加される電圧より、高くする構成とすることができる。

10

【発明の効果】

【0030】

本発明によれば、待機電力を抑制すること、または、占有面積を抑制することができる。

【図面の簡単な説明】

【0031】

【図1】図1は、実施例1から3におけるセルの回路図である。

【図2】図2は、実施例1から3における記憶回路を示すブロック図である。

20

【図3】図3は、実施例1から3におけるNV-SRAMおよび6T-SRAMの各期間の消費電流を示す図である。

【図4】図4(a)および図4(b)は、実施例1における動作を説明する図である。

【図5】図5は、実施例1におけるセルアレイとパワースイッチとの接続を示すブロック図である。

【図6】図6は、実施例1におけるセルアレイとパワースイッチとの別の接続を示すブロック図である。

【図7】図7は、実施例1におけるストア動作の例1を示すタイミングチャートである。

【図8】図8は、実施例1におけるストア動作の例2を示すタイミングチャートである。

【図9】図9は、実施例1におけるストア動作の例3を示すタイミングチャートである。

30

【図10】図10は、実施例1におけるストア動作の例4を示すタイミングチャートである。

【図11】図11は、実施例1においてシミュレーションに用いた記憶回路を示すブロック図である。

【図12】図12(a)および図12(b)は、実施例1においてシミュレーションに用いたシーケンスを示す図である。

【図13】図13(a)は、nRWに対するEcy cを示す図、図13(b)は、tSDに対するEcy cを示す図である。

【図14】図14は、実施例1におけるセルアレイのサイズに対するBETの削減率を示す図である。

40

【図15】図15(a)および図15(b)は、実施例2におけるセルとパワースイッチを示す回路図である。

【図16】図16は、パワースイッチのチャンネル幅Wに対する仮想電源電圧VVD Dを示す図である。

【図17】図17は、実施例2におけるセルアレイの一部を示すブロック図である。

【図18】図18(a)および図18(b)は、実施例2における選択回路の例を示すブロック図である。

【図19】図19は、実施例2におけるスイッチ線、サブスイッチ線および仮想電源電圧VVD Dのタイミングチャートである。

【図20】図20は、実施例2の変形例に係る記憶回路を示すブロック図である。

50

【図 2 1】図 2 1 (a) は、実施例 2 における nSR に対する $MOSFET$ の総チャネル幅を示す図であり、図 2 1 (b) は、実施例 2 における nSR に対する総チャネル幅 / セルを示す図である。

【図 2 2】図 2 2 は、実施例 2 の変形例 1 におけるセルアレイの一部を示すブロック図である。

【図 2 3】図 2 3 は、実施例 2 の変形例 2 におけるセルアレイの一部を示すブロック図である。

【図 2 4】図 2 4 は、実施例 2 の変形例 2 における各セルのストア動作、スイッチ線、サブスイッチ線および仮想電源電圧 V_{DD} のタイミングチャートである。

【図 2 5】図 2 5 は、実施例 2 の変形例 3 におけるセルアレイの一部を示すブロック図である。

【図 2 6】図 2 6 は、実施例 3 における判定回路とセルとのブロック図である。

【図 2 7】図 2 7 は、実施例 3 における判定回路とセルとの別の例を示すブロック図である。

【図 2 8】図 2 8 は、実施例 3 における記憶回路を示すブロック図である。

【図 2 9】図 2 9 は、実施例 3 におけるスイッチ線、制御線およびマッチ信号のタイミングチャートである。

【図 3 0】図 3 0 は、実施例 3 の変形例 1 における記憶回路を示すブロック図である。

【図 3 1】図 3 1 は、実施例 3 の変形例 2 における記憶回路を示すブロック図である。

【図 3 2】図 3 2 は、実施例 3 の変形例 3 における記憶回路を示すブロック図である。

【図 3 3】図 3 3 は、実施例 3 の変形例 4 における記憶回路を示すブロック図である。

【図 3 4】図 3 4 (a) および図 3 4 (b) は、実施例 1 から 4 およびその変形例におけるセルの回路図である。

【図 3 5】図 3 5 (a) および図 3 5 (b) は、実施例 1 における nRW に対する BET を示す図である。

【図 3 6】図 3 6 (a) および図 3 6 (b) は、実施例 1 においてストアフリーの割合を変えたときの nRW に対する BET を示す図である。

【図 3 7】図 3 7 (a) および図 3 7 (b) は、通常 $SRAM$ 動作期間におけるそれぞれ電圧 V_{CTRL} および V_{SR} に対するリーク電流 I_{L}^{NV} を示す図である。

【図 3 8】図 3 8 (a) および図 3 8 (b) は、実施例 4 における nRW に対する BET を示す図である。

【図 3 9】図 3 9 (a) および図 3 9 (b) は、実施例 4 の変形例 1 における nRW に対する BET を示す図である。

【発明を実施するための形態】

【0032】

以下、図面を参照し、不揮発性双安定回路の例を $NV-SRAM$ として実施例について説明する。なお、以下の実施例に係る記憶回路は、例えばパワーゲーティングが行なわれるパワードメインに含まれる記憶回路であり、例えばキャッシュメモリまたはレジスタである。また、不揮発性 $SRAM$ を例に説明するが、不揮発性 FF でもよい。

【実施例 1】

【0033】

実施例 1 は、ストア時スリープ・アーキテクチャの例である。実施例 1 では、ストア動作時に、ストア動作を実行していないセルアレイの各行に、接続されているセルをスリープモードまたはシャットダウンモードにする。または、ストア動作を実行している行を含む近傍の数行以外の行に接続されているセルをスリープモードまたはシャットダウンモードにする。ストア動作を行なう前の行については、シャットダウンモードとはせずスリープモードとするが、ストア動作を行なった後の行については、スリープモードでもシャットダウンモードでもよい。なお、行は、例えばワード線と平行な方向に配置されたセルである。これにより、不揮発性双安定回路を含む不揮発性パワーゲーティング ($NVPG$) 可能な記憶回路において、 $NVPG$ の電力削減効率を高めることができる。

10

20

30

40

50

【 0 0 3 4 】

図 1 は、実施例 1 から 3 におけるセルの回路図である。図 1 に示すように、N V - S R A Mセル 1 0 は、インバータ回路 1 4 および 1 6、スピントランスファートルク磁気トンネル接合素子 (S T T - M T J : 以下では簡単のため単に強磁性トンネル接合素子と呼ぶ) M T J 1 および M T J 2 を有している。

【 0 0 3 5 】

インバータ回路 1 4 および 1 6 はループ状に接続され双安定回路 1 2 を構成している。インバータ回路 1 4 は、n 型 M O S F E T m 2 および p 型 M O S F E T m 1 を有している。インバータ回路 1 6 は、n 型 M O S F E T m 4 および p 型 M O S F E T m 3 を有している。

10

【 0 0 3 6 】

インバータ回路 1 4 と 1 6 が接続されたノードがそれぞれノード Q、Q B である。ノード Q とノード Q B とは互いに相補ノードである。双安定回路 1 2 は、ノード Q およびノード Q B がそれぞれハイレベルおよびローレベル、または、ノード Q およびノード Q B がそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路 1 2 は、安定状態となることにより、データを記憶することができる。

【 0 0 3 7 】

ノード Q および Q B は、それぞれ M O S F E T m 5 および m 6 を介し入出力線 D および D B に接続されている。M O S F E T m 5 および m 6 のゲートはワード線 W L に接続されている。M O S F E T m 1 から m 6 により 6 トランジスタ (F E T) 型の S R A M が形成される。

20

【 0 0 3 8 】

ノード Q と制御線 C T R L との間に M O S F E T m 7 と強磁性トンネル接合素子 M T J 1 とが接続され、ノード Q B と制御線 C T R L との間に M O S F E T m 8 と強磁性トンネル接合素子 M T J 2 とが接続されている。M O S F E T m 7 および m 8 のソースおよびドレインの一方は、ノード Q および Q B に、ソースおよびドレインの他方は強磁性トンネル接合素子 M T J 1 および M T J 2 にそれぞれ接続されている。M O S F E T m 7 および m 8 のゲートはスイッチ線 S R に接続されている。なお、M O S F E T m 7 および m 8 は、それぞれ、強磁性トンネル接合素子 M T J 1 および M T J 2 と制御線 C T R L との間に接続されていてもよい。また、M O S F E T m 7 および m 8 は、設けられていなくてもよい。

30

【 0 0 3 9 】

強磁性トンネル接合素子 M T J 1 と M O S F E T m 7 とは、擬似スピン M O S F E T (P S - M O S F E T) P S M 1 を構成する。同様に、強磁性トンネル接合素子 M T J 2 と M O S F E T m 8 とは P S M 2 を構成する。

【 0 0 4 0 】

強磁性トンネル接合素子 M T J 1 および M T J 2 は、それぞれフリー層 1 7、トンネル絶縁膜 1 8 およびピン層 1 9 を有している。フリー層 1 7 およびピン層 1 9 は強磁性体からなる。フリー層 1 7 とピン層 1 9 との磁化方向が平行な状態 (平行状態) では、M T J 1 および M T J 2 の抵抗値が低くなる。フリー層 1 7 とピン層 1 9 との磁化方向が反平行な状態 (反平行状態) では、M T J 1 および M T J 2 の抵抗値が平行状態より高くなる。M T J 1 および M T J 2 は、M T J 1 および M T J 2 の抵抗値によりデータをストアする。後述する仮想電源方式では、フリー層 1 7 が制御線 C T R L に接続され、仮想接地方式では、ピン層 1 9 が制御線 C T R L に接続される。仮想電源方式では、P S M 1 および P S M 2 の M O S F E T m 7 および m 8 は n 型であり、仮想接地方式では、P S M 1 および P S M 2 の M O S F E T m 7 および m 8 は p 型である。

40

【 0 0 4 1 】

双安定回路 1 2 へのデータの書き込みおよび読み出しは、従来の S R A M と同じように行われる。すなわち、ワード線 W L をハイレベルとし M O S F E T m 5 および m 6 を導通状態とすることにより、双安定回路 1 2 に入出力線 D および D B のデータが書き込まれる

50

。また、入出力線 D および D B を等電位の浮遊状態としワード線 W L をハイレベルとし M O S F E T m 5 および m 6 を導通状態とすることにより、双安定回路 1 2 のデータを入出力線 D および D B に読み出すことができる。M O S F E T m 5 および m 6 を遮断状態とすることにより、双安定回路 1 2 のデータが保持される。なお、双安定回路 1 2 へのデータの書き込み、読み出し、および保持の際、スイッチ線 S R はローレベルとし、M O S F E T m 7 および m 8 は遮断状態とすることが好ましい。これにより、ノード Q および Q B と制御線 C T R L 間の電流をほぼ遮断し、安定動作を実現し、さらに、消費電力の増大を抑制することができる。

【 0 0 4 2 】

図 2 は、実施例 1 から 3 における記憶回路を示すブロック図である。図 2 に示すように、記憶回路 1 0 0 は、セルアレイ 2 0、列デコーダ 2 1、列ドライバ 2 2、行デコーダ 2 3、行ドライバ 2 4 および制御部 2 5 を備えている。セルアレイ 2 0 には、複数のセル 1 0 が複数の行および複数の列にマトリクス状に配置されている。列デコーダ 2 1 および行デコーダ 2 3 は、アドレス信号から列および行を選択する。列ドライバ 2 2 は、選択された列の入出力線（ビット線ともいう）D、D B および制御線 C T R L に電圧等を印加する。行ドライバ 2 4 は、選択された行のワード線 W L およびスイッチ線 S R に電圧等を印加する。制御部 2 5 は、列デコーダ 2 1、列ドライバ 2 2、行デコーダ 2 3 および行ドライバ 2 4 を介し、セル 1 0 の入出力線 D、D B、ワード線 W L、スイッチ線 S R および制御線 C T R L に電圧等を印加する。

10

【 0 0 4 3 】

図 3 は、実施例 1 から 3 における N V - S R A M および 6 T - S R A M の各期間の消費電流を示す図である。実線は図 1 に示した N V - S R A M を有する記憶回路の消費電流を示す。実線の消費電流は、リーク電流と N V P G に用いる電流を含み、通常の S R A M 動作における書き込みおよび読み出しの電流は含んでいない。破線は、M O S F E T m 7、M O S F E T m 8、M T J 1 および M T J 2 を設けない 6 トランジスタ S R A M (6 T - S R A M) セルを用いた記憶回路の消費電流を示している。点線は、6 T - S R A M セルを用いた記憶回路の通常 S R A M 動作期間の消費電流を示している。破線および点線の消費電流は、リーク電流を含み、S R A M 動作における書き込みおよび読み出しの電流は含んでいない。

20

【 0 0 4 4 】

図 3 に示すように、N V - S R A M セル 1 0 の動作期間には、スリープ期間、通常 S R A M 動作（ノーマル S R A M オペレーション）期間、ストア期間、シャットダウン（電源遮断）期間およびリストア期間がある。スリープ期間と通常 S R A M 動作期間は、双安定回路 1 2 にデータが保持されている期間である。通常 S R A M 動作期間は、通常の S R A M として双安定回路 1 2 のデータを書き換え、揮発的に保持する（これを、「データを揮発的に書き換える」という）期間である。スリープ期間は、セル 1 0 がスリープモードの期間であり、双安定回路 1 2 のデータを保持するのみであり、データの書き換えを行わない期間である。スリープ期間においては、通常 S R A M 動作期間に対し、双安定回路 1 2 に供給される電源の電圧 V s u p p l y を、データを保持できる程度に低くする。例えば、通常 S R A M 動作期間の V s u p p l y を 1 . 1 V、およびスリープ期間の V s u p p l y を 0 . 9 V とする。これにより、消費電力を抑制できる。スリープ期間および通常 S R A M 動作期間では、制御線 C T R L およびスイッチ線 S R はローレベルであり、M O S F E T m 7 および m 8 はオフしている。

30

40

【 0 0 4 5 】

ストア期間は、ストア動作が行なわれる期間であり、双安定回路 1 2 に記憶されたデータを強磁性トンネル接合素子 M T J 1 および M T J 2 にストアし、これを不揮発的に保持する（これを、「不揮発的にストアする」という）期間である。ストア期間のうち一部の期間において、スイッチ線 S R および制御線 C T R L をハイレベルとし、残りの期間において、スイッチ線 S R をハイレベル（M O S F E T m 7 および m 8 をオン）とし制御線 C T R L をローレベルとする。例えば、ストア期間のうち初めの期間において、制御線 C T

50

R Lをローレベルとし、ストア期間のうちその後の期間において、制御線C T R Lをハイレベルとする。ノードQおよびQ Bがそれぞれハイレベルおよびローレベルのとき、強磁性トンネル接合素子M T J 1およびM T J 2はそれぞれ高抵抗および低抵抗となる。ノードQおよびQ Bがそれぞれローレベルおよびハイレベルのとき、強磁性トンネル接合素子M T J 1およびM T J 2はそれぞれ低抵抗および高抵抗となる。このように、双安定回路1 2のデータが強磁性トンネル接合素子M T J 1およびM T J 2にストアされる。

【0046】

シャットダウン期間は、セル10をシャットダウンモードとする期間である。シャットダウン期間においては、セル10の電源に供給される電圧(V s u p p l y - 接地電圧)をほぼ0 Vとする。これにより、セル10はシャットダウンモードとなる。このとき、セル10にほとんど電流が流れないため、消費電力を抑制することができる。

10

【0047】

リストア期間においては、制御線C T R Lをローレベルとしスイッチ線S Rをハイレベルとした状態で電源電圧V s u p p l yを0 Vから立ち上げることにより行なわれる。強磁性トンネル接合素子M T J 1およびM T J 2がそれぞれ高抵抗および低抵抗のとき、ノードQおよびQ Bはそれぞれハイレベルおよびローレベルとなる。強磁性トンネル接合素子M T J 1およびM T J 2がそれぞれ低抵抗および高抵抗のとき、ノードQおよびQ Bはそれぞれローレベルおよびハイレベルとなる。このように、強磁性トンネル接合素子M T J 1およびM T J 2にストアされ不揮発的に保持されたデータ(これを、「不揮発的にストアされたデータ」という)が双安定回路1 2にリストアされる。

20

【0048】

スリープ期間の長さを $s_{l e e p}$ 、6 T - S R A Mのリーク電流 $I_{L S}^V$ 、N V - S R A Mのリーク電流 $I_{L S}^{N V}$ とする。通常S R A M動作期間の長さを $a_{c t}$ 、6 T - S R A Mのリーク電流 I_{L}^V 、N V - S R A Mのリーク電流 $I_{L}^{N V}$ とする。ストア期間の長さを s_t 、強磁性トンネル接合素子M T J 1およびM T J 2の書き込み電流(ストア動作時に生じる電流)を $I_{M T J}$ とする。シャットダウン期間の長さを s_D 、N V - S R A Mのリーク電流を $I_{L}^{S D}$ とする。リストア期間の長さを $r_{e t}$ 、N V - S R A Mのリストア動作時に生じる電流 $I_{R u s h}$ とする。スリープ期間と通常S R A M動作期間との合計の長さを $e_{x e}$ とする。スリープ期間からリストア期間までの長さを c_y とする。

30

【0049】

スリープ期間および通常S R A M動作期間においては、M O S F E T m 7およびm 8にもリーク電流が流れるため、N V - S R A Mのリーク電流による消費電力は6 T - S R A Mより大きい。N V - S R A Mにおいては、ストア期間においてはストアのための電流、リストア期間においては、強磁性トンネル接合素子M T J 1およびM T J 2を介して生じる電流と、電源復帰させる回路に生じるラッシュ電流とが生じる。シャットダウン期間においては、N V - S R A Mは、わずかにリーク電流が流れるものの消費電力は十分に小さくなる。6 T - S R A Mにおいては、シャットダウンできないため、N V - S R A Mにおけるストア期間、シャットダウン期間およびリストア期間に相当する期間を、スリープ期間とする。よって、これらの期間の6 T - S R A Mのリーク電流 $I_{L S}^V$ となる。

40

【0050】

N V - S R A Mセルにおいて、6 T - S R A Mセルと比べて、通常S R A M動作時およびスリープ動作時におけるリーク電流の増加分と、ストア期間およびリストア期間の消費エネルギーの増加分とが、シャットダウンによって節約できるエネルギーに等しくなる期間がB E T (Break-even time)である。そこで、待機期間がB E T以上のときはシャットダウンを行ない、B E T以下のときはスリープとする。これにより、極めて高効率に電力を削減できる。

【0051】

図4(a)および図4(b)は、実施例1における動作を説明する図である。図4(a)は、仮想電源方式を示し、図4(b)は仮想接地方式を示す。図4(a)に示すように

50

、セルアレイ 20 には、N 行 × M 列のセル 10 が配列されている。同じ行 0 から N - 1 のセル 10 には、それぞれ同じスイッチ線 SR0 から SRN - 1 が接続されている。各セル 10 には電源線と接地線とが接続されている。仮想電源方式では、電源線 26 は、各行ごとに設けられる。電源電圧 VDD は、パワースイッチ 30 に供給される。

【0052】

パワースイッチ 30 は、各電源線 26 に供給する電圧 VVDD (図 1 の電源電圧 Vsupply に対応する) を、スリープ期間、通常 SRAM 動作期間、ストア期間、シャットダウン期間およびリストア期間に応じて変更する。例えば、シャットダウン期間において、パワースイッチ 30 は、セル 10 の電源に供給される電圧 (電源線の電圧 - 接地線の電圧) をほぼ 0 V にする (または遮断する (VVDD を 0 V に近づける))。スリープ期間において、パワースイッチ 30 は、セル 10 の電源に供給される電圧を通常 SRAM 動作期間、ストア期間およびリストア期間に比べ低くする。

10

【0053】

制御部 25 は、パワースイッチ 30 に、各行の電源線 26 に供給する電圧 VVDD を変更させる。また、制御部 25 は、スイッチ線 SR0 から SRN - 1 にスイッチ信号を出力する。スイッチ信号によりスイッチ線 SR0 から SRN - 1 のいずれかが選択される。

【0054】

図 4 (b) に示すように、仮想接地方式では、接地線 27 は、各行ごとに設けられる。接地電圧 VGNDD は、パワースイッチ 30 に供給される。パワースイッチ 30 は、制御部 25 の指示に基づき各接地線 27 に供給する電圧 VVGNDD をスリープ期間、通常 SRAM 動作期間、ストア期間、シャットダウン期間およびリストア期間に応じ変更する。その他の構成は図 4 (a) と同じであり説明を省略する。

20

【0055】

セル 10 に供給される供給電圧は、電源線と接地線との間の電圧差である。例えば、図 4 (a) に示した仮想電源方式では、供給電圧はほぼ (電源線 26 の電圧) - (接地電圧) である。図 4 (b) に示した仮想接地方式では、供給電圧はほぼ (電源電圧) - (接地線 27 の電圧) である。よって、仮想電源方式および仮想接地方式のいずれを用いても同様の動作を実現できる。以下の実施例 1 から 3 およびその変形例では、主に仮想電源方式を例に説明するが仮想接地方式を用いてもよい。

【0056】

キャッシュメモリ等の SRAM 回路では、セルアレイ 20 を構成する行単位で読み出しおよび書き込みのアクセスを行うことが多い。行は、通常はワード線単位であり、上位のアーキテクチャから見た場合、行をラインともいう。1 行当たりのセル 10 数は、例えばプロセッサの処理単位であるワードのビット数 (例えば 32 ビット) である。NVPG のストア動作時も同様にセルアレイ 20 の行単位でストア動作を行うことができる。

30

【0057】

しかし、1 回のストア動作にかかる時間は、MTJ1 および MTJ2 のスピン注入磁化反転の確率を考慮すると、10 ナノ秒程度またはこれ以上の比較的長い時間となる。このため、ストア動作を行うセルアレイ 20 内では、ストア動作を実行するセル 10 以外の大多数のセル 10 は、ストア動作は行なわれないが電圧が供給された待機状態となる。待機状態のセル 10 にはリーク電流が流れる。これにより待機電力が増大する。待機電力の増大はセルアレイ 20 が大きいほど顕著になる。

40

【0058】

そこで、実施例 1 においては、図 4 (a) および図 4 (b) のように、セルアレイ 20 の行または少数の行ごとの電圧設定を可能にする。ストア動作中の行またはストア動作中の行を含む少数の行には、ストア動作のための電圧を供給する。その他の行に対してセル 10 の電源に供給される電圧を低くしスリープモードを実行する。この動作をストア時スリープ動作という。これにより、スリープモードのセル 10 は、ストア動作のための電圧が供給されたセル 10 に比べリーク電流が抑制される。よって、セル 10 の消費電力が抑制される。

50

【 0 0 5 9 】

図 5 は、実施例 1 におけるセルアレイとパワースイッチとの接続を示すブロック図である。図 5 に示すように、各行 0 から $N - 1$ ごとの電源線 2 6 にパワースイッチ 3 0 が設けられている。これにより、各行 0 から $N - 1$ ごとに電源線 2 6 の電圧を変更できる。この例では、各行 0 から $N - 1$ が各々バンクに相当する。

【 0 0 6 0 】

図 6 は、実施例 1 におけるセルアレイとパワースイッチとの別の接続を示すブロック図である。図 6 に示すように、複数の行の電源線 2 6 に共通にパワースイッチ 3 0 が設けられている。パワースイッチ 3 0 が共通する複数の行が、バンク $BK 0$ から $BK (N / 2 - 1)$ である。例えばバンク $BK 0$ は、行 0 および 1 を含む。これにより、1 つのバンク $BK 0$ に含まれる複数の行 0 および 1 の電源線 2 6 の電圧をまとめて変更できる。これにより、パワースイッチ 3 0 の占有面積を抑制できる。

10

【 0 0 6 1 】

図 7 は、実施例 1 におけるストア動作の例 1 を示すタイミングチャートである。1 つのバンクが 1 つの行を含む図 5 の例である。縦軸は、各行のセル 1 0 に供給される供給電圧（電源線の電圧 - 接地線の電圧）を示す。図 7 に示すように、時間 t_0 までは通常の 6 T - S R A M の S R A M 動作およびスリープ動作が行なわれる。時間 t_0 にセルアレイ 2 0 を含むパワードメインのストア動作が開始される。時間 t_0 から t_1 の間の期間において、制御部 2 5 は、パワースイッチ 3 0 に、行 0 のセル 1 0 の供給電圧として電圧 V_1 を供給させる。電圧 V_1 は、例えば $V_{DD} - V_{GND} -$ （パワースイッチ 3 0 による降下電圧）である。制御部 2 5 は、パワースイッチ 3 0 に、その他の行 1 から $N - 1$ のセル 1 0 の供給電圧としてスリープモードの電圧 V_2 を供給させる。電圧 V_2 は電圧 V_1 より低く、かつ双安定回路 1 2 のデータが消失しない電圧である。

20

【 0 0 6 2 】

制御部 2 5 は、行 0 のストア動作を行なう。時間 t_1 において、行 0 のストア動作が終了すると、制御部 2 5 は、パワースイッチ 3 0 に、行 0 のセル 1 0 に供給電圧としてスリープモードの電圧 V_2 を供給させる。その後、制御部 2 5 は、パワースイッチ 3 0 に、行 1 から $N - 1$ のセル 1 0 順に供給電圧として電圧 V_1 を供給させる。制御部 2 5 は、供給電圧として電圧 V_1 を供給する行以外の行のセル 1 0 に供給電圧として電圧 V_2 を供給させる。制御部 2 5 は、供給電圧として電圧 V_1 を供給する行のストア動作を行なう。時間 t_2 において、全ての行のストア動作が終了すると、制御部 2 5 は、パワースイッチ 3 0 に、全ての行 0 から $N - 1$ のセル 1 0 の供給電圧をシャットダウンさせる。これにより、セルアレイ 2 0 をシャットダウンする。

30

【 0 0 6 3 】

図 8 は、実施例 1 におけるストア動作の例 2 を示すタイミングチャートである。図 8 に示すように、時間 t_1 において、行 0 のストア動作が終了すると、制御部 2 5 は、パワースイッチ 3 0 に行 0 のセル 1 0 の供給電圧をシャットダウンさせる。その後、行 1 から $N - 1$ において、ストア動作が終了するごとに、制御部 2 5 は、パワースイッチ 3 0 に各行のセル 1 0 に供給する供給電圧をシャットダウンされる。その他の動作は図 7 と同じであり説明を省略する。ストア動作を行なうまでのセル 1 0 はデータを維持するためスリープモードとする。ストア動作後のセル 1 0 はデータを維持しなくてもよいため、シャットダウンする。図 8 の例では、図 7 の例より待機電力を抑制できる。

40

【 0 0 6 4 】

図 9 は、実施例 1 におけるストア動作の例 3 を示すタイミングチャートである。1 つのバンクが複数の行を含む例えば図 6 の例である。図 9 に示すように、複数の行 0 から $N - 1$ は、複数のバンク $BK 0$ から $BK (N / 4 - 1)$ に分割されている。各バンク $BK 0$ から $BK (N / 4 - 1)$ は複数の行を含む（この例では 4 行）。例えば、バンク $BK 0$ 、 $BK 1$ および $BK (N / 4 - 1)$ は、それぞれ行 0 から 3、行 4 から 7、および行 $N - 4$ から $N - 1$ を含む。時間 t_0 において、制御部 2 5 は、パワースイッチ 3 0 にバンク $BK 0$ 内の行 0 から 3 のセル 1 0 に供給電圧として電圧 V_1 を供給させる。制御部 2 5 は、行 0

50

のストア動作（太線で示す）を行なう。

【 0 0 6 5 】

時間 t_3 において行 0 のストア動作が終了すると、制御部 25 は、行 1 のストア動作を行う。その後、制御部 25 は、行 2 および 3 のストア動作を順に行なう。時間 t_1 において、行 0 から 3 のストア動作が終了すると、制御部 25 は、パワースイッチ 30 に、行 0 から 3 のセル 10 の供給電圧として電圧 V_2 を供給させる。制御部 25 は、バンク BK_1 から $BK(N/4 - 1)$ において、同様のストア動作を行なう。その他の動作は図 7 と同じであり説明を省略する。図 9 の例では、図 7 の例に比べ、パワースイッチ 30 の占有面積を抑制できる。

【 0 0 6 6 】

図 10 は、実施例 1 におけるストア動作の例 4 を示すタイミングチャートである。時間 t_1 において、行 0 から 3 のストア動作が終了すると、制御部 25 は、パワースイッチ 30 に、バンク BK_0 内のセル 10 の供給電圧をシャットダウンさせる。その後、制御部 25 は、バンク BK_1 から $BK(N/4 - 1)$ において、同様のストア動作を行なう。その他の動作は図 9 と同じであり説明を省略する。図 10 の例では、図 9 の例より待機電力を抑制できる。

【 0 0 6 7 】

実施例 1 についてシミュレーションを行なった。図 11 は、実施例 1 においてシミュレーションに用いた記憶回路を示すブロック図である。図 11 に示すように、記憶回路 10 は、セルアレイ 20、プリチャージ回路 31 および 32、セクタ 33、リード回路 34 およびライト回路 35 を備えている。セルアレイ 20 には、動作させる $NV-SRAM$ セル 10 と擬似的なセル 10（破線で示す）が配置されている。行方向にワード線 WL 、スイッチ線 SR および電源線 26 が設けられている。列方向にビット線 BL および BLB 、制御線 $CTRL$ が設けられている。

【 0 0 6 8 】

電源線 26 はパワースイッチ 30 を介し電源電圧 VDD に接続されている。パワースイッチ 30 は、例えば P 型 $MOSFET$ である。プリチャージ回路 31 および 32 は、プリチャージ信号 PC に基づき、ビット線 BL および BLB をプリチャージする。セクタ 33 は、セレクト信号 SL に基づきビット線 BL および BLB を選択する。リード回路 34 は、リード信号 RE に基づき、選択されたセル 10 の双安定回路 12 の出力データ OUT を読み出す。ライト回路 35 は、ライト信号 WE に基づき、入力データ IN を選択されたセル 10 の双安定回路 12 に書き込む。

【 0 0 6 9 】

図 12 (a) および図 12 (b) は、実施例 1 においてシミュレーションに用いたシーケンスを示す図である。図 12 (a) は、 $NV-SRAM$ を想定したシーケンス、図 12 (b) は、 $6T-SRAM$ を想定したシーケンスである。図 12 (a) に示すように、 $NV-SRAM$ においては、双安定回路 12 からの読み出し（リード）動作（ステップ S_{10} ）、および双安定回路 12 への書き込み（ライト）動作（ステップ S_{12} ）を行なう。これらの動作は通常の $6T-SRAM$ と同じ動作である。その後、期間 t_{SL} の短いスリープ動作を行なう（ステップ S_{14} ）。ステップ S_{10} から S_{14} を nRW 回繰り返し行なう。その後、ストア動作を行なう（ステップ S_{18} ）。期間 t_{SD} の間セル 10 をシャットダウンモードとする（ステップ S_{20} ）。その後、リストア動作を行なう（ステップ S_{22} ）。これにより、セルアレイ 20 の電源を復帰させる。ステップ S_{10} から S_{22} までの動作を $ncyc$ 回繰り返す。 $ncyc = 1$ のときのセル 10 あたりのエネルギーを E_{cyc} とする。

【 0 0 7 0 】

図 12 (b) に示すように、 $6T-SRAM$ においては、ステップ S_{10} から S_{14} を nRW 回繰り返した後、シャットダウンモードの代わりにスリープモードとする。すなわち、ステップ S_{18} から S_{22} の代わりにスリープ 2 動作を行なう（ステップ S_{16} ）。前述のように、スリープ期間では、双安定回路 12 のデータが消失しない程度に双安定回

10

20

30

40

50

路 12 に供給される電圧を低減する。

【0071】

シミュレーションでは、通常SRAM動作期間、ストア期間、およびリストア期間における電源電圧 $V_{supply} = 1.1V$ とした。スリープ期間における $V_{supply} = 0.9V$ および制御線 $CTRL$ の電圧を $0.1V$ とした。ストア期間において、ハイレベルをストアするときのスイッチ線 SR の電圧を $0.7V$ とした。ローレベルをストアするときの制御線 $CTRL$ およびスイッチ線 SR の電圧を、それぞれ $0.4V$ および $0.7V$ とした。

【0072】

図13(a)は、 nRW に対する E_{cyc} を示す図、図13(b)は、 t_{SD} に対する E_{cyc} を示す図である。破線は6T-SRAMを示す。点線はNV-SRAMでストア動作時に全ての行に電圧 V_1 を供給した場合(ストア時スリープ動作なし)を示す。実線は、ストア動作時にストアする行以外の行をスリープとした(電圧 V_2 を供給した)場合(ストア時スリープ動作あり)を示す。

10

【0073】

図13(a)では、期間 $t_{SD} = 0s$ (秒)とする。この条件では、シャットダウン期間が0のため、ストア動作およびリストア動作によるエネルギーの増加が検証できる。列 M を32ビットとする。行 $N = 1024$ (セルアレイサイズが4kB(バイト)に相当)、 $N = 4096$ (セルアレイサイズが16kBに相当)とする。期間 $t_{SL} = 1\mu s$ とする。6T-SRAMに対するNV-SRAMの E_{cyc} の増加がストア動作およびリストア動作のエネルギーの増加に相当する。ストア時スリープ動作ありの場合、なしの場合に比べエネルギー増加を削減できる。特に、 nRW が小さいときに、ストア時スリープ動作の効果が大きい。

20

【0074】

図13(b)に示すように、 $nRW = 1$ に固定する。 $N = 4096$ とする。シャットダウン期間 t_{SD} が短いと、NV-SRAMより6T-SRAMの方のエネルギーが小さい。 t_{SD} が長くなり、NV-SRAMと6T-SRAMとが交差する t_{SD} が BET である。ストア時スリープ動作ありは、なしに比べ BET を約半分に削減することができる。

【0075】

図14は、実施例1におけるセルアレイのサイズに対する BET の削減率を示す図である。 BET の削減率は、ストア時スリープ動作なしに対するストア時スリープ動作ありの削減率であり、負に大きいほどストア時スリープ動作による BET の削減が大きいことを示す。 nRW を図14中の矢印方向に1、10、100および1000とする。 M は32ビット、 t_{SL} は $1\mu s$ である。図14に示すように、セルアレイサイズが大きくなると BET 削減率は大きくなる。 nRW は小さい方が BET 削減率は大きい。セルアレイサイズが数kBと実用的なサイズでも、ストア時スリープ動作を行なうことにより、ストア動作時における待機電力の削減が可能となり、 BET を効果的に削減できる。

30

【0076】

実施例1によれば、図7から図10のように、制御部25は、複数の行0から $N-1$ のストア動作を順に制御する。制御部25は、1または複数の行を含む複数のバンクからのうちストア動作される行を含む第1バンクに供給される供給電圧を電圧 V_1 (第1電圧)とする。制御部25は、複数のバンクのうち第1バンク以外のセル10に供給される供給電圧を電圧 V_2 (第2電圧)とする。このように、ストア動作する行を含むバンク以外を電圧 V_1 より低い電圧 V_2 とするため、ストア動作時における待機電力の削減が可能となり、 BET を効果的に削減できる。

40

【0077】

複数の行0から $N-1$ を分割したバンクは、図7および図8のように、1つの行のみを含んでもよいし、図9および図10のように複数の行を含んでもよい。各々のバンクに含まれる複数の行は連続する行であることが好ましい。

【0078】

50

図7および図9のように、制御部25は、含まれる行のストア動作が終了したバンクごとにセル10に供給される供給電圧を電圧V2としてもよい。図8および図10のように、制御部25は、含まれる行のストア動作が終了したバンクごとにセル10に供給される供給電圧をシャットダウンしてもよい。これにより、待機電力をより削減することができる。供給電圧のシャットダウンとして、供給電圧(電源線と接続線との間の電圧)をほぼ0Vにしてもよいが、供給電圧を遮断してもよい。

【0079】

実施例1では、セル10として、強磁性トンネル接合素子MTJ1およびMTJ2が、双安定回路12内のノードQおよびQBと制御線CTRLとの間に接続され、MOSFETm7およびm8(スイッチ)がMTJ1およびMTJ2と直列に接続されるNV-SRAMセルを例として説明した。セル10は、双安定回路12と不揮発性素子を含む不揮発性双安定回路であればよい。

10

【0080】

図5および図6のように、同じ行のセル10のスイッチは共通のスイッチ線SRに接続されている。これにより、行ごとにストア動作を行なうことができる。

【0081】

MTJ1およびMTJ2がノードQおよびQBにそれぞれ接続される例を説明したが、ノードQまたはQBにMTJ1およびMTJ2のいずれか一方が接続されていればよい。不揮発性素子としてMTJを例に説明したが、不揮発性素子としては巨大磁気抵抗(GMR)素子、Resistance Random Access Memory)に用いられるような可変抵抗素子、または、Phase change RAM)に用いられる相変化素子を用いることができる。

20

【実施例2】

【0082】

実施例2は、時間分割ストア制御によるパワースイッチ・アーキテクチャの例である。実施例2では、共通のパワースイッチに接続されたセルに対し、ストア動作を時分割することで、パワースイッチの大きさを削減できる。

【0083】

図15(a)および図15(b)は、実施例2におけるセルとパワースイッチを示す回路図である。図15(a)は、仮想電源方式の例であり、図15(b)は、仮想接地方式の例である。図15(a)に示すように、仮想電源方式では、セル10の双安定回路12と電源との間にパワースイッチ30が接続されている。パワースイッチ30は、p型MOSFETである。電源電圧VDDに対し、双安定回路12には、パワースイッチ30により電圧降下した仮想電源電圧VVDD(擬似VDD)が供給される。図15(b)に示すように、仮想接地方式では、セル10の双安定回路12とグランドとの間にパワースイッチ30が接続されている。パワースイッチ30は、n型MOSFETである。MOSFETm7およびm8はp型MOSFETであり、MOSFETm7およびm8のゲートにはスイッチ線SRの補信号であるSRBが入力する。接地電圧VGN Dに対し、双安定回路12には、パワースイッチ30により電圧降下(上昇)した仮想接地電圧VVGN D(擬似VGN D)が供給される。以下では、主に仮想電源方式を例に説明するが、仮想接地方式にも適用できる。

30

40

【0084】

NV-SRAMセル10では、通常SRAM動作時にはMOSFETm7およびm8がオフし、MTJ1およびMTJ2は双安定回路12から電氣的に分離されている。このため、一般的な6T-SRAMセルと同じ大きさのパワースイッチ30で動作させることが可能である。しかし、ストア動作時に双安定回路12のデータをMTJ1およびMTJ2にストアするとき、双安定回路12のノードQおよびQBが低抵抗なMTJ1またはMTJ2を介してグランドに接続される。このように、セル10のインピーダンスが大きく低下することから、仮想電源電圧VVDDを高く保つためには(または仮想接地電圧VVGN Dを低く保つためには)、十分に大きなパワースイッチを用いることとなる。スト

50

ア動作時にセル10が安定にデータを保持し続けるためには、例えば(電源電圧 V_{DD} - 接地電圧 V_{GND})の95%以上の供給電圧($V_{DD} - V_{GND}$)を確保することが望ましい。

【0085】

図16は、パワースイッチのチャンネル幅 W に対する仮想電源電圧 V_{DD} を示す図である。チャンネル幅 W はチャンネル長 L で規格化し、 W/L 比としている。実線は $NV-SRAM$ におけるストア動作時の V_{DD} を示し、破線は、 $NV-SRAM$ における通常 $SRAM$ 動作時の V_{DD} を示す。通常 $SRAM$ 動作では、 V_{DD} は低下しない。ストア動作時は、 MTJ に電流が流れるため、 V_{DD} が低下する。 V_{DD} を、 V_{DD} の95%(点線)とするためには、 W/L が4以上となる。このように、 V_{DD} の低下を抑制するため、パワースイッチ30を大きくすることになる。

10

【0086】

図2のように、 $NV-SRAM$ セル10をマトリックス状に配置した場合、 $6T-SRAM$ の読み出しおよび書き込み動作と同様に、1つのワード線 WL に接続される複数のセル10を同時にストア動作することが、回路の構成上都合がよい。セルアレイ20の共通のワード線 WL を有する複数のセル10を行という。 $NV-SRAM$ の場合は、セル10のインピーダンスが低下するため、1セルあたりのサイズの大きなパワースイッチ30を用いる。このことから、1つの行に対して共通のパワースイッチ30を割り当てると、非常に大きなサイズ(または多数)のパワースイッチ30を用いることになる。このため、パワースイッチ30の占有面積がレイアウト上の大きな問題となる。

20

【0087】

実施例1に示した図5のように、各行にパワースイッチ30を配置することで、行方向に同時にストア動作を行うことができる。パワースイッチ30として用いるトランジスタの1セルあたりのサイズをチャンネル幅 W_0 とする。セルアレイ20を行方向のセル数 M 、列方向のセル数 N とする。このとき、 $N \times M$ セルアレイ20に用いるパワースイッチ30のトランジスタのチャンネル幅は $W_0 \times M \times N$ と相当大きくなる。総チャンネル幅 $W_0 \times M \times N$ は、例えば図5のような複数のパワースイッチ30で実現する。

【0088】

図6のように、複数の行を含むバンクでパワースイッチ30を共有し、同じバンクに含まれる行について同時に供給電圧を制御する。ストア動作において、スイッチ線 SR の選択はバンク内の各行ごとに行なう。これにより、ストア動作で一度に駆動するセル数は1行分のみである。このため、パワースイッチ30のサイズ(または数)を小さくできる。パワースイッチ30を共有する行の数(1つのバンクに含まれる行の数)を n_{bk} とする。このとき、パワースイッチ30のトランジスタのチャンネル幅は $W_0 \times M \times N / n_{bk}$ に削減できる。ただし、 n_{bk} を大きくしすぎると、ストア動作時の待機電力が大きくなりすぎる。このため、 n_{bk} はあまり大きくはできない。通常パワースイッチ30の占有面積は全体の10%から20%程度に抑えることが望ましい。 W_0 が大きいことと、 n_{bk} を大きくできないことから、パワースイッチ30の占有面積を記憶回路全体の10%から20%とすることは容易ではない。

30

【0089】

図17は、実施例2におけるセルアレイの一部を示すブロック図である。図17では、セルアレイ20のうち行0から7を図示している。図17に示すように、複数(n_{bk} 個: 図17では8本)の行0から7の電源線26に共通にパワースイッチ30を設ける。パワースイッチ30は、セルアレイ20の全ての行に共通に1つ設けてもよいし、セルアレイ20の一部の行に共通に設けてもよい。パワースイッチ30は複数のトランジスタで構成されていてもよい。行を複数(n_{SR} 個: 図17では4個)のブロック42に分割する。例えば行のビット数は32ビットであり、ブロック42のビット数は8ビットである。分割されたブロック42ごとにスイッチ線 SR_0 から SR_7 を分割する。例えば行0では、スイッチ線 SR_0 をサブスイッチ線 SR_{00} から SR_{03} に分割する。スイッチ線 SR_0 とサブスイッチ線 SR_{00} から SR_{03} の間には、各々選択回路40が設けられている

40

50

。パワースイッチ 38 は、選択回路 40 に電源電圧を供給する。制御部 25 は、パワースイッチ 30 および 38 を制御する。制御部 25 は、各選択回路 40 に選択信号 SEL 00 から SEL 73 を、スイッチ線 SR 0 から SR 7 にスイッチ信号を出力する。

【0090】

図 18 (a) および図 18 (b) は、実施例 2 における選択回路の例を示すブロック図である。図 18 (a) に示すように、選択回路 40 は、スイッチ線 SR 0 と選択信号 SEL 00 の AND 処理を行なう AND 回路である。選択回路 40 は、例えばスイッチ線 SR 0 がハイレベルでかつ選択信号 SEL 00 がハイレベルのときサブスイッチ線 SR 00 をハイレベルとする。その他の場合、サブスイッチ線 SR 00 をローレベルとする。

【0091】

図 18 (b) に示すように、選択回路 40 は、スイッチ線 SR 0 と選択信号 SEL 00 の NOR 処理を行なう NOR 回路である。選択回路 40 は、例えばスイッチ線 SR 0 がローレベルでかつ選択信号 SEL 00 がローレベルのときサブスイッチ線 SR 00 をハイレベルとする。その他の場合、サブスイッチ線 SR 00 をローレベルとする。

【0092】

選択回路 40 は、MOSFET m7 および m8 の導電型、スイッチ線 SR 0 から SR 7 の信号レベルおよび選択信号 SEL 00 から SEL 73 のレベルに応じ、適宜設計できる。

【0093】

図 19 は、実施例 2 におけるスイッチ線、サブスイッチ線および仮想電源電圧 VDD のタイミングチャートである。選択回路 40 として図 18 (a) のような AND 回路を用いた例である。図 19 に示すように、時間 t4 において、制御部 25 は、パワースイッチ 30 に仮想電源電圧 VDD を電圧 V2 から電圧 V1 に変更させる。電圧 V2 は、例えばスリープモードの電圧であり、電圧 V1 はストア動作のための電圧である。制御部 25 は、スイッチ線 SR 0 およびサブスイッチ線 SR 00 に対応する選択信号 SEL 00 をハイレベルとし、その他のサブスイッチ線 SR 01 から SR 03 に対応する選択信号 SEL 01 から SEL 03 をローレベルとする。これにより、サブスイッチ線 SR 00 がハイレベルとなり、サブスイッチ線 SR 01 から SR 03 がローレベルとなる。よって、サブスイッチ線 SR 00 に接続されたセル 10 の MOSFET m7 および m8 がオンとなる。サブスイッチ線 SR 01 から SR 03 に接続されたセル 10 の MOSFET m7 および m8 はオフのため、これらのサブスイッチ線に接続される MTJ1 および MTJ2 に電流は流れない。このように、1つのブロック 42 のセル 10 の MTJ1 および MTJ2 のみに電流が流れ、他のブロック 42 のセル 10 の MTJ1 および MTJ2 には電流は流れない。

【0094】

サブスイッチ線 SR 00 に接続されたセル 10 のストア動作が終了すると、時間 t5 において、制御部 25 は、サブスイッチ線 SR 01 の選択信号 SEL 01 のみをハイレベルとする。サブスイッチ線 SR 01 のストア動作が行なわれる。その後、制御部 25 は、サブスイッチ線 SR 02 から SR 03 のストア動作を順に行なう。バンク BK0 のストア動作が終了すると、時間 t6 において、制御部 25 は、スイッチ線 SR 0 をローレベルとし、スイッチ線 SR 1 をハイレベルとする。その後、制御部 25 は、行 1 以降を順にストア動作する。パワースイッチ 30 に接続されたバンク (行 0 から 7) のストア動作が終了すると、時間 t7 において、制御部 25 は、仮想電源電圧 VDD を電圧 V2 とする。制御部 25 は、時間 t7 において、仮想電源電圧 VDD をシャットダウンしてもよい。

【0095】

図 20 は、実施例 2 の変形例に係る記憶回路を示すブロック図である。図 20 に示すように、列の選択信号を共通にする配線が設けられている。例えば選択信号 SEL 00、SEL 10、SEL 20、SEL 30、SEL 40、SEL 50、SEL 60 および SEL 70 (図 17 参照) を共通に選択信号 SEL 0 とする。同様に、列方向に共通に選択信号 SEL 1 から SEL 3 を供給する。このように、列を選択信号 SEL 0 から SEL 3 で選択し、行をスイッチ線 SR 0 から SR 7 で選択する。これにより、選択信号とスイッチ線

10

20

30

40

50

とで活性化するサブスイッチ線を選択できる。その他の構成は実施例2の図17と同じであり説明を省略する。

【0096】

図17および図20のように、NV-SRAMのストア動作を実行するための信号に用いるスイッチ線SR0からSR7をそれぞれ複数に分割する。これにより、1つの行内において同時にストア動作するセル数を減らすことができる。これにより、パワースイッチ30のサイズ(または数)を小さくする(または減らす)ことができる。例えば、行の分割数をnSRとすれば、パワースイッチ30の総チャンネル幅を $W_0 \times (M/nSR) \times (N/nbk)$ に減少できる。実際には、複数のトランジスタでこのサイズを実現する。ただし、この方法では、スイッチ線SRの分割制御のための選択回路40が付加される。このため、選択回路40のトランジスタの追加を考慮することが必要になる。nbk、nSRおよび選択回路40を適切に選ぶことで、パワースイッチ30のサイズ(数)を大きく削減できる。

10

【0097】

図21(a)は、実施例2におけるnSRに対するMOSFETの総チャンネル幅を示す図である。図21(a)において、総チャンネル幅は、選択回路40をNOR回路で構成した場合に、選択回路40とパワースイッチ30および38におけるMOSFETの総チャンネル幅WTをチャンネル長Lで規格化した値である。セル10に電圧を供給するパワースイッチ30のチャンネル幅を W_0 、選択回路40内のMOSFET1個のチャンネル幅を W_1 、選択回路40に電圧を供給するパワースイッチ38のチャンネル幅を W_2 とする。総チャンネル幅 $WT = W_0 \times (M/nSR) \times (N/nbk) + W_1 \times 4 \times nSR \times N + W_2$ となる。幅 W_0 は、図16から仮想電源電圧VDDが電源電圧VDDの95%となるように $W_0 = 4L$ とした。幅 W_1 は、十分な駆動能力を得るため、1セルあたり $L/4$ とし、 $W_1 = (L/4) \times (M/nSR)$ とした。ただし、 W_1 が1L以下のときは $W_1 = 1 \times L$ とした。選択回路40は複数同時に動作しないため、選択回路40に接続されるパワースイッチ38は、全体で1個とした。パワースイッチ38のチャンネル幅 $W_2 = 2 \times W_1$ とした。Mを32ビット、Nを32行とし、nbkを1、2、4、8および16とした。総チャンネル幅WTは、例えばチャンネル幅がチャンネル長Lと同じとしたとき、MOSFETの個数とみなせる。

20

【0098】

図21(a)に示すように、nbkが大きかつnSRが小さくなるとチャンネル幅は減少する。いずれのnbkのときもnSR=8のときに総チャンネル幅が極小となる。よって、この例では、1行あたりのブロック42の分割数は8が最適である。

30

【0099】

図21(b)は、実施例2におけるnSRに対する総チャンネル幅/セルを示す図である。図21(b)において、総チャンネル幅/セルは、NV-SRAMセル10、パワースイッチ30、38およびNOR型の選択回路40に含まれるトランジスタの総チャンネル幅を1セル当たりで示す値である。総チャンネル幅/セルは、例えば1つのMOSFETのチャンネル幅がチャンネル長Lと同じとしたとき、1つのセル10あたりのMOSFETの個数とみなせる。図21(b)中の総チャンネル幅/セル=13の直線は、周辺回路を含まないNV-SRAMセル10のみのチャンネル幅/セルを示す。

40

【0100】

図21(b)のように、nSR=8のときは、nbkが1から16において、総チャンネル幅/セルは14程度である。ストア動作を時間分割しない場合、NV-SRAMセル10の占有面積に対して、周辺回路の面積は40%の増加となる。これに対し、実施例2では、周辺回路を加えた総チャンネル幅/セルは、NV-SRAMセル10のみのチャンネル幅/セルに対し、わずか8%程度の増加にとどまる。このように、記憶回路の占有面積を大幅に削減できる。

【0101】

実施例2およびその変形例によれば、記憶回路に1または複数のパワースイッチ30が

50

設けられている。パワースイッチ30は、複数のセル10の電源に供給される電圧を変更する。1つのパワースイッチ30により共通の電圧が供給される領域（例えば図17のセルアレイ20）が複数のブロック42に分割されている。図18のように、制御部25は、この領域内で複数のブロック42ごとに異なる期間にストア動作を行なう。これにより、図21(a)および図21(b)のように、パワースイッチ30の占有面積を削減できる。なお、パワースイッチ30は、複数のセル10に共通の電圧が供給され、ほぼ同じタイミングで変更される領域に対し設けられているものを「1つ」とする。1つのパワースイッチ30に複数のトランジスタまたはスイッチが含まれていてもよい。

【0102】

図6、図9および図10のように、ブロックは、行単位でもよい。パワースイッチ30の占有面積をより削減するためには、図17のように、1つの行が複数のブロック42に分割されていることが好ましい。

10

【0103】

図17および図20のように、複数のブロック42のそれぞれ内のセル10のMOSFET m7およびm8（データをストアするためのスイッチ）は、共通のサブスイッチ線SR00からSR73に接続されている。同じ行のサブスイッチ線（例えばSR00からSR03）は1つのスイッチ線（例えばSR0）に接続されている。図19のように、選択回路40は、複数のブロック42のうち1つのブロックを選択し、選択されたブロックのサブスイッチ線（例えばSR00）にスイッチをオンする信号を出力する。他のブロックのサブスイッチ線（例えばSR01からSR03）にスイッチをオフする信号を出力する。これにより、複数のブロック42ごとに異なる時間にMOSFET m7およびm8（スイッチ）をオンすることができる。

20

【0104】

セル10は、双安定回路12および不揮発性素子を含めばよいが、特に、NV-SRAMセル10の場合、ストア時にMTJ1およびMTJ2が低インピーダンスとなる。これにより、同時に複数のセル10をストア動作しようとする、パワースイッチ30を大きくすることになる。よって、NV-SRAMの場合に、同じパワースイッチ30から電圧が共通に供給されるセル10を異なる時間にストア動作することにより、パワースイッチ30の占有面積を大きく削減できる。

【0105】

MTJ1およびMTJ2がノードQおよびQBにそれぞれ接続される例を説明したが、MTJ1およびMTJ2のいずれか一方がノードQまたはQBに接続されていればよい。不揮発性素子としてMTJを例に説明したが、不揮発性素子としては巨大磁気抵抗素子、ReRAMに用いられるような可変抵抗素子、または、PRAMに用いられる相変化素子を用いることができる。

30

【0106】

次に実施例2の変形例として、インターリーブ動作する記憶回路について説明する。図22は、実施例2の変形例1におけるセルアレイの一部を示すブロック図である。図22では、セルアレイ20内の複数の行のうち行0から3を図示している。図22に示すように、行方向には、ワード線Word00からWord03、スイッチ線SR0からSR3および電源線26が延伸している。列方向にはビット線（不図示）が延伸している。制御線CTRL（不図示）は、行方向または列方向のいずれに延伸していてもよい。行0から3の電源線26に共通にパワースイッチ30を設ける。パワースイッチ30は、セルアレイ20の全ての行に共通に1つ設けてもよいし、セルアレイ20の一部の行に共通に設けてもよい。パワースイッチ30は複数のトランジスタで構成されていてもよい。制御部25は、スイッチ線SR0からSR3に信号を出力する。各行のビット数は例えば128ビットであり、各行には128個のセル10が配列されている。セル10は、A0からA31、B0からB31、C0からC31およびD0からD31に相当する。

40

【0107】

ビット線は4個のセル10ごとにセクタ44により選択され、リード/ライト（R/

50

W)回路46に接続される。セクタ44はセレクト信号Selectにより、AからDのいずれか1個のセル10をリード/ライト回路46に接続する。リード/ライト回路46は、通常SRAM動作期間において、セル10からデータを読み出す、またはセル10にデータを書き込む。通常SRAM動作期間にセクタ44がAからDを順次選択する。これにより、リード/ライト回路46は、A0からA31に相当するセル10、B0からB31に相当するセル10、C0からC31に相当するセル10、およびD0からD31に相当するセルに対し、データの読み出しまたは書き込みを順次行なう。各セル10のストア動作は、実施例1と同様に行ごとに行なう。制御線CTRLが行方向に延伸しているとき、制御部25は、ストア動作を行なう行に相当する制御線CTRLにストアのための電圧を印加してもよい。制御線CTRLが列方向に延伸しているとき、制御部25は、ストア動作を行なうセル10に相当する制御線CTRLにストアのための電圧を印加してもよい。ストア動作を行なうセル10はスイッチ線SR0からSR3により選択できるため、制御部25は制御線CTRLの延伸方向によらず、全ての制御線CTRLにストアのための電圧を印加してもよい。これにより、制御線CTRLに印加する電圧の複雑な制御が不要となる。その他の動作は実施例1および2と同じであり説明を省略する。実施例2の変形例1では、スイッチ線SR0が同時にハイレベルとなるセル10の個数は128個である。このため、パワースイッチ30のトランジスタのチャンネル幅を $W0 \times 128$ とする。その他の構成は実施例1および実施例2と同じであり説明を省略する。

10

【0108】

実施例2の変形例1のように、実施例1および実施例2において、通常SRAM動作期間においてインターリーブ動作させてもよい。

20

【0109】

図23は、実施例2の変形例2におけるセルアレイの一部を示すブロック図である。図23では、セルアレイ20内の複数の行のうち行0を図示している。各行は、A0からA31、B0からB31、C0からC31、およびD0からD31の4つのブロックに分割されている。各ブロックのビット数は32ビットである。分割されたブロックごとにスイッチ線SR0をサブスイッチ線SR0aからSR0dに分割する。スイッチ線SR0とサブスイッチ線SR0aからSR0dの間には、各々選択回路40が設けられている。制御部25は、選択信号SEL0aからSEL0dを出力し、スイッチ線SR0からSR3に信号を出力する。各選択回路40には制御部25から選択信号SEL0aからSEL0d

30

【0110】

図24は、実施例2の変形例2における各セルのストア動作、スイッチ線、サブスイッチ線および仮想電源電圧VVDのタイミングチャートである。図24に示すように、制御部25は、時間t4からt5のとき、サブスイッチ線SR0aの信号をハイレベルとし、他のサブスイッチ線SR0aSR0bからSR0dの信号をローレベルとする。制御部25は、A0からA31のセル10にストア動作を行なう。同様に、時間t5からt11

40

【0111】

実施例2の変形例2では、各サブスイッチ線SR0aからSR0dに接続されているセル10の個数は32個である。このため、パワースイッチ30のトランジスタのチャンネル幅を $W0 \times 32$ とする。

50

【0112】

図25は、実施例2の変形例3におけるセルアレイの一部を示すブロック図である。図25では、セルアレイ20内の複数の行のうち行0を図示している。図25に示すように、サブスイッチ線SR0aをサブスイッチ線SR0a0からSR0a7に分割する。同様にサブスイッチ線SR0bからSR0dを、それぞれサブスイッチ線SR0b0からSR0b7、サブスイッチ線SR0c0からSR0c7、およびサブスイッチ線SR0d0からSR0d7に分割する。サブスイッチ線SR0aとサブスイッチ線SR0a0からSR0a7、SR0b0からSR0b7、SR0c0からSR0c7、およびSR0d0からSR0d7の間には、各々選択回路41が設けられている。制御部25は、選択信号SR_dev0からSR_dev7を出力する。各選択回路41には制御部25から選択信号SR_dev0からSR_dev7が入力し、選択回路40からサブスイッチ線SR0aからSR0dが入力する。選択回路41はAND回路であり、サブスイッチ線SR0aからSR0dがハイレベルかつ選択信号SR_dev0からSR_dev7がハイレベルと

10

【0113】

実施例2の変形例3では、各サブスイッチ線SR0a0からSR0d7に接続されているセル10の個数は4個である。このため、パワースイッチ30のトランジスタのチャネル幅をW0x4とすることができる。

【0114】

実施例2の変形例において、インターリーブの段数が4段の場合を例に説明したが、インターリーブの段数は任意に設定できる。実施例2の変形例3において、サブスイッチ線SR0aからSR0dを各々8分割する例を説明したが、任意の数に分割できる。

20

【0115】

1つの行を複数のブロックに分割するときに、実施例2のように、複数のブロック42のそれぞれは、同じ行内の連続したセル10を含むように分割してもよい。また、実施例2の変形例2および3のように、複数のブロックのそれぞれは、同じ行内の周期的に配列されたセルを含んでもよい。実施例2の変形例2および3では、インターリーブ動作するときにセクタ44が選択するセル10のグループA0からA31等と、同じスイッチ線に接続されるセル10のグループA0からA31等と、を対応させている。インターリーブ動作のセルのグループと同じスイッチ線に接続されるグループは異なってもよい。また、インターリーブ動作しない記憶回路において、複数のブロックのそれぞれは、同じ行内の周期的に配列されたセルを含んでもよい。

30

【実施例3】

【0116】

実施例3は、時間分割ストア制御によるストアフリーシャットダウン・アーキテクチャの例である。

【0117】

図26は、実施例3における判定回路とセルとのブロック図である。図26に示すように、制御線CTRLに判定回路50が接続されている。判定回路50は制御線CTRLの信号に基づきマッチ信号を出力する。例えば、マッチ信号は、セル10内の双安定回路12のデータと、MTJ1およびMTJ2のデータと、が一致するか否かを示す信号である。判定回路50は、セル10内の2つのMTJ1およびMTJ2のデータを区別せず同時に判定を行なう。例えば、仮想電源方式では、判定回路50は、双安定回路12のハイレベルのノードに反平行状態のMTJが接続し、ローレベルのノードに平行状態のMTJが接続されていれば、データが一致と判定する。仮想接地方式では、判定回路50は、双安定回路12のハイレベルのノードに平行状態のMTJが接続し、ローレベルのノードに反平行状態のMTJが接続されていれば、データが一致と判定する。判定回路50は、制御線CTRLの電圧に基づきマッチ信号を出力してもよいし、制御線CTRLの電流に基づきマッチ信号を出力してもよい。制御部は、マッチ信号が一致を示す場合、セル10のス

40

50

ストア動作を行わずシャットダウンし（ストアフリーシャットダウン）、マッチ信号が不一致を示す場合セル10のストア動作を行なう。NV-SRAMセル10の詳細は、図1と同じであり説明を省略する。

【0118】

図27は、実施例3における判定回路とセルとの別の例を示すブロック図である。図27に示すように、NV-SRAMセル10の詳細は、実施例1の図1と同じであり説明を省略する。判定回路50は、読出回路56および検出回路58を備えている。読出回路56は、双安定回路12のデータを読み出す。検出回路58は、読出回路56の出力、制御線CTRL1およびCTRL2の信号に基づき、マッチ信号およびエラー信号を出力する。エラー信号は、MTJ1とMTJ2とのデータがエラーか否かを示す信号である。例えばMTJ1とMTJ2がともに平行状態の場合またはともに反平行状態の場合は、エラーである。マッチ信号が一致を示し、かつエラー信号がエラーでないことを示す場合、制御部は、セル10のストア動作を行わずシャットダウンする（ストアフリーシャットダウン）。その他の場合、制御部はセル10のストア動作を行なう。NV-SRAMセル10の詳細は、図1と同じであり説明を省略する。

10

【0119】

図26および図27において、ストアフリーシャットダウンにより、双安定回路12のデータと、MTJ1およびMTJ2のデータと、が一致する場合、ストア動作を行なわないことにより、ストア動作時の消費電力を抑制できる。

【0120】

図26および図27の判定回路50をセル10ごとに配置すると、周辺回路の規模が大きくなる。実施例3では、判定回路50を列ごとに配置する。また、行を複数のブロックに分割する。ストア動作時に、ブロックごとに、セルの不揮発性素子にストアされたデータとストアするデータとを比較する。ブロック内で少なくとも1つのセルでデータが異なる場合のみ、ブロック内のセルのストア動作を行なう。全てのデータが一致する場合にはストア動作を省略する。これにより、ストア動作にともなう消費電力を大幅に削減して、BETを大きく削減することができる。

20

【0121】

図28は、実施例3における記憶回路を示すブロック図である。図28は、図26の判定回路50を用いる例である。図28に示すように、記憶回路において、列ごとに判定回路50が設けられている。セル10ごとに選択回路40が設けられている。同じ列（例えば列0）のセル10は制御線（例えばCTRL00）を共有する。判定回路50は、制御線CTRL00の信号に基づき、列0のマッチ信号を出力する。マッチ信号は、列0の各行の選択回路40に入力する。選択回路40は、スイッチ線SR0が選択され、かつマッチ信号が不一致を示す場合、サブスイッチ線SR00にセル10のMOSFETm7およびm8をオンする信号を出力する。一方、選択回路40は、スイッチ線SR0が選択されていない場合とマッチ信号が一致を示す場合とのいずれかの場合、サブスイッチ線SR00にセル10のMOSFETm7およびm8をオフする信号を出力する。OR回路60は、列0から7のマッチ信号のOR信号を制御部25に出力する。

30

【0122】

選択信号SEL0が行0の選択回路40に入力する。選択信号SEL00はマッチ信号によらずサブスイッチ線SR00を選択する信号である。例えばサブスイッチ線SR00の信号 = (スイッチ線SR0の信号) AND [(選択信号SEL00) OR (マッチ信号)] である。最初に判定を行なうときには、選択信号SEL0を用いてサブスイッチ線SR00からSR07を活性化する。次からは、マッチ信号を用いサブスイッチ線SR00からSR07を選択して、ストア動作を行なう。図28では、同じ行の選択回路40に共通の選択信号SEL0の線を接続しているが、選択回路40ごとに別の選択信号線を接続してもよい。数個の選択回路40ごとに共通の選択信号線を接続してもよい。図28では、スイッチ線および選択信号の線をそれぞれ2本記載しているが、行の数をNとしたとき、スイッチ線SR0からSRN-1、および選択信号SEL0からSELN-1の線が設

40

50

けられている。図30から図33も同様である。また、選択信号SEL00からSEL07を行方向に共通化し選択信号SEL0とし、選択信号SEL10からSEL17を行方向に共通化し選択信号SEL1としているが、図20のように、選択信号を列方向に共通化し、列方向に選択信号の線を配線してもよい。図30から図33も同様である。

【0123】

図29は、実施例3におけるスイッチ線、制御線およびマッチ信号のタイミングチャートである。図29に示すように、時間t8においてストア動作が開始されると、制御部25は、制御線CTRL00からCTRL07をそれぞれ浮遊状態とし、スイッチ線SR0をハイレベルとし、他のスイッチ線SR1をローレベルとし、選択信号SEL0をハイレベルとし、他の選択信号SEL1からSELN-1（図29には不図示、SEL1については図28を参照）をローレベルにする。これにより、サブスイッチ線SR00からSR07が活性化され、ハイレベルとなる。制御線CTRL00からCTRL07は、行0内のそれぞれ列0から7のセル10のデータの一致か不一致かにより異なるレベルとなる。判定回路50は、制御線CTRL00からCTRL07のレベルに基づき、マッチ信号を出力する。制御部25は、選択信号SEL0をローレベルとする。これにより、選択回路40は、マッチ信号が不一致を示すサブスイッチ線SR00からSR07をハイレベルとし、マッチ信号が一致を示すサブスイッチ線SR00からSR07をローレベルとする。

10

【0124】

時間t9において、制御部25は、制御線CTRL00からCTRL07をローレベルとしその後ハイレベルとする。これにより、行0のうち、マッチ信号が不一致を示すセル10はストア動作し、他のセル10はストア動作しない。時間t10において、行0のストア動作が終了すると、制御部25は、スイッチ線SR0をローレベルとし、スイッチ線SR1をハイレベルとする。その後、制御部25は、行1以降を順次ストア動作する。

20

【0125】

なお、図29では、判定回路50は、選択信号SEL0がローレベルになった以降にマッチ信号を出力しているが、判定回路50は、選択信号SEL0がハイレベルの間にマッチ信号を出力してもよい。判定回路50または選択回路40は、マッチ信号を所望の期間保持してもよい。これより、判定回路50は、所望の期間マッチ信号を出力することができる。

【0126】

図28では、判定回路50を列ごとに配置できるため、セル10ごとに判定回路50を設置するのに比べ、判定回路50の占有面積を削減できる。また、ストアを行なわなくてもよいセル10のストア動作を行なわない。よって、ストア動作のパワーを削減でき、BETを削減できる。

30

【0127】

図30は、実施例3の変形例1における記憶回路を示すブロック図である。図30に示すように、実施例2の図17と同様に各行が複数のブロック42に分割されている。ブロック42内の判定回路50から出力されたマッチ信号がOR回路60に入力する。マッチ信号のOR信号が選択回路40および制御部25に入力する。このため、あるスイッチ線（例えばSR0）が選択されているときに、判定回路50がブロック42内のセル10のうち1つでもデータの不一致を示すマッチ信号を出力すると、サブスイッチ線（例えばSR00）は、ハイレベルとなる。これにより、ブロック42内のセル10は全てストア動作する。判定回路50がブロック42内のセル10の全てについてデータの一致を示すマッチ信号を出力すると、サブスイッチ線（例えばSR00）は、ローレベルとなる。これにより、ブロック42内のセル10はストア動作しない。最初に判定を行なう場合には、選択信号SEL0からSELN-1を用い、サブスイッチ線SR00-SR07を活性化する。その他の構成は図28と同じであり説明を省略する。

40

【0128】

実施例3の変形例1では、選択回路40をブロック42ごと配置できる。これにより、実施例3に比べ選択回路40等の周辺回路を削減できる。また、ストアを行なわなくても

50

よいブロック42のストア動作を行なわない。よって、ストア動作のパワーを削減でき、BETを削減できる。

【0129】

図31は、実施例3の変形例2における記憶回路を示すブロック図である。図31に示すように、列0から3で判定回路50を共有し、列4から7で判定回路50を共有している。判定回路50は、制御線CTRL00からCTRL03（またはCTRL04からCTRL07）に接続され、かつ選択されたサブスイッチ線SR00に接続される4つのセル10の全てのデータが一致か不一致かを判定する。最初に判定を行なう場合には、選択信号SEL0からSELN-1を用い、サブスイッチ線SR00-SR07を活性化する。その他の構成は図30と同じであり説明を省略する。

10

【0130】

図32は、実施例3の変形例3における記憶回路を示すブロック図である。図32に示すように、列0から7で判定回路50を共有している。判定回路50は、制御線CTRL00からCTRL07に接続され、かつ選択されたサブスイッチ線SR00に接続される8つのセル10の全てのデータが一致か不一致かを判定する。その他の構成は図30と同じであり説明を省略する。

【0131】

実施例3の変形例2および3によれば、ブロック42内の複数の列で判定回路50を共有できる。これにより、実施例3の変形例1より判定回路50を削減でき、占有面積を削減できる。また、ストアを行なわなくてもよいブロック42のストア動作を行なわない。よって、ストア動作のパワーを削減でき、BETを削減できる。

20

【0132】

図33は、実施例3の変形例4における記憶回路を示すブロック図である。図33は、図27において説明したように判定回路50として読出回路56および検出回路58を用いる例である。図33に示すように、列方向に制御線CTRL00からCTRL07、ビット線BL00およびBLB00からBL07およびBLB07が設けられている。制御線CTRL00の片方はセル10のMTJ1に、他方はMTJ2に接続されている。列0の読出回路56はビット線BL00およびBLB00からセル10の双安定回路12のデータを読み出す。検出回路58は、読出回路56の出力および制御線CTRL00からCTRL07の信号に基づき、マッチ信号とエラー信号を出力する。OR回路60はマッチ信号をOR処理する。最初に判定を行なう場合には、選択信号SEL0からSELN-1を用い、サブスイッチ線SR00-SR07を活性化する。その他の構成は、実施例3の変形例1と同じであり、説明を省略する。

30

【0133】

実施例3およびその変形例1から3では、MTJ1とMTJ2にストアされているデータがエラーか否かを検出できない。実施例3の変形例4によれば、MTJ1とMTJ2にストアされているデータがエラーか否かを検出できる。実施例3およびその変形例2および3の判定回路50を、実施例3の変形例4の判定回路50とすることもできる。

【0134】

実施例3およびその変形例1から4によれば、NV-SRAMセル10が、各々共通のスイッチ線SR0からSRN-1に接続された複数の行0からN-1と各々共通の制御線CTRL00からCTRLM-1に接続された複数の列0からM-1とに配列されている。判定回路50は、同じ制御線（例えばCTRL00）に接続されるセル10に対し共通に設けられている。判定回路50は、対応する制御線CTRL00の信号に基づき、制御線CTRL00に接続されたセル10内の双安定回路12とMTJ1およびMTJ2とのデータが一致か不一致かを判定する。選択回路40は、データが不一致のとき、制御線CTRL00に接続されたセル10内のMOSFETm7およびm8をオンさせる。選択回路40は、データが一致のとき、制御線CTRL00に接続されたセル10内のMOSFETm7およびm8をオフさせる。これにより、判定回路50を制御線ごとに配置することができる。よって、判定回路50の占有面積を削減できる。

40

50

【 0 1 3 5 】

実施例 3 の変形例 1 から 4 によれば、1 つの行が各々複数のセル 1 0 を含む複数のブロック 4 2 に分割されている。選択回路 4 0 は、対応するブロック 4 2 内の複数のセル 1 0 のデータの少なくとも一つが不一致のとき、対応するブロック 4 2 内の MOS F E T m 7 および m 8 をオンさせる。選択回路 4 0 は、対応するブロック 4 2 内の複数のセル 1 0 のデータの全てが一致のとき、対応するブロック 4 2 内の MOS F E T m 7 および m 8 をオフさせる。これにより、選択回路 4 0 はブロック 4 2 に共通に配置することができる。よって、選択回路 4 0 の占有面積を削減できる。また、ストアを行なわなくてもよいブロック 4 2 のストア動作を行なわない。よって、ストア動作のパワーを削減でき、B E T を削減できる。

10

【 0 1 3 6 】

実施例 3 の変形例 2 および 3 によれば、判定回路 5 0 は、ブロック 4 2 内の複数の制御線に共通に設けられている。これにより、判定回路 5 0 の占有面積をより削減することができる。

【 0 1 3 7 】

実施例 3 の変形例 4 によれば、判定回路 5 0 は、セル 1 0 の双安定回路 1 2 のデータと一对の制御線 C T R L 0 0 の信号と、に基づき、データの一致か不一致かを判定する。これにより、セル 1 0 内的一对の M T J 1 と M T J 2 にストアされたデータがエラーか否かを判定することができる。

20

【 0 1 3 8 】

実施例 2 で説明したブロック 4 2 を実施例 3 の変形例 1 から 4 のブロックとすることができる。

【 0 1 3 9 】

M T J 1 および M T J 2 がノード Q および Q B にそれぞれ接続される例を説明したが、ノード Q または Q B に M T J 1 および M T J 2 のいずれか一方が接続されていればよい。不揮発性素子として M T J を例に説明したが、不揮発性素子としては巨大磁気抵抗素子、R e R A M に用いられるような可変抵抗素子、または、P R A M に用いられる相変化素子を用いることができる。

【 0 1 4 0 】

実施例 1 から実施例 3 およびその変形例において、各信号のハイレベルおよびローレベルを、各回路を適切に設計することにより、それぞれローレベルおよびハイレベルとしてもよい。

30

【 実施例 4 】

【 0 1 4 1 】

実施例 4 は、スイッチ線に印加する電圧を変更する例である。図 3 4 (a) および図 3 4 (b) は、実施例 1 から 4 およびその変形例におけるセルの回路図である。図 3 4 (a) は、仮想電源方式の例であり、図 3 4 (b) は、仮想接地方式の例である。図 3 4 (a) に示すように、双安定回路 1 2 には電源線 2 6 および接地線 2 7 が接続されている。仮想電源方式では、パワースイッチ 3 0 は電源線 2 6 に接続し、電源電圧 V D D を降圧し電源線 2 6 に電圧 V V D D を供給する。電源線 2 6 の電圧 V V D D と接地線 2 7 の電圧 V G N D との差がセル 1 0 の電源に供給される電圧となる。制御部 2 5 は、パワースイッチ 3 0 に電圧 V V D D の変更を指示する。制御部 2 5 は、制御線 C T R L の電圧 V C T R L およびスイッチ線 S R の電圧 V S R を出力する。その他のセル 1 0 の構成は、図 1 と同じであり説明を省略する。セル 1 0 以外の記憶回路の構成は、実施例 1 から 3 およびその変形例と同じであり、説明を省略する。

40

【 0 1 4 2 】

図 3 4 (b) に示すように、仮想接地方式では、パワースイッチ 3 0 は接地線 2 7 に接続し、接地電圧 V G N D を昇圧し、接地線 2 7 に電圧 V V G N D を供給する。電源線 2 6 の電圧 V D D と接地線 2 7 の電圧 V V G N D との差がセル 1 0 の電源に供給される電圧となる。制御部 2 5 は、パワースイッチ 3 0 に電圧 V V G N D の変更を指示する。M O S F

50

E T m 7 および m 8 は p チャンネル F E T である。M T J 1 および M T J 2 におけるフリー層 1 7 とピン層 1 9 との接続関係が図 3 4 (a) とは逆である。その他の構成は、図 3 4 (a) と同じであり説明を省略する。

【 0 1 4 3 】

以下、図 3 4 (a) に示した仮想電源方式について説明する。仮想電源方式では、M O S F E T m 7 および m 8 は n チャンネル F E T である。まず、実施例 1 について、図 1 2 (a) および図 1 2 (b) と同じシーケンスを用いシミュレーションを行なった。シミュレーションにおいて、F E T は 2 0 n m ノードの F i n - F E T とした。時間 t S L を 1 0 0 n s とした。表 1 は、実施例 1 におけるスリープ期間、通常 S R A M 動作期間 (ノーマル期間)、ストア期間、シャットダウン期間およびリストア期間における各電源線 2 6 の電圧 V V D D、制御線 C T R L の電圧 V C T R L およびスイッチ線 S R の電圧 V S R を示す表である。

10

【表 1】

	スリープ	ノーマル	ストア	シャットダウン	リストア
VVDD [V]	0.7	0.9	0.9	0	0.9
VCTRL [V]	0.07	0.07	0	0.55	0
VSR [V]	0	0	0.65	0	0.65

20

【 0 1 4 4 】

表 1 に示すように、スリープ期間、通常 S R A M 動作期間、ストア期間、シャットダウン期間およびリストア期間における電圧 V V D D は、それぞれ 0 . 7 V、0 . 9 V、0 . 9 V、0 V および 0 . 9 V である。上記各期間の電圧 V C T R L は、それぞれ 0 . 0 7 V、0 . 0 7 V、0 . 5 5 V (0 V)、0 V および 0 V である。ストア期間において、電圧 V C T R L として 0 V を印加後 0 . 5 5 V を印加している。上記各期間の電圧 V S R は、それぞれ 0 V、0 V、0 . 6 5 V、0 V および 0 . 6 5 V である。スリープ期間、および通常 S R A M 動作期間において、電圧 V C T R L を 0 V ではなく 0 . 0 7 V としているのは、M O S F E T m 7 および m 8 のリーク電流を抑制するためである。M T J 1 および M T J 2 が反転する電流密度を $J_c = 5 \text{ MA} / \text{cm}^2$ とし、ストア期間に M T J 1 および M T J 2 に流れる電流が J_c の 1 . 5 倍となるように、電圧 V C T R L および V S R をそれぞれ 0 . 5 5 V および 0 . 6 5 V とした。接地電圧 V G N D は 0 V である。

30

【 0 1 4 5 】

図 3 5 (a) および図 3 5 (b) は、実施例 1 における n R W に対する B E T を示す図である。図 3 5 (a) は、図 7 のようにストアする行以外の電源電圧をスリープ期間の電圧とした場合 (以下、ストア前後スリープ動作という) のシミュレーション結果である。図 3 5 (b) は、図 8 のようにストアする前の行の電源電圧をスリープ期間の電圧とし、ストア後の行をシャットダウンした場合 (以下、ストア前スリープおよびストア後シャットダウン動作という) のシミュレーション結果である。n R W は、リード、ライトおよびスリープの繰り返し回数であり、B E T はブレークイープタイムである。列 M を 3 2 とした。図 3 5 (a) および図 3 5 (b) 内の各線は、矢印方向に行 N を 3 2、2 5 6、5 1 2、1 0 2 4 および 2 0 4 8 としている。

40

【 0 1 4 6 】

図 3 5 (a) に示すように、行 N が増加すると、B E T は大きくなる。n R W が 10^2 以下の領域 A では、B E T は n R W にほとんど依存しない。この領域は、B E T がストア動作およびリストア動作に律速される領域である。n R W が 10^2 以上の領域 B では、B E T は n R W が大きくなると大きくなる。この領域は、B E T が通常 S R A M 動作に律速される領域である。

【 0 1 4 7 】

図 3 5 (b) に示すように、図 3 5 (a) に比べストア後にシャットダウンすることに

50

より領域 A での B E T が小さくなる。特に行 N が大きいとき、B E T が小さくなる。このように、ストア後のシャットダウンにより、B E T を小さくできる。これは、消費電力が削減できたことを示している。以上のように、実施例 1 においては、消費電力を削減できる。

【 0 1 4 8 】

図 3 6 (a) および図 3 6 (b) は、実施例 1 においてストアフリーの割合を変えたときの $n R W$ に対する B E T を示す図である。図 3 6 (a) は、ストア前後スリープ動作におけるシミュレーション結果である。図 3 6 (b) は、ストア前スリープおよびストア後シャットダウン動作におけるシミュレーション結果である。実施例 3 およびその変形例のようなストアフリーシャットダウン・アーキテクチャを実施例 1 に適用した場合をシミュレーションした。ストアフリーは、全てのセル 1 0 のうちストアを行なわないセル 1 0 の割合を示している。ストアフリーが 0 % は、全てのセル 1 0 においてストア動作を行なうことを示している。ストアフリーが 1 0 0 % は、全てのセル 1 0 においてストア動作を行なわないことを示している。ストアフリーが 5 0 % は、半分のセル 1 0 でストア動作を行ない、残りの半分のセル 1 0 でストア動作を行なわないことを示している。

10

【 0 1 4 9 】

図 3 6 (a) に示すように、ストア前後スリープ動作において、ストアフリーの割合が増え、特に領域 A において B E T が小さくなる。図 3 6 (b) に示すように、ストア前スリープおよびストア後シャットダウン動作において、ストアフリーの割合が大きくなると、B E T は大幅に減少する。このように、実施例 3 およびその変形例を実施例 1 に適用することにより、消費電力を削減できる。

20

【 0 1 5 0 】

領域 A における B E T を小さくするためには、通常 S R A M 動作期間における M O S F E T $m 7$ および $m 8$ を介したリーク電流を削減することが重要である。図 3 7 (a) および図 3 7 (b) は、通常 S R A M 動作期間におけるそれぞれ電圧 V C T R L および V S R に対するリーク電流 $I_{L}^{N V}$ を示す図である。リーク電流 $I_{L}^{N V}$ は図 3 に示す通常 S R A M 動作期間の N V - S R A M セル 1 個あたりのリーク電流である。ドットはシミュレーション結果、実線はドットを結ぶ線である。破線は、図 3 に示す通常 S R A M 動作期間の 6 T - S R A M のリーク電流である。図 3 7 (a) において、電圧 V V D D を 0 . 9 V 、電圧 V S R を 0 V 、図 3 7 (b) において、電圧 V V D D を 0 . 9 V 、電圧 V C T R L を 0 V としている。

30

【 0 1 5 1 】

図 3 7 (a) に示すように、リーク電流 $I_{L}^{N V}$ はいずれの電圧 V C T R L でも 6 T - S R A M のリーク電流 I_{L}^{V} より大きい。リーク電流 $I_{L}^{N V}$ が最も小さくなる電圧 V C T R L は 0 . 0 7 V である。これにより、表 1 におけるスリープ期間、通常 S R A M 動作期間およびリストア期間の電圧 V C T R L を 0 . 0 7 V としている。

【 0 1 5 2 】

図 3 7 (b) に示すように、電圧 V S R を 0 V より低くすると、リーク電流 $I_{L}^{N V}$ が小さくなる。電圧 V S R が約 - 0 . 1 4 V 以下では、リーク電流 $I_{L}^{N V}$ はほぼ 6 T - S R A M のリーク電流 I_{L}^{V} と同じとなる。

40

【 0 1 5 3 】

実施例 4 では、通常 S R A M 動作期間およびスリープ期間において電圧 V S R を接地線 2 7 の電圧 V G N D (0 V) より低くする。これにより、消費電力を削減する。表 2 は、実施例 4 におけるスリープ期間、通常 R A M 動作期間 (ノーマル期間) 、ストア期間、シャットダウン期間およびリストア期間における各電圧 V V D D 、 V C T R L および V S R を示す表である。

【表 2】

	スリープ	ノーマル	ストア	シャットダウン	リストア
VVDD [V]	0.7	0.9	0.9	0	0.9
VCTRL [V]	0	0	0	0.55	0
VSR [V]	-0.2	-0.2	0.65	0	0.65

【0154】

表 2 に示すように、スリープ期間、通常 S R A M 動作期間およびリストア期間における電圧 V C T R L を 0 V としている。スリープ期間および通常 S R A M 動作期間における電圧 V S R を接地線 27 の電圧 V G N D より低い - 0.2 V としている。その他の電圧は表 1 と同じであり説明を省略する。

10

【0155】

図 38 (a) および図 38 (b) は、実施例 4 における n R W に対する B E T を示す図である。図 38 (a) は、ストア前後スリープ動作におけるシミュレーション結果である。図 38 (b) は、ストア前スリープおよびストア後シャットダウン動作におけるシミュレーション結果である。図 38 (a) および図 38 (b) を図 36 (a) および図 36 (b) と比較すると、領域 B において B E T が小さくなっている。このように、実施例 4 では、スリープ期間および通常 S R A M 動作期間における M O S F E T m 7 および m 8 を介したリーク電流が抑制される。これにより、消費電力を抑制できる。

20

【0156】

以上、図 34 (a) の仮想電源方式の例に実施例 4 における各電圧を説明した。実施例 4 は、図 34 (b) に示した仮想接地方式でもよい。仮想接地方式では、M O S F E T m 7 および m 8 は p チャネル F E T である。M O S F E T m 7 および m 8 が p チャネル F E T のときは、スリープ期間および通常 S R A M 動作期間において M O S F E T m 7 および m 8 のゲートに電源線 26 の電圧 V D D より高い電圧 V S R を印加する。これにより、M O S F E T m 7 および m 8 を介したリーク電流が抑制される。

【0157】

以上のように、実施例 4 によれば、制御部 25 は、通常 S R A M 動作期間（双安定回路 12 にデータを揮発的に書き込みおよび読み出しを行なう第 1 期間）において双安定回路 12 に電源線 26 の電圧 V V D D または V D D および接地線 27 の電圧 V G N D または V V G N D が供給されている。このとき、M O S F E T m 7 および m 8 のゲートに印加される電圧 V S R を、M O S F E T m 7 および m 8 が n チャネル F E T の場合接地線 27 の電圧 V G N D より低くし、p チャネル F E T の場合電源線 26 の電圧 V D D より高くする。これにより、M O S F E T m 7 および m 8 を介したリーク電流を抑制できる。なお、第 1 期間には、双安定回路 12 にデータを揮発的に書き込みおよび読み出しを行なうときの電源線 26 および接地線 27 の電圧とそれぞれ同じ電圧が電源線 26 および接地線 27 に印加されているスタンバイの期間を含めてもよい。

30

【0158】

制御部 25 は、スリープ期間（双安定回路 12 のデータが維持され電源線 26 の電圧と接地線の電圧との差が通常 S R A M 動作期間における電源線の電圧と接地線の電圧との差より小さくする第 2 期間）においても、M O S F E T m 7 および m 8 のゲートに印加される電圧 V S R を、M O S F E T m 7 および m 8 が n チャネル F E T の場合接地線 27 の電圧 V G N D より低くし、p チャネル F E T の場合電源線 26 の電圧 V D D より高くしてもよい。

40

【0159】

実施例 4 の変形例 1 は、リストア期間における電圧 V S R を低くする例である。仮想電源方式を例に説明する。表 3 は、実施例 4 の変形例 1 におけるスリープ期間、ノーマル動作期間、ストア期間、シャットダウン期間およびリストア期間における各電圧 V D D 、 V

50

CTRLおよびVSRを示す表である。

【表3】

	スリープ	ノーマル	ストア		シャットダウン	リストア
VVDD [V]	0.7	0.9	0.9		0	0.9
VCTRL [V]	0	0	0	0.55	0	0
VSR [V]	-0.2	-0.2	0.65		0	0.2

【0160】

10

表3に示すように、リストア期間における電圧VSRをストア期間における電圧VSRより低い0.2Vとしている。その他の電圧は表2と同じであり説明を省略する。

【0161】

図39(a)および図39(b)は、実施例4の変形例1におけるnRWに対するBETを示す図である。図39(a)は、ストア前後スリープ動作におけるシミュレーション結果である。図39(b)は、ストア前スリープおよびストア後シャットダウン動作におけるシミュレーション結果である。図39(a)および図39(b)を図38(a)および図38(b)と比較すると、ストア前スリープおよびストア後シャットダウン動作の領域Aにおいてストアフリーの割合が大きいつきにBETが小さくなっている。このように、実施例4の変形例1では、ストア期間およびリストア期間における消費電力を抑制できる。

20

【0162】

実施例4の変形例1において、仮想接地方式でもよい。すなわち、MOSFETm7およびm8はpチャネルFETでもよい。MOSFETm7およびm8がpチャネルFETのときは、リストア期間の電圧VSRをストア期間の電圧VSRより高くすればよい。

【0163】

実施例4の変形例1によれば、制御部25は、リストア期間にMOSFETm7およびm8ゲートに印加される電圧VSRを、ストア期間にMOSFETm7およびm8ゲートに印加される電圧VSRより、nチャネルFETの場合低くし、pチャネルFETの場合高くする。これにより、リストア期間における消費電力を抑制できる。

30

【0164】

実施例4およびその変形例1として、実施例1のようにストア前後スリープ動作またはストア前スリープおよびストア後シャットダウン動作を行なう場合を例に説明した。このような動作以外において、実施例4およびその変形例を用いてもよい。

【0165】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

【0166】

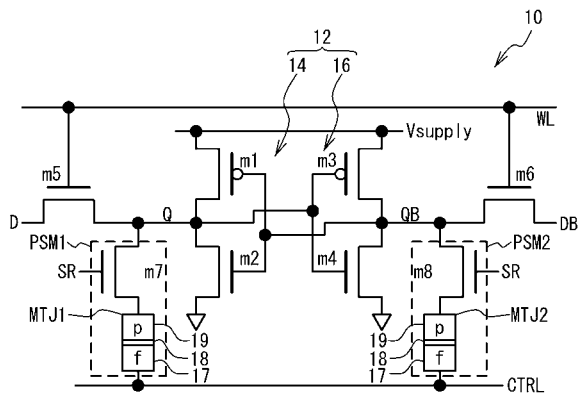
40

- 10 セル
- 12 双安定回路
- 20 セルアレイ
- 25 制御部
- 26 電源線
- 27 接地線
- 30 パワースイッチ
- 40 選択回路
- 50 判定回路
- SR0 - SR7 スイッチ線

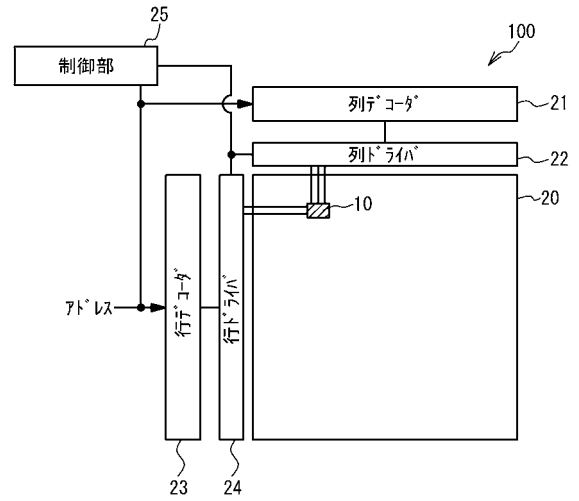
50

SR00 - SR73 サブスイッチ線
CTRL00 - CTRL07 制御線

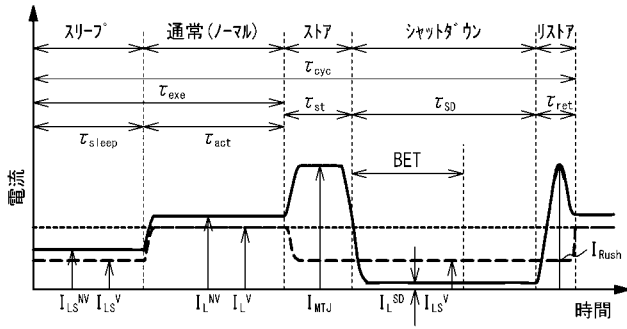
【図1】



【図2】

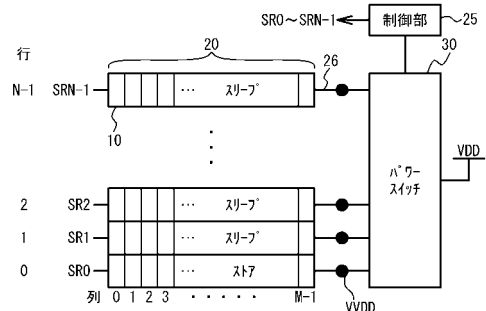


【図3】

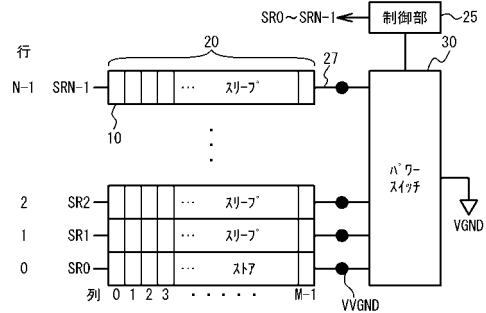


【図4】

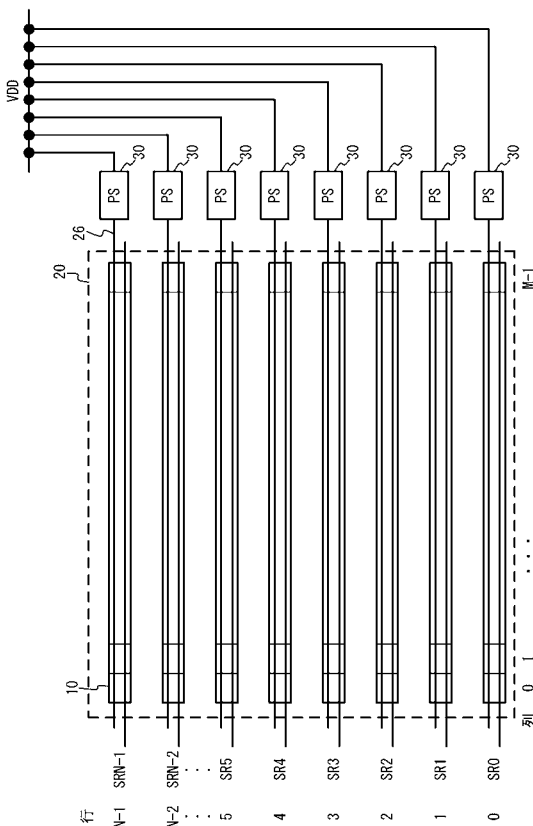
(a)



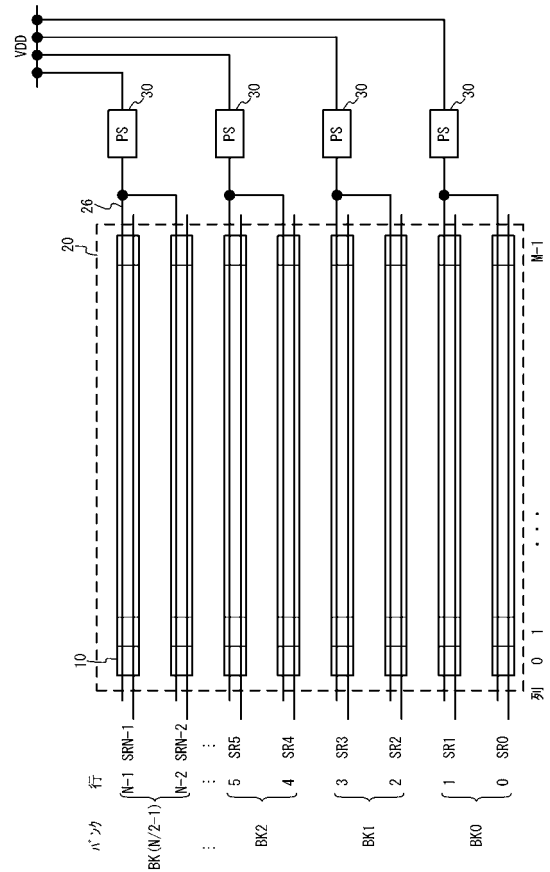
(b)



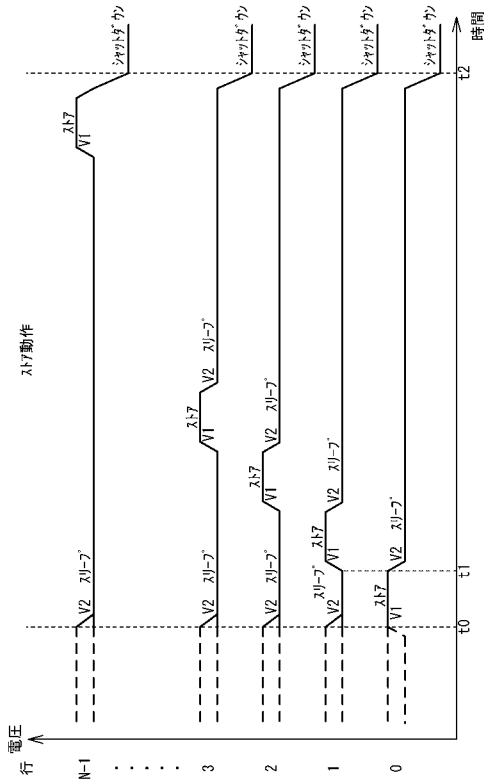
【図5】



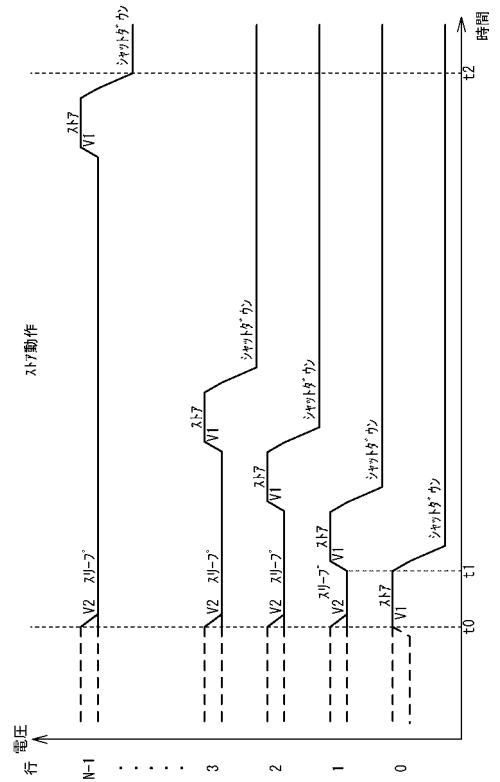
【図6】



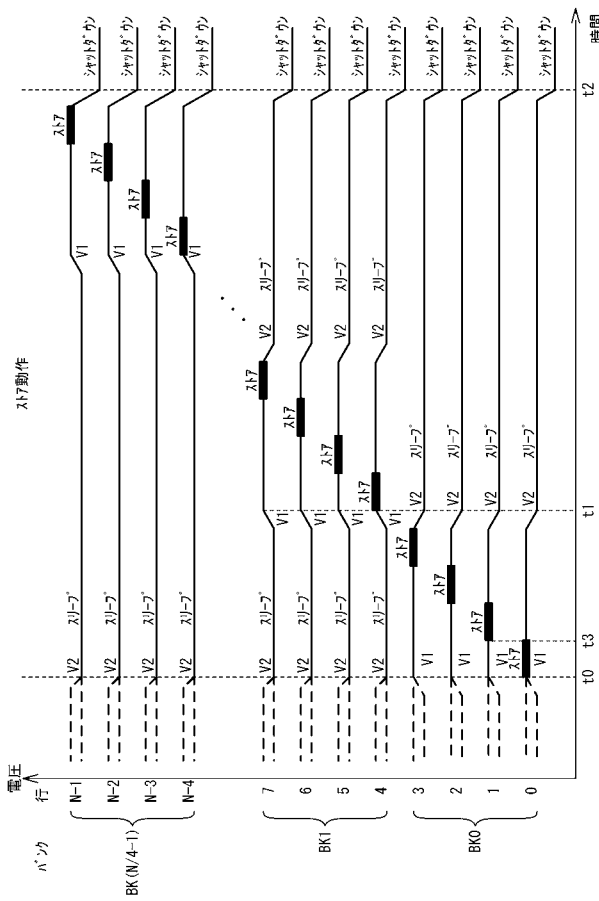
【 図 7 】



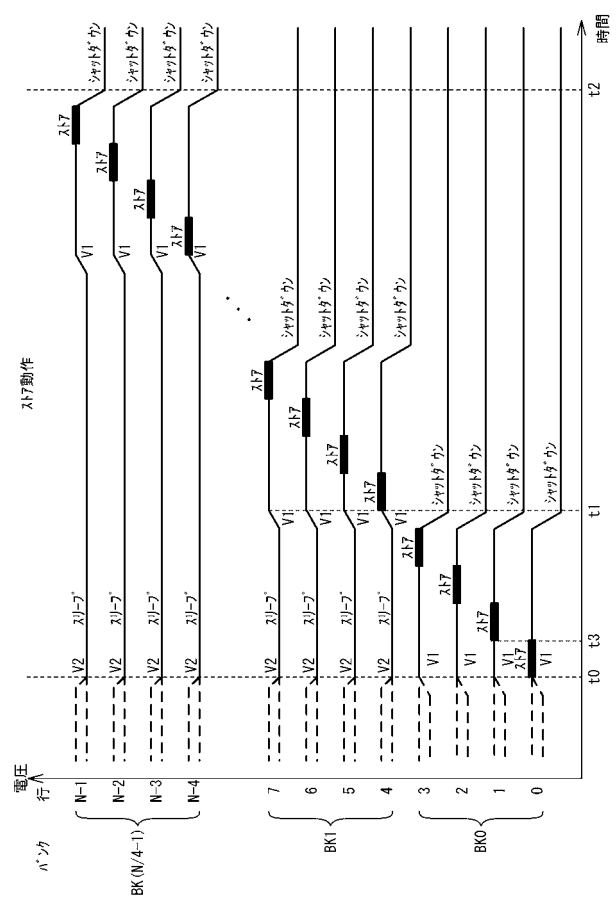
【 図 8 】



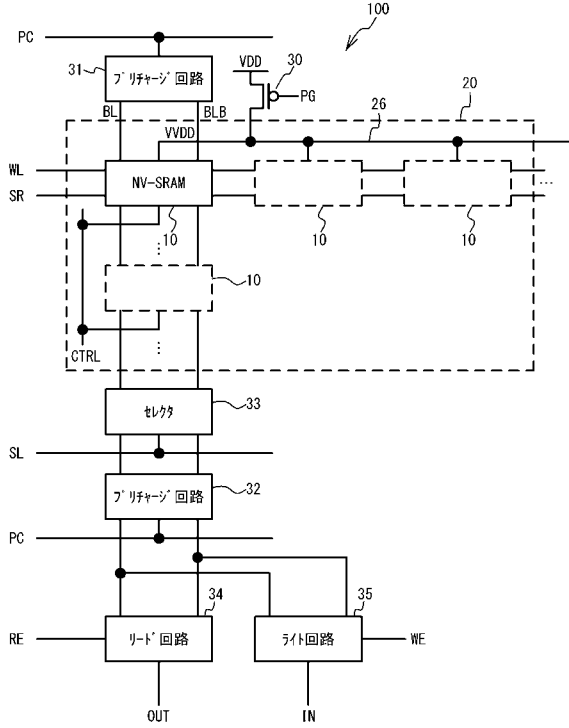
【 図 9 】



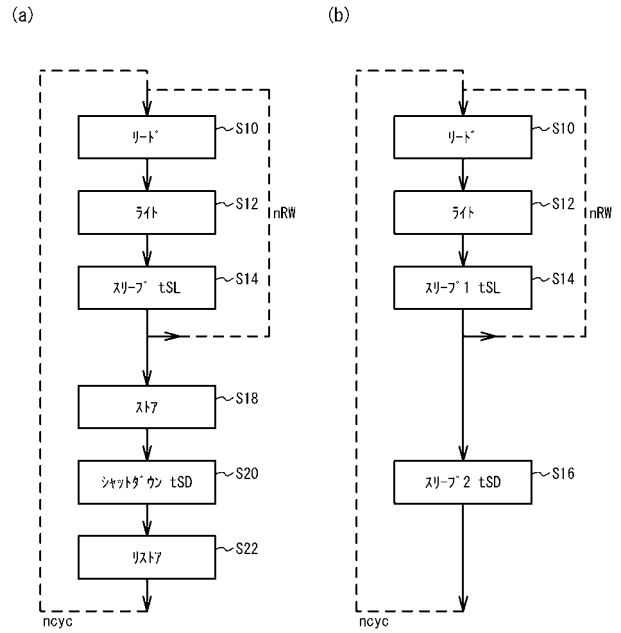
【 図 10 】



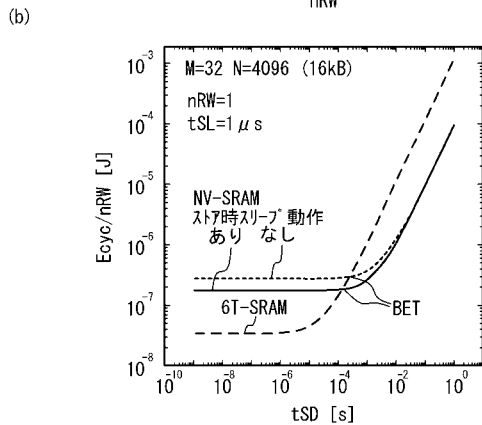
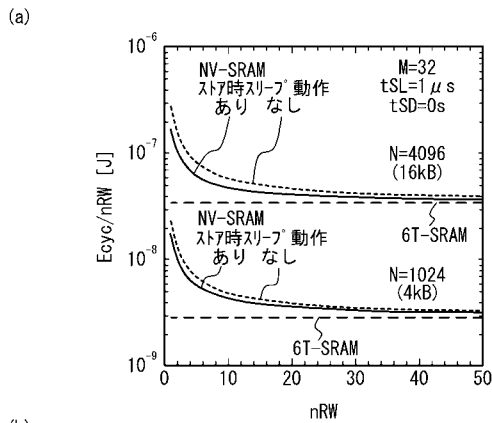
【図 1 1】



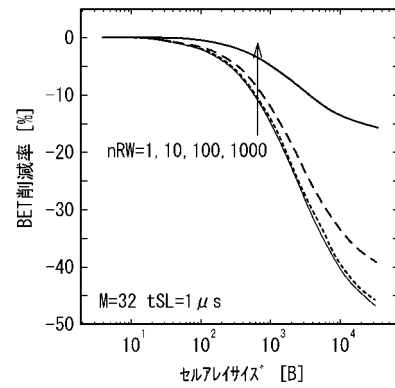
【図 1 2】



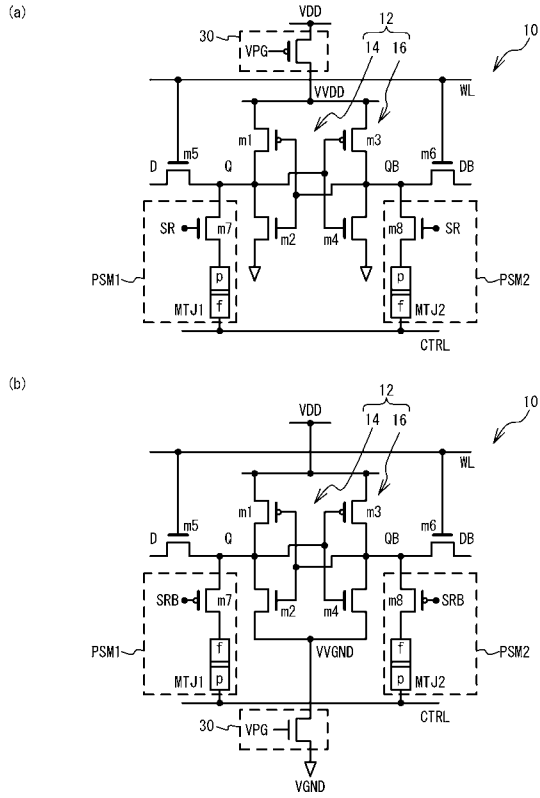
【図 1 3】



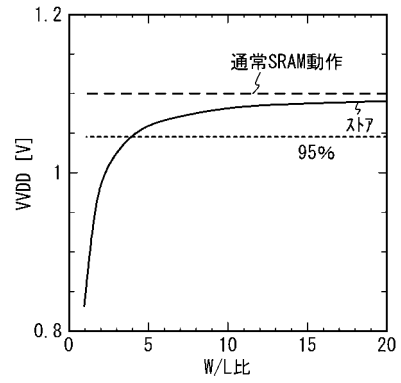
【図 1 4】



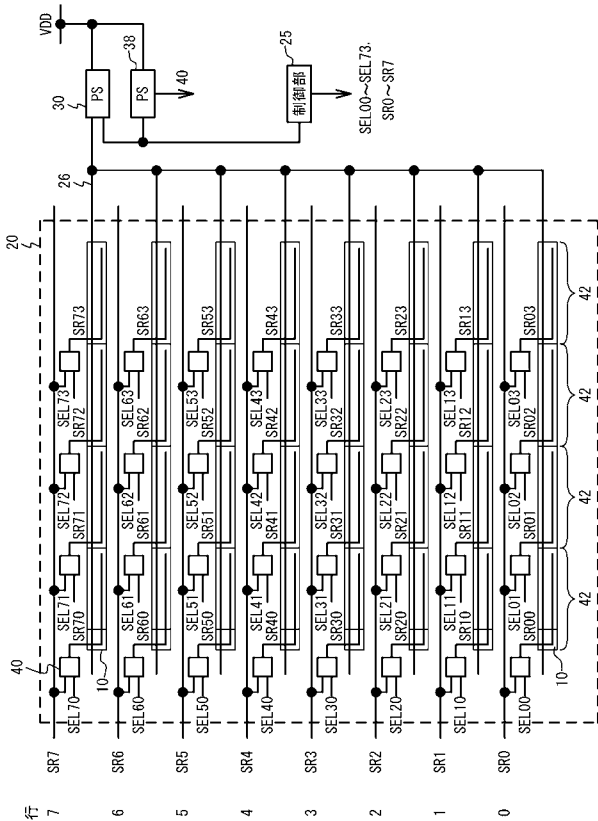
【 図 1 5 】



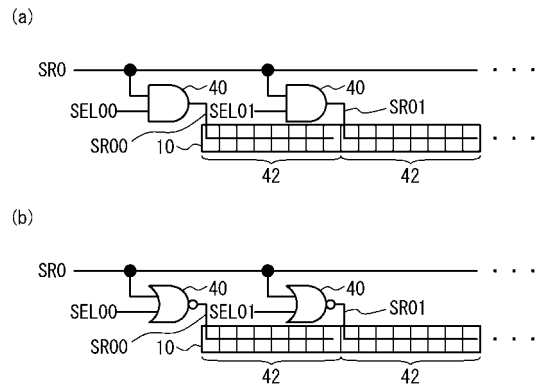
【 図 1 6 】



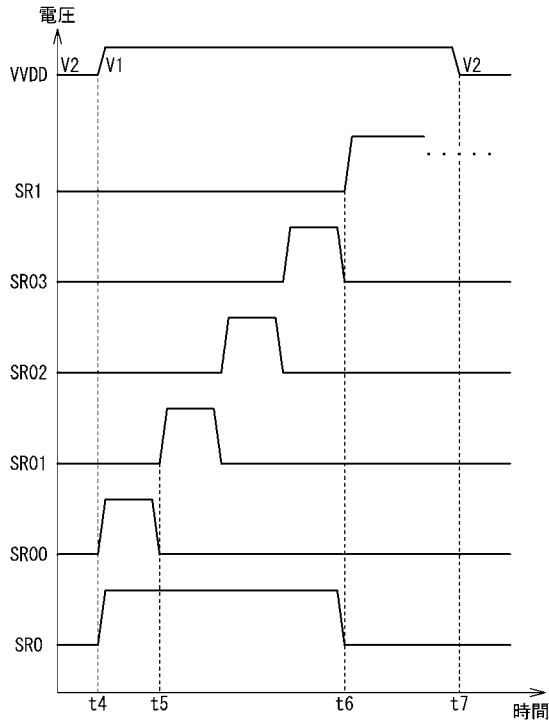
【 図 1 7 】



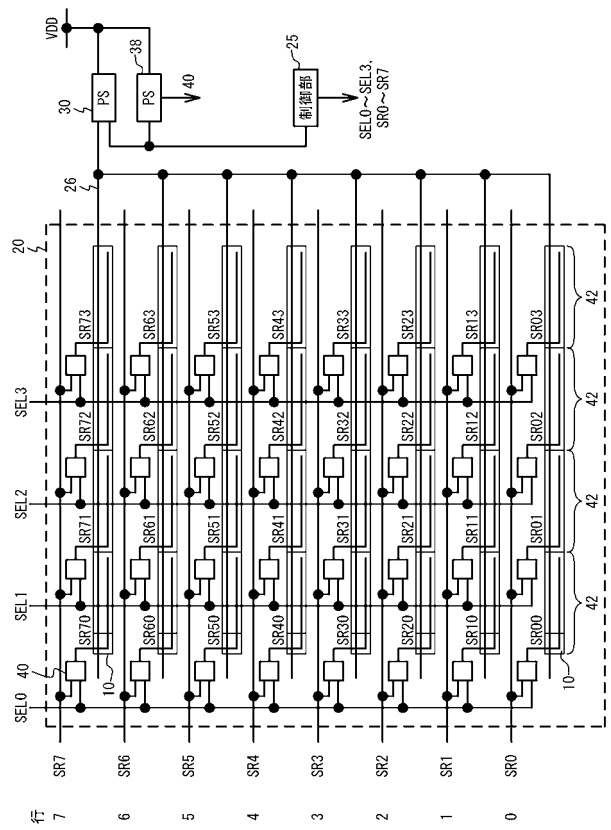
【 図 1 8 】



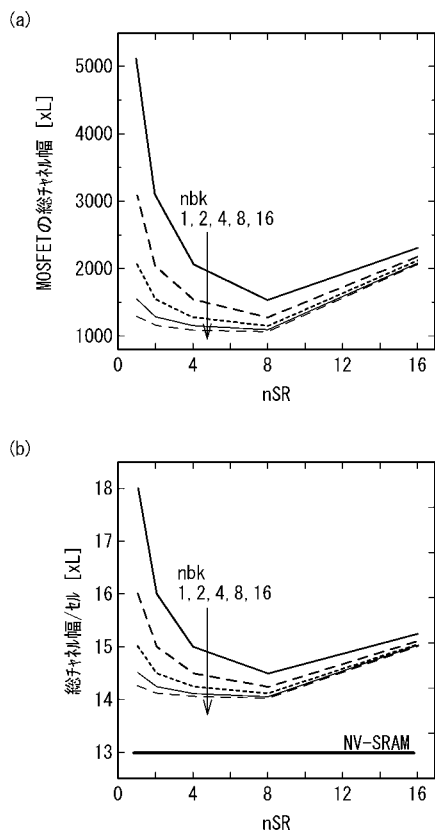
【 図 1 9 】



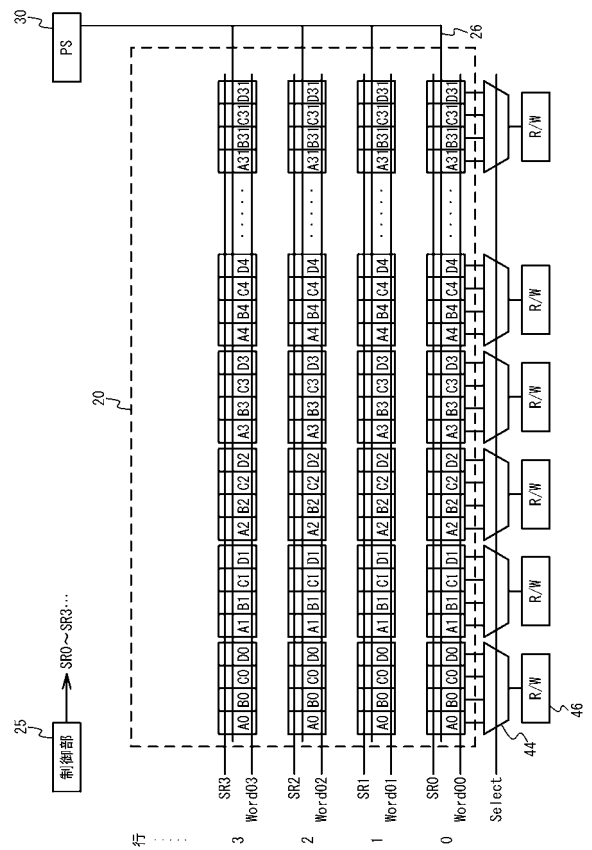
【 図 2 0 】



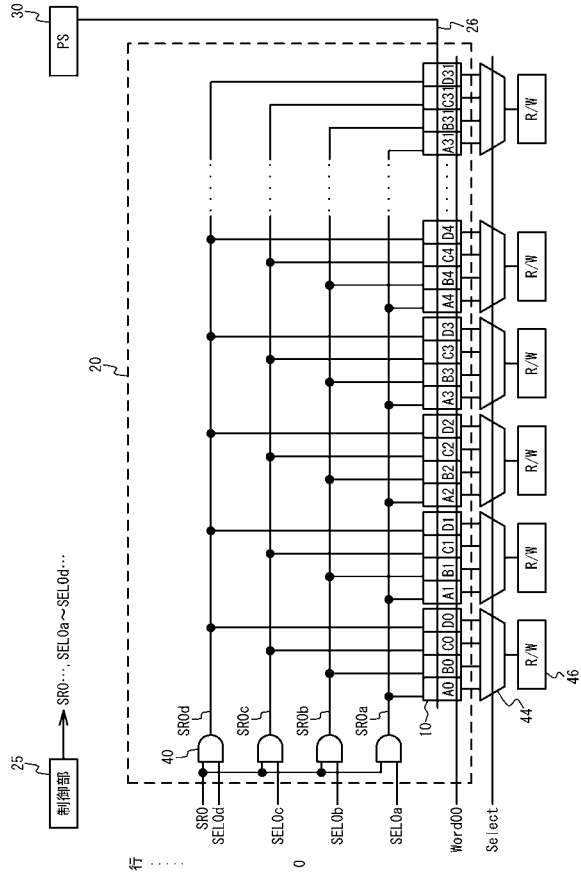
【 図 2 1 】



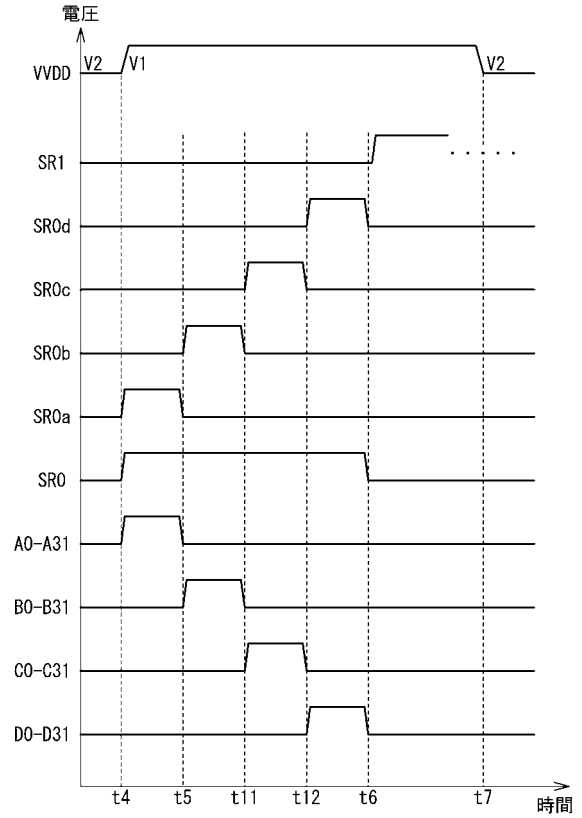
【 図 2 2 】



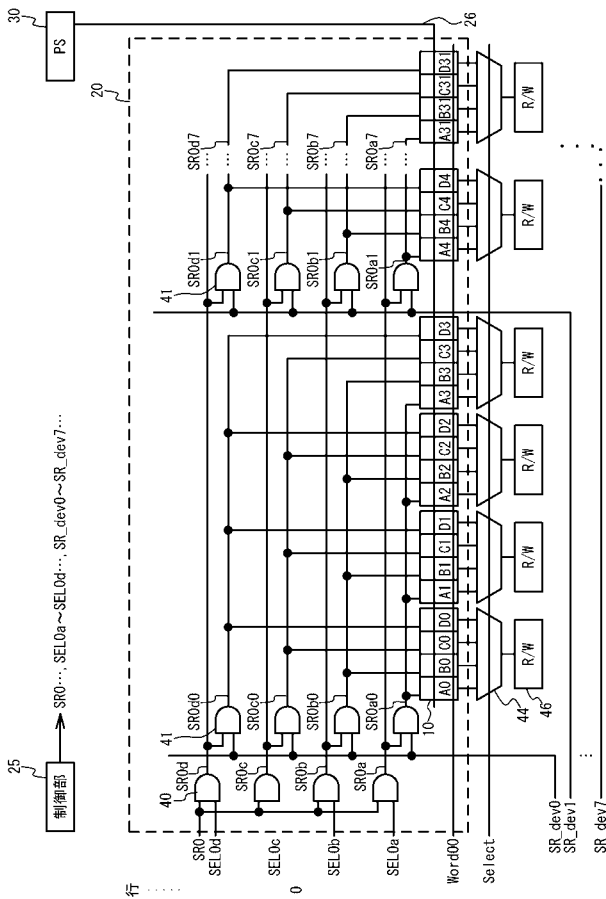
【図 2 3】



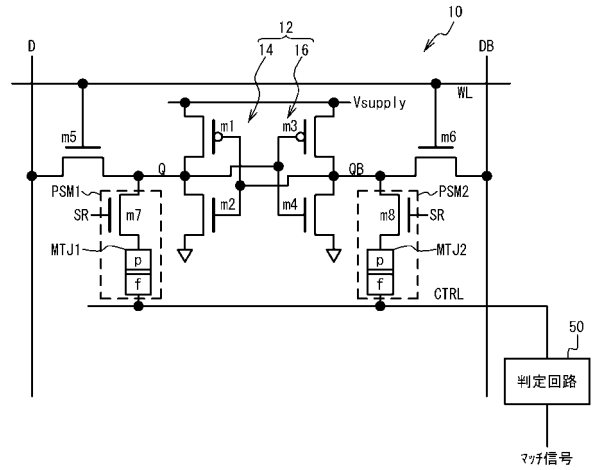
【図 2 4】



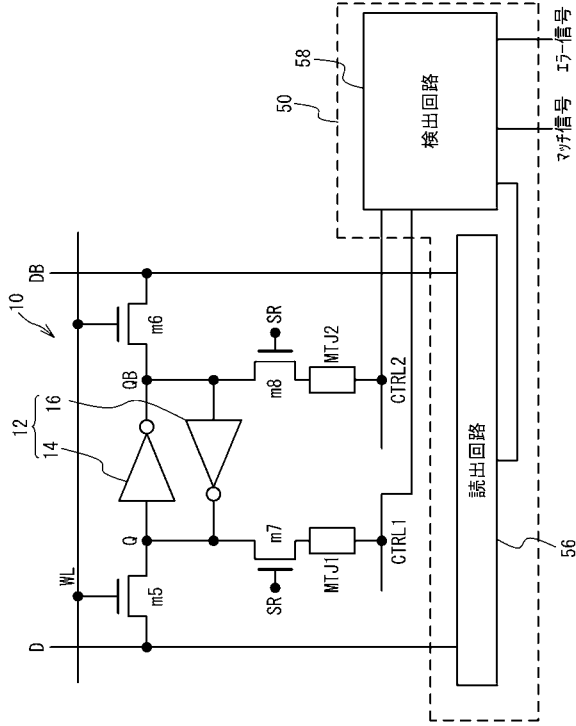
【図 2 5】



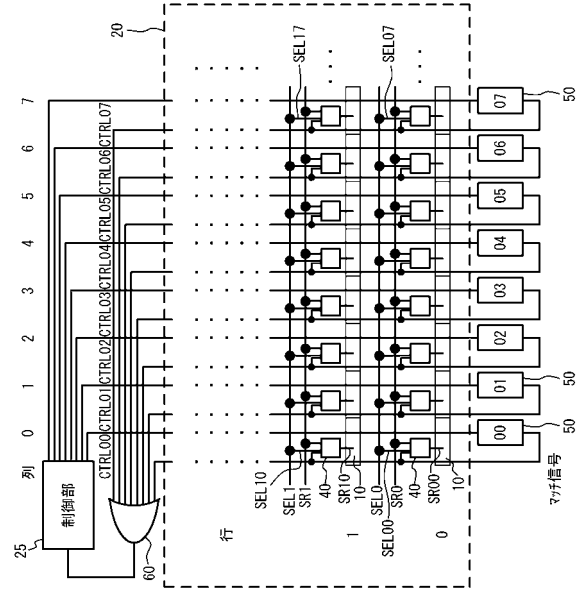
【図 2 6】



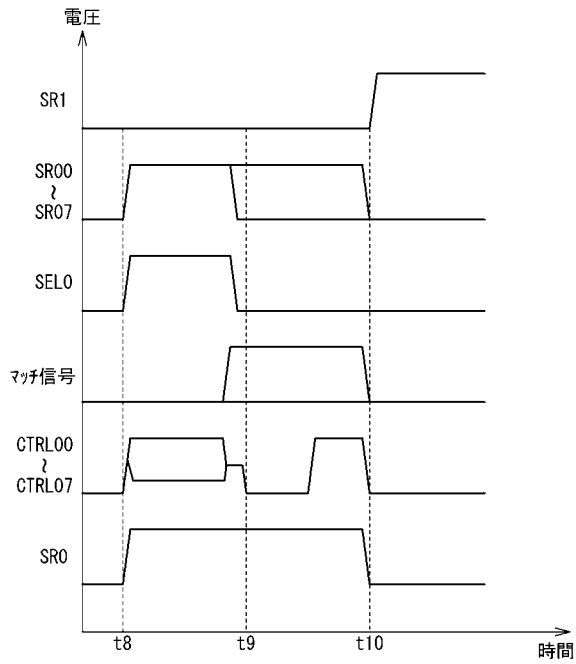
【図 27】



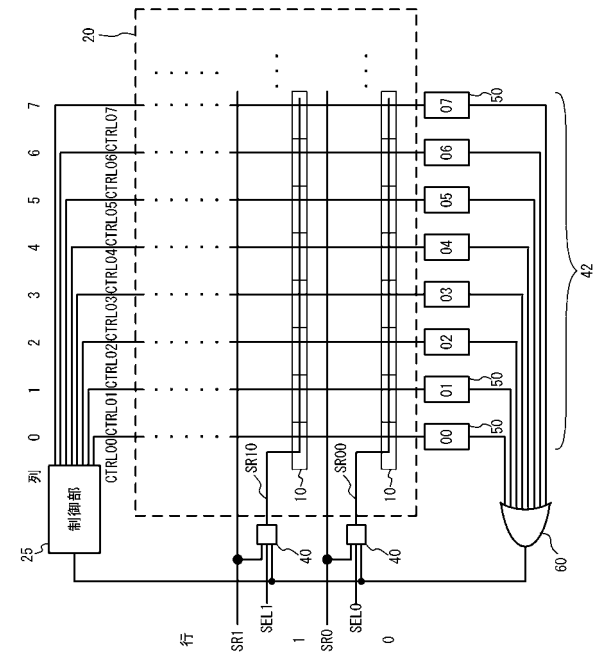
【図 28】



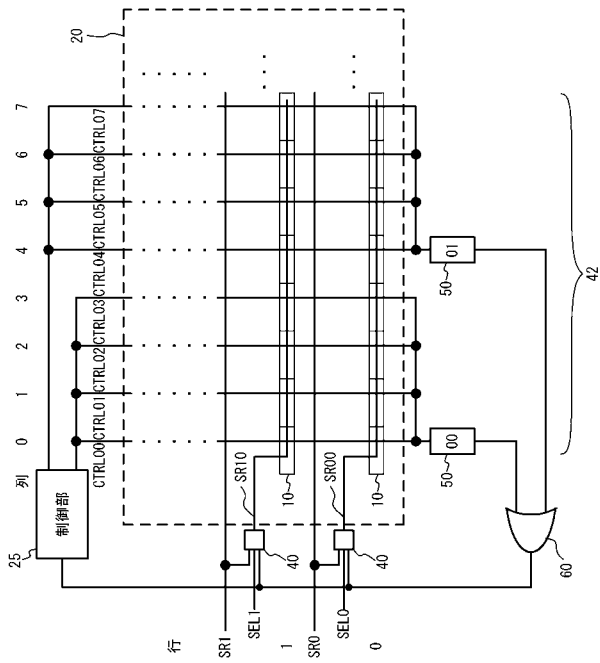
【図 29】



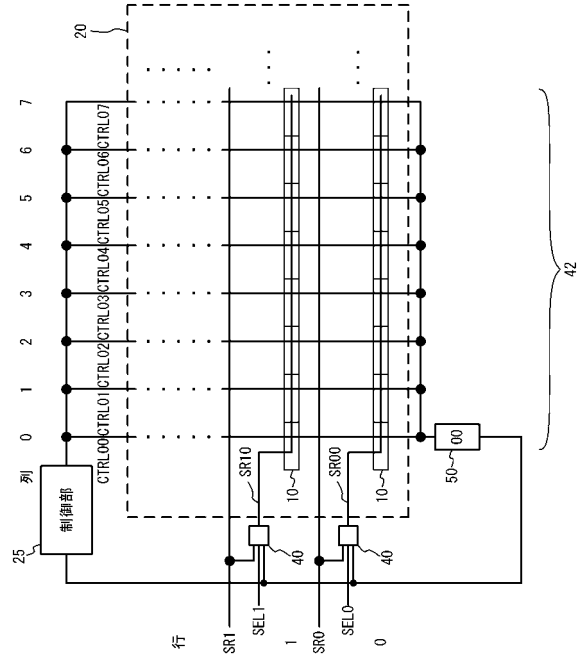
【図 30】



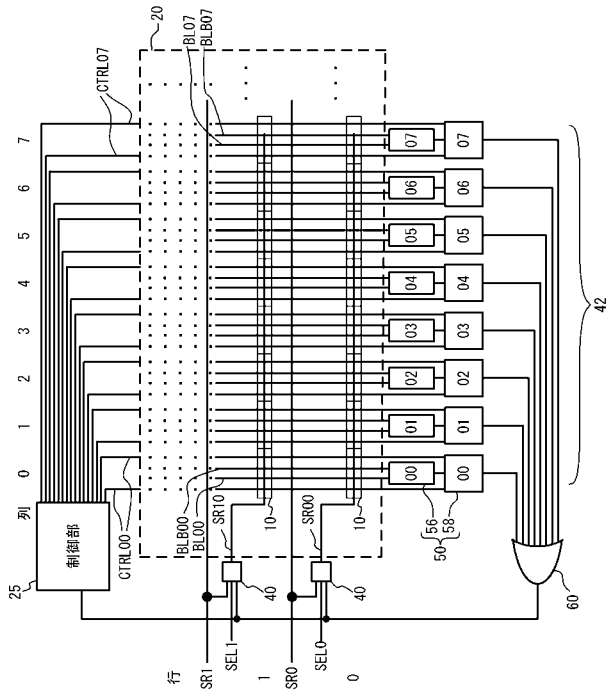
【図 3 1】



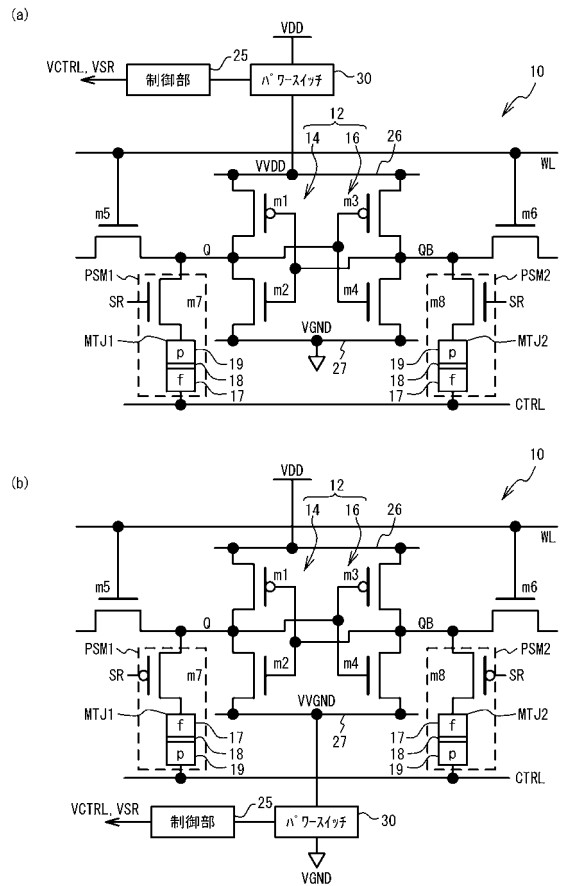
【図 3 2】



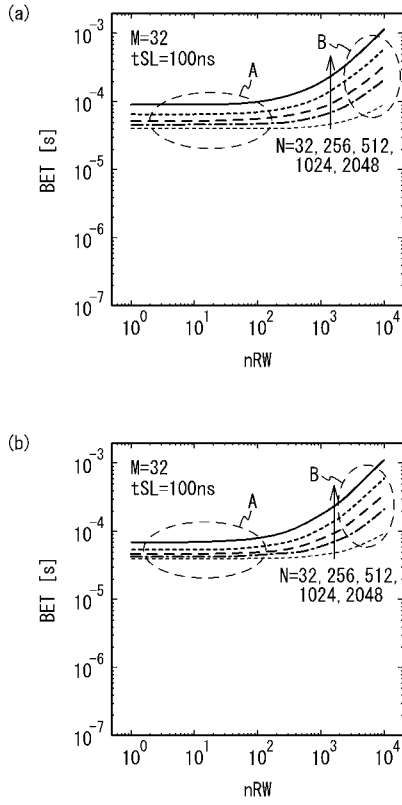
【図 3 3】



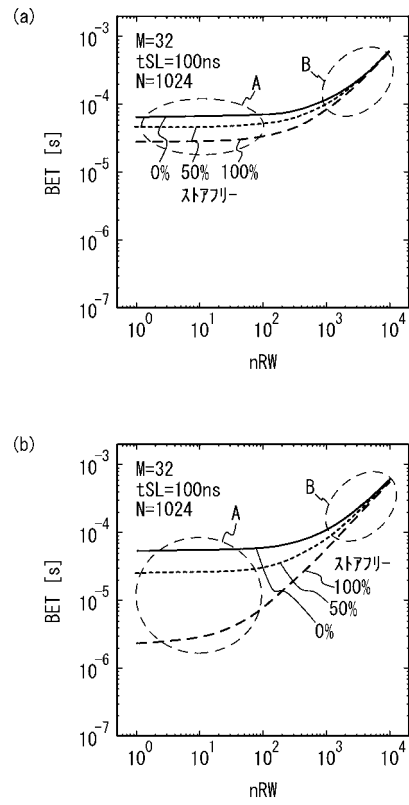
【図 3 4】



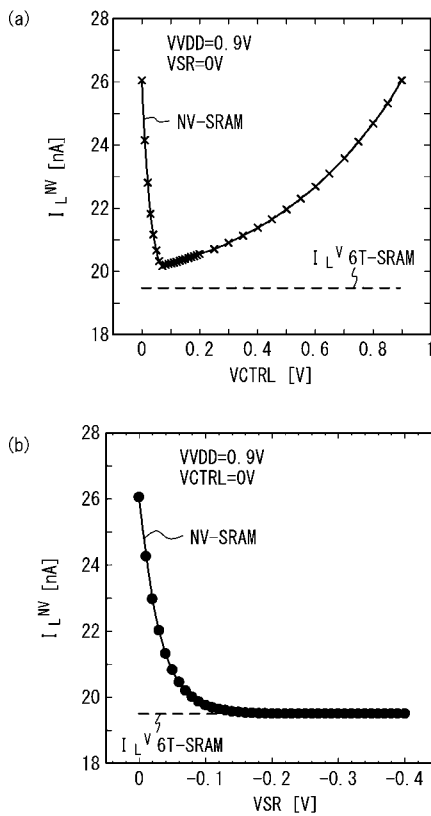
【 図 3 5 】



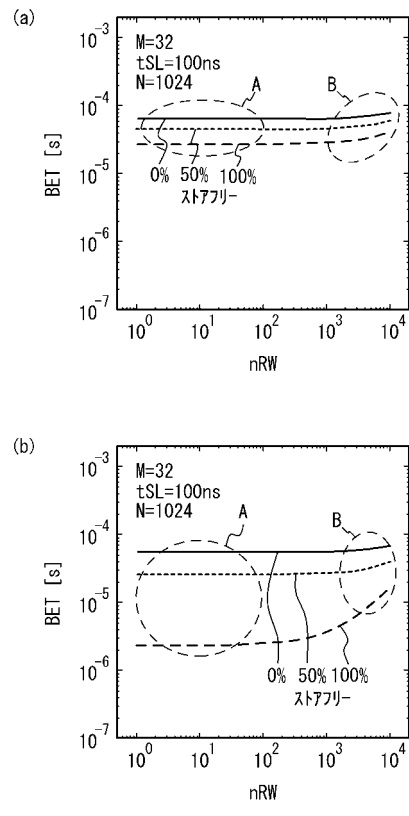
【 図 3 6 】



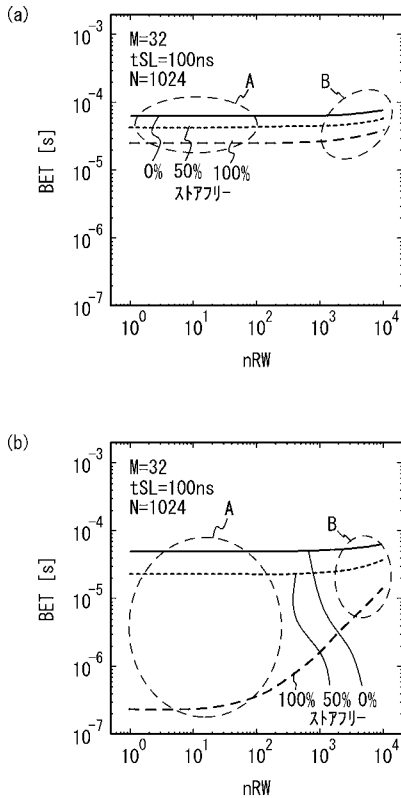
【 図 3 7 】



【 図 3 8 】



【図 3 9】



【手続補正書】

【提出日】平成29年1月30日(2017.1.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、複数の行および複数の列に、前記複数の行が分割され各々が1または複数の行を含む複数のバンクを形成するように配列された複数のセルと、

前記複数の行を順にストア動作し、前記複数のバンクのうちストア動作される行を含む第1バンクのセルの電源に供給される電圧を第1電圧とし、前記複数のバンクのうち前記第1バンク以外のバンク内のセルの電源に供給される電圧を前記第1電圧より低く前記双安定回路のデータが維持される第2電圧とする制御部と、を具備することを特徴とする記憶回路。

【請求項 2】

前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧を前記第2電圧とすることを特徴とする請求項1記載の記憶回路。

【請求項 3】

前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧をシャットダウンすることを特徴とする請求項1記載の記憶回路。

【請求項 4】

前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記複数のセルは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチを各々備え、

前記複数のセルの電源に供給される電圧は、前記双安定回路に供給されることを特徴とする請求項 1 から 3 のいずれか一項記載の記憶回路。

【請求項 5】

前記複数のバンクは各々 1 つの行を含むことを特徴とする請求項 1 から 4 のいずれか一項記載の記憶回路。

【請求項 6】

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有する複数のセルと、

前記複数のセルの電源に供給される電圧を変更する 1 または複数のパワースイッチと、1 つのパワースイッチにより共通の電圧が供給される領域が複数のブロックに分割され、前記領域において前記複数のブロックごとに異なる期間にストア動作する制御部と、を具備することを特徴とする記憶回路。

【請求項 7】

前記複数のセルは、複数の行および複数の列に配列され、

前記領域は、1 または複数の行を含み、

1 つの行が前記複数のブロックに分割されていることを特徴とする請求項 6 記載の記憶回路。

【請求項 8】

前記複数のセルは、各々データのストアを実行するスイッチを有し、

前記複数のブロックの各々のセル内の前記スイッチは共通のサブスイッチ線に接続され、

同じ行のサブスイッチ線は 1 つのスイッチ線に接続され、

前記複数のブロックのうち 1 つのブロックを選択し、選択されたブロックのサブスイッチ線に前記スイッチをオンする信号を出力する選択回路を具備することを特徴とする請求項 7 記載の記憶回路。

【請求項 9】

前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、

前記スイッチは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続され、

前記セルの電源に供給される電圧は、前記双安定回路に供給されることを特徴とする請求項 8 記載の記憶回路。

【請求項 10】

前記複数のブロックの各々は、同じ行内の連続したセルを含むことを特徴とする請求項 7 から 9 のいずれか一項記載の記憶回路。

【請求項 11】

前記複数のブロックの各々は、同じ行内の周期的に配列されたセルを含むことを特徴とする請求項 7 から 9 のいずれか一項記載の記憶回路。

【請求項 12】

前記複数のブロックの各々のセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、

前記データが不一致のとき、対応するブロック内のセルのストア動作を行ない、前記データが一致のとき、前記対応するブロック内のセルのストア動作を行なわない選択回路と、

を具備することを特徴とする請求項 6 から 11 のいずれか一項記載の記憶回路。

【請求項 13】

各々のセルが、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他

端が制御線に接続され、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチと、を有し、各々共通のスイッチ線に接続された複数の行と各々共通の制御線に接続された複数の列とに配列された複数のセルと、

同じ制御線に対し共通に設けられ、対応する制御線の信号に基づき、前記対応する制御線に接続されたセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、

前記データが不一致のとき、前記対応する制御線に接続されたセル内の前記スイッチをオンさせ、前記データが一致のとき、前記対応する制御線に接続されたセル内の前記スイッチをオフさせる選択回路と、

を具備することを特徴とする記憶回路。

【請求項 14】

1つの行が各々複数のセルを含む複数のブロックに分割され、

前記選択回路は、対応するブロック内の複数のセルのデータの少なくとも一つが不一致のとき、前記対応するブロック内の前記スイッチをオンさせ、前記対応するブロック内の複数のセルのデータの全てが一致のとき、前記対応するブロック内の前記スイッチをオフさせることを特徴とする請求項 13 記載の記憶回路。

【請求項 15】

前記判定回路は、同じブロック内の複数の制御線に共通に設けられていることを特徴とする請求項 14 記載の記憶回路。

【請求項 16】

一对の前記不揮発性素子は、前記双安定回路の相補するノードにそれぞれ接続され、

一对の前記制御線は、前記一对の不揮発性素子にそれぞれ接続され、

前記判定回路は、前記双安定回路のデータと前記一对の制御線の信号と、に基づき、前記データが一致か不一致かを判定することを特徴とする請求項 13 から 15 のいずれか一項記載の記憶回路。

【請求項 17】

電源線の電圧と接地線の電圧との差が電源電圧として供給され、データを記憶する双安定回路と、

一端が前記双安定回路内のノードに他端が制御線に接続され、前記一端と前記他端との間を流れる電流により抵抗値が変更されることにより前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、

ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続された F E T と、

前記双安定回路にデータを揮発的に書き込みおよび読み出しを行なう第 1 期間において、前記 F E T のゲートに印加される電圧を、前記 F E T が n チャネル F E T の場合前記接地線の電圧より低くし、前記 F E T が p チャネル F E T の場合前記電源線の電圧より高くする制御部と、

を具備することを特徴とする記憶回路。

【請求項 18】

前記制御部は、前記双安定回路のデータが維持され前記双安定回路の前記電源線の電圧と前記接地線の電圧との差が前記第 1 期間における前記電源線の電圧と前記接地線の電圧の差より小さくなる第 2 期間に、前記 F E T のゲートに印加される電圧を、前記 F E T が n チャネル F E T の場合前記第 1 期間における前記接地線の電圧より低くし、前記 F E T が p チャネル F E T の場合前記第 1 期間における前記電源線の電圧より高くすることを特徴とする請求項 17 記載の記憶回路。

【請求項 19】

前記制御部は、

前記 F E T が n チャンネル F E T の場合、前記不揮発性素子にストアされたデータを前記双安定回路にリストアする期間における前記 F E T のゲートに印加される電圧を、前記双安定回路に記憶されたデータを不揮発的に前記不揮発性素子にストアする期間における前記 F E T のゲートに印加される電圧より、低くし、

前記 F E T が p チャンネル F E T の場合、前記リストアする期間における前記 F E T のゲートに印加される電圧を、前記ストアする期間における前記 F E T のゲートに印加される電圧より、高くすることを特徴とする請求項 17 または 18 記載の記憶回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正の内容】

【0110】

図 24 は、実施例 2 の変形例 2 における各セルのストア動作、スイッチ線、サブスイッチ線および仮想電源電圧 V_{DD} のタイミングチャートである。図 24 に示すように、制御部 25 は、時間 t_4 から t_5 のとき、サブスイッチ線 S_{R0a} の信号をハイレベルとし、他のサブスイッチ線 S_{R0b} から S_{R0d} の信号をローレベルとする。制御部 25 は、A0 から A31 のセル 10 にストア動作を行なう。同様に、時間 t_5 から t_{11} のとき、制御部 25 はサブスイッチ線 S_{R0b} の信号をハイレベルとし、かつ B0 から B31 のセル 10 にストア動作を行なう。時間 t_{11} から t_{12} のとき、制御部 25 はサブスイッチ線 S_{R0c} の信号をハイレベルとし、かつ C0 から C31 のセル 10 にストア動作を行なう。時間 t_{12} から t_6 のとき、制御部 25 はサブスイッチ線 S_{R0d} の信号をハイレベルとし、かつ D0 から D31 のセル 10 にストア動作を行なう。その他の動作は実施例 2 の図 19 と同じであり説明を省略する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0151

【補正方法】変更

【補正の内容】

【0151】

図 37 (a) に示すように、リーク電流 $I_{L^{NV}}$ はいずれの電圧 V_{CTRL} でも 6T-SRAM のリーク電流 I_{L^V} より大きい。リーク電流 $I_{L^{NV}}$ が最も小さくなる電圧 V_{CTRL} は 0.07V である。これにより、表 1 におけるスリープ期間、通常 SRAM 動作期間およびリストア期間の電圧 V_{CTRL} を 0.07V としている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0152

【補正方法】変更

【補正の内容】

【0152】

図 37 (b) に示すように、電圧 V_{SR} を 0V より低くすると、リーク電流 $I_{L^{NV}}$ が小さくなる。電圧 V_{SR} が約 -0.14V 以下では、リーク電流 $I_{L^{NV}}$ はほぼ 6T-SRAM のリーク電流 I_{L^V} と同じとなる。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2015/072392
A. CLASSIFICATION OF SUBJECT MATTER G11C11/15(2006.01)i, G11C11/412(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C11/15, G11C11/16, G11C11/412, G11C13/00, G11C14/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2013/172066 A1 (Japan Science and Technology Agency), 21 November 2013 (21.11.2013), paragraphs [0036] to [0040]; fig. 2, 5, 6 & US 2015/0070974 A1 paragraphs [0050] to [0054]; fig. 2, 5, 6 & EP 2840574 A1 & JP 5312715 B1	17, 18 1-16, 19
A	JP 2013-30240 A (Toppan Printing Co., Ltd.), 07 February 2013 (07.02.2013), paragraphs [0063] to [0073], [0076] to [0081], [0115] to [0120]; fig. 6, 8, 16, 17 (Family: none)	1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 02 October 2015 (02.10.15)		Date of mailing of the international search report 13 October 2015 (13.10.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/072392

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-62319 A (Tohoku University), 04 April 2013 (04.04.2013), paragraphs [0068] to [0071]; fig. 10, 16 (Family: none)	1-19
A	WO 2013/172065 A1 (Japan Science and Technology Agency), 21 November 2013 (21.11.2013), paragraphs [0042], [0043], [0053]; fig. 6, 10 & US 2015/0070975 A1 paragraphs [0059], [0060], [0070]; fig. 6, 10 & EP 2840575 A1 & JP 5479656 B1	1-19
P,A	WO 2015/041305 A1 (Tohoku University), 26 March 2015 (26.03.2015), paragraphs [0110] to [0126], [0157]; fig. 15 (Family: none)	1-19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/072392

Box No. II	Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)
<p>This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:</p> <p>1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:</p> <p>2. <input type="checkbox"/> Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:</p> <p>3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).</p>	
Box No. III	Observations where unity of invention is lacking (Continuation of item 3 of first sheet)
<p>This International Searching Authority found multiple inventions in this international application, as follows: See extra sheet.</p> <p>1. <input checked="" type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.</p> <p>2. <input type="checkbox"/> As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.</p> <p>3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:</p> <p>4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:</p> <p>Remark on Protest</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.</p> <p><input checked="" type="checkbox"/> No protest accompanied the payment of additional search fees.</p>	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/072392

Continuation of Box No.III of continuation of first sheet(2)

Document 1: JP 2013-30240 A (Toppan Printing Co., Ltd.), 07 February 2013 (07.02.2013), paragraphs [0063] to [0073], [0076] to [0081], [0115] to [0120]; fig. 6, 8, 16, 17 (Family: none)

The claims have been categorized into the following three inventions.

Invention 1: Claims 1-12

The invention according to claims 1-12 has the special technical feature of "a memory circuit provided with a control unit that makes a voltage supplied to the power supply of a cell of a first bank, which is a bank from among a plurality of banks that includes a stored line, a first voltage and makes a voltage supplied to the power supply of a cell of a bank other than the first bank from among the plurality of banks a second voltage that is lower than the first voltage and at which the data of a bistable circuit is maintained," and has thus been classified into invention 1.

Invention 2: Claims 13-16

The invention according to claims 13-16 and the invention according to claim 1, which has been categorized into invention 1, share the common technical feature of "a memory circuit provided with a bistable circuit for storing data and a nonvolatile element for storing the data stored on the bistable circuit in a non-volatile manner and restoring the data stored in a non-volatile manner to the bistable circuit." However, this technical feature does not make a contribution over the prior art in the light of the content disclosed in document 1, and thus cannot be said to be a special technical feature. Further, there is no other same or corresponding special technical feature between these inventions.

Further, claims 13-16 are not dependent on claim 1 and are not in a relationship of or corresponding to substantial similarity with any of the claims categorized into invention 1.

Therefore, the invention according to claims 13-16 cannot be categorized into invention 1.

Further, the invention according to claims 13-16 has the special technical feature of "a memory circuit having a determination circuit that is for determining whether the data of a bistable circuit and the data of a nonvolatile element within a cell match and is provided commonly for the same control line," and has thus been classified into invention 2.

Invention 3: Claims 17-19

The invention according to claims 17-19, the invention according to claim 1, which has been categorized into invention 1, and the invention according to claim 13, which has been categorized into invention 2, share the common technical feature of "a memory circuit provided with a bistable circuit for storing data and a nonvolatile element for storing the data stored on the bistable circuit in a non-volatile manner and restoring the data stored in a non-volatile manner to the bistable circuit." However, this technical feature does not make a contribution over the prior art in the light of the content disclosed in document 1, and thus cannot be said to be a special technical feature. Further, there is no other same or corresponding special technical feature among these inventions.

Further, claims 17-19 are not dependent on claim 1 or 13 and are not in a relationship of or corresponding to substantial similarity with any of the claims categorized into invention 1 or 2.

(Continued to next extra sheet)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/072392

Therefore, the invention according to claims 17-19 cannot be categorized into invention 1 or 2.

Further, the invention according to claims 17-19 has the special technical feature of "a memory circuit provided with a control unit that, during a first period in which data is written in a volatile manner to and read from a bidirectional circuit, makes the voltage applied to a gate of an FET less than the voltage of the aforementioned grounding line if the FET is an n-channel FET and makes the voltage higher than that of the aforementioned power supply line if the FET is a p-channel FET," and has thus been classified into invention 3.

国際調査報告		国際出願番号 PCT/J P 2015/072392									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C11/15(2006.01)i, G11C11/412(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C11/15, G11C11/16, G11C11/412, G11C13/00, G11C14/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2015年										
日本国実用新案登録公報	1996-2015年										
日本国登録実用新案公報	1994-2015年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X A	WO 2013/172066 A1 (独立行政法人科学技術振興機構) 2013.11.21, 段落 [0036] - [0040], 図2, 5, 6 & US 2015/0070974 A1, 段落 [0050] - [0054], 図2, 5, 6 & EP 2840574 A1 & JP 5312715 B1	17, 18 1-16, 19									
A	JP 2013-30240 A (凸版印刷株式会社) 2013.02.07, 段落 [0063] - [0073], [0076] - [0081], [0115] - [0120], 図6, 8, 16, 17 (ファミリーなし)	1-19									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 02.10.2015		国際調査報告の発送日 13.10.2015									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 後藤 彰	5U 4226								
		電話番号 03-3581-1101 内線 3565									

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 7 2 3 9 2
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-62319 A (国立大学法人東北大学) 2013.04.04, 段落 [0068] - [0071], 図10, 16 (ファミリーなし)	1-19
A	WO 2013/172065 A1 (独立行政法人科学技術振興機構) 2013.11.21, 段落 [0042], [0043], [0053], 図6, 10 & US 2015/0070975 A1, 段落 [0059], [0060], [0070], 図6, 10 & EP 2840575 A1 & JP 5479656 B1	1-19
P, A	WO 2015/041305 A1 (国立大学法人東北大学) 2015.03.26, 段落 [0110] - [0126], [0157], 図15 (ファミリーなし)	1-19

国際調査報告

国際出願番号 PCT/J P 2 0 1 5 / 0 7 2 3 9 2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

特別ページ参照。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210（第1ページの続葉（2））（2009年7月）

文献1：JP 2013-30240 A (凸版印刷株式会社) 2013.02.07,
段落 [0063] - [0073], [0076] - [0081],
[0115] - [0120], 図6, 8, 16, 17 (ファミリーなし)

請求の範囲は、以下の3つの発明に区分される。

(発明1) 請求項1-12

請求項1-12に係る発明は、「複数のバンクのうちストア動作される行を含む第1バンクのセルの電源に供給される電圧を第1電圧とし、前記複数のバンクのうち前記第1バンク以外のセルの電源に供給される電圧を前記第1電圧より低く双安定回路のデータが維持される第2電圧とする制御部を具備する記憶回路」という特別な技術的特徴を有しているため、発明1に区分する。

(発明2) 請求項13-16

請求項13-16は、発明1に区分された請求項1と、「データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子とを具備する記憶回路」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献1の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項13-16は、請求項1の従属請求項ではない。また、請求項13-16は、発明1に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項13-16は発明1に区分できない。

そして、請求項13-16に係る発明は、「セル内の双安定回路と不揮発性素子とのデータが一致か不一致かを判定する判定回路を同じ制御線に対し共通に設けた記憶回路」という特別な技術的特徴を有しているため、発明2に区分する。

(発明3) 請求項17-19

請求項17-19は、発明1に区分された請求項1及び発明2に区分された請求項13と、「データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子とを具備する記憶回路」という共通の共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献1の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項17-19は、請求項1及び13の従属請求項ではない。また、請求項17-19は、発明1又は2に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項17-19は発明1又は2のいずれにも区分できない。

そして、請求項17-19は、「双安定回路にデータを揮発的に書き込みおよび読み出しを行なう第1期間において、FETのゲートに印加される電圧を、前記FETがnチャネルFETの場合、前記接地線の電圧より低くし、前記FETがpチャネルFETの場合、前記電源線の電圧より高くする制御部を具備する記憶回路」という特別な技術的特徴を有しているため、発明3に区分する。

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 山本 修一郎

神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

Fターム(参考) 5B015 HH04 HH05 JJ02 JJ07 JJ43 KA10 KB64 KB72 MM06 PP01

QQ16

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。