

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-88444

(P2017-88444A)

(43) 公開日 平成29年5月25日(2017.5.25)

(51) Int.Cl.	F I	テーマコード (参考)
C30B 29/36 (2006.01)	C30B 29/36 A	4G077
C30B 19/04 (2006.01)	C30B 19/04	
C30B 19/12 (2006.01)	C30B 19/12	

審査請求 未請求 請求項の数 11 O L (全 16 頁)

(21) 出願番号 特願2015-220064 (P2015-220064)
 (22) 出願日 平成27年11月10日 (2015.11.10)

(71) 出願人 503092180
 学校法人関西学院
 兵庫県西宮市上ヶ原一番町1番155号
 (74) 代理人 100118784
 弁理士 桂川 直己
 (72) 発明者 金子 忠昭
 兵庫県三田市学園二丁目一番地 関西学院
 大学工学部内
 (72) 発明者 久津間 保徳
 兵庫県三田市学園二丁目一番地 関西学院
 大学工学部内
 (72) 発明者 芦田 晃嗣
 兵庫県三田市学園二丁目一番地 関西学院
 大学工学部内

最終頁に続く

(54) 【発明の名称】 半導体ウエハの製造方法

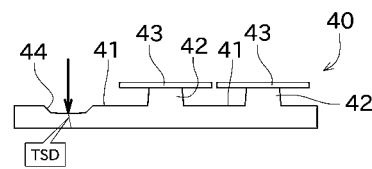
(57) 【要約】

【課題】MSE法を用いてエピタキシャル層を成長させる半導体ウエハの製造方法において、結晶欠陥を殆ど含まない大きいサイズの半導体ウエハを製造する方法を提供する。

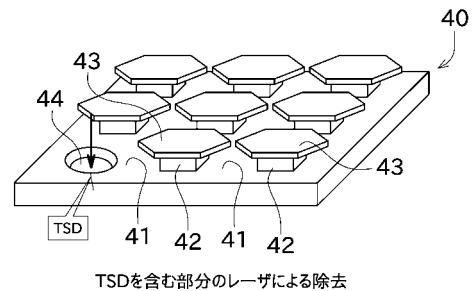
【解決手段】第1工程では、SiC基板40の表面に凸部42を形成するとともに、当該SiC基板40をエッチングする。第2工程では、MSE法によりSiC基板40の凸部42をエピタキシャル成長させることで垂直(c軸)方向に大きく成長した螺旋転位を含むエピタキシャル層43aの少なくとも一部を除去する。第3工程では、第2工程を行ったSiC基板40に再びMSE法を行うことで、螺旋転位を含まないエピタキシャル層43同士が水平(a軸)方向に成長することで互いに分子レベルで接続し、SiC基板40のSi面又はC面の全面に1つの大面積の単結晶4H-SiCの半導体ウエハ45が生成される。

【選択図】 図10

(a)



(b)



【特許請求の範囲】

【請求項 1】

S i C 基板の表面に凸部を形成するとともに、当該 S i C 基板を S i 蒸気圧下で加熱することで当該 S i C 基板をエッチングする第 1 工程と、

前記第 1 工程を行った前記 S i C 基板の前記凸部側に炭素供給部材を配置しつつ、その間に S i 融液を介在させて加熱することで準安定溶媒エピタキシー法により前記 S i C 基板の前記凸部をエピタキシャル成長させ、当該エピタキシャル成長を行うことで、螺旋転位を含むエピタキシャル層が螺旋転位を含まないエピタキシャル層よりも垂直 (c 軸) 方向に大きく成長し、当該螺旋転位を含むエピタキシャル層の少なくとも一部を除去する第 2 工程と、

10

前記第 2 工程を行った前記 S i C 基板に再び前記準安定溶媒エピタキシー法を行うことで、螺旋転位を含まないエピタキシャル層同士が水平 (a 軸) 方向に成長することで互いに分子レベルで接続し、前記 S i C 基板の S i 面 (0 0 0 1 面) 又は C 面 (0 0 0 - 1 面) の全面に 1 つの面積の単結晶 4 H - S i C の半導体ウエハが生成される第 3 工程と、を含むことを特徴とする半導体ウエハの製造方法。

【請求項 2】

請求項 1 に記載の半導体ウエハの製造方法であって、

前記 S i C 基板はオフ角が 0° 又は 0° 近傍であり、前記炭素供給部材として多結晶の 3 C - S i C を用いるとともに、加熱温度を 1600 以上 2000 以下とし、S i の圧力が 10^{-5} T o r r 以上であることを特徴とする半導体ウエハの製造方法。

20

【請求項 3】

請求項 1 又は 2 に記載の半導体ウエハの製造方法であって、

前記第 2 工程及び前記第 3 工程において、前記準安定溶媒エピタキシー法により、前記 S i C 基板の C 面 (0 0 0 - 1 面) にエピタキシャル層を形成することを特徴とする半導体ウエハの製造方法。

【請求項 4】

請求項 1 又は 2 に記載の半導体ウエハの製造方法であって、

前記第 2 工程及び前記第 3 工程において、前記準安定溶媒エピタキシー法により、前記 S i C 基板の S i 面 (0 0 0 1 面) にエピタキシャル層を形成することを特徴とする半導体ウエハの製造方法。

30

【請求項 5】

請求項 1 から 4 までの何れか一項に記載の半導体ウエハの製造方法であって、

前記第 1 工程では、前記 S i C 基板にレーザを照射して互いに交差する複数の溝を形成することで、当該 S i C 基板に凸部を形成し、

前記第 2 工程では、前記螺旋転位を含むエピタキシャル層にレーザを照射して当該エピタキシャル層を除去することを特徴とする半導体ウエハの製造方法。

【請求項 6】

請求項 5 に記載の半導体ウエハの製造方法であって、

前記凸部は、上面が矩形状であり、

前記凸部の垂直 (c 軸) 方向の長さが $20 \mu\text{m} \sim 40 \mu\text{m}$ であり、

前記凸部の上面の水平 (a 軸) 方向の一辺の長さが $50 \mu\text{m} \sim 100 \mu\text{m}$ であり、

隣り合う前記凸部が形成される間隔が $400 \mu\text{m} \sim 1000 \mu\text{m}$ であることを特徴とする半導体ウエハの製造方法。

40

【請求項 7】

請求項 5 又は 6 に記載の半導体ウエハの製造方法であって、

前記第 2 工程では、螺旋転位を含むエピタキシャル層の垂直 (c 軸) 方向の長さが、螺旋転位を含まないエピタキシャル層の垂直 (c 軸) 方向の長さの 2 倍以上であることを特徴とする半導体ウエハの製造方法。

【請求項 8】

請求項 7 に記載の半導体ウエハの製造方法であって、

50

前記第2工程では、

螺旋転位を含む前記凸部から成長したエピタキシャル層の垂直(c軸)方向の長さが約250 μm であり、水平(a軸)方向の長さが約400 μm であり、

螺旋転位を含まない前記凸部から成長したエピタキシャル層の垂直(c軸)方向の長さが約100 μm であり、水平(a軸)方向の長さが約400 μm であることを特徴とする半導体ウエハの製造方法。

【請求項9】

請求項1から8までの何れか一項に記載の半導体ウエハの製造方法であって、

前記第3工程では、螺旋転位を含まないエピタキシャル層が水平(a軸)方向に4mm成長できる条件で前記準安定溶媒エピタキシー法を行うことを特徴とする半導体ウエハの製造方法。

10

【請求項10】

請求項1から9までの何れか一項に記載の半導体ウエハの製造方法であって、

前記SiC基板を<1-100>方向及び<11-20>方向に垂直な方向で見たときに、隣接する前記凸部の中央同士を接続する仮想線が正三角形となるように前記凸部が形成されていることを特徴とする半導体ウエハの製造方法。

【請求項11】

請求項1から9までの何れか一項に記載の半導体ウエハの製造方法であって、

前記第2工程及び前記第3工程では、エピタキシャル層の六角形状の頂点同士が接触するように前記準安定溶媒エピタキシー法が行われることを特徴とする半導体ウエハの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SiC基板を用いた半導体素子の製造方法に関する。

【背景技術】

【0002】

半導体材料としては、シリコン(Si)やガリウム砒素(GaAs)等が従来から知られるところである。半導体素子の利用分野は近年急速に拡大しており、それに伴って、高温環境等の苛酷な条件で使用される機会も増加している。従って、高温環境に耐えられる半導体素子の実現は、幅広い用途における動作の信頼性と大量の情報処理・制御性の向上にとって重要な課題の1つである。

30

【0003】

耐熱性に優れる半導体素子を製造する材料の1つとして、炭化ケイ素(SiC)が注目されている。SiCは、機械的強度に優れるとともに、放射線にも強い。また、SiCは、不純物の添加によって電子や正孔の価電子制御も容易にできるとともに、広い禁制帯幅(4H型の単結晶SiCで3.2eV)を有するという特徴を備えている。このような理由から、SiCは、上述した既存の半導体材料では実現できない高温、高周波、耐電圧、及び耐環境性を実現できる次世代のパワーデバイスの材料として期待されている。特許文献1から3は、SiCを用いた半導体材料を製造する方法を開示する。

40

【0004】

特許文献1は、種結晶を成長させる成長炉内の温度を均一にすることで、SiC多結晶の生成を抑制して良質なSiC半導体を製造する方法を開示する。特許文献2は、種結晶に複数の窪みを形成することで、欠陥の少ない良質なSiC半導体を製造する方法を開示する。

【0005】

非特許文献1は、本願出願人らが開発した技術である準安定溶媒エピタキシー法(MSE法)について開示する。MSE法は溶液成長法の種類であり、シード基板と、シード基板より自由エネルギーの高いフィード基板と、Si融液と、を用いる。シード基板とフィード基板を対向するように配置し、その間にSi融液を介在させた状態で真空下で加熱す

50

ることにより、シード基板の表面に単結晶SiCを成長させることができる。MSE法では、温度勾配を付ける必要がなく、自由エネルギー差で決まる濃度勾配によってエピタキシャル成長が進行する。また、MSE法では、シード基板にオフ角を形成する必要がない。特許文献3は、このMSE法を用いてSiC半導体を製造する方法を開示している。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2012-193055号公報

【特許文献2】特開2012-176867号公報

【特許文献3】特開2008-230946号公報

10

【非特許文献】

【0007】

【非特許文献1】Tadaaki Kaneko et al, "Metastable Solvent Epitaxy of SiC" Journal of Crystal Growth 310 (2008) 1815 - 1818

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、SiCを用いた半導体材料は、4H-SiC又は6H-SiCの単結晶SiCで構成されるインゴットから切り出したバルク基板を用いて製造される。このバルク基板は、機械研磨等を行って表面を平坦にする必要がある。しかし、機械研磨では、サブミクロンオーダーの研磨傷が発生するので、従来では、機械研磨を行った後に化学機械研磨を行うことで当該研磨傷を除去して基板を更に平坦にする。

20

【0009】

その後、基板の表面にMSE法等によって4H-SiC単結晶のエピタキシャル層を形成し、基板表面を分子レベルに平坦化させ、更にイオンを注入して高温で加熱してイオンを活性化させる。しかしながら、エピタキシャル層を成長させる工程等において、エピタキシャル層の表面の一部が著しく荒れてしまうことがある。その結果、半導体ウエハの歩留まりが低下してしまう。特に、半導体ウエハのサイズが大きい場合、一部に表面荒れが含む可能性が高くなる。一部でも表面荒れが存在すると、半導体ウエハとしての性能を十分に発揮させることができない。従って、大きいサイズの半導体ウエハを製造することが困難であった。

30

【0010】

本願出願人は、このエピタキシャル層の荒れについて解析を行った結果、基板に生じている螺旋転位が原因であることを突き止めた。インゴットを形成する工程では温度差を設けることで結晶成長を行っているが、この結晶内の温度差が原因で基板に螺旋転位が発生する。螺旋転位が存在する部分に例えばMSE法が行われた場合、エピタキシャル層の表面にまで螺旋転位が伝達してしまい、これにより表面荒れが発生する。

【0011】

本発明は以上の事情に鑑みてされたものであり、その主要な目的は、MSE法を用いてエピタキシャル層を成長させる半導体ウエハの製造方法において、結晶欠陥を殆ど含まない大きいサイズの半導体ウエハを製造する方法を提供することにある。

40

【課題を解決するための手段及び効果】

【0012】

本発明の解決しようとする課題は以上の如くであり、次にこの課題を解決するための手段とその効果を説明する。

【0013】

本発明の観点によれば、第1工程、第2工程、第3工程を含む半導体ウエハの製造方法が提供される。前記第1工程では、SiC基板の表面に凸部を形成するとともに、当該SiC基板をSi蒸気圧下で加熱することで当該SiC基板をエッチングする。前記第2工

50

程では、前記第1工程を行った前記SiC基板の前記凸部側に炭素供給部材を配置しつつ、その間にSi融液を介在させて加熱することで準安定溶媒エピタキシー法により前記SiC基板の前記凸部をエピタキシャル成長させ、当該エピタキシャル成長を行うことで、螺旋転位を含むエピタキシャル層が螺旋転位を含まないエピタキシャル層よりも垂直(c軸)方向に大きく成長し、当該螺旋転位を含むエピタキシャル層の少なくとも一部を除去する。前記第3工程では、前記第2工程を行った前記SiC基板に再び前記準安定溶媒エピタキシー法を行うことで、螺旋転位を含まないエピタキシャル層同士が水平(a軸)方向に成長することで互いに分子レベルで接続し、前記SiC基板のSi面(0001面)又はC面(000-1面)の全面に1つの大面積の単結晶4H-SiCの半導体ウエハが生成される。

10

【0014】

これにより、エピタキシャル成長時に垂直方向に大きく成長して表面荒れの原因となる螺旋転位を予め除去できる。また、螺旋転位を含むエピタキシャル層を除去することで、凸部同士の間隔が空いてしまうが、空いた部分については、他のエピタキシャル層が水平方向に成長することでカバーすることができる。以上により、結晶欠陥を殆ど含まず、かつ大きいサイズの半導体ウエハを製造することができる。

【0015】

前記の半導体ウエハの製造方法においては、前記SiC基板はオフ角が0°又は0°近傍であり、前記炭素供給部材として多結晶の3C-SiCを用いるとともに、加熱温度を1600以上2000以下とし、Siの圧力が 10^{-5} Torr以上であることが好ましい。

20

【0016】

これにより、好適な条件でMSE法を行うことができるので、凸部を十分にエピタキシャル成長させることができる。

【0017】

前記の半導体ウエハの製造方法においては、前記第2工程及び前記第3工程において、前記準安定溶媒エピタキシー法により、前記SiC基板のC面(000-1面)又はSi面(0001面)にエピタキシャル層を形成することが好ましい。

【0018】

これにより、本発明の方法ではSi面とC面の何れにもエピタキシャル層を成長させることができるので、必要に応じて適切な面にエピタキシャル層を形成させることができる。

30

【0019】

前記の半導体ウエハの製造方法においては、以下のようにすることが好ましい。即ち、前記第1工程では、前記SiC基板にレーザを照射して互いに交差する複数の溝を形成することで、当該SiC基板に凸部を形成する。前記第2工程では、前記螺旋転位を含むエピタキシャル層にレーザを照射して当該エピタキシャル層を除去する。

【0020】

これにより、第1工程において、簡単な処理で多数の凸部を形成することができる。また、第2工程において、簡単な処理で、螺旋転位を含むエピタキシャル層を除去することができる。特に、第1工程と第2工程で必要な作業をともにレーザ装置で行うため、作業効率を向上させることができる。

40

【0021】

前記の半導体ウエハの製造方法においては、以下の構成の凸部を形成することが好ましい。即ち、前記凸部の上面は矩形状である。前記凸部の垂直(c軸)方向の長さが $20\mu\text{m} \sim 40\mu\text{m}$ である。前記凸部の上面の水平(a軸)方向の一辺の長さが $50\mu\text{m} \sim 100\mu\text{m}$ である。隣り合う前記凸部が形成される間隔が $400\mu\text{m} \sim 1000\mu\text{m}$ である。

【0022】

これにより、好適な条件でエピタキシャル成長を行ったり、エピタキシャル層同士を接続したりすることができる。

50

【 0 0 2 3 】

前記の半導体ウエハの製造方法においては、前記第 2 工程では、螺旋転位を含むエピタキシャル層の垂直 (c 軸) 方向の長さが、螺旋転位を含まないエピタキシャル層の垂直 (c 軸) 方向の長さの 2 倍以上であることが好ましい。

【 0 0 2 4 】

前記の半導体ウエハの製造方法においては、以下のようにすることが好ましい。即ち、螺旋転位を含む前記凸部から成長したエピタキシャル層の垂直 (c 軸) 方向の長さが約 2 5 0 μ m であり、水平 (a 軸) 方向の長さが約 4 0 0 μ m である。螺旋転位を含まない前記凸部から成長したエピタキシャル層の垂直 (c 軸) 方向の長さが約 1 0 0 μ m であり、水平 (a 軸) 方向の長さが約 4 0 0 μ m である。

10

【 0 0 2 5 】

これにより、螺旋転位を含む部分と含まない部分とを容易に判定できる。

【 0 0 2 6 】

前記の半導体ウエハの製造方法においては、前記第 3 工程では、螺旋転位を含まないエピタキシャル層が水平 (a 軸) 方向に 4 m m 成長できる条件で前記準安定溶媒エピタキシー法を行うことが好ましい。

【 0 0 2 7 】

これにより、螺旋転位を含まないエピタキシャル層が十分に成長するために、螺旋転位を含むエピタキシャル層が除去された場合であっても、エピタキシャル層同士を略確実に接続することができる。

20

【 0 0 2 8 】

前記の半導体ウエハの製造方法においては、前記 S i C 基板を < 1 - 1 0 0 > 方向及び < 1 1 - 2 0 > 方向に垂直な方向で見たときに、隣接する前記凸部の中央同士を接続する仮想線が正三角形となるように前記凸部が形成されていることが好ましい。

【 0 0 2 9 】

前記の半導体ウエハの製造方法においては、前記第 2 工程及び前記第 3 工程では、エピタキシャル層の六角形状の頂点同士が接触するように前記準安定溶媒エピタキシー法が行われることが好ましい。

【 0 0 3 0 】

これにより、結晶の向きを考慮した好適な条件で、隣接するエピタキシャル層同士を接続することができる。

30

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 C V D 法でエピタキシャル層を形成する処理と、 M S E 法でエピタキシャル層を形成する処理と、を比較する図。

【 図 2 】 レーザ加工を行う前の S i C 基板の模式的な断面図及び斜視図。

【 図 3 】 レーザ加工を行って凸部を形成した後の S i C 基板の模式的な断面図及び斜視図

【 図 4 】 S i 蒸気圧下でエッチングを行った後の S i C 基板の模式的な断面図及び斜視図

40

【 図 5 】 S i 融液及び炭素供給基板の準備後 (エピタキシャル成長前) の S i C 基板の模式的な断面図及び斜視図。

【 図 6 】 M S E 法でのエピタキシャル層の形成後の S i C 基板の断面写真。

【 図 7 】 M S E 法でのエピタキシャル層の形成後の S i C 基板の模式的な断面図及び斜視図。

【 図 8 】 M S E 法でのエピタキシャル層の形成後の S i C 基板を上方から見た写真 (加熱温度 1 8 0 0 、 加熱時間 3 時間) 。

【 図 9 】 加熱温度に応じた水平 (a 軸) 方向及び垂直 (c 軸) 方向の成長速度変化を示すグラフ。

【 図 1 0 】 レーザによる螺旋転位を含む部分の除去後の S i C 基板の模式的な断面図及び

50

斜視図。

【図11】エピタキシャル成長層同士が接続して大きいサイズの半導体ウエハが形成されたSiC基板の模式的な断面図及び斜視図。

【図12】レーザ加工を行って形成される凸部の別の例を示す図。

【図13】エピタキシャル層同士が接続し易い配列を示す図。

【図14】エピタキシャル層同士が接続する方向及び接続している様子を示す図。

【図15】4種類のSiCの原子配列を示す図。

【図16】温度に応じて存在するSiCの種類が変化することを示すグラフ。

【発明を実施するための形態】

【0032】

次に、図面を参照して本発明の実施形態を説明する。

【0033】

初めに、図1を参照して、インゴット30からSiC基板40を切り出して、エピタキシャル層を形成する方法について簡単に説明する。従来から良く用いられている方法では、SiC層に対して4°又は8°の角度(オフ角)を付けて、インゴット30からSiC基板40xを切り出す。その後、CVD法によって、SiC基板40xの表面にエピタキシャル層を成長させる。CVD法では、SiC層の水平方向にエピタキシャル層が成長する。従って、オフ角を設けていないとエピタキシャル層を成長させることができない。

【0034】

これに対し、本実施形態では、SiC層に対して平行に、インゴット30からSiC基板40を切り出す。その後、凸部等を形成した後に(詳細は後述)、MSE法(準安定溶媒エピタキシー法)によって、SiC基板40の表面にエピタキシャル層を成長させる。MSE法では、a軸(水平)方向及びc軸(垂直)方向にエピタキシャル層を成長させることができるので、オフ角を設ける必要がない。なお、本実施形態の方法であっても、インゴット30からSiC基板40を切り出す際の誤差等により、微小なオフ角(0°近傍の角度、例えば2°以下又は4°以下)が形成される可能性はある。

【0035】

また、本実施形態では、インゴット30及びSiC基板40は、4H-SiCであるが、他の組成のSiC(6H-SiC等)であっても良い。また、グラファイト等の基板の表面にSiCを形成することで製造されたSiC基板40を用いても良い。SiC基板40は、インゴット30から切り出された後に、機械研磨、化学機械研磨、Siエッチング等によって表面が研磨される。

【0036】

次に、SiC基板40を用いて半導体ウエハを製造する工程について説明する。インゴット30を形成する工程では温度差を設けることで結晶成長を行っているが、この結晶内の温度差が原因でSiC基板40に結晶欠陥が生じることがある(図2を参照)。ここで生じる結晶欠陥としては、例えば、螺旋転位(TSD:threading screw dislocation)がある。螺旋転位とは、結晶の変位方向(バーガスベクトル)と転位線が平行な結晶欠陥である。

【0037】

初めに、SiC基板40に対してレーザを照射して、SiC基板40の表面に凸部42を形成する(図3、第1工程の前半)。具体的には、レーザを照射しながら、レーザ装置又はSiC基板40を動かすことで、SiC基板40の表面に溝を形成する。このような溝を平行に複数形成するとともに、それらの溝と交差(例えば直交)する溝を複数形成する。これにより、図3に示すように、溝部41と凸部42がSiC基板40の表面に形成される。以下では、図3に示すように螺旋転位を含む凸部には符号42aを付し、螺旋転位を含まない凸部には符号42を付す。

【0038】

凸部42は、上面及び下面が矩形で、下面の方が大きいメサ構造(台形構造)である。凸部42の形状及びピッチ(形成される間隔)は任意であるが、例えば凸部42の高さ

10

20

30

40

50

(垂直方向の長さ)は $20\ \mu\text{m} \sim 40\ \mu\text{m}$ であることが好ましく、凸部42の幅(上面の水平方向の一辺の長さ)は $50\ \mu\text{m} \sim 100\ \mu\text{m}$ であることが好ましく、凸部42のピッチは $400\ \mu\text{m} \sim 1000\ \mu\text{m}$ であることが好ましい。なお、凸部42は、メサ構造に限られず、直方体又は立方体であっても良いし、その他の形状であっても良い。

【0039】

なお、図3等の模式図は、あくまでSiC基板40を模式的に記載したものであり、凸部42の形状、配置等については、実際のものとは異なる。また、本実施形態ではレーザーを用いて凸部42を形成しているが、他の方法によって凸部42を形成しても良い。また、本実施形態では、(000-1)面(C面)をSiC基板40の被処理面(凸部42を形成する面)としているが、(0001)面(Si面)をSiC基板40の被処理面として

10

【0040】

次に、凸部42を形成したSiC基板40に対してSiエッチングを行う(図4、第1工程の後半)。Siエッチングとは、SiC基板40をSi蒸気圧下で高温(1600 以上 2300 以下)で加熱することで、SiC基板40の表面をエッチングする処理である。SiC基板40にSiエッチングを行うことで、SiC基板40の表面が分子レベルで平坦化される。具体的には、SiC基板40のSiCが Si_2C 又は SiC_2 等になって昇華するとともに、Si雰囲気下のSiがSiC基板40の表面でCと結合して自己組織化が起こり平坦化される。なお、図4に示すように、Siエッチングを行うことで、螺旋転位を含む凸部42aが他の凸部42よりも過剰にエッチングされることがある。

20

【0041】

次に、平坦化を行ったSiC基板40に対して1回目のMSE法を行う(図5、第2工程の前半)。MSE法とは、溶液成長法の一つであり、シード基板と、シード基板より自由エネルギーの高いフィード基板と、Si融液と、を用いる。シード基板とフィード基板を対向するように配置し、その間にSi融液を位置させ、真空下で加熱することにより、シード基板の表面に単結晶SiCを成長させることができる。本実施形態では、SiC基板40がシード基板に相当する。また、SiC基板40の凸部42側に、Siプレート又はCVD等でSi膜を形成し、その上側(凸部42側)に、多結晶の3C-SiCからなる炭素供給部材60を配置し、加熱を行う。炭素供給部材60は、SiC基板40と水平方向のサイズは同じであるが、厚みが異なる。

30

【0042】

加熱条件としては、加熱温度を 1600 以上 2000 以下とし、Siの圧力が $10^{-5}\ \text{Torr}$ 以上であることが好ましい。加熱を行うことで、Siが溶融してSi融液50となる。そして、SiC基板40と炭素供給部材60の自由エネルギーの差に基づいて、Si融液50に濃度勾配が発生し、この濃度勾配が駆動力となって、炭素供給部材60からSi融液50へCが溶出する。Si融液50に取り込まれたCは、Si融液50のSiと結合し、SiC基板40の上面に単結晶SiC(エピタキシャル層43)として析出する。図6には、この様子が顕微鏡写真として示されている。

【0043】

なお、SiC基板40の凸部42は溝部41よりも炭素供給部材60に近い位置に配置されている。従って、濃度勾配が大きくなるため、エピタキシャル層43は、主として凸部42に析出する。また、MSE法による成長では、a軸(水平)方向及びc軸(垂直)方向にエピタキシャル層が成長する。

40

【0044】

ここで、図7に示すように、螺旋単位を含む凸部42aから成長したエピタキシャル層43aは、螺旋転位を含まない凸部42から成長したエピタキシャル層43よりも、a軸(水平)方向の長さが長い。この様子は、図8の顕微鏡写真でも確認することができる。図8は、4H-SiCのSi面を 1800 で3時間加熱することでエピタキシャル層43を成長させたときの顕微鏡写真である。図8では、螺旋単位を含むエピタキシャル層43aを、他のエピタキシャル層43よりも濃い色で表示している。

50

【0045】

螺旋転位を含まない場合、エピタキシャル層43は図9のグラフのように成長する。図9は、4H-SiC単結晶のC面における成長速度と加熱温度の関係を示しており、縦軸は4H-SiC単結晶の成長速度を示しており、横軸は加熱温度を示している。図9のグラフからは、a軸（水平）方向の成長速度がc軸（垂直）方向の成長速度よりも速いことが分かる。これにより、厚み方向よりは水平方向の長さが長いエピタキシャル層43が形成される。なお、加熱温度を高くするにつれてa軸（水平）方向の成長速度が増加する傾向にあり、c軸（垂直）方向の成長速度が減少する傾向にある。従って、加熱温度を変化させることで、成長速度の比を調整することができる。

【0046】

なお、螺旋転位を含む凸部42aからエピタキシャル層43aが成長した場合、成長したエピタキシャル層43aにも螺旋転位が伝播する。また、成長速度についても、螺旋転位を含まないエピタキシャル層43と異なることが本願出願人によって確かめられた。具体的には、MSE法による加熱を3時間行うことで、エピタキシャル層43の垂直（c軸）方向の長さ（成長した長さ）が約100 μ mとなり、水平（a軸）方向の長さが約400 μ mとなった場合、螺旋転位を含むエピタキシャル層43aの垂直（c軸）方向の長さが約250 μ mとなり、水平（a軸）方向の長さが約400 μ mとなった。このように、エピタキシャル層43aの垂直（c軸）方向の長さは、エピタキシャル層43の垂直（c軸）方向の長さの2倍以上である。従って、エピタキシャル層が螺旋転位を含む部分か否かを明確に判断することができる。

【0047】

1回目のMSE法の後、螺旋転位を含む部分であるエピタキシャル層43aを除去する処理を行う（図10、第2工程の後半）。この処理は、SiC基板40を加熱装置から取り出した後に、エピタキシャル層43の高さに基づいて、垂直（c軸）方向の他のエピタキシャル層43より高いエピタキシャル層43aにレーザを照射することによって行われる。レーザを照射することにより、凸部42a及びエピタキシャル層43aが除去され、穴部44が形成される。この工程では、後で行うMSE法に影響を与えないのであれば、凸部42a及びエピタキシャル層43aを完全に除去しなくても良い。なお、レーザ以外によって、エピタキシャル層43aを除去する構成であっても良い。

【0048】

その後、SiC基板40を再び加熱装置に入れ、2回目のMSE法を行う（図11、第3工程）。これにより、それぞれの凸部42から成長したエピタキシャル層43同士が分子レベルで接続されることで、半導体ウエハ45が製造される。第3工程では、第2工程よりも長い時間、エピタキシャル層43を成長させる。具体的には、螺旋転位を含まないエピタキシャル層が水平（a軸）方向に4mm成長できる条件（例えば加熱時間が20時間）でMSE法を行う。このように加熱処理を長時間行うことにより、第2工程において除去されたエピタキシャル層43aが存在する場合であっても、隣接する別のエピタキシャル層43が水平方向に成長することで、エピタキシャル層43aに相当する部分を補うことができる。これにより、螺旋転位等の結晶欠陥を含まず、更に水平方向のサイズが大きい（従来と比較して大面積の）1つの単結晶4H-SiCの半導体ウエハ45をSiC基板40の全面に生成することができる。ここで、「大面積」とは、1つの凸部42から成長したエピタキシャル層43と比較して面積（表面（Si面又はC面）の面積）が大きいという意味である。また、本明細書においてSiC基板40の「SiC基板40の全面」とは、厳密にSiC基板40の表面全体だけを意味しておらず、少し小さい領域（例えば、SiC基板40のうち凸部42が形成されている領域）等も含んだ概念である。

【0049】

その後、半導体ウエハ45に、イオン注入処理、イオン活性化処理、電極形成処理等が行われることで、半導体デバイスが製造される。

【0050】

なお、上記では、互いに直交する溝部41を形成することでSiC基板40に凸部42

10

20

30

40

50

を形成したが、異なる構成の溝部 4 1 を形成することもできる。例えば、図 1 2 に示すように、溝が直行しないように交差する構成であっても良い。

【 0 0 5 1 】

次に、エピタキシャル層 4 3 同士を分子レベルで接続し易くするための条件について図 1 3 及び図 1 4 を参照して説明する。図 1 3 は、エピタキシャル層 4 3 同士が接続し易い配列を示す図である。図 1 4 は、エピタキシャル層 4 3 同士が接続する方向及び接続している様子を示す図である。

【 0 0 5 2 】

本願出願人が行った実験によれば、図 1 3 に示すように、S i C 基板 4 0 を < 1 - 1 0 0 > 方向及び < 1 1 - 2 0 > 方向に垂直な方向で見たときに、隣接するエピタキシャル層 4 3 の中央同士を接続する仮想線が正三角形となるように凸部 4 2 が形成されている場合、エピタキシャル層 4 3 同士が分子レベルで接続され易くなる。

【 0 0 5 3 】

別の観点から説明すると、図 1 4 (a) に示すように、エピタキシャル層 4 3 の六角形状の辺ではなく頂点同士が接触するように M S E 法が行われることで、エピタキシャル層 4 3 同士が分子レベルで接続され易くなる。図 1 4 (a) では、< 1 1 - 2 0 > にエピタキシャル層 4 3 を並べて配置しているが、頂点同士が接続される位置関係であれば、別の方向にエピタキシャル層 4 3 を並べて配置しても良い。図 1 4 (b) には、エピタキシャル層 4 3 同士が接続されている様子が示されている。

【 0 0 5 4 】

次に、図 1 5 及び図 1 6 を参照して、M S E 法で生じる S i C の種類について説明する。図 1 5 は、4 種類の S i C の原子配列を示す図である。図 1 6 は、温度に応じて存在する S i C の種類が変化することを示すグラフである。

【 0 0 5 5 】

図 1 5 に示すように、S i C の組成としては、主として、3 C - S i C、4 H - S i C、1 5 R - S i C、及び 6 H - S i C の 4 種類が知られている。M S E 法等の溶液成長を行った場合、図 1 6 に示すように、温度に応じて、生成される S i C の組成が異なる。特に、本実施形態のように 1 8 0 0 前後においては、何れの組成の S i C ができる可能性もある。

【 0 0 5 6 】

この点、本実施形態では、S i C 基板 4 0 に含まれる螺旋転位を除去した状態で M S E 法を行うことができるので、4 H - S i C を選択して生成することができる。なお、本願出願人が行った実験により、シード基板が 4 H - S i C 及び 6 H - S i C の何れであっても、エピタキシャル層として単結晶 4 H - S i C が生成されることが確認されている。

【 0 0 5 7 】

以上に説明したように、本実施形態では、以下の第 1 工程、第 2 工程、第 3 工程を含む半導体ウエハ 4 5 の製造方法が提供される。第 1 工程では、S i C 基板 4 0 の表面に凸部 4 2 を形成するとともに、当該 S i C 基板 4 0 を S i 蒸気圧下で加熱することで当該 S i C 基板 4 0 をエッチングする。第 2 工程では、第 1 工程を行った S i C 基板 4 0 の凸部 4 2 側に炭素供給部材 6 0 を配置しつつ、その間に S i 融液 5 0 を介在させて加熱することで M S E 法により S i C 基板 4 0 の凸部 4 2 をエピタキシャル成長させ、当該エピタキシャル成長を行うことで、螺旋転位を含むエピタキシャル層 4 3 a が螺旋転位を含まないエピタキシャル層 4 3 よりも垂直 (c 軸) 方向に大きく成長し、当該螺旋転位を含むエピタキシャル層 4 3 a の少なくとも一部を除去する。第 3 工程では、第 2 工程を行った S i C 基板 4 0 に再び M S E 法を行うことで、螺旋転位を含まないエピタキシャル層 4 3 同士が水平 (a 軸) 方向に成長することで互いに分子レベルで接続し、S i C 基板 4 0 の S i 面 (0 0 0 1 面) 又は C 面 (0 0 0 - 1 面) の全面に 1 つの面積の単結晶 4 H - S i C の半導体ウエハ 4 5 が生成される。

【 0 0 5 8 】

これにより、エピタキシャル成長時に垂直方向に大きく成長して表面荒れの原因となる

10

20

30

40

50

螺旋転位を予め除去できる。また、螺旋転位を含むエピタキシャル層 4 3 を除去することで、エピタキシャル層 4 3 同士の間隔が空いてしまうが、空いた部分については、他のエピタキシャル層 4 3 が水平方向に成長することでカバーすることができる。以上により、結晶欠陥を殆ど含まず、かつ大きいサイズの半導体ウエハ 4 5 を製造することができる。

【0059】

また、本実施形態の半導体ウエハ 4 5 の製造方法において、第 1 工程では、S i C 基板 4 0 にレーザを照射して互いに交差する複数の溝を形成することで、当該 S i C 基板 4 0 に凸部 4 2 を形成する。第 2 工程では、螺旋転位を含むエピタキシャル層 4 3 a にレーザを照射して当該エピタキシャル層 4 3 a を除去する。

【0060】

これにより、第 1 工程において、簡単な処理で多数の凸部 4 2 を形成することができる。また、第 2 工程において、簡単な処理で、螺旋転位を含むエピタキシャル層 4 3 a を除去することができる。特に、第 1 工程と第 2 工程で必要な作業をともにレーザ装置で行うため、作業効率を向上させることができる。

【0061】

以上に本発明の好適な実施の形態を説明したが、上記の構成は例えば以下のように変更することができる。

【0062】

上記実施形態では、インゴット 3 0 から切り出した S i C 基板 4 0 に行う処理について詳細は記載していないが、例えば以下の処理を行うことができる。例えば、インゴット 3 0 から切り出した S i C 基板 4 0 に初めに機械研磨を行う。その後、機械研磨を行っても平坦にできなかった S i C 基板 4 0 の表面、及び、機械研磨を行うことにより S i C 基板 4 0 の内部に生じた加工変質層を、S i エッチング等により除去する。これにより、加熱時に S i C 基板 4 0 の表面の荒れが発生しにくいため、より高品質な半導体ウエハ、半導体デバイスを製造することができる。

【0063】

上記実施形態では、1 つの S i C 基板 4 0 に 1 つの半導体ウエハ 4 5 を形成するが、1 つの S i C 基板 4 0 に複数の半導体ウエハ 4 5 を形成することもできる。

【0064】

処理を行った環境及び用いた単結晶 S i C 基板等は一例であり、様々な環境及び単結晶 S i C 基板に対して適用することができる。例えば、加熱温度、圧力、凸部 4 2 の形状・間隔は上記で挙げた例に限られず、適宜変更することができる。

【符号の説明】

【0065】

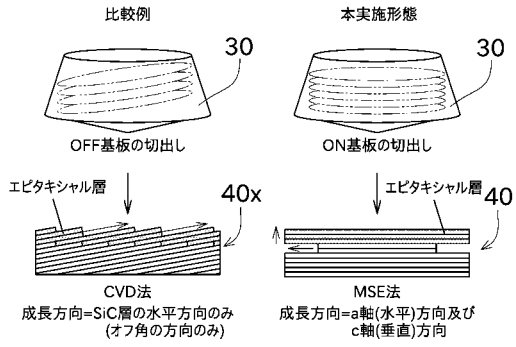
- 4 0 S i C 基板
- 4 1 溝部
- 4 2 , 4 2 a 凸部
- 4 3 , 4 3 a エピタキシャル層
- 4 5 半導体ウエハ

10

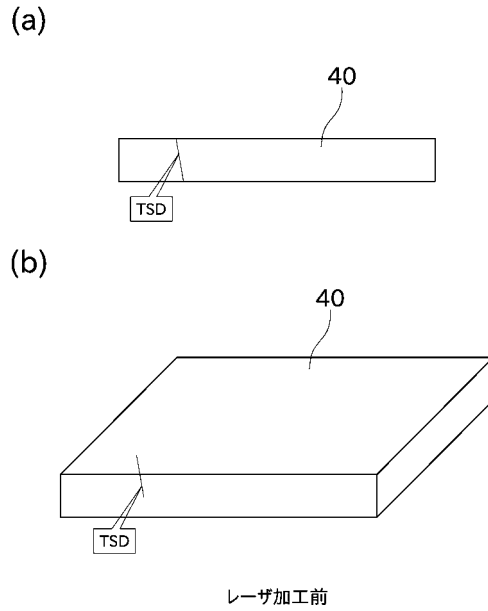
20

30

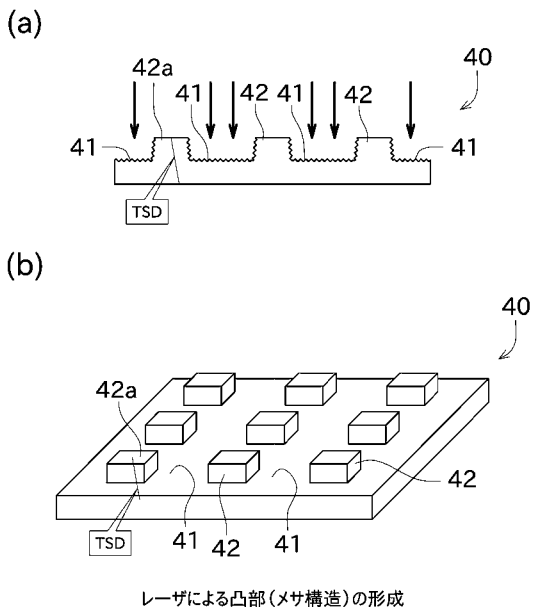
【 図 1 】



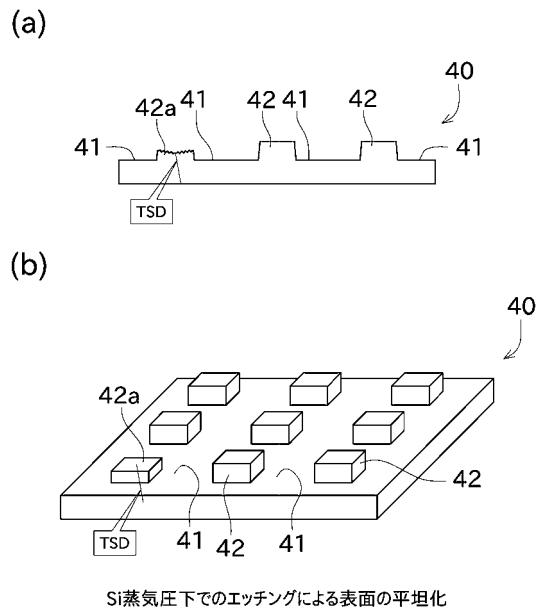
【 図 2 】



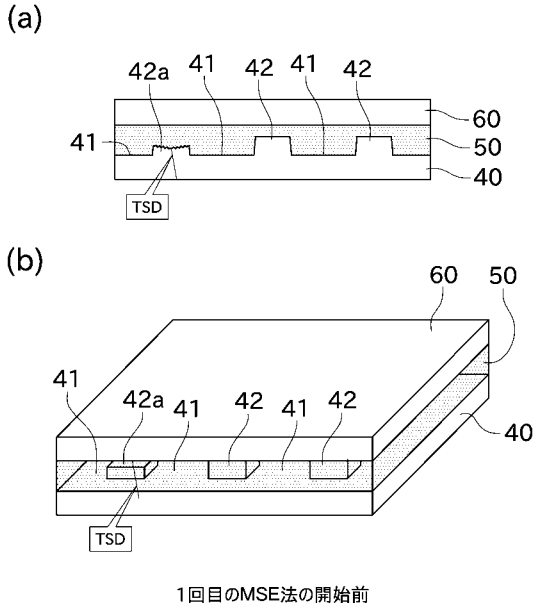
【 図 3 】



【 図 4 】



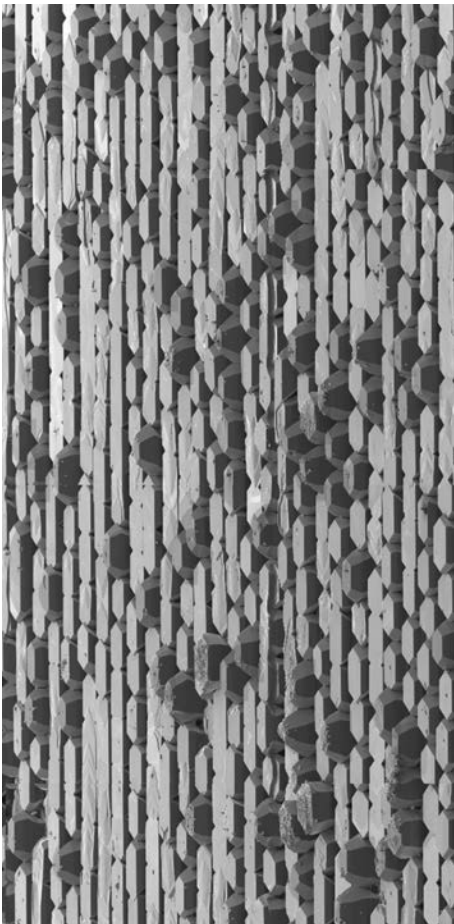
【 図 5 】



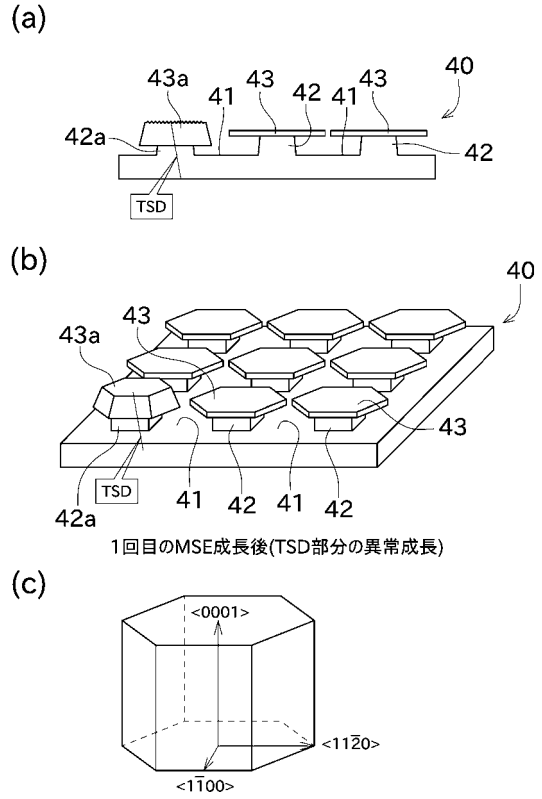
【 図 6 】



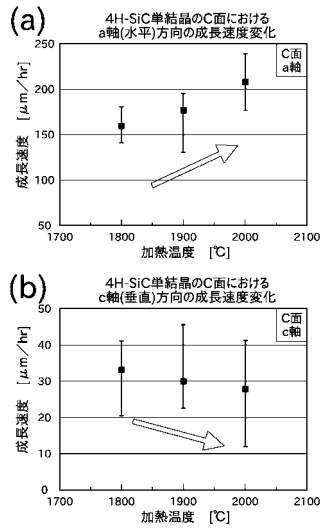
【 図 8 】



【 図 7 】

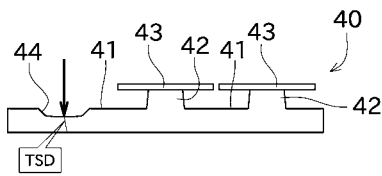


【 図 9 】

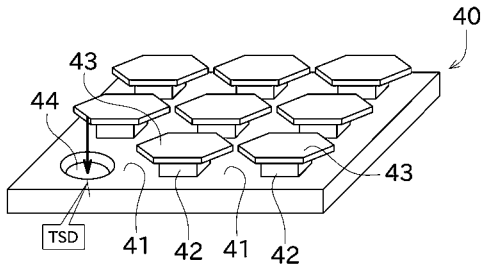


【図10】

(a)



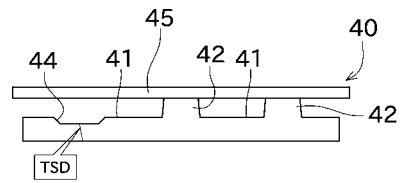
(b)



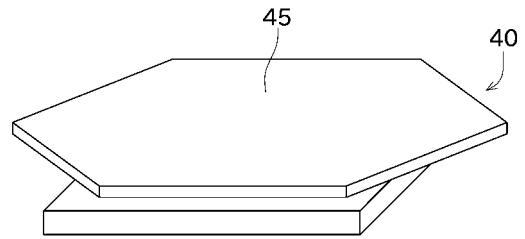
TSDを含む部分のレーザによる除去

【図11】

(a)



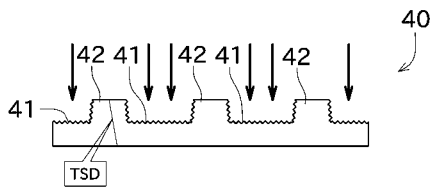
(b)



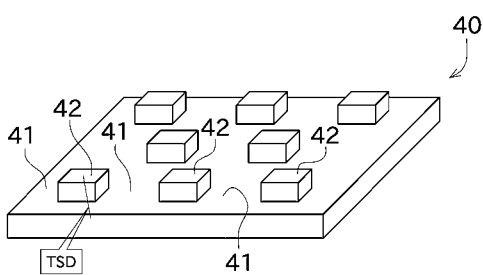
2回目のMSE成長後(エピタキシャル層同士の接続)

【図12】

(a)

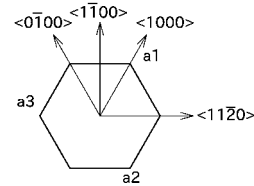
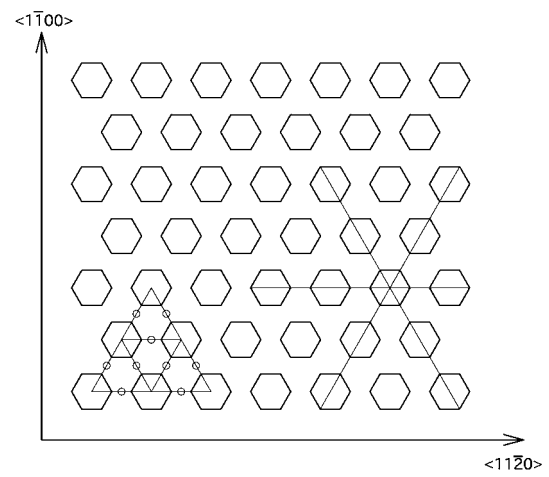


(b)

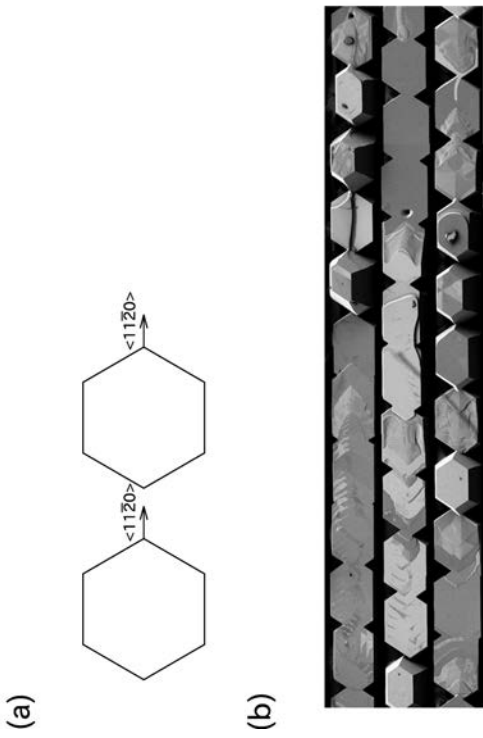


凸部の配列を異ならせた変形例

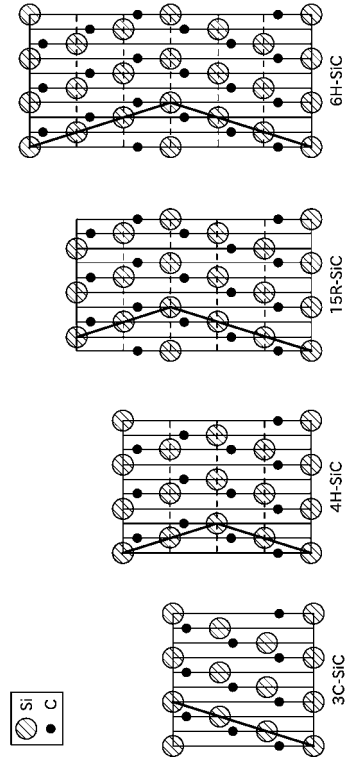
【図13】



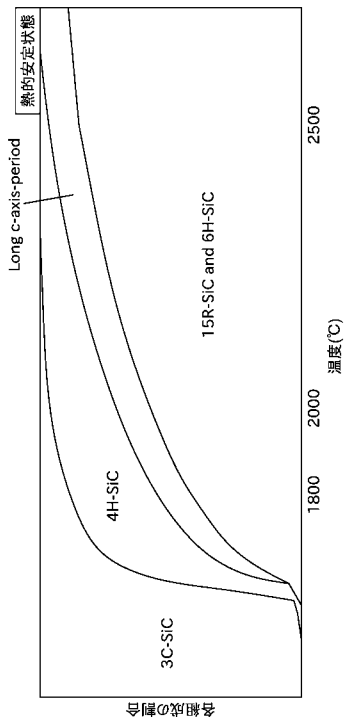
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

Fターム(参考) 4G077 AA03 AB01 AB02 BE08 CC04 EA02 ED05 ED06 EE03 EE05
LA01 LA05