

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-102111
(P2019-102111A)

(43) 公開日 令和1年6月24日(2019.6.24)

(51) Int.Cl.

G11C 14/00 (2006.01)

F I

G11C 14/00 230

テーマコード(参考)

審査請求 未請求 請求項の数 10 O L (全 23 頁)

(21) 出願番号 特願2017-230447 (P2017-230447)
(22) 出願日 平成29年11月30日(2017.11.30)

(71) 出願人 503360115
国立研究開発法人科学技術振興機構
埼玉県川口市本町四丁目1番8号
(74) 代理人 100087480
弁理士 片山 修平
(74) 代理人 100137615
弁理士 横山 照夫
(72) 発明者 菅原 聡
東京都目黒区大岡山2-12-1 国立大
学法人東京工業大学内
(72) 発明者 北形 大樹
東京都目黒区大岡山2-12-1 国立大
学法人東京工業大学内
(72) 発明者 山本 修一郎
東京都目黒区大岡山2-12-1 国立大
学法人東京工業大学内

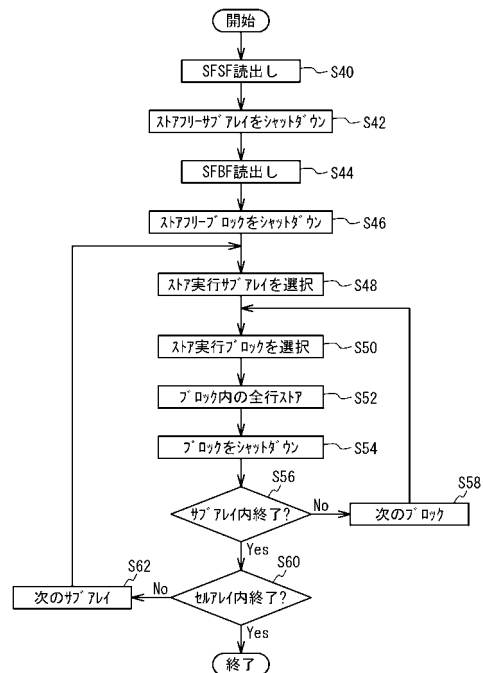
(54) 【発明の名称】 電子回路

(57) 【要約】

【課題】消費電力を抑制すること。

【解決手段】 各々のメモリセルが、データを揮発的に記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割されたセルアレイと、前記セルアレイをシャットダウンするときに、前記複数のブロックからブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックを抽出し、抽出されたブロックをシャットダウンし、前記抽出されたブロックをシャットダウンした後前記複数のブロックのうち残りのブロック内のメモリセルにおいて前記双安定回路に記憶されたデータを前記不揮発性素子にストアするストア動作を行い、ストア動作の終了したブロックをシャットダウンする制御部と、を備えることを特徴とする電子回路。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

各々のメモリセルが、データを揮発的に記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割されたセルアレイと、

前記セルアレイをシャットダウンするとき、前記複数のブロックからブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックを抽出し、抽出されたブロックをシャットダウンし、前記抽出されたブロックをシャットダウンした後前記複数のブロックのうち残りのブロック内のメモリセルにおいて前記双安定回路に記憶されたデータを前記不揮発性素子にストアするストア動作を行い、ストア動作の終了したブロックをシャットダウンする制御部と、

を備えることを特徴とする電子回路。

【請求項 2】

前記複数のブロックのうちそれぞれのブロック内の少なくとも1つのメモリセルが揮発的に書き換えられたことを示す第1情報をそれぞれ記憶する複数の第1記憶部を備え、

前記制御部は、前記複数の第1記憶部に記憶された前記第1情報に基づき、前記複数のブロックからブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックを抽出することを特徴とする請求項1に記載の電子回路。

【請求項 3】

前記複数のブロックと接続され、前記複数のブロックから読み出すデータおよび書き込むデータを転送するパラレルバスを備え、

前記制御部は、前記複数のブロックのうち異なるブロックに対応する第1情報を前記パラレルバスの異なる信号線を介し同時に取得することを特徴とする請求項2に記載の電子回路。

【請求項 4】

アドレス信号に対応するメモリセルにデータを揮発的に書き込む書込回路と、

前記アドレス信号に基づき前記第1情報を生成する生成回路と、
を備えることを特徴とする請求項2または3に記載の電子回路。

【請求項 5】

前記複数のブロックは、各々のブロックが少なくとも2つのメモリセルを含む複数のサブブロックに分割されており、

前記制御部は、前記複数のサブブロックからサブブロック内のいずれのメモリセルも揮発的に書き換えられていないサブブロックを抽出し、抽出されたサブブロックをシャットダウンし、前記抽出されたサブブロックをシャットダウンした後前記複数のサブブロックのうち残りのサブブロックにおいてストア動作を行い、ストア動作の終了したサブブロックをシャットダウンすることを特徴とする請求項1から4のいずれか一項に記載の電子回路。

【請求項 6】

前記制御部は、前記残りのサブブロックのうち次のブロックのストア動作を行う前に、前記ストア動作の終了したサブブロックをシャットダウンすることを特徴とする請求項5に記載の電子回路。

【請求項 7】

前記複数のサブブロックのうちそれぞれのサブブロック内の少なくとも1つのメモリセルが揮発的に書き換えられたことを示す第2情報をそれぞれ記憶する複数の第2記憶部を備え、

前記制御部は、前記複数の第2記憶部に記憶された前記第2情報に基づき、前記複数のサブブロックからサブブロック内のいずれのメモリセルも揮発的に書き換えられていないサブブロックを抽出することを特徴とする請求項5または6に記載の電子回路。

【請求項 8】

前記複数のブロックと接続され、前記複数のブロックから読み出すデータおよび書き込むデータを転送するパラレルバスを備え、

前記制御部は、前記複数のブロックのうち異なるブロックに対応する第2情報を前記パラレルバスの異なる信号線を介し同時に取得することを特徴とする請求項7に記載の電子回路。

【請求項9】

前記制御部は、前記抽出されたブロックを全てシャットダウンした後、前記複数のブロックのうち残りのブロック内のメモリセルにおいてストア動作を行うことを特徴とする請求項1から8のいずれか一項に記載の電子回路。

【請求項10】

各々のメモリセルが、データを揮発的に記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割されたセルアレイと、

前記セルアレイをシャットダウンするときに、前記複数のブロックから不揮発的にストアする必要のないブロックを抽出し、抽出されたブロックをシャットダウンし、前記抽出されたブロックをシャットダウンした後前記複数のブロックのうち残りのブロック内のメモリセルにおいて前記双安定回路に記憶されたデータを前記不揮発性素子にストアするストア動作を行い、ストア動作の終了したブロックをシャットダウンする制御部と、

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路に関し、例えば双安定回路と不揮発性素子とを有する複数のメモリセルを備えた電子回路に関する。

【背景技術】

【0002】

特許文献1には、双安定回路と不揮発性素子を有するメモリセルを用いた記憶回路が記載されている。双安定回路のデータを不揮発性素子にストアし（以後、この動作を“不揮発的にストアする”と言うことがある）、不揮発性素子のデータを双安定回路にリストアする回路を不揮発性双安定回路という。特許文献2には、不揮発性双安定回路を有するセルにおいて、SRAM（Static Random Access Memory）動作、スリープ動作、ストア動作および電源遮断（シャットダウン）を行なう記憶回路が記載されている。特許文献3には、双安定回路に記憶されているデータと、不揮発性素子にストアされているデータが一致する場合、ストアをスキップする制御（ストアフリー動作）を行なう記憶回路が記載されている。特許文献4には、セルアレイを複数のブロックに分割し、ストア動作が終了したブロックの電源を遮断することが記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開第2009/028298号

【特許文献2】国際公開第2013/172066号

【特許文献3】国際公開第2013/172065号

【特許文献4】国際公開第2016/024527号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献3および4の方法を用いることで、消費電力を抑制できる。しかしながら、セルアレイの記憶容量が大きくなると、ストア動作を待機するブロックに生じるリーク電流による消費電力が大きくなる。

10

20

30

40

50

【 0 0 0 5 】

本発明は、上記課題に鑑みなされたものであり、消費電力を抑制することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明は、各々のメモリセルが、データを揮発的に記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割されたセルアレイと、前記セルアレイをシャットダウンするとき、前記複数のブロックからブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックを抽出し、抽出されたブロックをシャットダウンし、前記抽出されたブロックをシャットダウンした後前記複数のブロックのうち残りのブロック内のメモリセルにおいて前記双安定回路に記憶されたデータを前記不揮発性素子にストアするストア動作を行い、ストア動作の終了したブロックをシャットダウンする制御部と、を備えることを特徴とする電子回路である。

【 0 0 0 7 】

上記構成において、前記複数のブロックのうちそれぞれのブロック内の少なくとも1つのメモリセルが揮発的に書き換えられたことを示す第1情報をそれぞれ記憶する複数の第1記憶部を備え、前記制御部は、前記複数の第1記憶部に記憶された前記第1情報に基づき、前記複数のブロックからブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックを抽出する構成とすることができる。

【 0 0 0 8 】

上記構成において、前記複数のブロックと接続され、前記複数のブロックから読み出すデータおよび書き込むデータを転送するパラレルバスを備え、前記制御部は、前記複数のブロックのうち異なるブロックに対応する第1情報を前記パラレルバスの異なる信号線を介し同時に取得する構成とすることができる。

【 0 0 0 9 】

上記構成において、アドレス信号に対応するメモリセルにデータを揮発的に書き込む書込回路と、前記アドレス信号に基づき前記第1情報を生成する生成回路と、を備える構成とすることができる。

【 0 0 1 0 】

上記構成において、前記複数のブロックは、各々のブロックが少なくとも2つのメモリセルを含む複数のサブブロックに分割されており、前記制御部は、前記複数のサブブロックからサブブロック内のいずれのメモリセルも揮発的に書き換えられていないサブブロックを抽出し、抽出されたサブブロックをシャットダウンし、前記抽出されたサブブロックをシャットダウンした後前記複数のサブブロックのうち残りのサブブロックにおいてストア動作を行い、ストア動作の終了したサブブロックをシャットダウンする構成とすることができる。

【 0 0 1 1 】

上記構成において、前記制御部は、前記残りのサブブロックのうち次のブロックのストア動作を行う前に、前記ストア動作の終了したサブブロックをシャットダウンする構成とすることができる。

【 0 0 1 2 】

上記構成において、前記複数のサブブロックのうちそれぞれのサブブロック内の少なくとも1つのメモリセルが揮発的に書き換えられたことを示す第2情報をそれぞれ記憶する複数の第2記憶部を備え、前記制御部は、前記複数の第2記憶部に記憶された前記第2情報に基づき、前記複数のサブブロックからサブブロック内のいずれのメモリセルも揮発的に書き換えられていないサブブロックを抽出する構成とすることができる。

【 0 0 1 3 】

上記構成において、前記複数のブロックと接続され、前記複数のブロックから読み出す

データおよび書き込むデータを転送するパラレルバスを備え、前記制御部は、前記複数のブロックのうち異なるブロックに対応する第2情報を前記パラレルバスの異なる信号線を介し同時に取得する構成とすることができる。

【0014】

上記構成において、前記制御部は、前記抽出されたブロックを全てシャットダウンした後、前記複数のブロックのうち残りのブロック内のメモリセルにおいてストア動作を行う構成とすることができる。

【0015】

本発明は、各々のメモリセルが、データを揮発的に記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割されたセルアレイと、前記セルアレイをシャットダウンするときに、前記複数のブロックから不揮発的にストアする必要のないブロックを抽出し、抽出されたブロックをシャットダウンし、前記抽出されたブロックをシャットダウンした後前記複数のブロックのうち残りのブロック内のメモリセルにおいて前記双安定回路に記憶されたデータを前記不揮発性素子にストアするストア動作を行い、ストア動作の終了したブロックをシャットダウンする制御部と、を備えることを特徴とする電子回路である。

【発明の効果】

【0016】

本発明によれば、消費電力を抑制することができる。

【図面の簡単な説明】

【0017】

【図1】図1は、実施例1におけるメモリセルの回路図である。

【図2】図2は、実施例1における各期間の消費電流を示す図である。

【図3】図3は、実施例1における電子回路を示すブロック図である。

【図4】図4は、実施例1におけるサブアレイのブロック図である。

【図5】図5は、実施例1における動作を示すフローチャートである。

【図6】図6は、実施例1におけるSRAM動作を示すフローチャートである。

【図7】図7は、実施例1におけるストア動作を示すフローチャートである。

【図8】図8(a)から図8(d)は、実施例1におけるセルアレイを示す模式図である。

【図9】図9(a)から図9(d)は、実施例1におけるサブアレイを示す模式図である。

【図10】図10(a)から図10(c)は、実施例1におけるブロックを示す模式図である。

【図11】図11は、実施例1の転送方法1に用いるSFI回路の例を示すブロック図である。

【図12】図12は、実施例1における転送方法を説明するセルアレイの模式図である。

【図13】図13(a)から図13(d)は、実施例1の転送方法1におけるバスのデータを示す模式図である。

【図14】図14は、実施例1の転送方法2に用いるSFI回路の例を示すブロック図である。

【図15】図15(a)および図15(b)は、実施例1の転送方法2におけるバスのデータを示す模式図である。

【図16】図16(a)から図16(c)は、実施例1および比較例1におけるストアフリー比に対するBETを示す図、図16(d)から図16(f)は、ストアフリー比に対するレイテンシを示す図である。

【図17】図17は、実施例1の変形例1に係るキャッシュメモリのブロック図である。

【図18】図18は、実施例1の変形例2に係るキャッシュメモリのブロック図である。

10

20

30

40

50

【発明を実施するための形態】

【0018】

以下、図面を参照し実施例について説明する。

【実施例1】

【0019】

[メモリセルの説明]

図1は、実施例1におけるメモリセルの回路図である。図1に示すように、メモリセル10は、インバータ回路14および16、スピントランスファートルク磁気トンネル接合素子(STT-MTJ：以下では単に強磁性トンネル接合素子と呼ぶ)MTJ1およびMTJ2を有している。

10

【0020】

インバータ回路14および16はループ状に接続され双安定回路12を構成している。インバータ回路14は、n型MOSFET(Metal Oxide Semiconductor Field Effect Transistor)m2およびp型MOSFETm1を有している。インバータ回路16は、n型MOSFETm4およびp型MOSFETm3を有している。p型MOSFETm1およびm3のソースは仮想電源電圧VDDが印加された電源線15aに接続され、n型MOSFETm2およびm4のソースはグランド電圧VNDが印加されたグランド線15bに接続されている。

【0021】

インバータ回路14と16が接続されたノードがそれぞれノードQ、QBである。ノードQとノードQBとは互いに相補ノードである。双安定回路12は、ノードQおよびノードQBがそれぞれハイレベルおよびローレベル、または、ノードQおよびノードQBがそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路12は、安定状態となることにより、データを記憶することができる。

20

【0022】

ノードQおよびQBは、それぞれMOSFETm5およびm6を介し入出力線DおよびDBに接続されている。MOSFETm5およびm6のゲートはワード線WLに接続されている。MOSFETm1からm6により6トランジスタ(FET)型のSRAMが形成される。

【0023】

ノードQと制御線CTRLとの間にMOSFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にMOSFETm8と強磁性トンネル接合素子MTJ2とが接続されている。MOSFETm7およびm8のソースおよびドレインの一方は、ノードQおよびQBに、ソースおよびドレインの他方は強磁性トンネル接合素子MTJ1およびMTJ2にそれぞれ接続されている。MOSFETm7およびm8のゲートはスイッチ線SRに接続されている。なお、MOSFETm7およびm8は、それぞれ、強磁性トンネル接合素子MTJ1およびMTJ2と制御線CTRLとの間に接続されていてもよい。また、MOSFETm7およびm8は、設けられていなくてもよい。

30

【0024】

強磁性トンネル接合素子MTJ1とMOSFETm7とは回路PSM1を構成する。同様に、強磁性トンネル接合素子MTJ2とMOSFETm8とは回路PSM2を構成する。

40

【0025】

強磁性トンネル接合素子MTJ1およびMTJ2は、それぞれフリー層17、トンネル絶縁膜18およびピン層19を有している。フリー層17およびピン層19は強磁性体からなる。フリー層17とピン層19との磁化方向が平行な状態(平行状態)では、MTJ1およびMTJ2の抵抗値が低くなる。フリー層17とピン層19との磁化方向が反平行な状態(反平行状態)では、MTJ1およびMTJ2の抵抗値が平行状態より高くなる。MTJ1およびMTJ2は、MTJ1およびMTJ2の抵抗値によりデータをストアする

50

。後述する仮想電源方式では、フリー層17が制御線CTRLに接続され、仮想接地方式では、ピン層19が制御線CTRLに接続される。仮想電源方式では、PSM1およびPSM2のMOSFETm7およびm8はn型であり、仮想接地方式では、PSM1およびPSM2のMOSFETm7およびm8はp型である。

【0026】

双安定回路12へのデータの書き込みおよび読み出しは、従来のSRAMと同じように行われる。すなわち、ワード線WLをハイレベルとしMOSFETm5およびm6を導通状態とすることにより、双安定回路12に入出力線DおよびDBのデータが書き込まれる。また、入出力線DおよびDBを等電位の浮遊状態としワード線WLをハイレベルとしMOSFETm5およびm6を導通状態とすることにより、双安定回路12のデータを入出力線DおよびDBに読み出すことができる。MOSFETm5およびm6を遮断状態とすることにより、双安定回路12のデータが保持される。なお、双安定回路12へのデータの書き込み、読み出し、および保持の際、スイッチ線SRはローレベルとし、MOSFETm7およびm8は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流をほぼ遮断し、安定動作を実現し、さらに、消費電力の増大を抑制することができる。

10

【0027】

[各期間の説明]

図2は、実施例1における各期間の消費電流を示す図である。実線は図1に示したメモリセル10(NV-SRAM)を有する記憶回路の消費電流を示す。実線の消費電流は、リーク電流とストア動作およびリストア動作に用いる電流を含み、通常のSRAM動作における書き込みおよび読み出しの電流は含んでいない。破線は、MOSFETm7、MOSFETm8、MTJ1およびMTJ2を設けない6トランジスタSRAM(6T-SRAM)セルを用いた記憶回路の消費電流を示している。点線は、6T-SRAMセルを用いた記憶回路の通常SRAM動作期間の消費電流を示している。破線および点線の消費電流は、リーク電流を含み、SRAM動作における書き込みおよび読み出しの電流は含んでいない。

20

【0028】

図2に示すように、メモリセル10の動作期間には、スリープ期間、SRAM動作(ノーマルSRAMオペレーション)期間、ストア期間、シャットダウン(電源遮断)期間およびリストア期間がある。スリープ期間とSRAM動作期間は、双安定回路12にデータが保持されている期間である。SRAM動作期間は、通常のSRAMとして双安定回路12のデータを書き換え、揮発的に保持する(これを、「データを揮発的に書き換える」という)期間である。スリープ期間は、メモリセル10がスリープモードの期間であり、双安定回路12のデータを保持するのみであり、データの書き換えを行なわない期間である。スリープ期間においては、SRAM動作期間に対し、双安定回路12に供給される仮想電源電圧VVDDを、データを保持できる程度に低くする。例えば、SRAM動作期間のVVDDを1.1V、およびスリープ期間のVVDDを0.9Vとする。これにより、消費電力を抑制できる。スリープ期間およびSRAM動作期間では、制御線CTRLおよびスイッチ線SRはローレベルであり、MOSFETm7およびm8はオフしている。

30

40

【0029】

ストア期間は、ストア動作が行なわれる期間であり、双安定回路12に記憶されたデータを強磁性トンネル接合素子MTJ1およびMTJ2にストアし、これを不揮発的に保持する(これを、「不揮発的にストアする」という)期間である。ストア期間のうち一部の期間において、スイッチ線SRおよび制御線CTRLをハイレベルとし、残りの期間において、スイッチ線SRをハイレベル(MOSFETm7およびm8をオン)とし制御線CTRLをローレベルとする。例えば、ストア期間のうち初めの期間において、制御線CTRLをローレベルとし、ストア期間のうちその後の期間において、制御線CTRLをハイレベルとする。ノードQおよびQBがそれぞれハイレベルおよびローレベルのとき、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗および低抵抗となる。ノ-

50

ドQおよびQBがそれぞれローレベルおよびハイレベルのとき、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ低抵抗および高抵抗となる。このように、双安定回路12のデータが強磁性トンネル接合素子MTJ1およびMTJ2にストアされる。

【0030】

シャットダウン期間は、メモリセル10をシャットダウンモードとする期間である。シャットダウン期間においては、メモリセル10の電源に供給される電圧(VVDD-VGND)をほぼ0Vとする。これにより、メモリセル10はシャットダウンモードとなる。このとき、メモリセル10にほとんど電流が流れないため、消費電力を抑制することができる。

【0031】

リストア期間においては、制御線CTRLをローレベルとしスイッチ線SRをハイレベルとした状態で仮想電源電圧VVDDを0Vから立ち上げることにより行なわれる。強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ高抵抗および低抵抗のとき、ノードQおよびQBはそれぞれハイレベルおよびローレベルとなる。強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ低抵抗および高抵抗のとき、ノードQおよびQBはそれぞれローレベルおよびハイレベルとなる。このように、強磁性トンネル接合素子MTJ1およびMTJ2にストアされ不揮発的に保持されたデータ(これを、「不揮発的にストアされたデータ」という)が双安定回路12にリストアされる。

【0032】

スリープ期間の長さを s_{sleep} 、6T-SRAMのリーク電流を I_{LS}^V 、NV-SRAMのリーク電流を I_{LS}^{NV} とする。SRAM動作期間の長さを s_{act} 、6T-SRAMのリーク電流を I_L^V 、NV-SRAMのリーク電流を I_L^{NV} とする。ストア期間の長さを s_t 、強磁性トンネル接合素子MTJ1およびMTJ2の書き込み電流(ストア動作時に生じる電流)を I_{MTJ} とする。シャットダウン期間の長さを s_D 、NV-SRAMのリーク電流を I_L^{SD} とする。リストア期間の長さを s_{ret} 、NV-SRAMのリストア動作時に生じる電流を I_{Rush} とする。スリープ期間とSRAM動作期間との合計の長さを s_{exe} とする。スリープ期間からリストア期間までの長さを s_{yc} とする。

【0033】

スリープ期間およびSRAM動作期間においては、MOSFETm7およびm8にもリーク電流が流れるため、NV-SRAMのリーク電流による消費電力は6T-SRAMより大きい。NV-SRAMにおいては、ストア期間においてはストアのための電流、リストア期間においては、強磁性トンネル接合素子MTJ1およびMTJ2を介して生じる電流と、電源復帰させる回路に生じるラッシュ電流とが生じる。シャットダウン期間においては、NV-SRAMは、わずかにリーク電流が流れるものの消費電力は十分に小さくなる。6T-SRAMにおいては、シャットダウンできないため、NV-SRAMにおけるストア期間、シャットダウン期間およびリストア期間に相当する期間を、スリープ期間とする。よって、これらの期間の6T-SRAMのリーク電流 I_{LS}^V となる。

【0034】

NV-SRAMセルにおいて、6T-SRAMセルと比べて、SRAM動作時およびスリープ動作時におけるリーク電流の増加分と、ストア期間およびリストア期間の消費エネルギーの増加分とが、シャットダウンによって節約できるエネルギーに等しくなる期間がBET(Break-even time)である。そこで、待機期間がBET以上のときはシャットダウンを行ない、BET以下のときはスリープとする。これにより、極めて高効率に電力を削減できる。

【0035】

[電子回路の説明]

図3は、実施例1における電子回路を示すブロック図である。図3に示すように、電子回路100は、セルアレイ20、プリデコーダ26および制御部28を備えている。セルアレイ20は、複数のサブアレイ22に分割されている。サブアレイ22の記憶容量は例

10

20

30

40

50

例えば 8 K バイトである。サブアレイ 2 2 には複数のメモリセル 1 0 がマトリックス状に設けられている。サブアレイ 2 2 はバス 2 5 に接続されている。サブアレイ 2 2 の個数は適宜設計可能である。

【 0 0 3 6 】

サブアレイ 2 2 にはパワースイッチ 3 0 が設けられている。パワースイッチ 3 0 はサブアレイ 2 2 毎に電源電圧を遮断（または低く）する。パワースイッチ 3 0 は、例えば p 型 F E T であり、サブアレイ 2 2 と電圧 V D D の電源との間に設けられている。パワースイッチ 3 0 がサブアレイ 2 2 と電源との間に設けられている場合、図 1 の電源線 1 5 a には電源の電圧 V D D 以下の仮想電源電圧 V V D D が印加され、グランド線 1 5 b にはグランド電圧 V G N D が印加される。これを仮想電源方式という。

10

【 0 0 3 7 】

パワースイッチ 3 0 は、サブアレイ 2 2 とグランドとの間に設けられていてもよい。この場合、電源線 1 5 a には電源の電圧 V D D が印加され、グランド線 1 5 b にはグランド電圧 V G N D 以上の仮想グランド電圧 V V G N D が印加される。これを仮想接地方式という。

【 0 0 3 8 】

プリデコーダ 2 6 はアドレス信号に基づきサブアレイ 2 2 を選択する。制御部 2 8 は、パワースイッチ 3 0 を制御することでサブアレイ 2 2 毎にパワーを制御するパワーマネジメントユニットとして機能する。また、制御部 2 8 は、サブアレイ 2 2 のストアフリー動作を制御するストアフリーマネジメントユニットとして機能する。さらに、制御部 2 8 はバス 2 5 を介しサブアレイ 2 2 へのデータの入出力を行う。制御部 2 8 の少なくとも一部の機能は外部の C P U (Central Processing Unit) が行ってもよい。

20

【 0 0 3 9 】

[サブアレイの説明]

図 4 は、実施例 1 におけるサブアレイのブロック図である。図 4 に示すように、サブアレイ 2 2 は、メモリセル 1 0 を有する複数のブロック 2 4（例えば 8 個）に分割されている。ブロック 2 4 の記憶容量は例えば 1 K バイトである。ブロック 2 4 の個数は適宜設計可能である。サブアレイ 2 2 内には複数のメモリセル 1 0 がマトリックス状に配置されている。サブアレイ 2 2 内には、行方向にワード線 W L およびスイッチ線 S R が延伸し、列方向にビット線 B L（図 1 の入出力線 D および D B に相当する）および制御線 C T R L が延伸している。各メモリセル 1 0 には、ワード線 W L、スイッチ線 S R、ビット線 B L、制御線 C T R L、電源線 1 5 a およびグランド線 1 5 b が接続されている。

30

【 0 0 4 0 】

各サブアレイ 2 2 に対応し、パワースイッチ 3 0、周辺回路 3 8 および S F I（ストアフリーインジケータ）回路 4 0 が設けられている。制御部 2 8 は、パワースイッチ 3 0、周辺回路 3 8 および S F I 回路 4 0 を制御する。

【 0 0 4 1 】

パワースイッチ 3 0 は、ブロック 2 4 毎に電源線 1 5 a の仮想電源電圧 V V D D を変更できる。これにより、パワースイッチ 3 0 は、ブロック 2 4 毎ごとにメモリセル 1 0 をシャットダウンできる。

40

【 0 0 4 2 】

周辺回路 3 8 は、W L デコーダ 3 1、列デコーダ 3 2、プリチャージ回路 3 3、読出書込回路 3 4、S R デコーダ 3 5 および列デコーダ 3 6 を備えている。

【 0 0 4 3 】

S R A M 動作期間において、W L デコーダ 3 1 は列アドレスに基づきビット線 B L を選択する。プリチャージ回路 3 3 はビット線 B L をプリチャージする。読出書込回路 3 4 は、W L デコーダ 3 1 および列デコーダ 3 2 に選択されたメモリセル 1 0 の双安定回路 1 2 にデータを書き込みまたは双安定回路 1 2 からデータを読み出す。

【 0 0 4 4 】

ストア期間において、S R デコーダ 3 5 は行アドレスに基づきスイッチ線 S R を選択す

50

る。列デコーダ 3 6 は列アドレスに基づき制御線 C T R L を選択する。W L デコーダ 3 1 および列デコーダ 3 2 に選択されたメモリセル 1 0 において双安定回路 1 2 のデータが強磁性トンネル接合素子 M T J 1 および M T J 2 に不揮発的にストアされる。

【 0 0 4 5 】

S F I 回路 4 0 は、選択回路 4 1、記憶部 4 2 およびマルチプレクサ (M U X) 4 3 を備えている。記憶部 4 2 は、S F B F (ストアフリーブロックフラグ) を記憶する記憶部 4 2 a および S F S F (ストアフリーサブアレイフラグ) を記憶する記憶部 4 2 b を有する。記憶部 4 2 a は例えばブロック 2 4 の個数のビット容量を有する。例えばサブアレイ 2 2 が 8 個のブロック 2 4 を有する場合、記憶部 4 2 a は 8 ビットである。記憶部 4 2 b は 1 ビットである。記憶部 4 2 は例えばラッチ回路またはフリップフロップ回路である。

10

【 0 0 4 6 】

選択回路 4 1 は、S R A M 動作期間において、ブロック 2 4 に書き込みが行われると対応する S F B F をセットし (例えばハイレベルとし)、サブアレイ 2 2 に書き込みが行われると S F S F をセットする (例えばハイレベルとする)。マルチプレクサ 4 3 は、読出書込回路 3 4 が出力する読み出しデータと S F B F および S F S F とのいずれかを選択してバス 2 5 に出力する。

【 0 0 4 7 】

[動作の説明]

図 5 は、実施例 1 における動作を示すフローチャートである。図 5 に示すように、制御部 2 8 は、外部からの指令によりセルアレイ 2 0 の電源を投入する (ステップ S 1 0)。例えば、制御部 2 8 はパワースイッチ 3 0 に各サブアレイ 2 2 に電源の電圧 V D D を供給させる。これにより、各サブアレイ 2 2 内のメモリセル 1 0 において、強磁性トンネル接合素子 M T J 1 および M T J 2 内のデータが双安定回路 1 2 にリストアされる。

20

【 0 0 4 8 】

制御部 2 8 は、S R A M 動作を行う (ステップ S 1 2)。制御部 2 8 は、外部からセルアレイ 2 0 をシャットダウンする指示を受けたか否か判定する (ステップ S 1 4)。N o のときステップ S 1 2 に戻る。Y e s のとき、制御部 2 8 は、ストア動作およびシャットダウンを行う (ステップ S 1 6)。その後終了しステップ S 1 0 に戻る。

【 0 0 4 9 】

[S R A M 動作の説明]

図 5 のステップ S 1 2 における動作について説明する。図 6 は、実施例 1 における S R A M 動作を示すフローチャートである。図 6 に示すように、選択回路 4 1 は記憶部 4 2 の S F S F および S F B F をリセットする (ステップ S 2 0)。セルアレイ 2 0 のシャットダウンにより記憶部 4 2 がリセットされる場合には、ステップ S 2 0 は行わなくてもよい。

30

【 0 0 5 0 】

プリデコーダ 2 6 に書き込みアドレスが入力される (ステップ S 2 2)。プリデコーダ 2 6 は、書き込みを行うサブアレイ 2 2 (すなわち書き込みを行うメモリセル 1 0 を含むサブアレイ 2 2) を選択する (ステップ S 2 4)。選択回路 4 1 は、選択されたサブアレイ 2 2 に対応する記憶部 4 2 b に S F S F をセットする (ステップ S 2 6)。

40

【 0 0 5 1 】

W L デコーダ 3 1 および列デコーダ 3 2 は、書き込みを行うブロック 2 4 (すなわち書き込みを行うメモリセル 1 0 を含むブロック 2 4) を選択する (ステップ S 2 8)。選択回路 4 1 は、記憶部 4 2 a 内に選択されたブロック 2 4 の S F B F をセットする (ステップ S 3 0)。読出書込回路 3 4 は、選択されたブロック 2 4 内のメモリセル 1 0 にデータを書き込む (ステップ S 3 2)。制御部 2 8 は、S R A M 動作を終了するか判定する (ステップ S 3 4)。N o のときステップ S 2 2 に戻る。Y e s のとき終了する。

【 0 0 5 2 】

[ストア動作の説明]

図 5 のステップ S 1 6 の動作について説明する。図 7 は、実施例 1 におけるストア動作

50

を示すフローチャートである。

【0053】

図8(a)から図8(d)は、実施例1におけるセルアレイを示す模式図である。図8(a)から図8(d)において、セルアレイ20内のサブアレイ22を3×3の9個として説明する。「スリープ」はスリープ状態(すなわち全てのメモリセル10がスリープモードの状態)のサブアレイ22を示し、「シャットダウン」はシャットダウン状態(すなわち全てのメモリセル10がシャットダウンモードの状態)のサブアレイ22を示し、「ストア」はストア動作中のサブアレイ22を示す。サブアレイ22aから22dは複数のサブアレイ22のうち特定のサブアレイを示す。

【0054】

図9(a)から図9(d)は、実施例1におけるサブアレイを示す模式図である。図9(a)から図9(d)において、サブアレイ22a内のブロック24を4×2の8個として説明する。「スリープ」はスリープ状態のブロック24を示し、「シャットダウン」はシャットダウン状態のブロック24を示し、「ストア」はストア動作中のブロック24を示す。ブロック24aから24dは複数のブロック24のうち特定のブロックを示す。

【0055】

図10(a)から図10(c)は、実施例1におけるブロックを示す模式図である。図10(a)から図10(c)において、ブロック24a内には複数の行23が設けられている。「スタンバイ」はストアを待機している状態の行23である。「ストア」はストア動作中の行23を示す。行23aから23cは複数の行23のうち特定の行を示す。

【0056】

図7に示すように、図5のステップS16において制御部28がストア動作を開始すると、制御部28は、各サブアレイ22に対応するSF SFをバス25を介し読み出す(ステップS40)。制御部28は、SF SFがセットされたサブアレイ22(これをストアフリーサブアレイという)を一括してシャットダウンする(ステップS42)。例えば制御部28は、パワースイッチ30にストアフリーサブアレイの仮想電源電圧V V D Dを遮断(または低下)させる。

【0057】

図8(a)に示すように、制御部28は9個のサブアレイ22のうち3個のサブアレイ22dをシャットダウンする。残りの6個のサブアレイ22はスリープ状態とする。

【0058】

制御部28は、SF SFがセットされていない(すなわちストア動作を実行する)サブアレイ22からSF BFをバス25を介し読み出す(ステップS44)。ステップS44はステップS40と同時に行ってもよい。制御部28は、ストアを実行する6個のサブアレイ22内のSF BFがセットされたブロック24(これをストアフリーブロックという)を一括してシャットダウンする(ステップS46)。例えば制御部28は、パワースイッチ30にストアフリーブロックの仮想電源電圧V V D Dを遮断(または低下)させる。

【0059】

図9(a)に示すように、サブアレイ22aにおいては、制御部28は8個のブロック24のうち4個のブロック24dをシャットダウンする。残りの4個のブロック24をスリープ状態とする。

【0060】

制御部28は、ストア動作を実行するサブアレイ22の一つを選択する(ステップS48)。図8(b)に示すように、制御部28は最初のサブアレイ22aを選択し、ストア動作を開始する。

【0061】

選択されたサブアレイ22aのストア動作として、制御部28は、選択されたサブアレイ22内のストア動作を実行するブロック24を選択する(ステップS50)。図9(b)に示すように、制御部28は最初のブロック24aを選択し、ストア動作を開始する。

【0062】

10

20

30

40

50

選択されたブロック 2 4 a のストア動作として、制御部 2 8 は、選択されたブロック 2 4 a 内を行ごとにストア動作する（ステップ S 5 2）。

【 0 0 6 3 】

図 1 0 (a) に示すように、制御部 2 8 は最初の行 2 3 a をストアする。他の行 2 3 をスタンバイとする。例えば、図 1 の M O S F E T m 7 および m 8 が n 型のとき、制御部 2 8 は行 2 3 a のスイッチ線 S R をハイレベルとし、スタンバイ状態の行 2 3 のスイッチ線 S R をローレベルとする。制御部 2 8 は、列方向に延伸する制御線 C T R L にストアのための電圧を印加する。これにより、スイッチ線 S R がハイレベルかつ制御線 C T R L に電圧を印加したメモリセル 1 0 において、双安定回路 1 2 のデータが強磁性トンネル接合素子 M T J 1 および M T J 2 に不揮発的にストアされる。制御線 C T R L には、1 列ずつ電圧を印加してもよいし複数列同時に電圧を印加してもよい。M O S F E T m 7 および m 8 が p 型のときはスイッチ線 S R のハイレベルおよびローレベルが逆になる。行 2 3 a 内の全てのメモリセル 1 0 のストアが終了すると行 2 3 a のストア動作が終了する。

10

【 0 0 6 4 】

図 1 0 (b) に示すように、制御部 2 8 は次の行 2 3 b をストアする。図 1 0 (c) に示すように、制御部 2 8 は、順に行 2 3 をストアし、最後の行 2 3 c をストアする。全ての行 2 3 のストアが終了すると、ブロック 2 4 a のストア動作が終了する。

【 0 0 6 5 】

制御部 2 8 は、ブロック 2 4 a をシャットダウンする（ステップ S 5 4）。制御部 2 8 は、選択されたサブアレイ 2 2 内の全てのブロックのストア動作が終了したか判断する（ステップ S 5 6）。N o のとき、次のブロック 2 4 b に進み（ステップ S 5 8）、ステップ S 5 0 に戻る。

20

【 0 0 6 6 】

図 9 (c) に示すように、ステップ S 5 0 において制御部 2 8 はブロック 2 4 b を選択し、ステップ S 5 2 においてブロック 2 4 b のストア動作を行なう。ステップ S 5 4 において制御部 2 8 はブロック 2 4 b をシャットダウンする。

【 0 0 6 7 】

図 9 (d) に示すように、サブアレイ 2 2 a 内の最後のブロック 2 4 c のストア動作が終了し、全てのブロック 2 4 がシャットダウン状態となる。制御部 2 8 はステップ S 5 6 において Y e s と判定する。

30

【 0 0 6 8 】

制御部 2 8 は、セルアレイ 2 0 内の全てのサブアレイ 2 2 のストア動作が終了したか判断する（ステップ S 6 0）。N o のとき、次のサブアレイ 2 2 b に進み（ステップ S 6 2）、ステップ S 4 8 に戻る。

【 0 0 6 9 】

図 8 (c) に示すように、ステップ S 4 8 において制御部 2 8 はサブアレイ 2 2 b を選択し、ステップ S 4 8 から S 5 8 においてサブアレイ 2 2 b のストア動作を行なう。

【 0 0 7 0 】

図 8 (d) に示すように、セルアレイ 2 0 内の最後のサブアレイ 2 2 c のストア動作が終了し、全てのサブアレイ 2 2 がシャットダウン状態となる。制御部 2 8 はステップ S 6 0 において Y e s と判定する。これにより、セルアレイ 2 0 のストアおよびシャットダウンが終了する。

40

【 0 0 7 1 】

[S F S F、S F B F の転送方法]

図 7 のステップ S 4 0 および S 4 4 における S F S F および S F B F の制御部 2 8 への転送方法について説明する。

【 0 0 7 2 】

[転送方法 1]

図 1 1 は、実施例 1 の転送方法 1 に用いる S F I 回路の例を示すブロック図である。図 1 1 に示すように、サブアレイ 2 2 は行が 2 つのブロック 2 4 a に分割され、列が 4 つの

50

ブロック 2 4 b に分割されている。W L デコーダ 3 1 は、行を 2 つのブロック 2 4 a に分割する行アドレスの上位のビットに対応するアドレス線 3 1 b と、アドレス線 3 1 b がインバータ 3 1 a により反転されたアドレス線 3 1 c と、を有する。列デコーダ 3 2 は、列を 4 つのブロック 2 4 b に分割する 2 つの列アドレスのビットに対応するアドレス線 3 2 b および 3 2 d と、アドレス線 3 2 b および 3 2 d がインバータ 3 2 a により反転されたアドレス線 3 2 c および 3 2 e と、を有する。

【 0 0 7 3 】

選択回路 4 1 は、ブロック 2 4 の個数に対応する個数の A N D 回路 4 1 a を有する。A N D 回路 4 1 a は、アドレス線 3 1 b と 3 1 c のいずれかのアドレス線、アドレス線 3 2 b と 3 2 c のいずれかのアドレス線、およびアドレス線 3 2 d と 3 2 e とのいずれかのアドレス線の 3 つのアドレス線と、S R A M 動作におけるライトイネーブル信号 W E の A N D 処理を行う。ライトイネーブル信号 W E がハイレベルのとき、選択されたメモリセル 1 0 を有するブロック 2 4 に対応する A N D 回路 4 1 a のみハイレベルを S F B F として記憶部 4 2 a へ出力する。記憶部 4 2 a には S R A M 動作において書き込みされたメモリセル 1 0 を有するブロック 2 4 の相当する S F B F が記憶される。

10

【 0 0 7 4 】

選択回路 4 1 は、A N D 回路 4 1 a の少なくとも 1 つがハイレベルを出力すると、ハイレベルを S F S F として記憶部 4 2 b へ出力する。記憶部 4 2 b には書き込みされたサブアレイ 2 2 の相当する S F S F が記憶される。このように、記憶部 4 2 b は選択されたサブアレイ 2 2 に対応するチップイネーブル信号とライトイネーブル信号との両方がハイレベルのとき、S F S F としてハイレベルを記憶する。記憶部 4 2 a および 4 2 b は、ハイレベルを保持するとリセットされるまでハイレベルを維持する。

20

【 0 0 7 5 】

記憶部 4 2 a および 4 2 b はそれぞれパラレル線 2 5 a の各信号線に接続される。記憶部 4 2 b は 0 ビット目の信号線に接続され、記憶部 4 2 a は 1 ビット目から 8 ビット目の信号線に接続される。記憶部 4 2 a および 4 2 b が接続されていない信号線は接地される。読出書込回路 3 4 はパラレル線 2 5 c に接続されている。

【 0 0 7 6 】

マルチプレクサ 4 3 は、パラレル線 2 5 a および 2 5 c のいずれか一方を選択しバス 2 5 に接続する。S R A M 動作のときにはマルチプレクサ 4 3 はパラレル線 2 5 c をバス 2 5 に接続する。S F S F および S F B F を制御部 2 8 に転送するとき、マルチプレクサ 4 3 はパラレル線 2 5 a をバスに接続する。

30

【 0 0 7 7 】

図 1 2 は、実施例 1 における転送方法を説明するセルアレイの模式図である。図 1 2 に示すように、サブアレイ 2 2 A から 2 2 D が設けられている。サブアレイ 2 2 A から 2 2 D に対応する S F I 回路 4 0 A から 4 0 D がバス 2 5 に接続されている。各 S F I 回路 4 0 A から 4 0 D は、S F B F を記憶する記憶部 4 2 a と S F S F を記憶する記憶部 4 2 b を備えている。

【 0 0 7 8 】

図 1 3 (a) から図 1 3 (d) は、実施例 1 の転送方法 1 におけるバスのデータを示す模式図である。S F S F A から S F S F D はそれぞれ S F I 回路 4 0 A から 4 0 D が出力する S F S F を示し、S F B F A から S F B F D はそれぞれ S F I 回路 4 0 A から 4 0 D が出力する S F B F を示す。バス 2 5 は 6 4 ビットのパラレルバスであり、0 ビットから 6 3 ビットはそれぞれバス 2 5 の信号線に対応する。

40

【 0 0 7 9 】

図 1 3 (a) のように、最初のタイミングではサブアレイ 2 2 A の S F I 回路 4 0 A から 0 ビット目に S F S F A が出力され、1 ビット目から 8 ビット目に S F B F A が出力される。図 1 3 (b) のように、次のタイミングではサブアレイ 2 2 B の S F I 回路 4 0 B から 0 ビット目に S F S F B が出力され、1 ビット目から 8 ビット目に S F B F B が出力される。図 1 3 (c) のように、S F I 回路 4 0 C から S F S F C および S F B F C が出

50

力される。図 13 (d) のように、S F I 回路 40 D から順次 S F S F D および S F B F D が出力される。

【0080】

以上のように、転送方法 1 では、サブアレイ 22 A から 22 D から制御部 28 に S F S F および S F B F が逐次転送される。

【0081】

[転送方法 2]

図 14 は、実施例 1 の転送方法 2 に用いる S F I 回路の例を示すブロック図である。図 14 に示すように、記憶部 42 a はパラレル線 25 a に接続されている。記憶部 42 b はパラレル線 25 b に接続されている。マルチプレクサ 44 はパラレル線 25 a および 25 b のいずれか一方をパラレル線 25 d に接続する。マルチプレクサ 43 はパラレル線 25 c および 25 d のいずれかをバス 25 に接続する。これにより、S F I 回路 40 は S F S F と S F B F を異なるタイミングでバス 25 に出力できる。

10

【0082】

例えば、図 12 の S F I 回路 40 A では、記憶部 42 a はパラレル線 25 a の 0 から 7 ビット目の信号線に接続され、記憶部 42 b はパラレル線 25 b の 0 ビット目の信号線に接続されている。S F I 回路 40 B では、記憶部 42 a はパラレル線 25 a の 8 から 15 ビット目の信号線に接続され、記憶部 42 b はパラレル線 25 b の 1 ビット目の信号線に接続されている。S F I 回路 40 C では、記憶部 42 a はパラレル線 25 a の 16 から 23 ビット目の信号線に接続され、記憶部 42 b はパラレル線 25 b の 2 ビット目の信号線に接続されている。S F I 回路 40 D では、記憶部 42 a はパラレル線 25 a の 24 から 31 ビット目の信号線に接続され、記憶部 42 b はパラレル線 25 b の 3 ビット目の信号線に接続されている。

20

【0083】

図 15 (a) および図 15 (b) は、実施例 1 の転送方法 2 におけるバスのデータを示す模式図である。図 15 (a) に示すように、図 7 のステップ S 40 において、S F I 回路 40 A から 40 D のマルチプレクサ 44 はパラレル線 25 b をパラレル線 25 d に接続し、マルチプレクサ 43 はパラレル線 25 d をバス 25 に接続する。これにより、0 ビット目から 3 ビット目にそれぞれサブアレイ 22 A から 22 D の S F S F A から S F S F D がセットされ、制御部 28 にパラレルに転送される。

30

【0084】

図 15 (b) に示すように、図 7 のステップ S 44 において、S F I 回路 40 A から 40 D のマルチプレクサ 44 はパラレル線 25 a をパラレル線 25 d に接続し、マルチプレクサ 43 のパラレル線 25 d をバス 25 に接続する。これにより、0 ビット目から 31 ビット目にサブアレイ 22 A から 22 D の S F B F A から S F B F D がセットされ、制御部 28 にパラレルに転送される。

【0085】

以上のように、転送方法 2 では、サブアレイ 22 A から 22 D から制御部 28 に S F S F が一括転送され、S F B F が一括転送される。

【0086】

転送方法 2 はサブアレイ 22 およびブロック 24 が多いときに有利である。例えばサブアレイ 22 を 8 K バイト、ブロック 24 を 1 K バイト、バス 25 を 64 ビットとする。セルアレイ 20 の記憶容量が 16 K バイト、32 K バイト、256 K バイト、1 M バイトおよび 2 M バイトのとき、転送方法 1 で S F S F を転送すると、転送回数は、それぞれ 2 回、4 回、32 回、128 回および 256 回となる。一方、転送方法 2 で S F S F を転送すると、転送回数は、それぞれ 1 回、1 回、1 回、2 回および 4 回となる。

40

【0087】

[シミュレーション]

実施例 1 に係る電子回路について B E T およびレイテンシをシミュレーションした。比較例 1 として、サブアレイ 22 およびブロック 24 の一括遮断を行わず、S F B F がセ

50

ットされているブロック 24 のストア動作を順次スキップする場合についてもシミュレーションした。

【0088】

シミュレーション条件は以下である。SRAM動作期間、ストア期間およびリストア期間における仮想電源電圧V_{VDD}を1.2Vとした。スリープ期間における仮想電源電圧V_{VDD}および制御線CTRLの電圧をそれぞれ0.5Vおよび0Vとした。ストア期間におけるスイッチ線SRの電圧を0.75Vとした。ストア期間における制御線CTRLのハイレベルおよびローレベルの電圧をそれぞれ0.45Vおよび0Vとした。サブアレイ22およびブロック24の記憶容量をそれぞれ8Kバイトおよび1Kバイトとした。転送方法を転送方法2とした。

10

【0089】

セルアレイ20内の全メモリセルの個数に対するストア動作の不要なストアフリーメモリセルの個数の比をストアフリー比とした。セルアレイ20内に揮発的に書き込まれるメモリセル10は特定のサブアレイ22およびブロック24に集中することを考慮し、ストア動作にかかる時間をレイテンシとした。セルアレイ20の記憶容量が32Kバイト、256Kバイトおよび2Mバイトについてシミュレーションした。

【0090】

図16(a)から図16(c)は、実施例1および比較例1におけるストアフリー比に対するBETを示す図、図16(d)から図16(f)は、ストアフリー比に対するレイテンシを示す図である。図16(a)に示すように、比較例1では、32Kバイトのときストアフリー比が大きくなるとBETが短くなる。図16(b)および図16(c)のように、256Kバイトおよび2Mバイトと記憶容量が大きくなると、ストアフリー比が大きくなってもBETは小さくならない。これは以下の理由のためである。すなわち、記憶容量が大きくなると、ストア動作を待機するサブアレイ22およびブロック24が大きくなる。ストア動作の待機中にもメモリセル10にはリーク電流が流れる。このため、セルアレイ20全体でのリーク電流が大きく、ストアフリー比が大きくなってもBETは小さくならない。また、図16(d)から図16(f)に示すように、比較例1ではレイテンシはストアフリー比によらず一定である。

20

【0091】

図16(a)から図16(c)のように、実施例1では記憶容量によらずストアフリー比が大きくなるとBETが小さくなる。図16(d)から図16(f)のように、実施例1では記憶容量によらずストアフリー比が大きくなるとレイテンシが短くなる。これらは、実施例1では、ストアフリーのサブアレイ22およびブロック24を最初にシャットダウンするためである。

30

【0092】

[実施例1の変形例1]

実施例1の変形例1はキャッシュメモリの例である。図17は、実施例1の変形例1に係るキャッシュメモリのブロック図である。図17に示すように、インデックスデコーダ51、タグアレイ52およびキャッシュアレイ50が設けられている。タグアレイ52およびキャッシュアレイ50にはメモリセル10がマトリクス状に配置されている。タグアレイ52およびキャッシュアレイ50は例えば8個のブロック54に分割されている。タグアレイ52にはキャッシュアレイ50に書き込まれたデータのアドレスが書き込まれる。インデックスデコーダ51は、アドレス線51bと、アドレス線51bがインバータ51aにより反転されたアドレス線51cと、を有する。

40

【0093】

選択回路41は、上位の3ビットのアドレス線51bおよび51cからSFBFをセットする。図17では、キャッシュアレイ50が行のみでブロック54に分割されている例を示したが、キャッシュアレイ50は、行および列で分割されていてもよい。その他の構成は実施例1および図14と同じであり説明を省略する。

【0094】

50

[実施例 1 の変形例 2]

図 1 8 は、実施例 1 の変形例 2 に係るキャッシュメモリのブロック図である。図 1 8 に示すようにブロック 5 4 は複数の行が含まれている。複数のブロック 5 4 にそれぞれ対応し、タグアレイ 5 2 内に S F B F を記憶する複数の記憶部 4 2 a が設けられている。列アドレスが入力する列デコーダ 5 3 が設けられている。インデックスデコーダ 5 1 に行アドレスが入力すると対応するワード線 W L が選択される。ライトイネーブル信号がハイレベル（アサート）でかつブロック 5 4 内のいずれかのメモリセル 1 0 がアクセスされると、アクセスされたブロック 5 4 に対応するタグアレイ 5 2 内の記憶部 4 2 a に S F B F がセットされる。その他の構成は実施例 1 の変形例 1 と同じであり説明を省略する。

【 0 0 9 5 】

キャッシュメモリでは、タグアレイ 5 2 内のタグをコントロールするダーティビットを用いブロック 5 4 内のメモリセルが書き換えられているか判定してもよい。この場合、タグアレイ 5 2 は S F B F を記憶する記憶部としての機能を有する。しかし、ダーティビットが多くなる（例えばダーティビットの数が行の数となる）と、記憶部 4 2 a およびパワースイッチ 3 0 等の回路規模が大きくなってしまふ。よって、実施例の変形例 1 のように記憶部 4 2 a はタグアレイ 5 2 と別に設けることが好ましい。また、実施例 1 の変形例 2 のように、複数のブロック 5 4 は各々複数の行を含み、タグアレイ 5 2 内に複数のブロック 5 4 にそれぞれ対応する複数の記憶部 4 2 a を設けることが好ましい。

【 0 0 9 6 】

実施例 1 およびその変形例によれば、セルアレイ 2 0 は、各々のサブアレイ 2 2 （ブロック）が少なくとも 2 つのメモリセル 1 0 を含む複数のサブアレイ 2 2 に分割されている。図 7 のステップ S 4 0、S 4 2 および図 8（a）のように、制御部 2 8 は、セルアレイ 2 0 をシャットダウンするときに、複数のサブアレイ 2 2 からサブアレイ 2 2 内のいずれのメモリセルも揮発的に書き換えられていないサブアレイ 2 2 d を抽出する。制御部 2 8 は、抽出されたサブアレイ 2 2 d をシャットダウンする。なお、抽出されたサブアレイ 2 2 d のシャットダウンは、サブアレイ 2 2 d を一括してシャットダウンする動作であり、サブアレイ 2 2 a のストア動作を行う前に、ストアフリーの全てのサブアレイ 2 2 d を一度にまたは逐次シャットダウンする動作である。ステップ S 4 8 から S 6 2 および図 8（b）から図 8（d）のように、制御部 2 8 は、抽出されたサブアレイ 2 2 d をシャットダウンした後、複数のサブアレイ 2 2 のうち残りのサブアレイ 2 2 a から 2 2 c 内のメモリセル 1 0 においてストア動作を行う。制御部 2 8 は、ストア動作の終了したサブアレイ 2 2 a から 2 2 c をシャットダウンする。例えば制御部 2 8 は、サブアレイ 2 2 a から 2 2 c を順次ストア動作し、ストア動作が終了したサブアレイ 2 2 a から 2 2 c を順次シャットダウンする。これにより、ストアフリーのサブアレイ 2 2 のストア動作を待機する待機電力を抑制できる。よって、消費電力を抑制でき、B E T を短縮できる。また、レイテンシを短くできる。

【 0 0 9 7 】

図 1 2 のように、各サブアレイ 2 2 A から 2 2 D における記憶部 4 2 b（第 1 記憶部）は、複数のサブアレイ 2 2 A から 2 2 D のうちそれぞれのサブアレイ 2 2 A から 2 2 D 内の少なくとも 1 つのメモリセル 1 0 が揮発的に書き換えられたことを示す S F S F（第 1 情報）をそれぞれ記憶する。図 7 のステップ S 4 0 のように、制御部 2 8 は、複数の記憶部 4 2 b に記憶された S F S F に基づき、複数のサブアレイ 2 2 A から 2 2 D 内のいずれのメモリセル 1 0 も揮発的に書き換えられていないサブアレイ 2 2 A から 2 2 D を抽出する。これにより、制御部 2 8 は、いずれのメモリセル 1 0 も揮発的に書き換えられていないサブアレイ 2 2 A から 2 2 D を抽出できる。

【 0 0 9 8 】

図 1 2 のように、複数のサブアレイ 2 2 A から 2 2 D と接続され、複数のサブアレイ 2 2 A から 2 2 D から読み出すデータおよび書き込むデータを転送するバス 2 5（パラレルバス）が設けられている。図 1 5（a）のように、制御部 2 8 は、複数のサブアレイ 2 2 A から 2 2 D のうち異なるサブアレイに対応する S F S F をバス 2 5 の異なる信号線を介

10

20

30

40

50

し同時に取得する。これにより、S F S Fの転送回数を少なくできる。

【0099】

図4において、読出書込回路34（書込回路）は、アドレス信号に対応するメモリセル10にデータを揮発的に書き込む。選択回路41（生成回路）は、アドレス信号に基づきS F S FおよびS F B Fを生成する。これにより、S F S FおよびS F B Fを容易に生成することができる。

【0100】

図4のように、複数のサブレイ22は、各々のブロック24が少なくとも2つのメモリセル10を含むように複数のブロック24（サブブロック）に分割されている。図7のステップS44、S46および図9（a）のように、制御部28は、複数のブロック24からブロック24内のいずれのメモリセルも揮発的に書き換えられていないブロック24dを抽出する。ステップS46のように、制御部28は、抽出されたブロック24dをシャットダウンする。なお、抽出されたブロック24dのシャットダウンはブロック24dを一括してシャットダウンする動作であり、サブレイ22aのストア動作の前に全てのストアフリーのサブレイ22dとサブレイ22aから22c内のストアフリーの全てのブロック24dを一度にまたは逐次シャットダウンする動作である。ステップS50からS58、図9（b）から図9（d）のように、制御部28は、抽出されたブロック24dをシャットダウンした後、複数のブロック24のうち残りのブロック24aから24cにおいてストア動作を行う。制御部28は、ストア動作の終了したブロック24aから24cをシャットダウンする。例えば制御部28は、ブロック24aから24cを順次ストア動作し、ストア動作が終了したブロック24aから24cを順次シャットダウンする。このように、シャットダウンする領域を2層構造とすることにより、より消費電力を抑制できる。シャットダウンする階層は、1層でもよいし、3層以上でもよい。シャットダウンする階層は、消費電力の削減と回路規模の削減を考慮して決定すればよい。

【0101】

図7のステップS54および図9（d）のように、制御部28は、サブレイ22aから22cのうち次のサブレイ22bのストア動作を行う前に、ストア動作の終了したブロック24aから24dをシャットダウンする。これにより、より消費電力を抑制できる。

【0102】

図12のように、各サブレイ22Aから22Dにおける記憶部42a（第2記憶部）は、複数のブロック24のうちそれぞれのブロック24内の少なくとも1つのメモリセルが揮発的に書き換えられたことを示すS F B F（第2情報）をそれぞれ記憶する。図7のステップS44のように、制御部28は、複数の記憶部42aに記憶されたS F B Fに基づき、複数のブロック24からブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックを抽出する。これにより、制御部28は、いずれのメモリセル10も揮発的に書き換えられていないブロック24を抽出できる。

【0103】

図15（b）のように、制御部28は、複数のブロック24のうち異なるサブレイ22Aから22Dに対応するS F B Fをバス25の異なる信号線を介し同時に取得する。これにより、S F B Fの転送回数を少なくできる。

【0104】

制御部28は、図8（a）のように抽出されたサブレイ22dを全てシャットダウンした後、図8（b）から図8（d）のように残りのサブレイ22aから22cのメモリセルにおいてストア動作を行う。これにより、より消費電力を抑制できる。

【0105】

制御部28は、図9（a）のように抽出されたブロック24dを全てシャットダウンした後、図9（b）から図9（d）のように残りのブロック24aから24cのメモリセルにおいてストア動作を行う。これにより、より消費電力を抑制できる。

【0106】

10

20

30

40

50

制御部 2 8 は、いずれのメモリセルも揮発的に書き換えられていないサブアレイ 2 2 d および / またはブロック 2 4 d を抽出しているが、不揮発的にストアする必要のないサブアレイ 2 2 および / またはブロック 2 4 を抽出してもよい。

【 0 1 0 7 】

実施例 1 およびその変形例において、M T J 1 および M T J 2 がノード Q および Q B にそれぞれ接続される例を説明したが、ノード Q または Q B に M T J 1 および M T J 2 のいずれか一方が接続されていればよい。メモリセルは、双安定回路 1 2 と不揮発性素子を有していればよい。不揮発性素子として M T J を例に説明したが、不揮発性素子としては巨大磁気抵抗 (G M R) 素子、R e R A M (Resistance Random Access Memory) に用いられるような可変抵抗素子、または、P R A M (Phase change RAM) に用いられる相変化素子を用いることができる。

10

【 0 1 0 8 】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

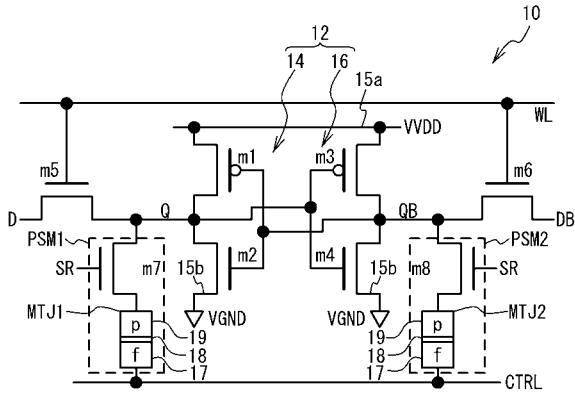
【 符号の説明 】

【 0 1 0 9 】

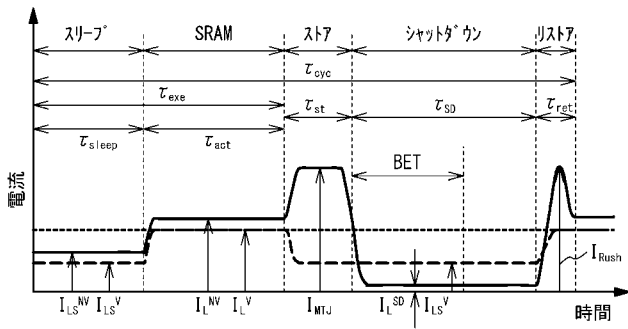
- 1 0 メモリセル
- 1 2 双安定回路
- 2 0 セルアレイ
- 2 2、2 2 a - 2 2 d、2 2 A - 2 2 D サブアレイ
- 2 4、2 4 a - 2 4 d ブロック
- 2 8 制御部
- 3 0 パワースイッチ
- 4 1 選択回路
- 4 2 a、4 2 b 記憶部

20

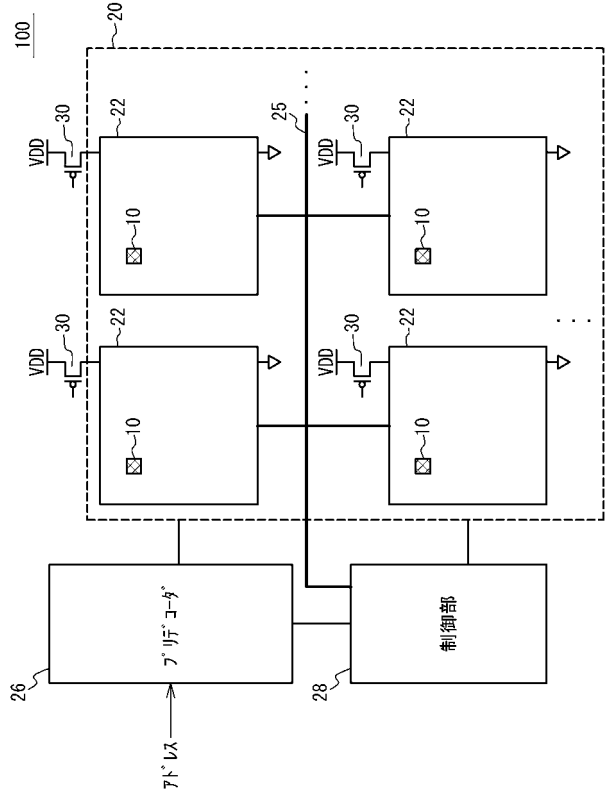
【図1】



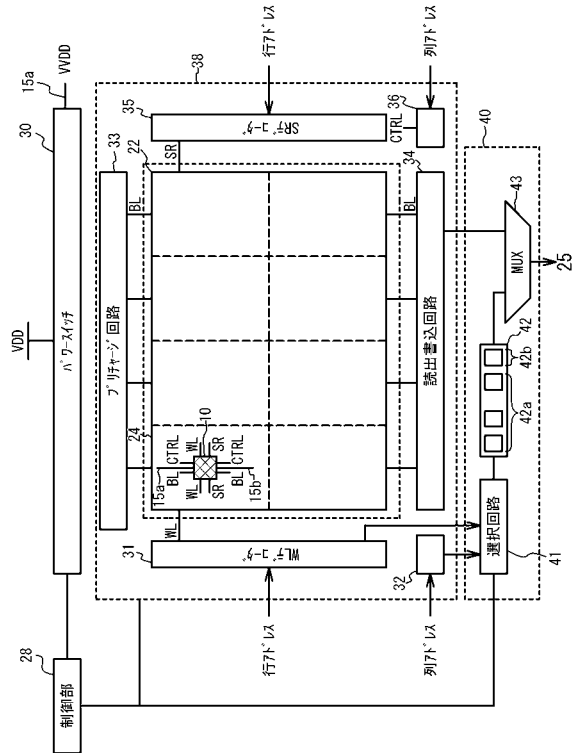
【図2】



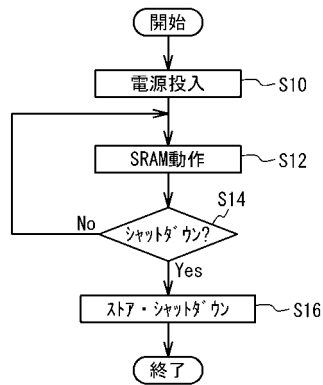
【図3】



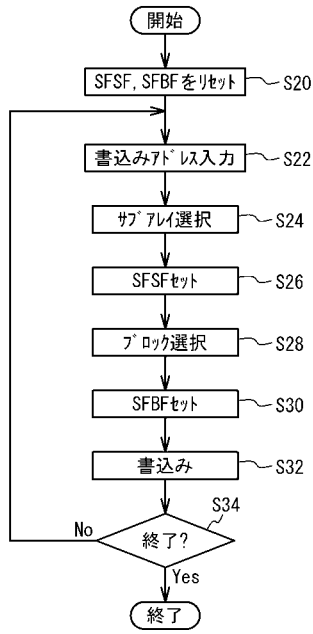
【図4】



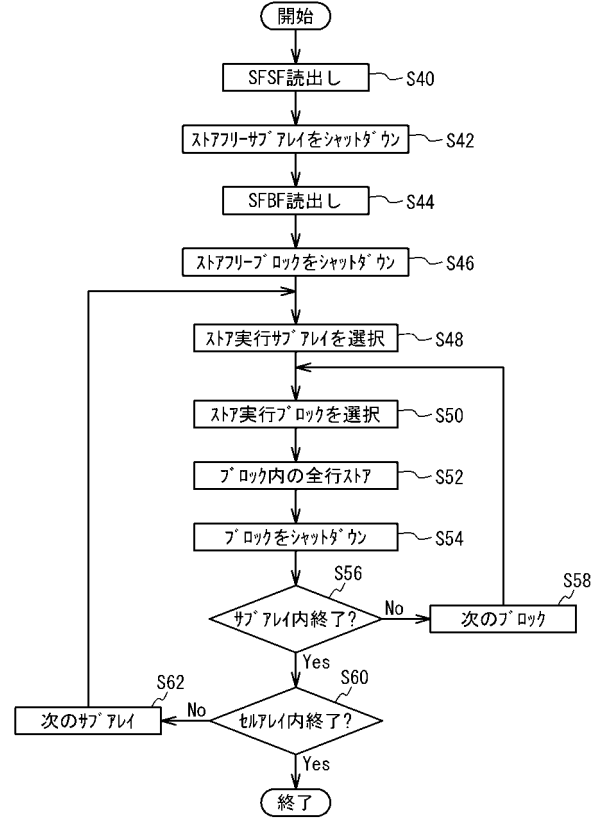
【図5】



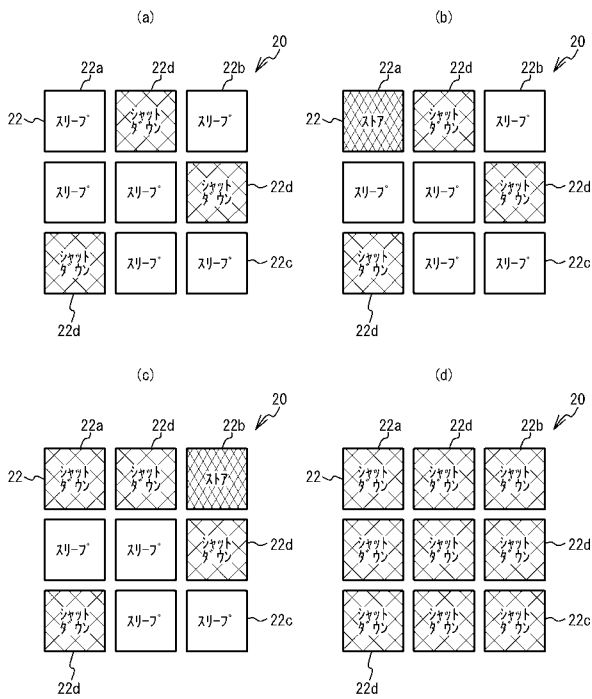
【 図 6 】



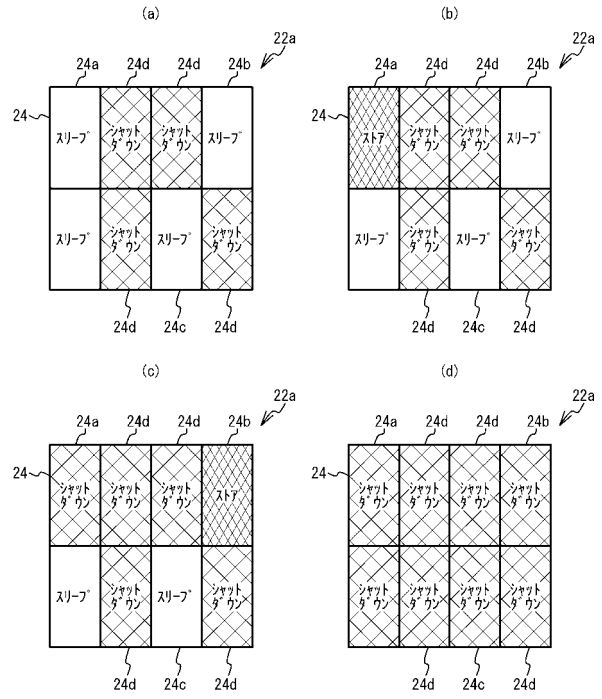
【 図 7 】



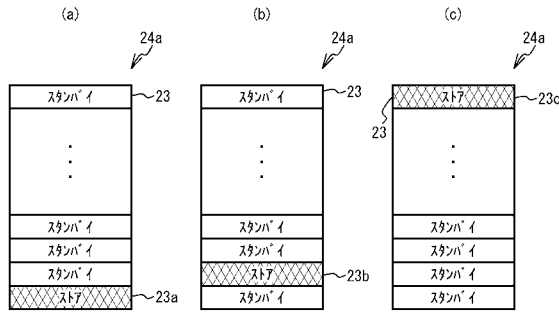
【 図 8 】



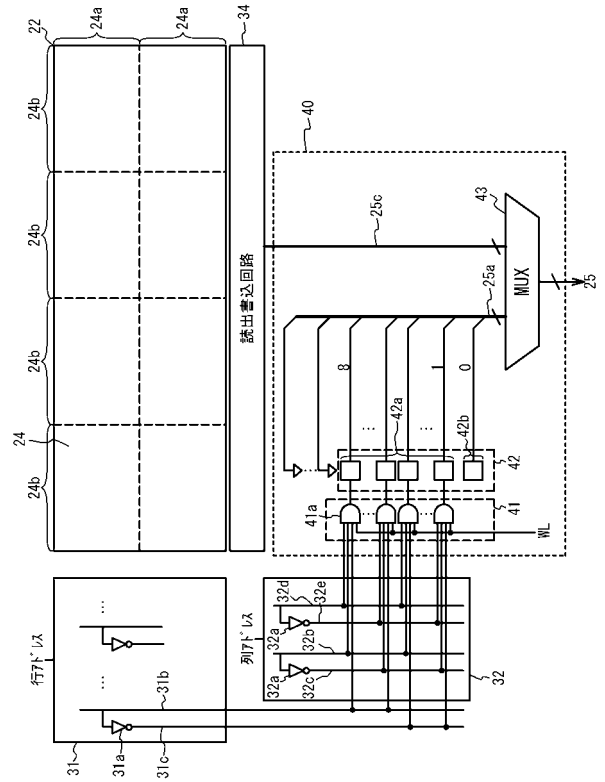
【 図 9 】



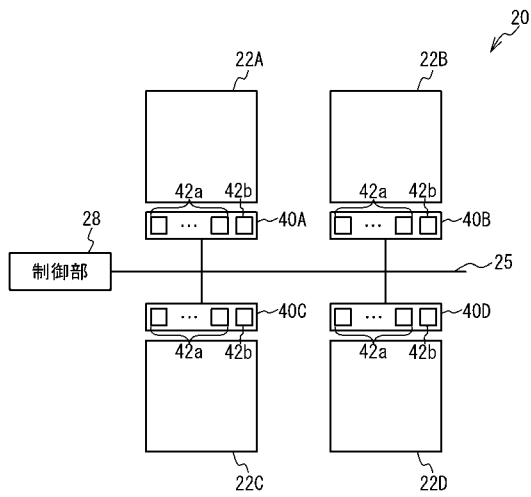
【図10】



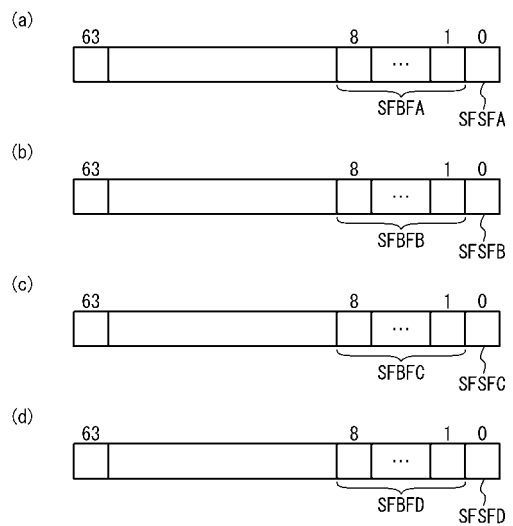
【図11】



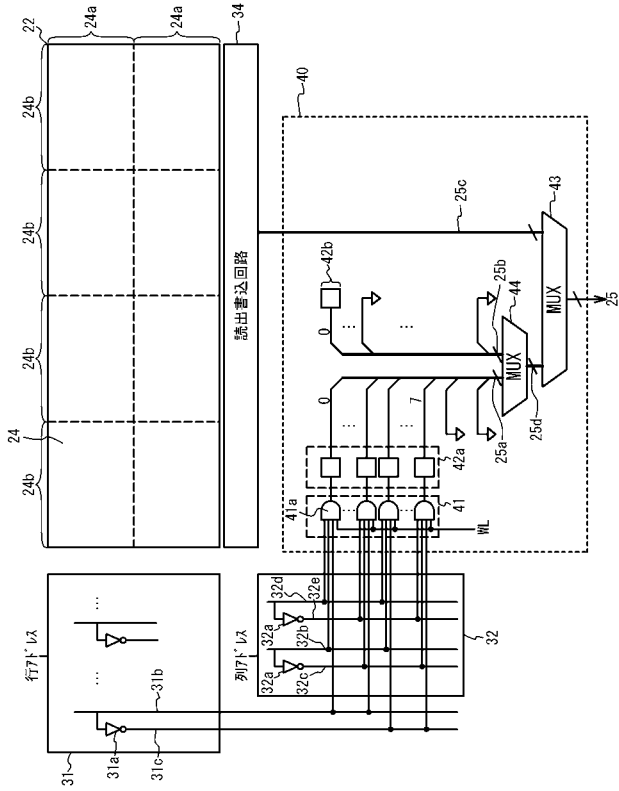
【図12】



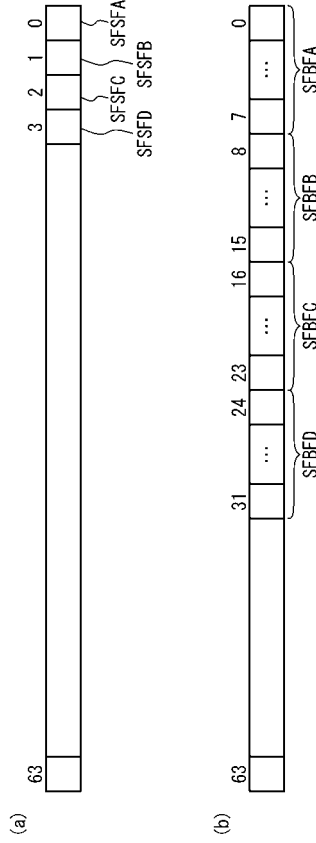
【図13】



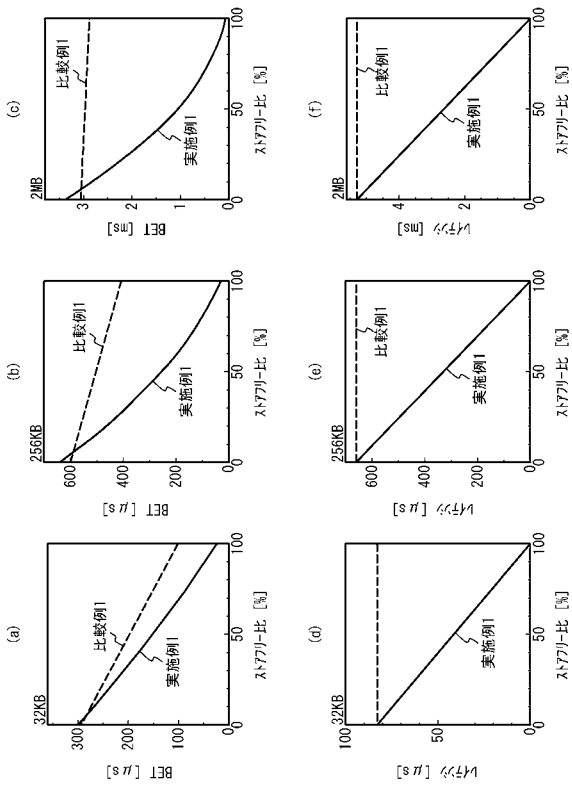
【図 14】



【図 15】



【図 16】



【図 17】

