

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02014/126223

発行日 平成29年2月2日 (2017.2.2)

(43) 国際公開日 平成26年8月21日 (2014.8.21)

(51) Int.Cl.	F I	テーマコード (参考)
<b>A 6 1 B 5/0408 (2006.01)</b>	A 6 1 B 5/04 3 0 0 E	4 C 0 2 7
<b>A 6 1 B 5/0492 (2006.01)</b>	A 6 1 B 5/04 3 3 0	4 C 1 2 7
<b>A 6 1 B 5/0488 (2006.01)</b>	A 6 1 B 5/04 3 0 0 J	
<b>A 6 1 B 5/0478 (2006.01)</b>	A 6 1 B 5/04 3 0 0 C	
	A 6 1 B 5/04 3 0 0 N	

審査請求 未請求 予備審査請求 有 (全 26 頁)

出願番号 特願2015-500321 (P2015-500321)	(71) 出願人 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号 PCT/JP2014/053548	
(22) 国際出願日 平成26年2月14日 (2014.2.14)	
(31) 優先権主張番号 特願2013-28289 (P2013-28289)	(74) 代理人 100064908 弁理士 志賀 正武
(32) 優先日 平成25年2月15日 (2013.2.15)	(74) 代理人 100094400 弁理士 鈴木 三義
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100147267 弁理士 大概 真紀子
	(72) 発明者 更田 裕司 東京都文京区本郷七丁目3番1号 国立大 学法人東京大学内
	(72) 発明者 高宮 真 東京都文京区本郷七丁目3番1号 国立大 学法人東京大学内

最終頁に続く

(54) 【発明の名称】 信号検出装置、信号検出方法、および信号検出装置の製造方法

(57) 【要約】

この信号検出装置は、信号を発生させる被検体と接するように配置された複数の電極と、選択信号に基づき前記複数の電極上の信号を択一的に選択する電極信号選択部と、前記電極信号選択部により選択された信号を増幅する増幅部と、前記複数の電極と前記選択部と前記増幅部が形成された柔軟性を有する基体と、を備え、前記増幅部が、前記複数の電極および前記選択部と積層構造をなすように、前記基体に形成されている。

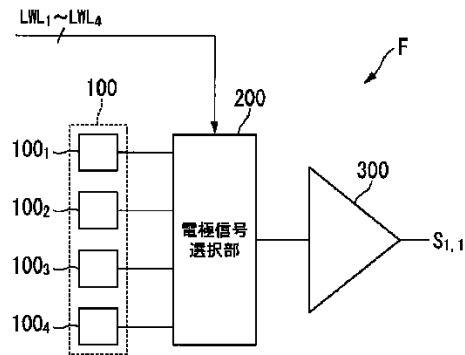


FIG. 2:  
200 Electrode signal selection unit

**【特許請求の範囲】****【請求項 1】**

信号を発生させる被検体と接するように配置された複数の電極と、  
選択信号に基づき前記複数の電極上の信号を択一的に選択する選択部と、  
前記選択部により選択された信号を増幅する増幅部と、  
前記複数の電極と前記選択部と前記増幅部が形成された柔軟性を有する基体と、  
を備え、  
前記増幅部が、前記複数の電極および前記選択部と積層構造をなすように、前記基体に  
形成された、信号検出装置。

**【請求項 2】**

前記選択部は、  
前記複数の電極に対応して設けられた複数のソースフォロワ回路から構成され、  
前記複数のソースフォロワ回路は、前記選択信号に基づいて択一的に活性化されること  
を特徴とする請求項 1 に記載の信号検出装置。

**【請求項 3】**

前記複数のソースフォロワ回路のそれぞれは、  
前記複数の電極の何れかにゲートが接続され、ドレインが所定の固定電位ノードに接続  
された第 1 トランジスタと、  
前記第 1 トランジスタのソースと負荷電流源との間に接続され、ゲートに前記選択信号  
が供給された第 2 トランジスタと、  
を備えたことを特徴とする請求項 2 に記載の信号検出装置。

**【請求項 4】**

前記増幅部は、  
前記複数のソースフォロワ回路の出力部に共通に接続された第 1 電極を有するコンデン  
サと、  
前記コンデンサの第 2 電極に入力部が接続された増幅器と、  
を備えたことを特徴とする請求項 2 または 3 の何れか 1 項に記載の信号検出装置。

**【請求項 5】**

前記増幅部は、  
前記増幅器の電気的特性を調整するためのトランジスタ群を備え、  
前記トランジスタ群をなす一部のトランジスタは、所望の電気的特性が得られるように  
選択的に並列接続されたことを特徴とする請求項 1 から 4 の何れか 1 項に記載の信号検出  
装置。

**【請求項 6】**

前記複数の電極と前記選択部と前記増幅部とを 1 ブロックとして、行列状に配置された  
複数のブロックを備え、  
前記複数のブロックのそれぞれに備えられた前記増幅部の出力信号を選択するための選  
択部を更に備えたことを特徴とする請求項 1 から 5 の何れか 1 項に記載の信号検出装置。

**【請求項 7】**

選択部が、選択信号に基づき、信号を発生させる被検体と接するように配置された複数  
の電極上の信号を択一的に選択する選択段階と、  
増幅部が、前記選択段階において前記選択部により選択された信号を増幅する増幅段階  
と、を含み、  
前記複数の電極と前記選択部と前記増幅部が柔軟性を有する基体に形成され、  
前記増幅部が、前記複数の電極および前記選択部と積層構造をなすように、前記基体に  
形成された、信号検出方法。

**【請求項 8】**

信号を発生させる被検体と接するように配置された複数の電極と、選択信号に基づき前  
記複数の電極上の信号を択一的に選択する選択部と、前記選択部により選択された信号を  
増幅する増幅部と、前記複数の電極と前記選択部と前記増幅部が形成された柔軟性を有す

10

20

30

40

50

る基体と、を備えた信号検出装置の製造方法であって、  
前記複数の電極および前記選択部を前記基体に形成する段階と、  
前記増幅部を、前記複数の電極および前記選択部と積層構造をなすように、前記基体に形成する段階と、  
を含む、信号検出装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号を検出するための信号検出装置、信号検出方法、および信号検出装置の製造方法に関する。

本願は、2013年2月15日に日本に出願された特願2013-028289号に基づき優先権を主張し、その内容をここに援用する。

【背景技術】

【0002】

従来、例えば生体信号を検出するための装置として、心電計や脳波計などの信号検出装置が知られている（特許文献1）。通常、この種の信号検出装置では、被検体である生体に装着した一对の電極の信号の差分を差動増幅器で増幅することにより、この信号に含まれる同相のノイズ成分をキャンセルし、SN比の高い検出信号を得ている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平6-197877号公報

【非特許文献】

【0004】

【非特許文献1】T. Yokota, et al., "Sheet-Type Organic Active Matrix Amplifier System Using Vth-Tunable, Pseudo-CMOS Circuits with Floating-Gate Structure," I EEE International Electron Devices Meeting, pp. 335-338, Dec. 2011.

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上述の従来技術によれば、電極と差動増幅器とが配線ケーブルを介して接続されているため、配線ケーブル上でノイズが混入する可能性があり、検出信号のSN比の改善に限界がある。また、電極と差動増幅器とを一体化したとしても、高密度で2次元状に電極を配置することは困難である。このため、生体信号の分布を精度よく取得することが困難である。

【0006】

2次元状に配置された電極を有する信号検出装置に関する技術として、シート状の基体に複数の電極と複数の増幅器を積層化した技術がある（非特許文献1）。しかしながら、この技術によれば、電極ごとに増幅器を配置する必要があるため、電極のみを小型化したとしても、増幅器の配置との関係上、電極の配置ピッチが制限され、電極密度の改善に限界がある。

【0007】

本発明は、上記事情に鑑みてなされたものであり、検出信号のSN比を改善すると共に、電極を高密度に配置することができる信号検出装置、信号検出方法、および信号検出装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の一態様による信号検出装置は、信号を発生させる被検体と接するように配置された複数の電極と、選択信号に基づき前記複数の電極上の信号を択一的に選択する選択部と、前記選択部により選択された信号を増幅する増幅部と、

10

20

30

40

50

前記複数の電極と前記選択部と前記増幅部が形成された柔軟性を有する基体と、を備え、前記増幅部が、前記複数の電極および前記選択部と積層構造をなすように、前記基体に形成された、信号検出装置の構成を有する。

上記信号検出装置において、例えば、前記選択部は、前記複数の電極に対応して設けられた複数のソースフォロワ回路から構成され、前記複数のソースフォロワ回路は、前記選択信号に基づいて択一的に活性化される。

上記信号検出装置において、例えば、前記複数のソースフォロワ回路のそれぞれは、前記複数の電極の何れかにゲートが接続され、ドレインが所定の固定電位ノードに接続された第1トランジスタと、前記第1トランジスタのソースと負荷電流源との間に接続され、ゲートに前記選択信号が供給された第2トランジスタと、を備える。

上記信号検出装置において、例えば、前記増幅部は、前記複数のソースフォロワ回路の出力部に共通に接続された第1電極を有するコンデンサと、前記コンデンサの第2電極に入力部が接続された増幅器と、を備える。

上記信号検出装置において、例えば、前記増幅部は、前記増幅器の電気的特性を調整するためのトランジスタ群を備え、前記トランジスタ群をなす一部のトランジスタは、所望の電気的特性が得られるように選択的に並列接続される。

上記信号検出装置において、例えば、前記複数の電極と前記選択部と前記増幅部とを1ブロックとして、行列状に配置された複数のブロックを備え、前記複数のブロックのそれぞれに備えられた前記増幅部の出力信号を選択するための選択部を更に備える。

上記課題を解決するために、本発明の一態様による信号検出方法は、選択部が、選択信号に基づき、信号を発生させる被検体と接するように配置された複数の電極上の信号を択一的に選択する選択段階と、増幅部が、前記選択段階において前記選択部により選択された信号を増幅する増幅段階と、を含み、前記複数の電極と前記選択部と前記増幅部が柔軟性を有する基体に形成され、前記増幅部が、前記複数の電極および前記選択部と積層構造をなすように、前記基体に形成された、信号検出方法の構成を有する。

上記課題を解決するために、本発明の一態様による信号検出装置の製造方法は、信号を発生させる被検体と接するように配置された複数の電極と、選択信号に基づき前記複数の電極上の信号を択一的に選択する選択部と、前記選択部により選択された信号を増幅する増幅部と、前記複数の電極と前記選択部と前記増幅部が形成された柔軟性を有する基体と、を備えた信号検出装置の製造方法であって、前記複数の電極および前記選択部を前記基体に形成する段階と、前記増幅部を、前記複数の電極および前記選択部と積層構造をなすように、前記基体に形成する段階と、を含む。

【発明の効果】

【0009】

本発明の一態様によれば、2次元状に配置された複数の電極と増幅器とを積層化し、複数の電極を選択的に増幅器と接続するように構成したので、検出信号のSN比を改善することができると共に、複数の電極を高密度に配置することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態による信号検出装置の構成例を概略的に示すブロック図である。

【図2】本発明の実施形態による信号検出装置が備える信号検出部の構成例を示すブロック図である。

【図3】本発明の実施形態による信号検出部が備える電極信号選択部の構成例を示す回路図である。

【図4】本発明の実施形態による信号検出部が備える増幅部の構成例を示す回路図である。

【図5】本発明の実施形態による信号検出装置のデバイス構造（全体）を模式的に示す図である。

【図6】本発明の実施形態による信号検出装置のデバイス構造（断面）を模式的に示す図

10

20

30

40

50

である。

【図7】本発明の実施例による45mm×40mmの64チャンネルSEMSの写真を示す図である。

【図8】本発明の実施例によるDSAアーキテクチャを用いたSEMSの回路図である。

【図9】本発明の実施例による増幅器アレイのためのトランジスタ不整合低減技術の構成を説明するための図である。

【図10】本発明の実施例による増幅器アレイのためのトランジスタ不整合低減技術の効果を説明するための図である。

【図11】本発明の実施例によるSEMSにおいて使用されているpMOSのみの増幅器の回路図である。

【図12】本発明の実施例による有機増幅器を有する表面EMGの測定系の設定と測定波形を示す図である。

【図13】本発明の実施例による有機増幅器の写真を示す図である。

【発明を実施するための形態】

【0011】

[構成の説明]

図1は、本発明の実施形態による信号検出装置1の構成例を概略的に示すブロック図である。本実施形態による信号検出装置1は、生体などの被検体から発生される微弱な電気信号を検出するためのものであって、 $m$ 行 $n$ 列( $m, n$ は2以上の自然数)の行列状に配置された複数の信号検出部 $F_{1,1} \sim F_{m,n}$ と、複数の検出信号選択部 $GS_1 \sim GS_n$ と、複数のローカルワード線 $LWL_1 \sim LWL_m$ と、複数のグローバルワード線 $GWL_1 \sim GWL_m$ とを備える。信号検出部 $F_{1,1} \sim F_{m,n}$ は、被検体が発生させる生体信号を検出して増幅するものであり、後述するように、4個の電極を備え、各電極を介して入力される生体信号を選択的に増幅するように構成されている。検出信号選択部 $GS_1 \sim GS_n$ は、信号検出部 $F_{1,1} \sim F_{m,n}$ により検出された検出信号 $S_{1,1} \sim S_{m,n}$ の中の1行分の信号を選択して出力信号 $G_1 \sim G_n$ として出力するものである。

【0012】

以下では、信号検出部 $F_{1,1} \sim F_{m,n}$ を総称するときは、符号「F」を用い、検出信号選択部 $GS_1 \sim GS_n$ を総称するときは、符号「GS」を用い、ローカルワード線 $LWL_1 \sim LWL_m$ を総称するときは、符号「LWL」を用い、グローバルワード線 $GWL_1 \sim GWL_m$ を総称するときは、符号「GWL」を用い、検出信号 $S_{1,1} \sim S_{m,n}$ を総称するときは、符号「S」を用い、出力信号 $G_1 \sim G_n$ を総称するときは、符号「G」を用いる。

【0013】

なお、本実施形態では、被検体として生体を想定するが、本実施形態による信号検出装置1は、生体に限らず、任意の対象物を被検体として微弱な信号を検出することができる。例えば、信号検出装置1は、工業製品の表面の信号分布や、液体や空間における電位分布等を検出する用途にも適用することもできる。

【0014】

行列状に配置された信号検出部 $F_{1,1} \sim F_{m,n}$ のうち、第1列目の信号検出部 $F_{1,1} \sim F_{m,1}$ の各出力部は、検出信号選択部 $GS_1$ に接続され、第2列目の信号検出部 $F_{1,2} \sim F_{m,2}$ の各出力部は、検出信号選択部 $GS_2$ に接続されている。以下同様にして、第 $n$ 列目の信号検出部 $F_{1,n} \sim F_{m,n}$ の各出力部は、検出信号選択部 $GS_n$ に接続されている。複数のグローバルワード線 $GWL_1 \sim GWL_m$ は、検出信号選択部 $GS_1 \sim GS_n$ に共通に接続されている。このうち、グローバルワード線 $GWL_1$ は、第1行目の信号検出部 $F_{1,1} \sim F_{1,n}$ から出力される検出信号 $S_{1,1} \sim S_{1,n}$ を選択するためのものである。グローバルワード線 $GWL_2$ は、第2行目の信号検出部 $F_{2,1} \sim F_{2,n}$ から出力される検出信号 $S_{2,1} \sim S_{2,n}$ を選択するためのものである。以下同様にして、グローバルワード線 $GWL_m$ は、第 $m$ 行目の信号検出部 $F_{m,1} \sim F_{m,n}$ から出力される検出信号 $S_{m,1} \sim S_{m,n}$ を選択するためのものである。

10

20

30

40

50

## 【 0 0 1 5 】

また、行列状に配置された信号検出部  $F_{1,1} \sim F_{m,n}$  のうち、第 1 行目の信号検出部  $F_{1,1} \sim F_{1,n}$  にはローカルワード線  $LWL_1 \sim LWL_4$  が共通に接続され、第 2 行目の信号検出部  $F_{2,1} \sim F_{2,n}$  にはローカルワード線  $LWL_5 \sim LWL_8$  が共通に接続されている。以下同様にして、第  $m$  行目の信号検出部  $F_{m,1} \sim F_{m,n}$  にはローカルワード線  $LWL_{4m-3} \sim LWL_{4m}$  が共通に接続されている。ローカルワード線  $LWL_1 \sim LWL_{4m}$  は、信号検出部  $F$  のそれぞれに備えられた 4 個の電極を選択するためのものであるが、その詳細については後述する。

## 【 0 0 1 6 】

図 2 は、図 1 に示す信号検出部  $F_{1,1}$  の構成例を示すブロック図である。

10

本実施形態では、信号検出部  $F_{1,1} \sim F_{m,n}$  の全てが同一の構成を有している。図 2 に示すように、信号検出部  $F_{1,1}$  は、4 個の電極  $100_1 \sim 100_4$  からなる電極群  $100$  と、電極信号選択部  $200$  と、増幅部  $300$  とを備えている。4 個の電極  $100_1 \sim 100_4$  は、生体信号を発生させる被検体（図示なし）と接するように配置され、被検体から電極  $100_1 \sim 100_4$  に生体信号（電気信号）が印加される。この生体信号は電極を介して電極信号として電極信号選択部  $200$  に供給される。

## 【 0 0 1 7 】

電極信号選択部  $200$  は、ローカルワード線  $LWL_1 \sim LWL_4$  を介して供給される選択信号に基づき、電極  $100_1 \sim 100_4$  を介して入力される電極信号（生体信号）を択一的に選択するものである。なお、この例に限定されず、電極信号選択部  $200$  は、電極  $100_1 \sim 100_4$  上の各生体信号の任意の組み合わせを選択するものとしてもよい。例えば、ローカルワード線  $LWL_1 \sim LWL_4$  を介して供給される選択信号の信号レベルの組み合わせにより、電極  $100_1 \sim 100_4$  の全ての電極上の生体信号を選択するものとしてもよく、また、例えば、電極  $100_1$  上の生体信号と電極  $100_3$  上の生体信号との組み合わせを選択するものとしてもよい。また、電極  $100_1 \sim 100_4$  上の全ての生体信号を非選択とすることも可能である。

20

## 【 0 0 1 8 】

図 3 は、電極信号選択部  $200$  の構成例を示す回路図である。電極信号選択部  $200$  は、図 2 に示した 4 個の電極  $100_1 \sim 100_4$  に対応して設けられた 4 個のソースフォロワ回路  $210_1 \sim 210_4$  と、1つの負荷電流源  $220$  とから構成される。このうち、ソースフォロワ回路  $210_1$  は、有機トランジスタである pMOS トランジスタ  $211, 212$  から構成される。具体的には、ソースフォロワ回路  $210_1$  を構成する pMOS トランジスタ  $211$  のソースは、電極信号選択部  $200$  の出力部となるノード  $N200$  に接続され、そのゲートにはローカルワード線  $LWL_1$  が接続されている。pMOS トランジスタ  $211$  のドレインは pMOS トランジスタ  $212$  のソースに接続されている。pMOS トランジスタ  $212$  のゲートには、電極  $100_1$  が接続され、そのドレインは所定の固定電位ノード（例えばグランドノード）に接続されている。なお、所定の固定電位ノードは、グランドノードに限らず、装置の筐体や被検体の一部など、生体信号を検出するための基準となる電位を与え得るノードであることを限度として任意である。

30

## 【 0 0 1 9 】

他のソースフォロワ回路  $210_2 \sim 210_4$  についても上述のソースフォロワ回路  $210_1$  と同様に構成される。ただし、ソースフォロワ回路  $210_2 \sim 210_4$  を構成する pMOS トランジスタのうち、上述のソースフォロワ回路  $210_1$  の pMOS  $211$  に相当するトランジスタのゲートには、それぞれ、ローカルワード線  $LWL_2 \sim LWL_4$  が接続されている。また、ソースフォロワ回路  $210_2 \sim 210_4$  を構成する pMOS トランジスタのうち、上述のソースフォロワ回路  $210_1$  の pMOS トランジスタ  $212$  に相当するトランジスタのゲートには、それぞれ、電極  $100_2 \sim 100_4$  が接続されている。ソースフォロワ回路  $210_1 \sim 210_4$  は、ローカルワード線  $LWL_1 \sim LWL_4$  を介して供給される選択信号に基づいて択一的に活性化される。

40

なお、本実施形態では、4 個の電極  $100_1 \sim 100_4$  から電極群  $100$  を構成し、こ

50

れら電極  $100_1 \sim 100_4$  に対応した4個のソースフォロワ回路  $210_1 \sim 210_4$  を備えるものとしているが、この例に限定されず、電極群  $100$  を構成する電極の個数は任意であり、電極の数に応じてソースフォロワ回路の数を定めればよい。

#### 【0020】

負荷電流源  $220$  は、有機トランジスタである  $pMOS$  トランジスタ  $221$  から構成されている。具体的には、負荷電流源  $220$  を構成する  $pMOS$  トランジスタ  $221$  のソースは電源ノードに接続され、そのゲートには、所定のバイアス電圧  $V_{bias}$  が印加されている。バイアス電圧  $V_{bias}$  は、例えば、 $pMOS$  トランジスタ  $221$  が飽和領域で動作するように設定される。これにより、 $pMOS$  トランジスタ  $221$  は概略的な定電流源として機能する。 $pMOS$  トランジスタ  $221$  のドレインは、上述のソースフォロワ回路  $210_1 \sim 210_4$  の各出力部と共に、電極信号選択部  $200$  の出力部であるノード  $N_{200}$  に接続されている。これにより、負荷電流源  $220$  は、ソースフォロワ回路  $210_1 \sim 210_4$  の負荷として機能する。

10

#### 【0021】

本実施形態では、図1に示した生体信号選択部  $GS_1 \sim GS_n$  も電極信号選択部  $200$  と同様にソースフォロワ回路を用いて構成されている。ただし、生体信号選択部  $GS_1 \sim GS_n$  は、図3に示す4個のソースフォロワ回路  $210_1 \sim 210_4$  に相当する要素として、 $m$ 個のソースフォロワ回路を備える。また、各生体信号選択部が備える  $m$ 個のソースフォロワ回路のそれぞれにおいて、図3の  $pMOS$  トランジスタ  $211$  に相当するトランジスタのゲートには、グローバルワード線  $GWL_1 \sim GWL_m$  の何れかが接続されている。また、各生体信号選択部が備える  $m$ 個のソースフォロワ回路のそれぞれにおいて、図3の  $pMOS$  トランジスタ  $212$  に相当するトランジスタのゲートには、各信号検出部  $F$  からの検出信号  $S$  の何れかが供給される。例えば、生体信号選択部  $GS_1$  において、図3の  $pMOS$  トランジスタ  $212$  に相当するトランジスタのゲートには、第1列目の信号検出部  $F_{1,1} \sim F_{m,1}$  からの検出信号  $S_{1,1} \sim S_{m,1}$  の何れかが供給される。その詳細については、後述の実施例に示す。

20

#### 【0022】

説明を図2に戻す。電極信号選択部  $200$  の出力部は増幅部  $300$  の入力部に接続される。増幅部  $300$  は、電極信号選択部  $200$  により選択された生体信号を増幅するものである。

30

図4は、増幅部  $300$  の構成例を示す回路図である。増幅部  $300$  は、入力端子  $TIN$  を介して入力される入力信号の直流成分を遮断するためのコンデンサ  $310$  と、入力信号の交流成分を増幅するための増幅器  $320$  とを備える。コンデンサ  $310$  の一方の電極は入力端子  $TIN$  に接続され、その他方の電極は増幅器  $320$  の入力部に接続されている。

#### 【0023】

増幅器  $320$  は、その電気的特性（例えば利得）を調整するためのトランジスタ群を備え、このトランジスタ群をなす一部のトランジスタは、例えば事後的な加工処理などにより、所望の電気的特性が得られるように選択的に並列接続される。具体的に説明すると、増幅器  $320$  は、有機トランジスタである  $k$  個（ $k$  は2以上の自然数）の  $pMOS$  トランジスタ  $321_1 \sim 321_k$  と負荷  $322$  と抵抗  $323$  とを備え、所謂シングルエンド型の増幅器として構成されている。このうち、 $pMOS$  トランジスタ  $321_1 \sim 321_k$  は、増幅器  $320$  の電気的特性を調整するためのトランジスタ群を構成する。また、増幅器  $320$  には、事後的な加工処理などにより、 $pMOS$  トランジスタ  $321_1 \sim 321_k$  の中の一部のトランジスタを選択的に並列接続するための配線形成領域  $324_1 \sim 324_k$  ,  $325_1 \sim 325_k$  が設けられている。

40

#### 【0024】

本実施形態では、信号を検出する前段階として、 $pMOS$  トランジスタ  $321_1 \sim 321_k$  の各特性を評価する。そして、この評価の結果に基づいて、所望の電気的特性が得られるように、 $pMOS$  トランジスタ  $321_1 \sim 321_k$  を選択的に並列接続する。例えば、評価の結果、 $pMOS$  トランジスタ  $321_1$  と  $pMOS$  トランジスタ  $321_k$  とを並列

50

接続したときの増幅器 320 の電気的特性が、他の何れのトランジスタの組み合わせにより得られる特性よりも、目標とする電気的特性に近ければ、配線形成領域 324<sub>1</sub>、324<sub>k</sub> と配線形成領域 325<sub>1</sub>、325<sub>k</sub> に配線を形成することにより、電源ノードと出力端子 TOUT との間に、pMOS トランジスタ 321<sub>1</sub> と pMOS トランジスタ 321<sub>k</sub> とを並列接続する。このように、複数の pMOS トランジスタ 321<sub>1</sub> ~ 321<sub>k</sub> の中から適切な組み合わせを選択することにより、pMOS トランジスタの特性に起因した増幅器 320 の電気的特性のばらつきを低減している。

#### 【0025】

なお、上述の例に限定されず、増幅部 300 の回路構成は任意であり、例えば、非特許文献 1 に開示された疑似 CMOS インバータを用いることができる。後述の実施例では、AC 結合負荷を用いたインバータを増幅器として採用しているが、その詳細については後述する。

10

#### 【0026】

ローカルワード線 LWL<sub>1</sub> ~ LWL<sub>4m</sub> と、グローバルワード線 GWL<sub>1</sub> ~ GWL<sub>m</sub> と、検出信号選択部 GS<sub>1</sub> ~ GS<sub>n</sub> の各出力部は、それぞれ、適切なインターフェースを介して外部情報処理装置（例えばパソコン）に接続される。ただし、この例に限定されず、例えば、ローカルワード線 LWL<sub>1</sub> ~ LWL<sub>4m</sub> およびグローバルワード線 GWL<sub>1</sub> ~ GWL<sub>m</sub> を選択するためのデコーダやシフトレジスタ等を信号検出装置 1 に備えてもよい。

#### 【0027】

本実施形態では、後述するように、電極 100<sub>1</sub> ~ 100<sub>4</sub>、電極信号選択部 200、増幅部 300 は、柔軟性を有する基体に形成されている。このうち、電極 100<sub>1</sub> ~ 100<sub>4</sub> および電極信号選択部 200 は上記基体の一面側に形成され、増幅部 300 は、電極 100<sub>1</sub> ~ 100<sub>4</sub> および電極信号選択部 200 と積層構造をなすように、図 1 に示す検出信号選択部 GS<sub>1</sub> ~ GS<sub>n</sub> と共に、上記基体の内部または他面側に形成されている。即ち、増幅部 300 は、電極 100<sub>1</sub> ~ 100<sub>4</sub> および電極信号選択部 200 と積層構造をなすようにして、これら電極 100<sub>1</sub> ~ 100<sub>4</sub> および電極信号選択部 200 が形成されたレイヤとは異なる上記基体のレイヤに形成されている。

20

なお、本実施形態では、電極 100<sub>1</sub> ~ 100<sub>4</sub> および電極信号選択部 200 は上記基体の一面側に形成され、増幅部 300 は、上記基体の内部または他面側に形成されているものとしているが、電極 100<sub>1</sub> ~ 100<sub>4</sub> および電極信号選択部 200 が積層構造をなしていれば、これらの要素は上記基体に任意に配置され得る。また、用途によっては、上記基体は必ずしも柔軟性を有している必要はない。

30

#### 【0028】

上述したように、本実施形態による信号検出装置 1 は、電極 100<sub>1</sub> ~ 100<sub>4</sub> と電極信号選択部 200 と増幅部 300 とからなる信号検出部 F を 1 つの信号検出ブロックとして、行列状に配置された複数の信号検出ブロックを備えている。加えて、信号検出装置 1 は、上記の信号検出ブロックのそれぞれからの検出信号を選択するための検出信号選択部 GS<sub>1</sub> ~ GS<sub>n</sub> を備えている。ここで、本実施形態のブロック構成によれば、例えば、図 3 に示す電極信号選択部 200 において、負荷電流源 220 は、4 つのソースフォロワ回路 210<sub>1</sub> ~ 210<sub>4</sub> によって共有され、検出信号選択部 GS<sub>1</sub> ~ GS<sub>n</sub> においても同様である。従って、本実施形態のブロック構成によれば、回路の構成上、信号配線数を抑制しつつ、簡易な構成で、多数の電極を介して生体信号を検出することが可能になる。

40

#### 【0029】

なお、本実施形態では、信号検出装置 1 は、上述の複数の信号検出ブロックを備えるものとして構成されているが、各信号検出ブロックを構成する信号検出部 F<sub>1,1</sub> ~ F<sub>m,n</sub> のそれぞれを単体の信号検出装置としてもよい。この場合の信号検出装置は、電極群 100 と、電極信号選択部 200 と、増幅部 300 と、これらが形成された柔軟性を有する基体とを備えたものとして構成される。

#### 【0030】

次に、図 5 および図 6 を参照して、信号検出装置 1 のデバイス構造を説明する。

50



図5は、信号検出装置1のデバイス構造(全体)を模式的に示す図である。同図に示すように、信号検出装置1は、概略的に、第1回路層1020と、第2回路層1030と、異方性導電性シートからなる導電層1040とから構成され、第1回路層1020と第2回路層1030とが導電層1040を介して概略シート状に一体的に積層された積層構造を有している。本実施形態では、異方性導電性シートは、例えば、絶縁性の高い接着剤中に導電粒子を均一に分散させた材料からなり、液晶ディスプレイ等の電子部品において電極間を電氣的に接続するために使用されているものを流用することができる。

異方性導電性シートは、概略シート状以外でも、例えば第1回路層1020と第2回路層1030との間で電氣的な接続が必要な端子部に、パッチ状に異方性導電性シートを部分的に積層してもよい。この際、パッチ状の異方性導電性シート外の、第1回路層1020と第2回路層1030の間に、これらの回路層の積層強度を高めるための接着層を並置してもよい。

#### 【0031】

ここで、第1回路層1020は、上述の電極100<sub>1</sub>~100<sub>4</sub>からなる電極群100と電極信号選択部200とが、信号検出部F<sub>1,1</sub>~F<sub>m,n</sub>に対応して行列状に複数配置された回路層である。また、第2回路層1030は、上述の信号検出部F<sub>1,1</sub>~F<sub>m,n</sub>のそれぞれを構成する増幅部300と検出信号選択部GS<sub>1</sub>~GS<sub>n</sub>とが、信号検出部F<sub>1,1</sub>~F<sub>m,n</sub>に対応して行列状に複数配置された回路層である。本実施形態では、ローカルワード線LWL<sub>1</sub>~LWL<sub>4m</sub>は第1回路層1020に形成され、グローバルワード線GWL<sub>1</sub>~GWL<sub>m</sub>は、第2回路層1030に形成される。ただし、この例に限定されず、ローカルワード線LWL<sub>1</sub>~LWL<sub>4m</sub>とグローバルワード線GWL<sub>1</sub>~GWL<sub>m</sub>は何れの回路層に形成されてもよい。

#### 【0032】

図6は、信号検出装置1のデバイス構造(断面)を模式的に示す図である。同図に示すように、第1回路層1020および第2回路層1030は、異方性導電性シートからなる導電層1040を介して積層されている。

各回路層について具体的に説明すると、第1回路層1020は、可撓性を有する基体であるポリイミド層1021(例えば膜厚1.2μm)、配線となる金属層1022(例えば膜厚30nmのAl)、図2に示した電極信号選択部200を構成する有機トランジスタ(pMOSトランジスタ)のゲート絶縁膜となるAlO<sub>x</sub>/SAM層1023(例えば膜厚4nmのAlO<sub>x</sub>+膜厚2nmのSAM)、上記有機トランジスタのゲート電極となるアルミニウム層1024(例えば膜厚30nm)、上記有機トランジスタのチャネル形成層となる有機半導体層1025(例えば膜厚30nm)、上記有機トランジスタのソース・ドレイン電極となる金属層1026(Au)、パリレン(parylene)層1027(例えば膜厚2μm)、配線に接続された金属層1028,1029(Au)から構成される。ここで、金属層1029は、図2に示した電極群100を構成する電極100<sub>1</sub>~100<sub>4</sub>に相当する要素である。金属層1028および金属層1029は、それぞれ、第1回路層1020の下面および上面に露出している。

第1回路層1020を構成する可撓性(柔軟性)を有する基体としては、ポリイミドの他に、ポリエチレンナフタレート(PEN)フィルム、ポリエチレンテレフタレート(PET)フィルム、ポリエーテルエーテルケトン(PEEK)フィルム、パラキシリレン系ポリマーフィルム、また、これらの有機フィルムにガスバリア性を付与するためにSiO<sub>2</sub>やSiNなどの無機薄膜を積層した複合フィルムなどが挙げられる。

#### 【0033】

第2回路層1030は、可撓性を有する基体であるポリイミド層1031(例えば膜厚1.2μm)、図2に示した増幅部300を構成する有機トランジスタ(pMOSトランジスタ)のゲート電極となるアルミニウム層1032(例えば膜厚30nm)、上記有機トランジスタのゲート絶縁膜となるAlO<sub>x</sub>/SAM層1033(例えば膜厚4nmのAlO<sub>x</sub>+膜厚2nmのSAM)、上記有機トランジスタのチャネル形成層となる有機半導体層1034(例えば膜厚30nm)、上記有機トランジスタのソース・ドレイン電極と

10

20

30

40

50

なる金属層1035(Au)、パリレン(parylen)層1036(例えば膜厚2 $\mu$ m)、上記有機トランジスタのソース・ドレイン電極に接続された金属層1037(Au)から構成される。金属層1037は、第2回路層1030の上面に露出している。

第2回路層1030を構成する可撓性(柔軟性)を有する基体としては、ポリイミド層の他に、ポリエチレンナフタレート(PEN)フィルム、ポリエチレンテレフタレート(PET)フィルム、ポリエーテルエーテルケトン(PEEK)フィルム、パラキシリレン系ポリマーフィルム、また、これらの有機フィルムにガスバリア性を付与するためにSiO<sub>2</sub>やSiNなどの無機薄膜を積層した複合フィルムなどが挙げられる。

第1回路層1020の基体と第2回路層1030の基体とを同じ素材で構成すると、熱ひずみが揃えられ、第1回路層1020と第2回路層1030との積層基体の反りの発生を低減することができるため、好ましい。また、第1回路層1020の基体と第2回路層1030の基体のそれぞれの厚さは、柔軟性を有するように薄いフィルムであることが好ましい。それぞれの基体の具体的な厚さとしては、75 $\mu$ m以下、好ましくは25 $\mu$ m以下、更に好ましくは10 $\mu$ m以下1 $\mu$ m以上である。

#### 【0034】

第1回路層1020と第2回路層1030は導電層1040を介して積層され、これにより、第2回路層1030の上面に形成された金属層1037と第1回路層1020の下面に形成された金属層1028とが電気的に接続される。本実施形態では、導電層1040を介して金属層1037と金属層1028とが電気的に接続されることにより、図2に示す電極信号選択部200の出力部と増幅部300の入力部とが接続される。

#### 【0035】

また、図6に示す信号検出装置1のデバイス構造では、上述の電極群100と電極信号選択部200とが形成された第1回路層1020の下層側に、増幅部300と検出信号選択部GS<sub>1</sub>~GS<sub>n</sub>とが形成された第2回路層1030が配置されている。ここで、本実施形態の上記デバイス構造によれば、第2回路層1030に形成された1個の増幅部300に対し、第1回路層1020に形成された4個の電極100<sub>1</sub>~100<sub>4</sub>が積層される。このため、電極100<sub>1</sub>~100<sub>4</sub>の各サイズと配置ピッチを小さくすることができ、1個の増幅部に対して4個の電極を配置することができる。従って、前述の非特許文献1の技術と比較して、電極密度を4倍にすることができる。また、第1回路層1020には、電極100<sub>1</sub>~100<sub>4</sub>と共に、ソースフォロワ回路210<sub>1</sub>~210<sub>4</sub>からなる電極信号選択部200が形成されているので、電極100<sub>1</sub>~100<sub>4</sub>上の生体信号が電極信号選択部200に入力されるまでの配線経路を短くすることができる。このため、信号経路での生体信号に対する雑音信号の重畳を有効に抑制することができ、検出信号のSN比を改善することができる。従って、本実施形態による上記デバイス構造によれば、生体信号の分布を詳細かつ安定的に検出することが可能になる。

#### 【0036】

なお、本実施形態では、第2回路層1030に形成された図1の検出信号選択部GS<sub>1</sub>~GS<sub>n</sub>の出力信号G<sub>1</sub>~G<sub>n</sub>を外部に取り出すための配線(図示なし)が、第2回路層1030の下面側に引き出されている。また、ローカルワード線LWLおよびグローバルワード線GWLを含む制御用の全ての配線も第2回路層1030の下面側に引き出されている。これにより、信号検出装置1から外部に引き出される配線と被検体との接触を防止することができる。

#### 【0037】

#### [動作の説明]

次に、本実施形態による信号検出装置1の動作を説明する。

信号検出装置1は、人間の腕の表面筋電信号(生体信号)を検出するものとし、信号検出部F<sub>1,1</sub>~F<sub>m,n</sub>のそれぞれを構成する電極100<sub>1</sub>~100<sub>4</sub>が腕の表面に接するようにして信号検出装置1が装着されているものとする。ここでは、説明の簡略化のため、信号検出部F<sub>1,1</sub>を構成する電極100<sub>1</sub>を介して表面筋電信号を検出する場合について説明する。この場合、グローバルワード線GWL<sub>1</sub>~GWL<sub>m</sub>上の各選択信号の信

10

20

30

40

50

号レベルは、検出信号選択部  $GS_1 \sim GS_n$  が第 1 行目の信号検出部  $F_{1,1} \sim F_{1,n}$  の検出信号  $S_{1,1} \sim S_{1,n}$  を選択するように設定される。具体的には、グローバルワード線  $GWL_1$  の信号レベルが論理レベル「0」に設定され、他のグローバルワード線  $GWL_2 \sim GWL_m$  の各信号レベルが論理レベル「1」に設定される。また、ローカルワード線  $LWL_1 \sim LWL_4$  上の各選択信号の信号レベルは、第 1 行目の信号検出部  $F_{1,1} \sim F_{1,n}$  のそれぞれを構成する電極信号選択部 200 が電極 100<sub>1</sub> を介して入力される信号のみを選択するように設定される。具体的には、ローカルワード線  $LWL_1$  の信号レベルが論理レベル「0」に設定され、ローカルワード線  $LWL_2, LWL_3, LWL_4$  の各信号レベルが論理レベル「1」に設定される。

#### 【0038】

なお、本実施形態では、第 2 行～第 m 行目の各信号検出部を構成する電極 100<sub>1</sub>～100<sub>4</sub> を介して入力される表面筋電信号を非選択状態とするように、ローカルワード線  $LWL_5 \sim LWL_{4m}$  の各信号レベルが設定されるものとする。ただし、この例に限らず、第 2 行～第 m 行目の信号検出部についても第 1 行目の信号検出部と同様に機能させてもよいが、検出信号選択部  $GS_1 \sim GS_n$  から最終的に出力信号  $G_1 \sim G_n$  として出力される検出信号は、検出信号選択部  $GS_1 \sim GS_n$  により選択された 1 行分の検出信号である。

#### 【0039】

上述のようにローカルワード線  $LWL_1 \sim LWL_{4m}$  およびグローバルワード線  $GWL_1 \sim GWL_m$  上の各選択信号の信号レベルが設定されると、腕の筋肉から発生された表面筋電信号が信号検出部  $F_{1,1}$  を構成する電極 100<sub>1</sub>～100<sub>4</sub> を介して電極信号として電極信号選択部 200 に入力される。電極信号選択部 200 は、ローカルワード線  $LWL_1 \sim LWL_4$  上の各信号レベルに基づいて、電極 100<sub>1</sub> を介して電極信号として入力される表面筋電信号を選択して電極信号  $S_{200}$  として出力する。

#### 【0040】

具体的には、前述のように、ローカルワード線  $LWL_1$  の信号レベルが「0」に設定されているので、ソースフォロワ回路 210<sub>1</sub> を構成する pMOS トランジスタ 211 がオン状態に制御される。これにより、pMOS トランジスタ 212 のソースが pMOS トランジスタ 211 を介してノード N200 と電気的に接続される。

#### 【0041】

一方、電極 100<sub>1</sub> を介して電極信号として入力された表面筋電信号は、ソースフォロワ回路 210<sub>1</sub> の pMOS トランジスタ 212 のゲートに印加される。このとき、pMOS トランジスタ 212 のソース電圧は、負荷電流源 220 の pMOS トランジスタ 221 により、pMOS トランジスタ 211 を介して、pMOS トランジスタ 212 のゲート電位よりも、この pMOS トランジスタ 212 のゲート閾値電圧  $V_T$  だけ高い電圧に駆動される。換言すれば、負荷電流源 220 の pMOS トランジスタ 221 によって駆動される pMOS トランジスタ 212 のソース電圧 (= pMOS トランジスタ 211 のソース電圧) は、pMOS トランジスタ 212 のゲート電位よりも、pMOS トランジスタ 212 のゲート閾値電圧  $V_T$  だけ高い電圧にクランプされる。これにより、ソースフォロワ回路 210<sub>1</sub> は、電極 100<sub>1</sub> を介して入力された表面筋電信号に追従する電圧信号を電極信号  $S_{200}$  としてノード N200 を介して出力する。結局、電極信号選択部 200 は、電極 100<sub>1</sub>～100<sub>4</sub> のそれぞれを介して電極信号として入力された表面筋電信号のうち、電極 100<sub>1</sub> を介して入力された電極信号を選択的に電極信号  $S_{200}$  として出力する。

#### 【0042】

ソースフォロワ回路 210<sub>1</sub> から出力された電極信号  $S_{200}$  は、電極信号選択部 200 の出力信号として増幅部 300 の入力部に供給される。増幅部 300 は、電極信号選択部 200 から供給された電極信号  $S_{200}$  を増幅して検出信号  $S_{1,1}$  を出力する。この増幅部 300 から出力された検出信号  $S_{1,1}$  は、信号検出部  $F_{1,1}$  の出力信号として検出信号選択部  $GS_1$  に供給される。検出信号選択部  $GS_1$  は、電極信号選択部 200 と同様の動作原理に基づいて、信号検出部  $F_{1,1}$  から供給された検出信号  $S_{1,1}$  を選択して出力信号  $G_1$  として出力する。他の検出信号選択部  $GS_2 \sim GS_n$  から同様に出力

10

20

30

40

50

信号  $G_2 \sim G_n$  がそれぞれ出力される。

【0043】

生体信号選択部  $GS_1 \sim GS_n$  の出力信号  $G_1 \sim G_n$  は、図示しない外部情報処理装置に入力され、この外部情報処理装置は、入力された信号に対して所定の信号処理を施すことにより、各信号検出部からの検出信号の強度分布を生成する。例えば、外部情報処理装置は、各信号検出部からの検出信号をサンプリングしてデジタル信号に変換し、第1行目の信号検出部  $F_{1,1} \sim F_{1,n}$  からの各検出信号の強度分布（信号強度の二次元分布）を生成して表示部（図示なし）に表示させる。同様に他の行の信号検出部について走査が実施され、全ての信号検出部  $F_{1,1} \sim F_{m,n}$  からの検出信号の強度分布を得る。上述の走査により得られた強度分布から、オペレータは、異常を示す信号強度の発生部位を特定することができる。ただし、この例に限定されず、信号強度の表示形態は任意である。

10

【0044】

上述した本実施形態による信号検出装置1の回路構成によれば、信号検出部  $F_{1,1}$  においてソースフォロワ回路  $210_1$  から電極信号  $S200$  として出力される電圧信号の振幅は、このソースフォロワ回路  $210_1$  の入力信号、即ち、電極  $100_1$  を介して pMOS トランジスタ  $212$  のゲートに印加される表面筋電信号（生体信号）と概ね同じ振幅に留まる。しかしながら、ソースフォロワ回路  $210_1$  の出力インピーダンスは、表面筋電信号を発生させる生体（人間の腕）のインピーダンスよりも十分に小さいため、ソースフォロワ回路  $210_1$  から増幅部  $300$  に入力される電極信号  $S200$  は周囲のノイズの影響を受けにくい。また、信号検出部  $F_{1,1}$  から出力された電極信号  $S200$  を選択する

20

【0045】

また、上述した本実施形態による信号検出装置1のデバイス構造によれば、電極密度を向上させることができると共に、電極  $100_1 \sim 100_4$  から増幅部  $300$  までの信号経路を短く抑えることができる。これにより、信号経路上でのノイズの影響を抑制することができ、上述した回路構成による SN 比の改善効果と相俟って、検出信号の SN 比を更にいっそう改善することが可能になる。従って、本実施形態によれば、電極を高密度に配置しても、クロストークなどによるノイズ成分を抑制することができ、生体信号の強度分布を精度よく測定することができる。

30

【0046】

また、本実施形態によれば、複数の信号検出部  $F_{1,1} \sim F_{m,n}$  を任意に選択することができ、且つ、各信号検出部を構成する複数の電極を任意に選択することができるので、信号検出装置1を被検体に装着する際に、モニタすべき部位を予め厳密に特定する必要がない。従って、信号検出装置1の被検体への装着を容易化することができる。また、異常部位に限らず、信号検出部  $F_{1,1} \sim F_{m,n}$  が位置する範囲内で任意の部位の生体信号を選択的に検出することができる。

40

【0047】

上述の実施形態では、本発明を信号検出装置として表現したが、本発明は、信号検出方法として表現することもできる。この場合、本発明による信号検出方法は、電極信号選択部  $200$  が、選択信号に基づき、生体信号を発生させる被検体と接するように配置された複数の電極  $100_1 \sim 100_4$  上の信号を択一的に選択する選択段階と、増幅部  $300$  が、前記選択段階において前記電極信号選択部  $200$  により選択された信号を増幅する増幅

50

段階と、を含み、前記複数の電極 100<sub>1</sub> ~ 100<sub>4</sub> と前記電極信号選択部 200 と前記増幅部 300 が柔軟性を有する基体に形成され、前記複数の電極および前記電極信号選択部が前記基体に形成され、前記増幅部が、前記複数の電極および前記電極信号選択部と積層構造をなすように、前記基体に形成された、信号検出方法として表現することができる。

#### 【0048】

また、本発明は、上述した信号検出装置の製造方法として表現することもできる。この場合の信号検出装置の製造方法は、生体信号を発生させる被検体と接するように配置された複数の電極 100<sub>1</sub> ~ 100<sub>4</sub> と、選択信号に基づき前記複数の電極上の信号を択一的に選択する電極信号選択部 200 と、前記電極信号選択部 200 により選択された信号を増幅する増幅部 300 と、前記複数の電極 100<sub>1</sub> ~ 100<sub>4</sub> と前記電極信号選択部 200 と前記増幅部 300 が形成された柔軟性を有する基体と、を備えた信号検出装置の製造方法であって、前記複数の電極および前記電極信号選択部を前記基体に形成する段階と、前記増幅部を、前記複数の電極および前記電極信号選択部と積層構造をなすように、前記基体に形成する段階と、を含む、信号検出装置の製造方法として表現することができる。

10

#### 【0049】

以上、本発明の実施形態を説明したが、本発明は上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の変形が可能である。

例えば、上述の実施形態では、ローカルワード線 L W L およびグローバルワード線 G W L により、各列において1個の電極を選択するものとしたが、例えば、行単位で複数の電極を選択するものとしてもよく、列単位で複数の電極を選択するものとしてもよく、ローカルワード線 L W L およびグローバルワード線 G W L の各信号レベルに基づいて選択することができる限度において、選択する電極の組み合わせは任意である。

20

#### 【実施例】

#### 【0050】

以下、実施例により本発明を更に具体的に説明するが、本発明は以下の実施例にのみ制限されるものではない。

#### 【0051】

次に、図7から図13を参照しながら、本発明の実施例を説明する。

本発明者らは、上述した実施形態による信号検出装置1の一実施例として、超柔軟性を有するPENフィルム上に形成された駆動電圧が2Vの有機トランジスタ(2V有機トランジスタ)を有する64チャンネル表面筋電図(EMG)計測シートを義手制御用に開発した。分散共有増幅器(DSA)アーキテクチャにより、EMG電極密度を4倍に増加させた状態で筋電信号の測定位置での増幅を可能とした。事後的な加工処理による選択・接続(SAC)手法により、従来の並列トランジスタと比較して、トランジスタの不整合を92%だけ低減させ、トランジスタの電力を56%だけ低減させた。

30

#### 【0052】

痩せた筋肉によって皮膚に発生する電圧波形である表面筋電(EMG)は、非侵襲計測であることから、義手および義足のような、人間の動作の意思を検出する用途では重要である。義手の用途において、手を正確に制御するためには、EMGの多点計測が必要になる[参考文献1,2]。しかしながら、受動電極アレイ[参考文献1,3]を用いた従来の多点計測は、二つの問題を抱えている。1)一つ目は、皮膚表面に取り付けられたEMG電極が柔軟性に欠けるため、長時間の計測が被計測人に煩わしさを与えることである。2)二つ目は、計測点の数が増えるにつれて、電極と前段回路との間の配線数が増加するため、EMGの信号品質が劣化することである。このような課題を克服するために、厚さが1μmの超柔軟性を有するフィルム上に、EMG電極アレイと、2V有機トランジスタを備えた前段増幅器アレイとを集積化し、義手を制御するための表面EMG計測シート(SEMS)を開発した。開発したSEMSによれば、信号品質を低下させることなく、負担の少ない長時間にわたる計測が可能になる。

40

#### 【0053】

50

増幅器アレイのための有機トランジスタの設計課題は、1) 増幅器の大きな面積が電極アレイのピッチを増加させることと、2) 増幅器の不整合が、有機トランジスタの大きな不整合に起因することである。これらの課題を克服するために、本稿は、二つの提案を提示している。即ち、本稿は、1) E M G 電極密度の4倍の密度で筋電信号を測定位置で増幅するための分散共有増幅器(D S A)アーキテクチャと、2) 従来の並列トランジスタと比較して、増幅器を構成するトランジスタの不整合、消費電力を、それぞれ92%、56%だけ低減させる事後製造による選択・接続(S A C)手法である。D S AとS A Cは、柔軟性のあるプリント電極を用いた生体信号の大規模なアレイ計測において基幹的な技術である。

#### 【0054】

図7は、本願発明者らが開発した45mm×40mmの64チャンネルS E M Sの写真を示している。S E M Sでは、厚さが1μmの超柔軟性を有するポリエチレンナフタレート(P E N)フィルム上に、8×8 E M G 電極アレイシートと、2V有機トランジスタを有する8×2前段増幅器アレイシートとが積層されている。E M G 電極のピッチは0.7mmであり、8×8 E M G 電極アレイの面積は3.5mm<sup>2</sup>である。

#### 【0055】

図8は、本稿で提案するD S Aアーキテクチャを用いたS E M Sの回路図である。S E M Sは、信号品質の劣化を避けるために、従来の受動電極アレイ[参考文献1-3]に代えて増幅器アレイを備えている。図7および図13に示すように、増幅器の面積は大きいので、1つの増幅器を4個の電極で共有し、これにより電極密度を4倍にしている。また、E M G 電極アレイおよび増幅器アレイは、電極密度を上げるために、積層化[参考文献4]された別個のシート上に形成されている。図8に示すように、ブロック11では、4個のE M G 電極のうちの一つが、ローカルワード線(L W L<sub>1</sub> ~ L W L<sub>4</sub>)信号により選択され、ソースフォロワによる信号を増幅器が増幅する。ブロック21では、4個のE M G 電極のうちの一つが、ローカルワード線(L W L<sub>5</sub> ~ L W L<sub>8</sub>)信号により選択され、ソースフォロワによる信号を増幅器が増幅する。そして、それら二つの増幅器の出力が、グローバルワード線(G W L<sub>1</sub> ~ G W L<sub>2</sub>)信号により選択される。著者らは、D N T Tの有機半導体[参考文献5]とセルフ・アライン・モノレイヤ(S A M)技術[参考文献6]を用いた2V有機p M O Sトランジスタを採用し、これにより、p M O Sのみによる回路設計を実現した。

#### 【0056】

図9は、増幅器アレイのための従来のトランジスタ不整合低減技術と、本稿の提案によるトランジスタ不整合低減技術を示す。図9(a)および(b)は、それぞれ、従来技術による単一トランジスタとN個の並列トランジスタとの間のトランジスタ不整合を示す。図9(c)は、本稿の提案による事後製造によるS A C手法を示す。S A Cにおいては、第1に、各トランジスタのI-V特性(例えば、スレッショルド電圧とオン電流(I<sub>on</sub>))を測定する。2N回の測定が必要となる。そして、目標である不整合を最小化する計算に基づき、図9(c)の左のグループおよび右のグループから、それぞれ、M<sub>1</sub>個およびM<sub>2</sub>個のトランジスタが選択される。通常、M<sub>1</sub>およびM<sub>2</sub>は等しくない。最後に、図9(c)の写真に示すように、選択されたM<sub>1</sub>(M<sub>2</sub>)個のトランジスタをインクジェットプリントにより相互接続する。本稿の提案によるS A Cは、プリント・エレクトロニクスを利用しているのに対し、シリコンV L S I技術によるS A Cはコストが高く、実用的でない。図9(d)に比較表を示す。P e l g r o m則によれば、N倍の電力増加という犠牲を払いながらも、N個の並列トランジスタ(図9(b))の不整合はN<sup>-1/2</sup>倍に留まる。これに対し、本稿の提案によるS A C(図9(c))によれば、トランジスタの不整合はN<sup>-1/2</sup>倍よりも小さく、電力はN倍よりも小さくなる。詳細な分析は図10に示されている。

#### 【0057】

図10(a)は、11個の有機p M O SトランジスタのI<sub>D S</sub>-V<sub>D S</sub>特性の測定結果を示す。本稿では、I<sub>on</sub>の不整合を対象とする。I<sub>on</sub>の測定値の平均(μ(I<sub>on</sub>))

10

20

30

40

50

)とシグマ (  $\sigma(I_{on})$  ) は、それぞれ、 $27.4 \mu A$ と $6.0 \mu A$ である。測定により得られた $\mu(I_{on})$ と $\sigma(I_{on})$ に基づき、正規分布を仮定して $I_{on}$ の不整合をシミュレートし、従来の並列トランジスタ(図9(b))と本稿の提案によるSAC(図9(c))とを比較した。図10(b)は、シミュレーションにより得られた $I_{on}$ の不整合のN依存性を示す。並列トランジスタの $I_{on}$ の不整合は、Pelgrom則に従い、 $N^{-1/2}$ に比例する。一方、本稿の提案によるSACの $I_{on}$ の不整合は、従来の並列トランジスタの不整合よりも十分に小さい。図10(c)は、シミュレーションにより図10(b)から導出された $I_{on}$ の不整合低減のN依存性を示す。例えば、 $I_{on}$ の不整合低減は、 $N = 2, 4, 8$ について、それぞれ、 $-54\%$ 、 $-92\%$ 、 $-99.7\%$ である。 $N = 4$ は、図9(c)に示す例に対応している。図10(d)は、シミュレーションにより得られた $\mu(I_{on})$ のN依存性(=平均電力)を示す。例えば、 $\mu(I_{on})$ の低減は、 $N = 2, 4, 8$ について、それぞれ、 $-44\%$ 、 $-56\%$ 、 $-56\%$ である。このように、本稿の提案によるSACによれば、より少ない電力オーバーヘッドで、従来の並列トランジスタよりも不整合を十分に小さくすることができる。

#### 【0058】

pMOSトランジスタのみを用いた回路設計において、増幅器の利得を上げることは困難である。疑似CMOSインバータ[参考文献4,7]によれば高い利得を得ることができるものの、負電圧を必要とする。従って、本稿では、[参考文献8]に基づくAC結合された負荷を有するpMOSトランジスタのみの増幅器を使用し、これにより負電圧を不要とした。図11(a)に、SEMSにおいて使用されたpMOSトランジスタのみの増幅器の回路図を示す。比較のために、従来のダイオード負荷も示されている。AC結合負荷では、トランジスタ $M_1$ の $V_{GS}$ はコンデンサ $C_2$ により一定となり、負荷のインピーダンスが高くなる。これにより高利得を達成している。コンデンサ $C_1$ と $C_2$ はMIMキャパシタにより実現され、 $R_1$ と $R_2$ はpMOSトランジスタにより実現されている。増幅器のサイズは、 $20 \text{ mm} \times 5 \text{ mm}$ であり、その増幅器の写真が図13に示されている。図11(b)に、 $2 \text{ V}$ での増幅器の利得の周波数依存性の測定結果を示す。AC結合負荷を有する増幅器の利得は、ダイオード負荷を有する増幅器の利得よりも十分に高い。AC結合負荷を有する増幅器の電力消費は $30 \mu W$ である。この増幅器の目標仕様は、“利得@ $100 \text{ Hz} > 20 \text{ dB}$ ”と、“利得@ $500 \text{ Hz} > 10 \text{ dB}$ ”である。すなわち、AC結合負荷を有する増幅器には、入力する電圧の周波数が $100 \text{ Hz}$ の場合の利得が $20 \text{ dB}$ より大きく、入力する電圧の周波数が $500 \text{ Hz}$ の場合の利得が $10 \text{ dB}$ より大きくなることが求められる。その理由は、上記の目標仕様について、表面EMGの代表的な振幅帯域と周波数帯域が、それぞれ、 $1 \sim 2 \text{ mV}$ と $10 \text{ Hz} \sim 500 \text{ Hz}$ であるためである。図11(b)では、“利得@ $100 \text{ Hz} = 21 \text{ dB}$ ”および“利得@ $500 \text{ Hz} = 10 \text{ dB}$ ”、すなわち、入力する電圧の周波数が $100 \text{ Hz}$ の場合の利得が $21 \text{ dB}$ であり、入力する電圧の周波数が $500 \text{ Hz}$ の場合の利得が $10 \text{ dB}$ であるという結果が得られており、これらは上記の目標仕様を満足する。

#### 【0059】

図12は、有機増幅器を有する表面EMGの測定系の設定と測定波形を示す。手を開いた状態での波形と閉じた状態での波形との間の明らかな違いが良好に観測されている。手を開いた状態での波形の最大振幅と周波数は、それぞれ、 $35 \text{ mV}$ と $100 \text{ Hz}$ である。図13は、有機増幅器の写真を示し、主要な特徴を集約している。

#### 【0060】

参考文献:[1] P. Liu, et al., “EMG-to-Force Modeling for Multiple Fingers,” IEE E Annual Northeast Bioengineering Conference (NEBEC), pp. 1-2, Apr. 2011.[2] D. S taudenmann, et al., “Towards Optimal Multi-Channel EMG Electrode Configurations in Muscle Force Estimation: A High Density EMG Study,” Elsevier Journal of Electromyography and Kinesiology, vol. 15, issue 1, pp. 1-11, Feb. 2005.[3] B. G. L apatki, et al., “A Thin, Flexible Multielectrode Grid for High-Density Surface EMG,” American Physiological Society Journal of Applied Physiology, vol. 96, no.

1, pp. 327-336, Jan. 2004.[4] T. Yokota, et al., "Sheet-Type Organic Active Matrix Amplifier System Using Vth-Tunable, Pseudo-CMOS Circuits with Floating-Gate Structure," IEEE International Electron Devices Meeting, pp. 335-338, Dec. 2011.[5] T. Yamamoto and K. Takimiya, "Facile Synthesis of Highly  $\pi$ -Extended Heteroarenes, Dinaphtho[2,3-b:2',3'-f]chalcogenopheno[3,2-b]chalcogenophenes, and Their Application to Field-Effect Transistors," Journal of American Chemical Society, vol.129, no.8, pp. 2224-2225, Aug. 2007.[6] H. Klauk, et al., "Ultralow-Power Organic Complementary Circuits," Nature, vol. 445, pp. 745-748, Feb., 2007.[7] K. Ishida, et al., "100-V AC Power Meter System-on-a-Film (SoF) Integrating 20-V Organic CMOS Digital and Analog Circuits with Floating Gate for Process Variation Compensation and 100-V Organic PMOS Rectifier," IEEE ISSCC Dig. of Tech. Papers, pp.218-219, Feb. 2011.[8] H. Marien, et al., "A Fully Integrated ADC in Organic Thin-Film Transistor Technology on Flexible Plastic Foil," IEEE J. Solid-State Circuits, vol. 44, no. 1, pp. 276-284, Jan. 2011.

10

【産業上の利用可能性】

【0061】

本発明は、生体信号を検出するための装置に広く適用することができる。また、本発明は、工業製品などの電気信号を検出するための装置にも適用することができる。

【符号の説明】

【0062】

1...信号検出装置 F, F<sub>1,1</sub> ~ F<sub>m,n</sub>...信号検出部 G, GS<sub>1</sub> ~ GS<sub>n</sub>...生体信号選択部 GWL, GWL<sub>1</sub> ~ GWL<sub>m</sub>...グローバルワード線 LWL, LWL<sub>1</sub> ~ LWL<sub>4m</sub>...ローカルワード線 100...電極群 100<sub>1</sub> ~ 100<sub>4</sub>...電極 200...電極信号選択部 210<sub>1</sub> ~ 210<sub>4</sub>...ソースフォロワ回路 220...負荷電流源 211, 212, 221...pMOSトランジスタ(有機トランジスタ) 300...増幅部 310...コンデンサ 320...増幅器 321<sub>1</sub> ~ 321<sub>k</sub>...pMOSトランジスタ(有機トランジスタ)

322...負荷 323...抵抗 324<sub>1</sub> ~ 324<sub>k</sub>, 325<sub>1</sub> ~ 325<sub>k</sub>...配線形成領域

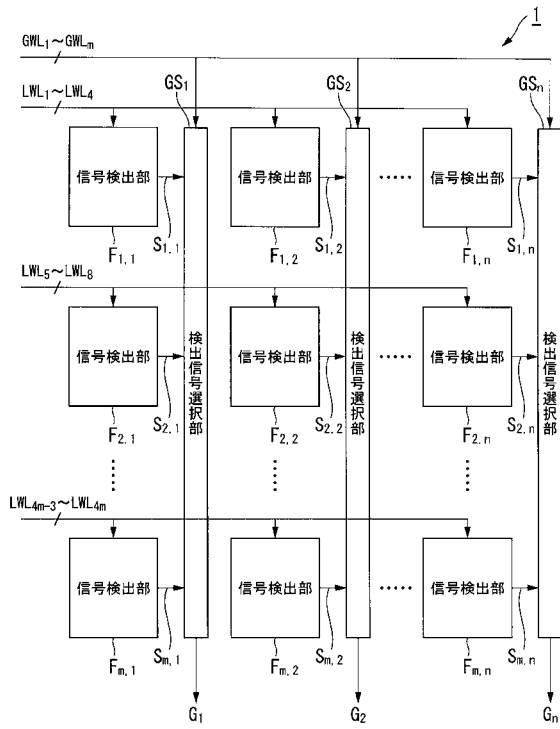
1020...第1回路層 1030...第2回路層 1040...導電層

20

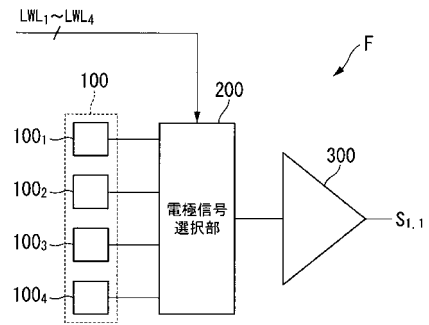
30



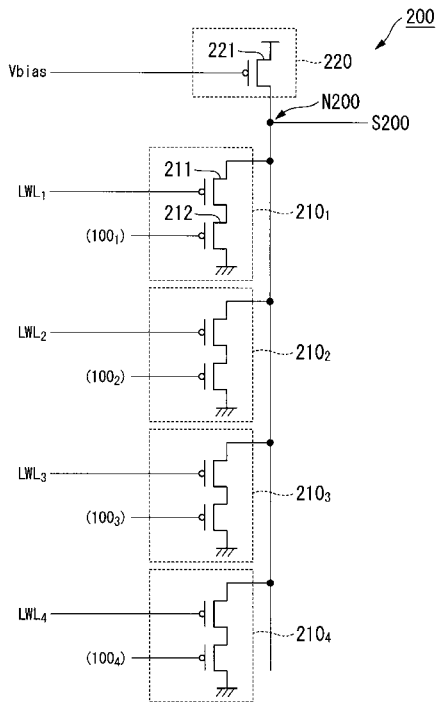
【 図 1 】



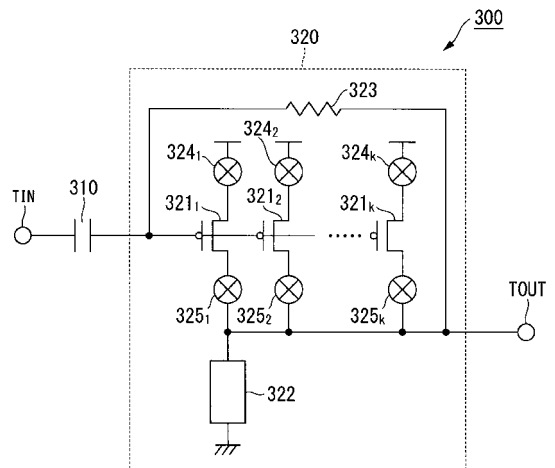
【 図 2 】



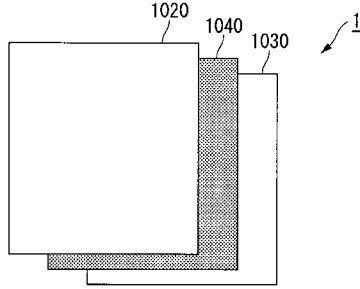
【 図 3 】



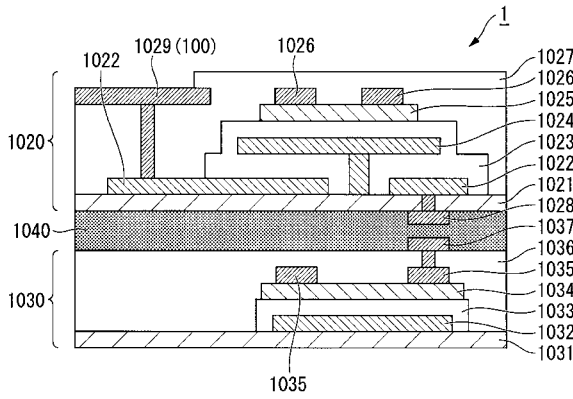
【 図 4 】



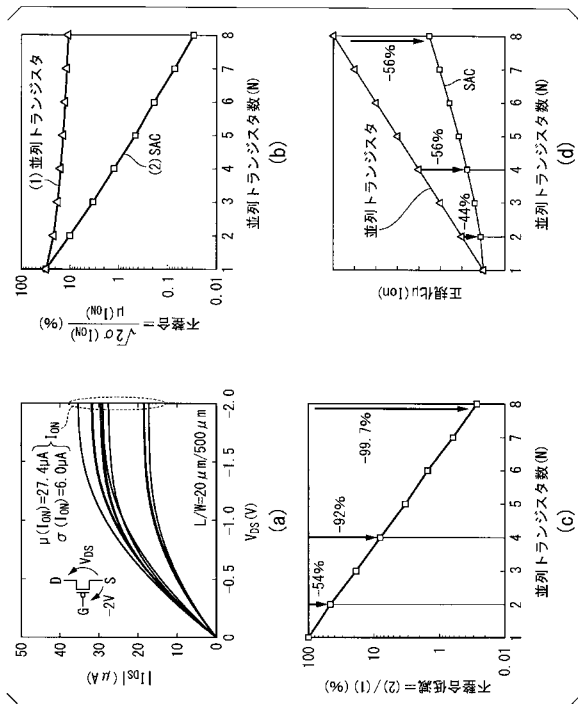
【図5】



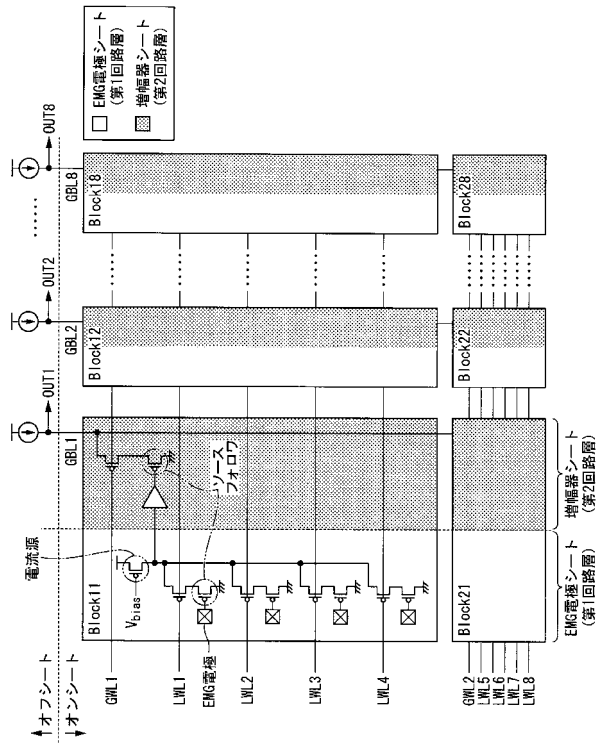
【図6】



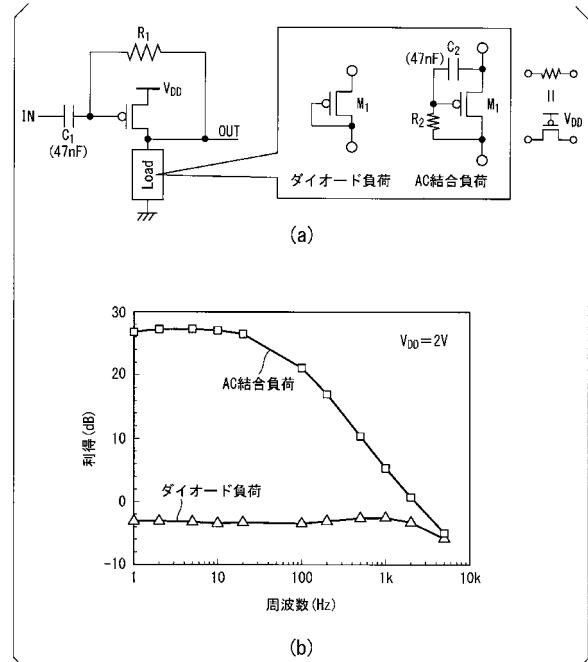
【図10】



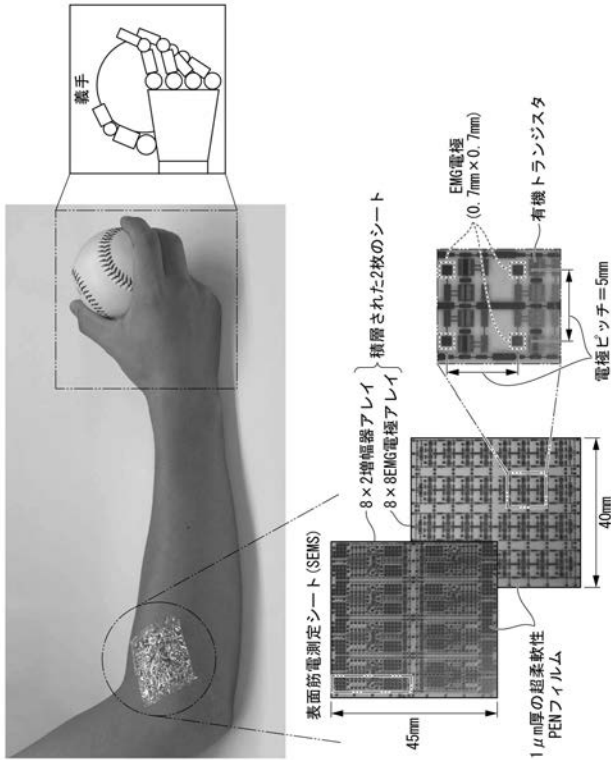
【図8】



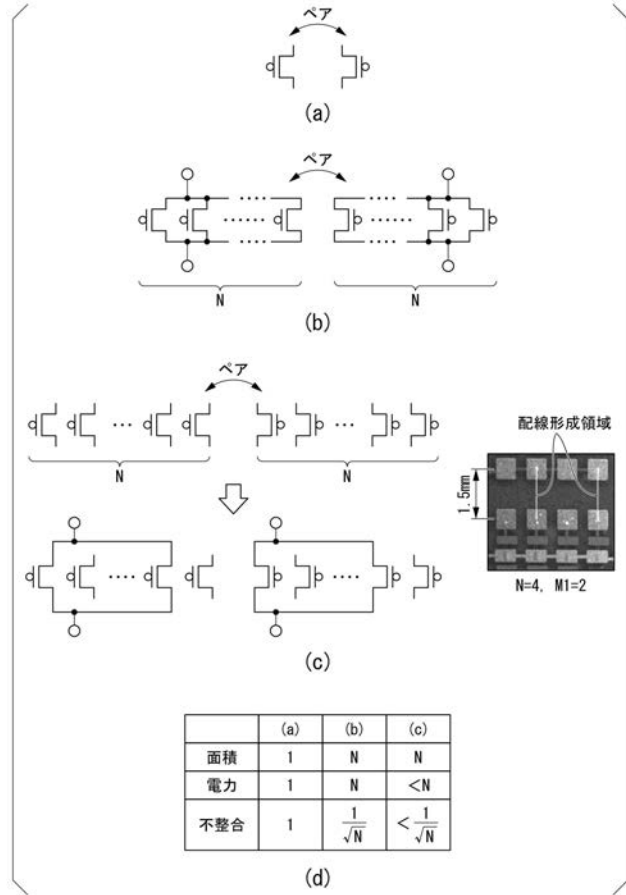
【図11】



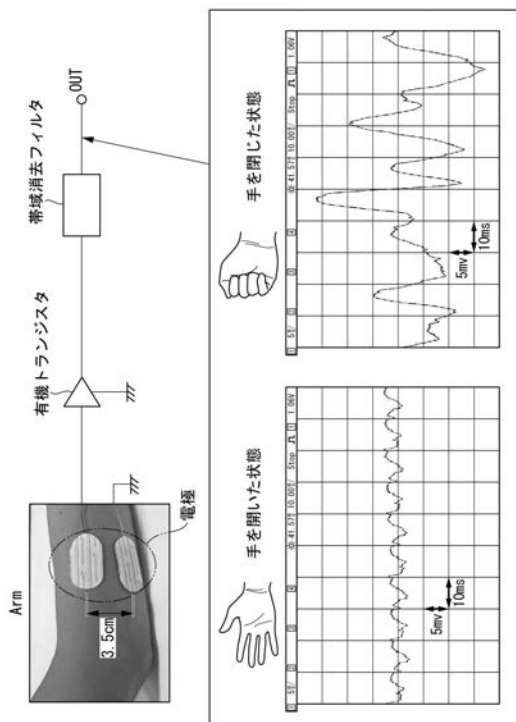
【 図 7 】



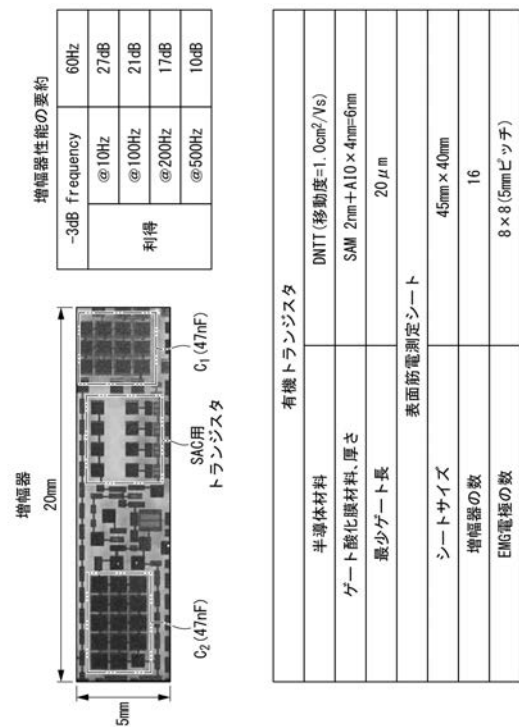
【 図 9 】



【 図 1 2 】



【 図 1 3 】



## 【手続補正書】

【提出日】平成26年11月12日(2014.11.12)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

信号を発生させる被検体と接するように配置された複数の電極からなる電極群と選択信号に基づき前記複数の電極上の信号を選択する第1選択部とが行列状に複数配置され、可撓性を有する第1回路層と、

前記第1選択部により選択された信号を増幅する増幅部が行列状に複数配置されると共に、前記行列状に配置された複数の増幅部からそれぞれ出力される検出信号を選択する第2選択部が配置され、可撓性を有する第2回路層と、

前記第1回路層と前記第2回路層との間に設けられ、前記第1回路層に形成された前記第1選択部の出力部と前記第2回路層に形成された前記増幅部の入力部とを電氣的に接続する導電層と、

を備え、

前記増幅部が、前記複数の電極からなる電極群および前記第1選択部と積層構造をなすように、前記第1回路層と前記第2回路層とが、前記導電層を介して積層された、信号検出装置。

【請求項2】

前記第1選択部は、

前記複数の電極に対応して設けられた複数のソースフォロワ回路から構成され、

前記複数のソースフォロワ回路は、前記選択信号に基づいて択一的に活性化されることを特徴とする請求項1に記載の信号検出装置。

【請求項3】

前記複数のソースフォロワ回路のそれぞれは、

前記複数の電極の何れかにゲートが接続され、ドレインが所定の固定電位ノードに接続された第1トランジスタと、

前記第1トランジスタのソースと負荷電流源との間に接続され、ゲートに前記選択信号が供給された第2トランジスタと、

を備えたことを特徴とする請求項2に記載の信号検出装置。

【請求項4】

前記増幅部は、

前記複数のソースフォロワ回路の出力部に共通に接続された第1電極を有するコンデンサと、

前記コンデンサの第2電極に入力部が接続された増幅器と、

を備えたことを特徴とする請求項2または3の何れか1項に記載の信号検出装置。

【請求項5】

前記増幅部は、

前記増幅器の電氣的特性を調整するためのトランジスタ群を備え、

前記トランジスタ群をなす一部のトランジスタは、所望の電氣的特性が得られるように選択的に並列接続されたことを特徴とする請求項1から4の何れか1項に記載の信号検出装置。

【請求項6】

前記複数の電極と前記第1選択部と前記増幅部とを1ブロックとして、行列状に配置された複数のブロックを備え、

前記第2選択部は、前記複数のブロックのそれぞれに備えられた前記増幅部の出力信号

を選択することを特徴とする請求項 1 から 5 の何れか 1 項に記載の信号検出装置。

【請求項 7】

請求項 1 から 6 の何れか 1 項に記載の信号検出装置による信号検出方法において、前記第 1 選択部が、前記選択信号に基づき、前記複数の電極上の信号を選択する選択段階と、

前記増幅部が、前記選択段階において前記第 1 選択部により選択された信号を増幅する増幅段階と、を含む、信号検出方法。

【請求項 8】

信号を発生させる被検体と接するように配置された複数の電極からなる電極群と選択信号に基づき前記複数の電極上の信号を選択する第 1 選択部とが行列状に複数配置され、可撓性を有する第 1 回路層と、

前記第 1 選択部により選択された信号を増幅する増幅部が行列状に複数配置されると共に、前記行列状に配置された複数の増幅部から出力される検出信号を選択する第 2 選択部が配置され、可撓性を有する第 2 回路層と、

前記第 1 回路層と前記第 2 回路層との間に設けられ、前記第 1 回路層に形成された前記第 1 選択部の出力部と前記第 2 回路層に形成された前記増幅部の入力部とを電氣的に接続する導電層と、

を備えた信号検出装置の製造方法であって、

前記増幅部が、前記複数の電極からなる電極群および前記第 1 選択部と積層構造をなすように、前記第 1 回路層と前記第 2 回路層とを前記導電層を介して積層する段階

を含む、信号検出装置の製造方法。

【請求項 9】

前記導電層は、

異方性導電性を有するシート状の導電層であることを特徴とする請求項 1 から 6 の何れか 1 項に記載の信号検出装置。

【請求項 10】

前記導電層は、

異方性導電性を有するシート状の導電層であることを特徴とする請求項 7 に記載の信号検出方法。

【請求項 11】

前記導電層は、

異方性導電性を有するシート状の導電層であることを特徴とする請求項 8 に記載の信号検出装置の製造方法。

## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/JP2014/053548
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> A61B5/0408(2006.01)i, A61B5/0478(2006.01)i, A61B5/0488(2006.01)i, A61B5/0492(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) A61B5/0408, A61B5/0478, A61B5/0488, A61B5/0492  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-513038 A (The Trustees of the University of Pennsylvania), 28 April 2011 (28.04.2011), paragraphs [0032], [0033]; fig. 6, 8 & US 2011/0054583 A1 & EP 2265171 A1 & WO 2009/114689 A1	1-8
Y	JP 2004-267298 A (Keio University), 30 September 2004 (30.09.2004), paragraph [0024]; fig. 4 (Family: none)	1-8
A	JP 2008-86392 A (Casio Computer Co., Ltd.), 17 April 2008 (17.04.2008), paragraph [0025]; fig. 2, 3 (Family: none)	1-8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 March, 2014 (26.03.14)		Date of mailing of the international search report 08 April, 2014 (08.04.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/053548

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-245915 A (Tutomu OTAKE), 06 September 1994 (06.09.1994), paragraphs [0007] to [0009]; fig. 1, 2 & US 5483967 A & EP 612498 A1 & CN 1092278 A	1-8

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 5 3 5 4 8									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. A61B5/0408(2006.01)i, A61B5/0478(2006.01)i, A61B5/0488(2006.01)i, A61B5/0492(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. A61B5/0408, A61B5/0478, A61B5/0488, A61B5/0492											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2014年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2014年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2014年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2014年	日本国実用新案登録公報	1996-2014年	日本国登録実用新案公報	1994-2014年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2014年										
日本国実用新案登録公報	1996-2014年										
日本国登録実用新案公報	1994-2014年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	JP 2011-513038 A (ザ トラスティーズ オブ ザ ユニバーシテ ィ オブ ペンシルバニア) 2011.04.28, [0032], [0033], [図 6], [図 8] & US 2011/0054583 A1 & EP 2265171 A1 & WO 2009/114689 A1	1-8									
Y	JP 2004-267298 A (学校法人慶應義塾) 2004.09.30, [0024], [図 4] (ファミリーなし)	1-8									
A	JP 2008-86392 A (カシオ計算機株式会社) 2008.04.17, [0025], [図 2], [図 3] (ファミリーなし)	1-8									
C欄の続きにも文献が列挙されている。		パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行人若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 26.03.2014		国際調査報告の発送日 08.04.2014									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 湯本 照基	2Q 9404								
		電話番号 03-3581-1101	内線 3292								



国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 5 3 5 4 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-245915 A (大竹 務) 1994.09.06, [0007]-[0009], [図 1], [図 2] & US 5483967 A & EP 612498 A1 & CN 1092278 A	1 - 8

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(出願人による申告)平成23年度、独立行政法人科学技術振興機構戦略的創造研究事業「染谷生体調和エレクトロニクス」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(72)発明者 桜井 貴康

東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

(72)発明者 関谷 毅

東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

(72)発明者 染谷 隆夫

東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

Fターム(参考) 4C027 AA04 EE01 EE05 HH21 KK01 KK07

4C127 AA04 EE01 EE05 HH21 KK01 KK07 LL02 LL04 LL08 LL15

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。