

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-37723  
(P2018-37723A)

(43) 公開日 平成30年3月8日(2018.3.8)

(51) Int.Cl.			F I			テーマコード (参考)		
<b>H03K</b>	<b>17/16</b>	<b>(2006.01)</b>	H03K	17/16	M	5H740		
<b>H02M</b>	<b>1/08</b>	<b>(2006.01)</b>	H02M	1/08	A	5J055		
<b>H03K</b>	<b>17/56</b>	<b>(2006.01)</b>	H03K	17/56	Z			

審査請求 未請求 請求項の数 4 O L (全 16 頁)

<p>(21) 出願番号 特願2016-166831 (P2016-166831)</p> <p>(22) 出願日 平成28年8月29日 (2016. 8. 29)</p> <p>(出願人による申告) 平成27年度国立研究開発法人新エネルギー・産業技術総合開発機構「低炭素社会を実現する次世代パワーエレクトロニクスプロジェクト／研究開発項目1 (10) 新世代Siパワーデバイス技術開発／新世代Si-IGBTと応用基本技術の研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(71) 出願人 305027401 公立大学法人首都大学東京 東京都新宿区西新宿二丁目3番1号</p> <p>(74) 代理人 100137752 弁理士 亀井 岳行</p> <p>(72) 発明者 小原 秀嶺 東京都八王子市南大沢1-1 首都大学東京 南大沢キャンパス内</p> <p>(72) 発明者 和田 圭二 東京都八王子市南大沢1-1 首都大学東京 南大沢キャンパス内</p> <p>Fターム(参考) 5H740 BA11 BB07 BC01 BC02 JA01 JB01 KK08</p>
---	--

最終頁に続く

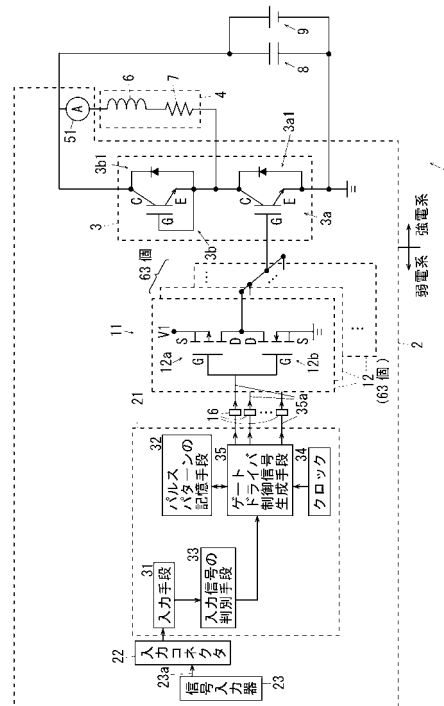
(54) 【発明の名称】 ゲート駆動装置

(57) 【要約】

【課題】複数の駆動回路を有する構成でも、1つの駆動回路の場合と同様の入力信号に対応して、ゲートドライブ回路を動作させること。

【解決手段】並列に接続された複数のゲートドライブ回路(12)における第1の切替素子(12a)および第2の切替素子(12b)のいずれか一方をオンにし且つ他方をオフにする信号を生成する信号生成手段(35)であって、入力信号(23a)に応じて記憶手段(32)に記憶された個数に基づいた切替素子(12a, 12b)のオン・オフを制御する信号(35a)を生成する信号生成手段(35)、を備えたことを特徴とするゲート駆動装置(2)。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

半導体パワーデバイスのオン・オフを制御するゲートドライブ回路であって、第 1 の切替素子と、第 2 の切替素子と、を有し、前記第 1 の切替素子がオン且つ前記第 2 の切替素子がオフの場合に前記半導体パワーデバイスをオンにするゲート電圧を出力すると共に、前記第 1 の切替素子がオフ且つ前記第 2 の切替素子がオンの場合に前記半導体パワーデバイスをオフにするゲート電圧を出力するゲートドライブ回路と、

前記半導体パワーデバイスのオン・オフを切り替える入力信号が入力される入力手段と

、  
並列に接続された複数の前記ゲートドライブ回路に対して、前記各ゲートドライブ回路の切替素子のオン・オフを切り替える場合に、複数の前記ゲートドライブ回路の中でオン・オフにする個数を前記半導体パワーデバイスの特性に応じて予め記憶する記憶手段と、

並列に接続された複数の前記ゲートドライブ回路に対して、前記各ゲートドライブ回路における第 1 の切替素子および第 2 の切替素子のいずれか一方をオンにし且つ他方をオフにする信号を生成する信号生成手段であって、前記入力信号に応じて前記記憶手段に記憶された個数に基づいた前記切替素子のオン・オフを制御する信号を生成する前記信号生成手段と、

を備えたことを特徴とするゲート駆動装置。

## 【請求項 2】

前記入力手段と前記記憶手段と前記信号生成手段とが設定された回路、

を備えたことを特徴とする請求項 1 に記載のゲート駆動装置。

## 【請求項 3】

前記各ゲートドライブ回路の切替素子のオン・オフを切り替える場合に、予め設定された期間における前記ゲートドライブ回路の中でオン・オフにする個数の時間的な推移を予め記憶する記憶手段、

を備えたことを特徴とする請求項 1 または 2 に記載のゲート駆動装置。

## 【請求項 4】

前記半導体パワーデバイス、電力変換回路または負荷の動作状況を検知手段を用いて検知し、前記記憶手段および前記信号生成手段にフィードバックさせることを特徴とする請求項 1 ないし 3 のいずれかに記載のゲート駆動装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体パワーデバイスをオン・オフさせる動作を行うゲート駆動装置に関し、特に、強電系の主回路を弱電系の信号を入力して制御するゲート駆動装置に関する。

## 【背景技術】

## 【0002】

電力の変換や制御を行うパワーエレクトロニクス分野において、半導体パワーデバイスのスイッチングが利用されている。このような、半導体パワーデバイスとして、下記の特許文献 1 に記載の技術が知られている。

## 【0003】

特許文献 1 (特開 2013 - 219874 号公報) には、電力変換装置において、n チャンネル型の MOSFET により構成された 2 つのスイッチ素子 (SW1, SW2) が使用され、上アーム側スイッチ素子 (SW1) のソースに下アーム側スイッチ素子 (SW2) のドレインが接続されるとともに、各スイッチ素子 (SW1, SW2) のゲートに対して、ゲート駆動回路 (GD1, GD2) が接続され、ゲートドライバ制御回路 (GDCTL) からゲート駆動回路 (GD1, GD2) に信号が入力されることで、スイッチ素子 (SW1, SW2) がオン・オフされる構成が記載されている。特許文献 1 に記載の構成では、ゲートドライバ制御回路 (GDCTL) に、マイコン等で生成された上アーム用制御信号 (HIN) と下アーム用制御信号 (LIN) が入力されると、入力された信号 (HIN

10

20

30

40

50

、LIN) に応じて、上アームドライバ用制御信号(HO1)と下アームドライバ用制御信号(LO1)が出力される。

【0004】

特許文献1に記載の従来方式のゲートドライバでは、配線インダクタンスによりスイッチングによる電流の変化が急峻すぎると、過電圧、過電流が発生する。特許文献1等の従来技術では、ゲート抵抗でスイッチングによる電流の変化を緩やかにすることで過電圧等を抑えているが、ゲート抵抗は回路が組み上がった後は変更することができない。そして、最初はゲート抵抗が最適であっても、回路の動作状況(例えば、出力電流が大きい時と小さい時とで過電流の大きさが変わり、最適なゲート抵抗値も変わる)や、IGBTの使用状況(導通している電流値・印加電圧・発熱や素子の劣化等)によっては、最適でなく

10

【0005】

パワーエレクトロニクスでは、損失を低減するため、半導体パワーデバイスをスイッチとして動作させる。パワーデバイスの損失というのは、ある瞬間にパワーデバイスに印加されている「電圧」と流れている「電流」の「積」で計算される電力損失である。理想的なスイッチであれば、「スイッチオン時は電圧が0」、「スイッチオフ時は電流が0」なので損失は発生しないが、実際のパワーデバイスでは、ターンオンとターンオフには有限の時間がかかるため、電圧と電流が同時に存在する期間がある。スイッチング損失とは、

20

ターンオンおよびターンオフの切替時に発生する損失で、一般的に、スイッチングが遅いほど、その損失が大きくなる。つまり、上記の過電圧を抑えるために、ゲート抵抗を大きくしてスイッチングを遅くした場合、スイッチング損失が増えてしまう。スイッチング時に発生する過電圧、過電流とスイッチング損失はトレードオフの関係にある。

【0006】

非特許文献1には、ゲートドライバ内で63個のCMOSドライバ(2つのスイッチ素子+ゲート駆動回路)を並列に接続して、IGBT等の負荷側の回路の使用状況に応じて、オン、オフするゲートドライバの数を変更することで、ゲート電流を変化させる技術が記載されている。例えば、ゲートドライバを1つのみオンにする場合と、ゲートドライバを10個オンにする場合で、ゲート電流を10倍にすることができる技術が記載されている。したがって、非特許文献1に記載の技術によれば、回路の動作状況やスイッチ素子の状態に応じてゲート電流を変化させることが可能である。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2013-219874号公報(「0022」~「0028」、図1)

【非特許文献】

【0008】

【非特許文献1】Koutaro Miyazaki,他6名,“General-Purpose Clocked Gate Driver(ICGD) IC with Programmable 63-Level Drivability to Reduce Ic Overshoot and Switching Loss of Various Power Transistors”,2016 IEEE Applied Power Electronics Conference and Exposition(APEC 2016),pp.1640-1645,2016-3

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

(従来技術の問題点)

非特許文献1に記載された技術では、CMOSドライバ(駆動回路)が63個設けられる構成では、pMOSとnMOSが63個ずつで合計126個の素子が設けられることと

50

なる。したがって、126個の素子のオン、オフを制御する信号(6bit×2=12bit)を入力する必要があるが発生する。すなわち、非特許文献1に記載の技術では、ゲートドライバの制御用の入力信号として、専用の入力信号が必要になる問題があった。そして、CMOSドライバの数が増減すると、入力信号のbit数も信号の内容も変える必要がある問題があった。

【0010】

本発明は、複数の駆動回路を有する構成でも、1つの駆動回路の場合と同様の入力信号に対応して、ゲートドライブ回路を動作させることを技術的課題とする。

【課題を解決するための手段】

【0011】

前記技術的課題を解決するために、請求項1に記載の発明のゲート駆動装置は、半導体パワーデバイスのオン・オフを制御するゲートドライブ回路であって、第1の切替素子と、第2の切替素子と、を有し、前記第1の切替素子がオン且つ前記第2の切替素子がオフの場合に前記半導体パワーデバイスをオンにするゲート電圧を出力すると共に、前記第1の切替素子がオフ且つ前記第2の切替素子がオンの場合に前記半導体パワーデバイスをオフにするゲート電圧を出力するゲートドライブ回路と、前記半導体パワーデバイスのオン・オフを切り替える入力信号が入力される入力手段と、

並列に接続された複数の前記ゲートドライブ回路に対して、前記各ゲートドライブ回路の切替素子のオン・オフを切り替える場合に、複数の前記ゲートドライブ回路の中でオン・オフにする個数を前記半導体パワーデバイスの特性に応じて予め記憶する記憶手段と、

並列に接続された複数の前記ゲートドライブ回路に対して、前記各ゲートドライブ回路における第1の切替素子および第2の切替素子のいずれか一方をオンにし且つ他方をオフにする信号を生成する信号生成手段であって、前記入力信号に応じて前記記憶手段に記憶された個数に基づいた前記切替素子のオン・オフを制御する信号を生成する前記信号生成手段と、

を備えたことを特徴とする。

【0012】

請求項2に記載の発明は、請求項1に記載のゲート駆動装置において、前記入力手段と前記記憶手段と前記信号生成手段とが設定された回路、を備えたことを特徴とする。

【0013】

請求項3に記載の発明は、請求項1または2に記載のゲート駆動装置において、前記各ゲートドライブ回路の切替素子のオン・オフを切り替える場合に、予め設定された期間における前記ゲートドライブ回路の中でオン・オフにする個数の時間的な推移を予め記憶する記憶手段、を備えたことを特徴とする。

【0014】

請求項4に記載の発明は、請求項1ないし3のいずれかに記載のゲート駆動装置において、

前記半導体パワーデバイス、電力変換回路または負荷の動作状況を検知手段を用いて検知し、前記記憶手段および前記信号生成手段にフィードバックさせることを特徴とする。

【発明の効果】

【0015】

請求項1に記載の発明によれば、複数の駆動回路を有する構成でも、1つの駆動回路の場合と同様の入力信号に対応して、ゲートドライブ回路を動作させることができる。

請求項2に記載の発明によれば、入力手段と記憶手段と信号生成手段とが別個の回路に形成された場合に比べて、構成をシンプルにすることができる。

請求項3に記載の発明によれば、予め設定された期間における駆動回路の中でオン・オフにする個数の時間的な推移を予め記憶しない場合に比べて、容易に個数を動的に変更可

10

20

30

40

50

能である。

【 0 0 1 6 】

請求項 4 に記載の発明によれば、半導体パワーデバイスの動作状況をフィードバックさせない場合に比べて、過電圧の発生を低減できる。

【 図面の簡単な説明 】

【 0 0 1 7 】

【 図 1 】 図 1 は本発明の実施例 1 のゲート駆動回路を含む回路の説明図である。

【 図 2 】 図 2 は実施例 1 のゲート駆動装置の等価回路や機能ブロックの説明図である。

【 図 3 】 図 3 は実験例 1 の説明図であり、横軸に時間を取ったグラフである。

【 図 4 】 図 4 は実験例 2 の説明図であり、横軸に時間を取ったグラフである。

【 図 5 】 図 5 は実施例 2 のゲート駆動回路の等価回路や機能ブロックの説明図であり、実施例 1 の図 2 に対応する図である。

【 図 6 】 図 6 は実験例 3 のオフからオンに切り替える場合の説明図であり、図 6 A、図 6 B はフィードバックが無い場合の説明図、図 6 C、図 6 D はフィードバックがある場合の説明図である。

【 図 7 】 図 7 は実験例 3 のオンからオフに切り替える場合の説明図であり、図 7 A、図 7 B はフィードバックが無い場合の説明図、図 7 C、図 7 D はフィードバックがある場合の説明図である。

【 図 8 】 図 8 は実験例 4 の説明図であり、図 8 A は負荷電流のフィードバック処理が行われない場合の説明図、図 8 B は負荷電流のフィードバック処理が行われる場合の説明図である。

【 発明を実施するための形態 】

【 0 0 1 8 】

次に図面を参照しながら、本発明の実施の形態の具体例である実施例を説明するが、本発明は以下の実施例に限定されるものではない。

なお、以下の図面を使用した説明において、理解の容易のために説明に必要な部材以外の図示は適宜省略されている。

【 実施例 1 】

【 0 0 1 9 】

図 1 は本発明の実施例 1 のゲート駆動回路を含む回路の説明図である。

図 2 は実施例 1 のゲート駆動回路の等価回路や機能ブロックの説明図である。

図 1、図 2 において、電力を直流から交流に変換する実施例 1 の電力変換器 1 に、実施例 1 のゲート駆動装置の一例としてのスイッチング装置 2 が組み込まれている。実施例 1 の電力変換器 1 は、主回路の一例としてのスイッチング回路 3 を有する。実施例 1 のスイッチング回路 3 は、2 つの I G B T ( Insulated Gate Bipolar Transistor : 絶縁ゲートバイポーラトランジスタ ) 3 a , 3 b を有する。実施例 1 のスイッチング回路 3 では、第 1 の I G B T 3 a のコレクタが第 2 の I G B T 3 b のエミッタ ( E ) に接続されている。各 I G B T 3 a , 3 b では、コレクタ ( C ) とエミッタ ( E ) の間に還流ダイオード 3 a 1 , 3 b 1 が接続されている。実施例 1 では、第 2 の I G B T 3 b のゲート ( G ) とエミッタ ( E ) が電氣的に接続されている。なお、実施例 1 では電力変換器 1 に負荷 4 が接続されている。負荷 4 は、図 2 の等価回路において、第 2 の I G B T 3 b のコレクタ ( C ) とエミッタ ( E ) の間に、インダクタンス 6 と抵抗 7 とが、電氣的に直列に接続されていることに相当する。また、第 2 の I G B T 3 b のコレクタ ( C ) と第 1 の I G B T 3 a のエミッタ ( E ) との間には、コンデンサ 8 が接続されており、コンデンサ 8 に並列に直流電源 9 が接続されている。コンデンサ 8 は、I G B T がスイッチング時に流れるパルス状の電流を供給するために利用される。また直流電源 9 は負荷が必要とする電力を供給するために必要となる。そのため、直流電源 9 からはパルス状の電流を供給しない。

【 0 0 2 0 】

なお、実施例 1 では、直流電源 9 は、一例として、5 0 V の電圧を印加する。また、実施例 1 では、第 1 の I G B T 3 a のエミッタ ( E ) は、接地 ( アース : 0 V ) されている

10

20

30

40

50

。

前記第1のIGBT3aのゲート(G)には、駆動部の一例としてのゲートドライバ11が接続されている。実施例1のゲートドライバ11は、駆動回路の一例としてのゲートドライブ回路12を63個有する。各ゲートドライブ回路12は、第1の切替素子の一例としての第1スイッチング素子12aと、第2の切替素子の一例としての第2スイッチング素子12bとを有する。実施例1では、第1スイッチング素子12aは、p型のMOSFETにより構成されており、第2スイッチング素子12bは、n型のMOSFETにより構成されている。

**【0021】**

実施例1の第1スイッチング素子12aのゲート(G)と第2スイッチング素子12bのゲート(G)とは接続されている。また、第1スイッチング素子12aのドレイン(D)と第2スイッチング素子12bのドレイン(D)とが接続されている。また、第1スイッチング素子12aのソース(S)に、第1の電圧の一例としてのゲート電圧V1が印加される。なお、実施例1では、ゲート電圧V1は、一例として、 $V1 = 15 [V]$ に設定されている。また、第2スイッチング素子12bのソース(S)は、接地(アース)されている。第2スイッチング素子12bのソース(S)には、第2の電圧の一例としての $V2 = 0 [V]$ が印加されている。63個のゲートドライブ回路12は、ドレイン(D)どうしが接続されるとともに、第1のIGBT3aのゲート(G)に接続されている。

**【0022】**

したがって、実施例1の回路構成では、第1スイッチング素子12aがオンになり、且つ、第2スイッチング素子12bがオフになると、第1のIGBT3aのゲート(G)がゲート電圧V1に接続され、第1のIGBT3aがオンになる。そして、第1スイッチング素子12aがオフになり、且つ、第2スイッチング素子12bがオンになると、第1のIGBT3aのゲート(G)がアースに接続され、第1のIGBT3aがオフになる。すなわち、第1スイッチング素子12aと第2スイッチング素子12bとは、いずれか一方がオンになるように制御される。したがって、スイッチング素子12a, 12bの両方が同時にオンになるようには制御されないが、両方がオフになる場合は存在する。第1スイッチング素子12aのオン、オフが、スイッチング回路3やゲートドライブ回路12のオン、オフに対応する。

また、実施例1のゲートドライバ11では、ゲートドライブ回路12の1つ当たりが流せる最大のゲート電流が $I_g$ の場合、63個のゲートドライブ回路12が全てオンになると、最大 $63 \times I_g [A]$ のゲート電流がスイッチング回路3に入力され、30個がオンになれば、最大 $30 \times I_g [A]$ が入力されるといった形で、スイッチング回路3の特性(元々備えている特性や、使用状況や経時劣化等に伴って変化する特性)に応じて、ゲートドライブ回路12をオンにする個数を変更させて、入力されるゲート電流を設定可能である。

**【0023】**

実施例1の63個のゲートドライブ回路12は、各スイッチング素子12a, 12bのゲート(G)が、信号アイソレータ(信号絶縁素子)16を介して、ドライバ制御回路21に接続されている。実施例1のドライバ制御回路21は、集積回路の一例としてのFPGA(Field Programmable Gate Array)により構成されている。図1において、ドライバ制御回路21には、信号の入力端子の一例としての入力コネクタ22が接続されている。

入力コネクタ22には、電力変換器1のスイッチング回路3のオン・オフの信号を出力する信号入力器23が接続されている。実施例1では、入力コネクタ22には、信号入力器23からオフまたはオンの信号23a、即ち、「0」または「1」からなる1bitのデジタル信号23aが入力されるように構成されている。なお、信号入力器23は、特許文献1に記載のHIN, LINのように、一般的なゲートドライバに信号を入力する公知の構成を採用可能であるため、詳細な説明は省略する。したがって、入力信号はデジタル信号に限定されず、アナログ信号を使用して、信号の振幅や周波数等が閾値よりも高い場合をオン、低い場合をオフにするといった形態も採用可能である。

10

20

30

40

50

## 【 0 0 2 4 】

実施例 1 のドライバ制御回路 2 1 は、入力コネクタ 2 2 を介して信号入力器 2 3 からの信号が入力される入力手段 3 1 を有する。したがって、入力手段 3 1 には、スイッチング回路 3 のオン・オフを切り替える入力信号が入力される。なお、実施例 1 では、入力信号は、前述のように、1 b i t の信号であり、一例として、0 / 5 [ V ] のパルス信号が入力される。

## 【 0 0 2 5 】

また、ドライバ制御回路 2 1 には、記憶手段の一例として、パルスパターン記憶手段 3 2 が設けられている。パルスパターン記憶手段 3 2 は、各ゲートドライブ回路 1 2 のスイッチング素子 1 2 a , 1 2 b のオン・オフを切り替える場合に、6 3 個のゲートドライブ回路 1 2 の中でオン・オフにする個数を、スイッチング回路 3 の特性に応じて予め記憶する。実施例 1 のパルスパターン記憶手段 3 2 は、スイッチング回路 3 の特性の一例としてのゲート抵抗に応じてスイッチングによる電流の変化が急峻過ぎる場合に発生する過電圧を抑制するために、スイッチング回路 3 をオン・オフする際に、オン・オフされるゲートドライブ回路 1 2 の数が、ゲート抵抗に応じて、予め設定されている。

なお、パルスパターン記憶手段 3 2 に記憶されたデータは、図示しない更新ソフトウェア（更新手段）により、更新可能に構成されている。したがって、環境変化や経時劣化等でスイッチング回路 3 の特性が変化した場合に、ユーザの入力に応じて、オン・オフされるゲートドライブ回路 1 2 の個数を変更可能である。

## 【 0 0 2 6 】

ドライバ制御回路 2 1 の入力信号の判別手段 3 3 は、入力された信号が、スイッチング回路 3 をオンにする信号か、オフにする信号かを判別する。

クロック 3 4 は、6 3 個のゲートドライブ回路 1 2 を同期して制御するためのクロック信号（同期信号）を生成、出力する。したがって、このクロック 3 4 の周期ごとに、パルスパターンを変化させることができる。

信号生成手段の一例としてのゲートドライバの制御信号生成手段 3 5 は、6 3 個のゲートドライブ回路 1 2 に対して、各ゲートドライブ回路 1 2 における第 1 のスイッチング素子 1 2 a および第 2 のスイッチング素子 1 2 b のいずれか一方をオンにし且つ他方をオフにする信号 3 5 a を生成する。実施例 1 のゲートドライバの制御信号生成手段 3 5 は、入力信号 2 3 a に応じてパルスパターン記憶手段 3 2 に記憶された個数に基づいたスイッチング素子 1 2 a , 1 2 b のオン・オフを制御する信号 3 5 a を生成する。したがって、実施例 1 のゲートドライバの制御信号生成手段 3 5 は、6 3 個ずつのスイッチング素子 1 2 a , 1 2 b の制御を行うために、6 b i t (  $2^6 = 64$  通り )  $\times 2$ 、合計 1 2 b i t の信号 3 5 a を出力する。

## 【 0 0 2 7 】

なお、以下の説明において、実施例 1 のゲートドライバの制御信号生成手段 3 5 から出力される信号 3 5 a の説明をする場合に、第 1 スwitchング素子 ( p M O S ) 1 2 a をオンにする個数を「+」、第 2 スwitchング素子 ( n M O S ) 1 2 b をオンにする個数を「-」として説明する。例えば、3 0 個の第 1 スwitchング素子 1 2 a をオンにする場合は「+ 3 0」と表現し、2 0 個の第 2 スwitchング素子 1 2 b をオンにすると「- 2 0」と表現する。

## 【 0 0 2 8 】

そして、実施例 1 のゲートドライバの制御信号生成手段 3 5 は、パルスパターン記憶手段 3 2 に記憶された個数が 6 0 個の場合、入力されたデジタル信号 2 3 a が「オン」の場合は、「+ 6 0」の信号を出力し、入力されたデジタル信号 2 3 a が「オフ」になると「- 6 0」の信号を生成して、各ゲートドライブ回路 1 2 に出力して制御する。なお、実施例 1 では、ゲートドライバの制御信号生成手段 3 5 が出力する信号 3 5 a は、パルス状の信号により構成されている。

## 【 0 0 2 9 】

( 実施例 1 の作用 )

10

20

30

40

50

前記構成を備えた実施例 1 のスイッチング装置 2 では、1 b i t の入力信号 2 3 a が入力されると、入力信号 2 3 a に応じて、パルスパターンの記憶手段 3 2 に記憶されたデータに基づいて、6 3 個のゲートドライブ回路 1 2 に対して、ゲートドライバの制御信号生成手段 3 5 から 1 2 b i t の信号 3 5 a が出力される。そして、ゲートドライバ 1 1 は、受信した信号 3 5 a に応じて、各スイッチング素子 1 2 a , 1 2 b がオン、オフされ、I G B T 3 a , 3 b がオン、オフされる。

したがって、実施例 1 のスイッチング装置 2 では、非特許文献 1 に記載されているように 6 3 個のゲートドライブ回路 1 2 を駆動する際に 1 2 b i t の入力信号を必要とせず、特許文献 1 に記載されているような従来から使用されている 1 b i t の入力信号 2 3 a を使用することが可能である。すなわち、実施例 1 のスイッチング装置 2 では、1 b i t の入力信号 2 3 a により、6 3 個のゲートドライブ回路 1 2 を制御し、第 1 の I G B T 3 a のゲート特性に応じて制御を行うことができる。よって、実施例 1 のスイッチング装置 2 は、複数のゲートドライブ回路 1 2 を有する構成でも、特許文献 1 のようにゲートドライブ回路が 1 つの場合と同様の入力信号 2 3 a に対応して、ゲートドライブ回路 1 2 を動作させることができる。

#### 【 0 0 3 0 】

また、実施例 1 のスイッチング装置 2 では、パルスパターンの記憶手段 3 2 に記憶されたデータを更新することで、スイッチング回路 3 の特性 (ゲート抵抗) に応じて、駆動されるゲートドライブ回路 1 2 の数を調整することが可能である。したがって、特許文献 1 のように、ゲート抵抗の初期値に応じて設定されたゲートドライバの特性が、経時的に変更できない場合に比べて、実施例 1 では、ゲート抵抗の変化に対応でき、過電圧等の発生を低減することができる。すなわち、ゲート抵抗を動作中に動的に変更することに相当するゲート電流制御が可能となる。

#### 【 0 0 3 1 】

( 実験例 1 )

図 3 は実験例 1 の説明図であり、横軸に時間を取ったグラフである。

実験例 1 では、実施例 1 のスイッチング装置 2 を使用して、降圧チョッパとして使用できることを確認する実験を行った。実験は、主回路電圧を 1 0 0 [ V ] とし、1 0 [ m H ] のインダクタンス 6 と、1 0 [ ] の抵抗 7 を使用し、スイッチング周波数を 1 [ k H z ] とした。実験結果を図 3 に示す。

図 3 において、実験例 1 では、スイッチング素子 1 2 a , 1 2 b をスイッチング周波数で切り替えることで、ピーク間電圧が 1 0 0 [ V ] の矩形波電圧により直流電流が得られることが確認された。すなわち、降圧チョッパとして使用できることが確認された。なお、I G B T の C - E 間の電圧において、0 [ V ] から 1 0 0 [ V ] に切り替わった際に発生している瞬間的な高い電圧 4 1 がサージ電圧であり、これが過大になると、主回路やスイッチング回路 3 等の故障に繋がる。

#### 【 0 0 3 2 】

( 実験例 2 )

図 4 は実験例 2 の説明図であり、横軸に時間を取ったグラフである。

実験例 2 では、実施例 1 のスイッチング装置 2 を使用して、降圧チョッパを P W M ( P u l s e W i d t h M o d u l a t i o n ) 制御で連続動作が可能であることを確認する実験を行った。実験例 2 では、主回路電圧と、インダクタンス 6 、抵抗 7 は実験例 1 と同様にし、P W M 制御で、スイッチングのオン、オフの制御 (三角波比較方式) 用の基本波 (正弦波) を 5 0 [ H z ] とし、キャリア (三角波) を [ 1 k H z ] とした。実験結果を図 4 に示す。

図 4 において、実験例 2 では、ゲート電圧のオン、オフの比率が P W M 制御されると、略正弦波状 (交流) の負荷電流と、ゲート電圧の波形が反転した I G B T C - E 間電圧の波形が得られることが確認された。すなわち、降圧チョッパを P W M 制御で連続動作できることが確認された。

#### 【 実施例 2 】

#### 【 0 0 3 3 】

10

20

30

40

50



図5は実施例2のゲート駆動装置の等価回路や機能ブロックの説明図であり、実施例1の図2に対応する図である。

次に本発明の実施例2の説明をするが、この実施例2の説明において、前記実施例1の構成要素に対応する構成要素には同一の符号を付して、その詳細な説明は省略する。

この実施例2は下記の点で、前記実施例1と相違しているが、他の点では前記実施例1と同様に構成される。

#### 【0034】

図5において、実施例2の電力変換器1では、インダクタンス6と直列に、負荷電流の検知手段の一例としての電流計51が配置されている。

また、実施例2のドライバ制御回路21は、電流計51で検知した電流値（アナログデータ）を、デジタルデータに変換するA/D変換手段52を有する。

10

実施例2のドライバ制御回路21は、判別値の記憶手段の一例としての電流閾値の記憶手段53を有する。電流閾値の記憶手段53は、判別値の一例としての電流閾値 $i_a$ を記憶する。なお、電流閾値 $i_a$ は、実験等により、スイッチング時にサージ電圧が予め設定された値に達する場合の負荷電流 $i_1$ の値に基づいて、余裕（マージン）や安全率、検知精度等も考慮して、予め設定されている。

#### 【0035】

実施例2のドライバ制御回路21のパターン選択の判別手段54は、電流計51で測定され、A/D変換手段52で変換された負荷電流 $i_1$ が、電流閾値 $i_a$ に達しているか否かを判別する。

20

実施例2のパルスパターンの記憶手段32は、負荷電流 $i_1$ が電流閾値 $i_a$ に達する場合に使用するスイッチング素子12a, 12bをオン、オフする個数と、負荷電流 $i_1$ が電流閾値 $i_a$ に達しない場合に使用するスイッチング素子12a, 12bをオン、オフする個数と、を記憶する。

なお、実施例2のパルスパターンの記憶手段32では、オン、オフする個数として、実施例1のように切替後の値（例えば、「-60」）を記憶するのではなく、予め設定された期間の一例としての1300[ns]分のオン、オフする個数を記憶する。なお、実施例2では、オン、オフ制御を行う期間の最小単位を100[ns]として、13個分のパルスが1組になったパルスパターンを記憶する。したがって、実施例2では、1300[ns]におけるゲートドライブ回路12の中でオン・オフにする個数の時間的な推移（プロファイル、パルスパターン）を予め記憶する。

30

#### 【0036】

なお、実施例2では、負荷電流 $i_1$ が電流閾値 $i_a$ 以上の場合に、オフからオンになる場合のパルスパターンの一例として、「+31」、「+31」、「+5」、「+5」、「+31」、「+31」、「+63」、「+63」、「+63」、「+63」、「+63」、「+63」、「+63」が記憶されている。また、負荷電流 $i_1$ が電流閾値 $i_a$ 未満の場合に、オフからオンになる場合のパルスパターンの一例として、「+63」が13個連続したパルスパターンが記憶されている。

また、実施例2では、負荷電流 $i_1$ が電流閾値 $i_a$ 以上の場合に、オンからオフになる場合のパルスパターンの一例として、「-32」、「-32」、「-32」、「-32」、「-1」、「-1」、「-1」、「-1」、「-1」、「-1」、「-1」、「-1」、「-1」、「-63」が記憶されている。また、負荷電流 $i_1$ が電流閾値 $i_a$ 未満の場合に、オンからオフになる場合のパルスパターンの一例として、「-63」が13個連続したパルスパターンが記憶されている。

40

#### 【0037】

なお、実施例2でも、パルスパターンは、実施例1と同様に、図示しない更新ソフトウェアにより、更新可能に構成されている。したがって、環境変化や経時劣化等でスイッチング回路3の特性が変化した場合に、パルスパターンを変更可能である。

そして、実施例2のゲートドライバの制御信号生成手段35は、負荷電流 $i_1$ とパルスパターンに基づいて、各ゲートドライブ回路12をオン、オフする信号35aを生成す

50

る。実施例 2 のゲートドライバの制御信号生成手段 3 5 は、パターン選択の判別手段 5 4 の判別結果に応じたパルスパターンの信号 3 5 a を生成してゲートドライバ 1 1 に出力する。

#### 【 0 0 3 8 】

( 実施例 2 の作用 )

前記構成を備えた実施例 2 の電力変換器 1 では、検知された負荷電流  $i_1$  に応じて、ゲートドライバ 1 1 に入力されるパルスパターンが変更される。一般的に、負荷電流  $i_1$  が大きい場合には、サージ電圧が大きくなる。したがって、スイッチング素子 1 2 a , 1 2 b を、負荷電流  $i_1$  が小さい場合のように、「 - 6 3 」から「 + 6 3 」に切り替えるような急激な切替を行うと、サージ電圧が過大となって故障の原因となる。よって、実施例 2 10  
では、負荷電流  $i_1$  が電流閾値  $i_a$  よりも大きい場合には、スイッチング素子 1 2 a , 1 2 b をオン、オフする個数を「 + 3 1 」や「 - 3 2 」のように、少なくして、時間をかけて ( 1 3 0 0 [ n s ] )、切り替えることで、サージ電圧を低減することが可能である。なお、実施例 2 では、負荷電流  $i_1$  が電流閾値  $i_a$  よりも小さい場合には、サージ電圧が小さいので、スイッチングを短時間で行うことができ、スイッチング損失を小さくすることができる。したがって、実施例 2 の電力変換器 1 では、負荷電流  $i_1$  をフィードバックして、サージ電圧が小さくなるようにパルスパターンを切り替えている。

また、実施例 2 では、クロック周期ごとに 1 2 b i t の信号を変化させており、後述する図 6 D のように、9 クロック周期に渡ってパルスパターンを変化させるとすると、6 4 20  
 $^9 = 20711912837890625$  通りという膨大なパルスパターンの自由度を実現できる。

#### 【 0 0 3 9 】

( 実験例 3 )

図 6 は実験例 3 のオフからオンに切り替える場合の説明図であり、図 6 A、図 6 B はフィードバックが無い場合の説明図、図 6 C、図 6 D はフィードバックがある場合の説明図である。

図 7 は実験例 3 のオンからオフに切り替える場合の説明図であり、図 7 A、図 7 B はフィードバックが無い場合の説明図、図 7 C、図 7 D はフィードバックがある場合の説明図である。

実験例 3 では、実施例 2 の電力変換器 1 を使用して、負荷電流  $i_1$  のフィードバック制御によりサージ電圧が低減されることを確認する実験を行った。実験例 3 は、主回路電圧 30  
、インダクタンス 6、抵抗 7、スイッチング周波数は実験例 1 と同様にした。また、実験例 3 では、電流閾値を、一例として、 $i_a = 1.8 [ A ]$  に設定した。実験結果を図 6、図 7 に示す。

#### 【 0 0 4 0 】

図 6 において、実験例 3 では、ゲートドライブ回路 1 2 をオフからオンにする場合に、図 6 A、図 6 C に示すように、負荷電流  $i_1$  が電流閾値  $i_a$  よりも小さい場合では、フィードバックの処理の有無にかかわらず、同様のスイッチング素子 1 2 a , 1 2 b のオン、オフ制御がされ、I G B T の C - E 間電圧の波形も同様になる。ゲートドライブ回路 1 2 をオンからオフにする場合でも、図 7 A、図 7 C に示すように、負荷電流  $i_1$  が電流閾値  $i_a$  よりも小さい場合では、フィードバックの処理の有無にかかわらず、I G B T の C - 40  
E 間電圧の波形が同様になる。

図 6 B、図 7 B において、負荷電流  $i_1$  が電流閾値  $i_a$  よりも大きい場合でも、フィードバックの処理が行われなければ、図 6 A、図 6 C や図 7 A、図 7 C と同様の波形となる。一方、図 6 D、図 7 D において、負荷電流  $i_1$  が電流閾値  $i_a$  よりも大きい場合に、フィードバックの処理が行われると、特に、図 7 D に示すように、C - E 間電圧のピーク ( サージ電圧 ) の高さが低くなっている。よって、実験例 3 によれば、負荷電流  $i_1$  のフィードバック処理が行われると、サージ電圧が抑えられることが確認された。

#### 【 0 0 4 1 】

( 実験例 4 )

図 8 は実験例 4 の説明図であり、図 8 A は負荷電流のフィードバック処理が行われない 50

場合の説明図、図 8 B は負荷電流のフィードバック処理が行われる場合の説明図である。

実験例 4 では、実施例 2 の電力変換器 1 を使用して、負荷電流  $i_1$  のフィードバック制御によりサージ電圧が低減されることを確認する実験を行った。実験例 4 は、主回路電圧、インダクタンス 6、抵抗 7 は実験例 1 と同様にした。また、実験例 4 では、PWM 制御により、ゲートドライバ 11 がオンの期間とオフの期間との比率を、前半は 20% : 80% とし、後半は 80% : 20% とした。したがって、図 8 A、図 8 B に示すように、前半は負荷電流が小さく、後半は負荷電流が大きくなる。また、実験例 4 では、電流閾値を、一例として、 $i_a = 1.8 [A]$  に設定した。実験結果を図 8 に示す。

#### 【0042】

図 8 A において、実験例 4 では、負荷電流  $i_1$  が電流閾値  $i_a$  よりも大きくなっても、フィードバック処理がされない場合、図 8 A に示すように、高いサージ電圧 61 が発生する。一方、図 8 B において、負荷電流  $i_1$  が電流閾値  $i_a$  よりも大きくなった場合に、フィードバック処理が行われる場合は、サージ電圧 61 の高さが、図 8 A に比べて抑えられる。よって、実施例 2 の方法で、サージ電圧が低減されることが確認された。

10

#### 【0043】

(変更例)

以上、本発明の実施例を詳述したが、本発明は、前記実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内で、種々の変更を行うことが可能である。本発明の変更例 (H01) ~ (H012) を下記に例示する。

(H01) 前記実施例において、半導体パワーデバイス (主回路のスイッチング回路 3) として、IGBT を使用することが望ましいが、これに限定されない。MOSFET、MESFET、JFET、HEMT、IEGT 等、使用可能な任意の構成を使用可能である。また、これらの半導体パワーデバイスを構成する半導体材料としては、シリコン (Si) だけでなく、炭化シリコン (SiC)、窒化ガリウム (GaN)、ヒ化ガリウム (GaAs)、AlGaAs、ダイヤモンド、酸化ガリウム (GaO) 等を使用することが可能である。

20

#### 【0044】

(H02) 前記実施例において、スイッチング素子 12a, 12b として、pMOS と nMOS とを組み合わせた構成を例示したがこれに限定されない。例えば、2つの nMOS を使用したり、2つの pMOS を使用する構成とすることも可能である。また、MOSFET に限定されず、スイッチングが可能な任意の素子を使用可能である。さらに、MOSFET の数も 2 つに限定されず、使用目的等に応じて増減することも可能である。

30

(H03) 前記実施例において、ゲートドライブ回路 12 の数として、63 個を例示したが、これに限定されない。用途や費用、仕様等に応じて、2 以上の任意の数とすることが可能である。なお、本願発明は、ゲートドライブ回路 12 の数が多いほど (信号 35a の bit 数が大きくなるほど)、効果が高くなる。

#### 【0045】

(H04) 前記実施例において、各手段 31 ~ 35、32、35、52 ~ 54 を、ドライバ制御回路 21 として、FPGA の 1 チップで構成したものを例示したが、これに限定されない。FPGA 以外の回路構成 (例えば、DSP (デジタルシグナルプロセッサ)、マイクロコンピュータ、CPU 等) や 2 以上のチップ (集積回路) で構成することも可能である。

40

(H05) 前記実施例 2 において、パルスパターンの時間変化の推移 (プロファイル) を記憶させる構成を例示したが、実施例 1 においてもスイッチングの前後の予め設定された期間のオン、オフする個数を記憶させることも可能である。

#### 【0046】

(H06) 前記実施例 2 において、電流閾値  $i_a$  として予め設定された値を使用する構成を例示したが、これに限定されない。例えば、判別値として、電流閾値ではなく、関数を使用することも可能である。

(H07) 前記実施例において、第 2 の IGBT 3b のゲート (G) とエミッタ (E) とを電氣的に接続する構成を例示したが、これに限定されない。例えば、第 2 の IGBT 3b

50

のゲート ( G ) とエミッタ ( E ) との間にも、ゲートドライブ回路 1 2 を設け、ゲートドライバの制御信号生成手段 3 5 から信号 3 5 a を入力して制御する構成とすることも可能である。なお、ゲートドライブ回路 1 2 を、各 I G B T 3 a , 3 b に対して 1 つずつ設けた場合、第 1 の I G B T 3 a と第 2 の I G B T 3 b とが同時にオンになると、短絡してしまい、故障してしまう。よって、ゲートドライブ回路 1 2 が同時にオンにならないように、一方がオンになる前に、両方が同時にオフになっている期間、いわゆるデッドタイムを設定することが望ましい。すなわち、2 つのゲートドライブ回路 1 2 が同時にオフになる期間が発生するように、ゲートドライバの制御信号生成手段 3 5 から信号 3 5 a を出力することで、デッドタイムを確保可能である。

【 0 0 4 7 】

( H 0 8 ) 前記実施例 2 において、フィードバック処理を行う場合に、サージ電圧が低減されるようにパルスパターンを設定を行い、スイッチング損失 ( スイッチング期間の長さ ) よりもサージ電圧の低減を優先する構成を例示したがこれに限定されない。例えば、スイッチング損失の上限を制限し、スイッチング損失が上限を超えない範囲でサージ電圧が低減されるようにパルスパターンを設定する構成とすることも可能である。他にも、回路に流れる電流値に応じてデッドタイムを優先してパルスパターンを設定する構成とすることも可能である。

( H 0 9 ) 前記実施例 2 において、負荷電流によらずサージ電圧を一定にするため、逐次パルスパターンを変更する制御や、同じくスイッチング損失を一定にする制御を行うことも考えられる。また、デッドタイムについて、フィードバック値に応じて、デッドタイムが最小になるように動作させるようにすることも可能である。

【 0 0 4 8 】

( H 0 1 0 ) 前記実施例 2 において、負荷電流をパラメータとして、フィードバック処理を実行する構成を例示したが、これに限定されない。例えば、負荷電圧や半導体パワーデバイスの端子間電圧、コモンモード電圧、漏れ電流、サージ電圧、あるいは、これらの組み合わせとすることも可能である。なお、これらのパラメータを使用する場合は、使用するパラメータ、フィードバック値に応じた閾値を用いる必要がある。

( H 0 1 1 ) 前記閾値は、1 つの値に限定されない。例えば、2 つの閾値 A と B (  $A > B$  ) を設定した場合、フィードバック値のパラメータが、A 以上、A と B の間、B 以下の 3 つに分けられて判断され、各々に対応して記憶されたパルスパターンを出力することが可能である。ここでは閾値が 2 つの場合を例示したが、閾値は 3 つ以上に設定することも可能である。

( H 0 1 2 ) 前記実施例 2 において、ゲートドライバが半導体パワーデバイスをオン時の電圧として 1 5 V 、オフ時の電圧として 0 V を例示したが、これに限定されない。例えば、一方が正の電圧で他方が負の電圧とすることが可能である。

【 符号の説明 】

【 0 0 4 9 】

- 2 ... ゲート駆動装置、
- 3 ... 半導体パワーデバイス、
- 3 a , 3 b ... 絶縁ゲートバイポーラトランジスタ、
- 1 2 ... ゲートドライブ回路、
- 1 2 a ... 第 1 の切替素子 , p 型の M O S F E T 、
- 1 2 b ... 第 2 の切替素子 , n 型の M O S F E T 、
- 2 1 ... 回路、
- 2 3 a ... 入力信号、
- 3 1 ... 入力手段、
- 3 2 ... 記憶手段、
- 3 5 ... 信号生成手段、
- 3 5 a ... 切替素子のオン・オフを制御する信号、
- 5 1 ... 検知手段、

10

20

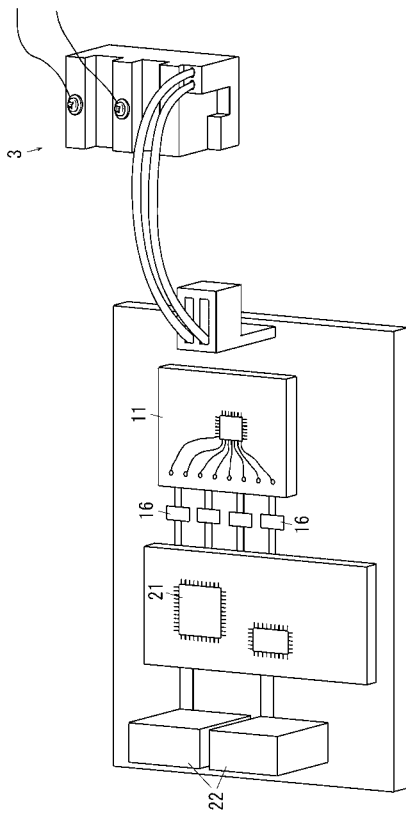
30

40

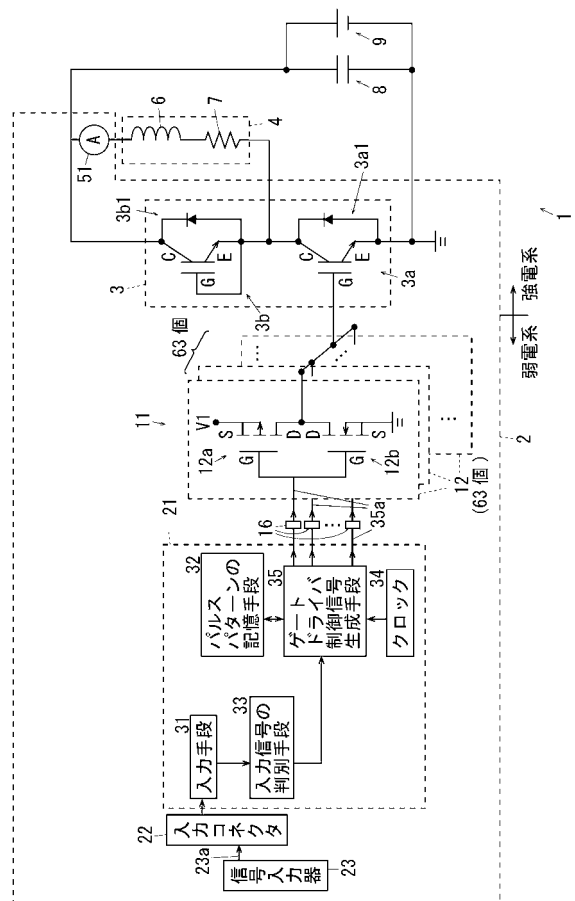
50

$V_1$  ... サージ電圧、  
 $i_1$  ... 負荷電流、  
 $i_a$  ... 判別値、  
 $V_1$  ... 第1の電圧、  
 $V_2$  ... 第2の電圧。

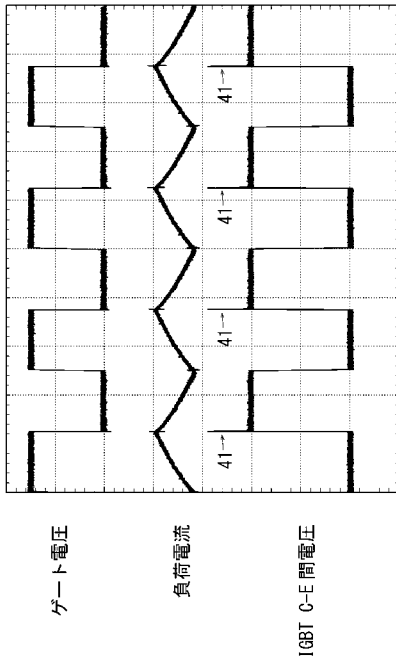
【図1】



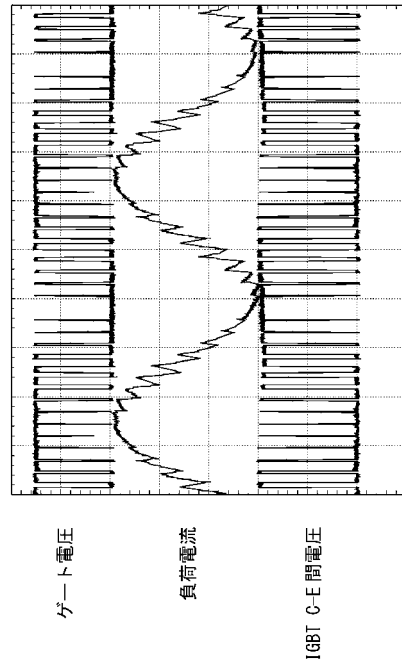
【図2】



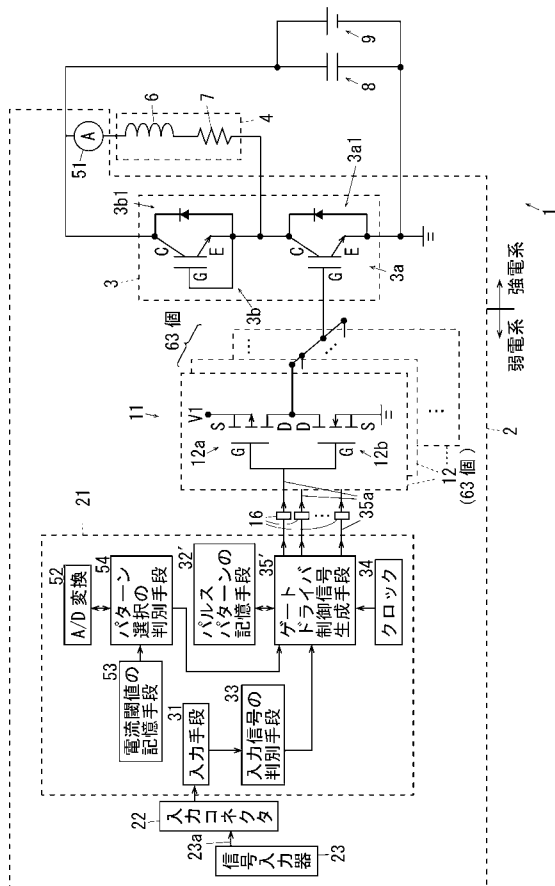
【 図 3 】



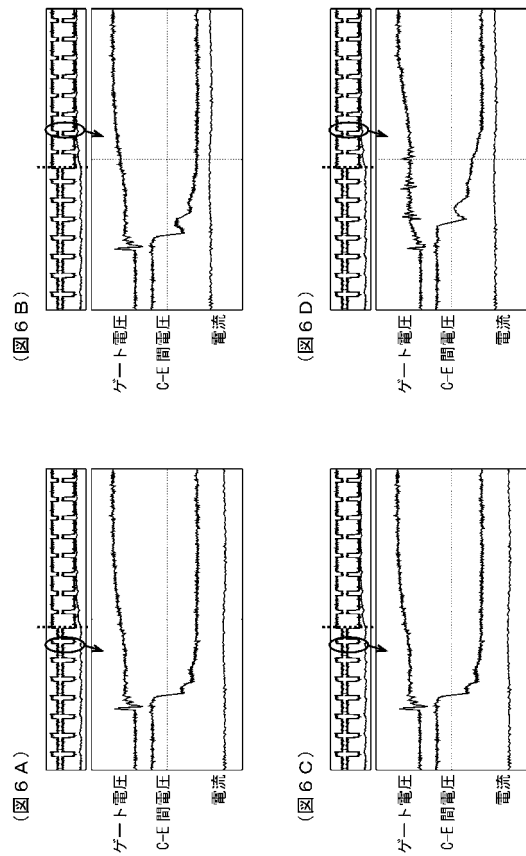
【 図 4 】



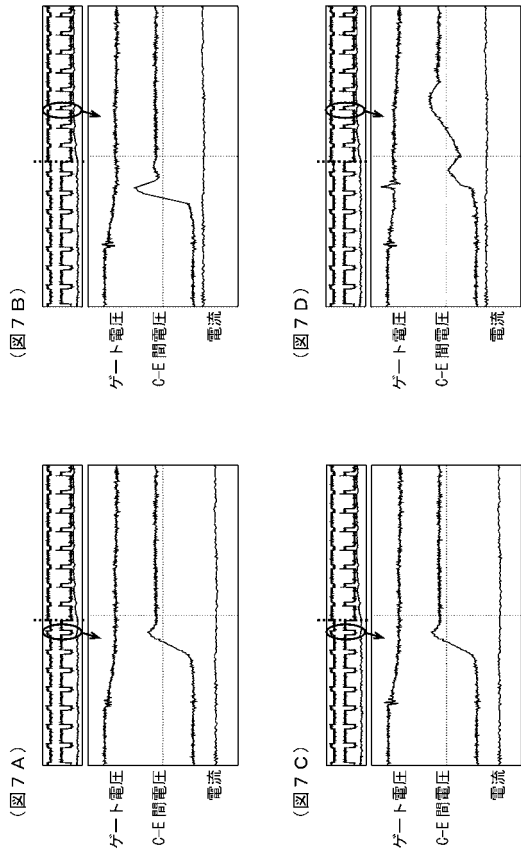
【 図 5 】



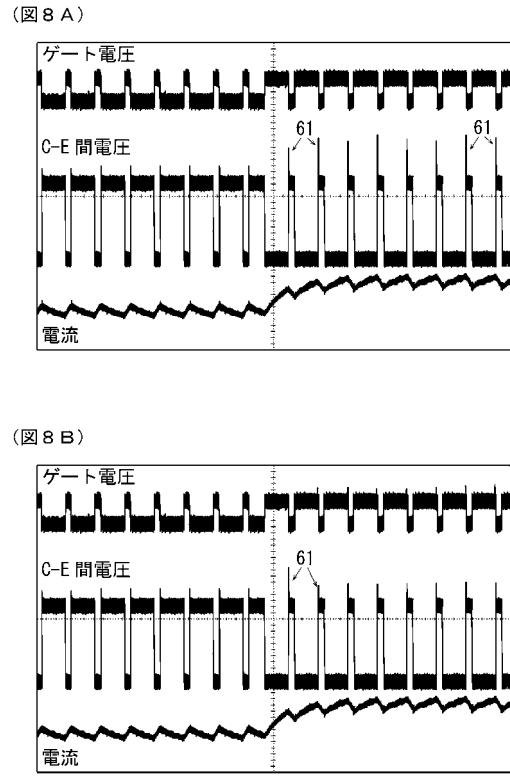
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

Fターム(参考) 5J055 AX25 BX16 CX07 DX09 DX56 EX01 EX07 EX14 EY01 EY05  
EY10 EY12 EZ24 EZ29 EZ63 GX01 GX04 GX09