

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/157910

発行日 平成30年2月15日 (2018. 2. 15)

(43) 国際公開日 平成28年10月6日 (2016. 10. 6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/144 (2006.01)	HO 1 L 27/144 K	4M118
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A	5C024
HO 4 N 5/374 (2011.01)	HO 4 N 5/374	

審査請求 未請求 予備審査請求 有 (全 95 頁)

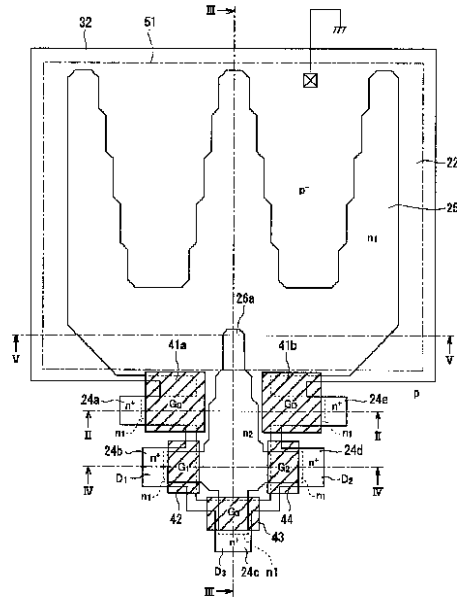
出願番号 特願2017-509300 (P2017-509300)	(71) 出願人 304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(21) 国際出願番号 PCT/JP2016/001869	(74) 代理人 100108914 弁理士 鈴木 壯兵衛
(22) 国際出願日 平成28年3月31日 (2016. 3. 31)	(72) 発明者 川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
(31) 優先権主張番号 特願2015-73097 (P2015-73097)	Fターム(参考) 4M118 AA01 AA05 AB03 BA14 CA04 CA21 DD04 FA06 FA14 FA19 FA33 GB03 GB07 GD04 5C024 CX32 CX41 CY17 EX13 GX03 GY31
(32) 優先日 平成27年3月31日 (2015. 3. 31)	
(33) 優先権主張国 日本国 (JP)	

最終頁に続く

(54) 【発明の名称】 測長素子及び固体撮像装置

(57) 【要約】

大面積の受光面積を有し、高感度、低暗電流で高速変調に有利な測長素子、及びこの測長素子を用いた固体撮像装置を提供する。フォトダイオードを構成するように画素形成層(22)の上部に選択的に配置され、受光部から遮光板(51)で遮光された位置まで画素形成層(22)の上部を延在するn型の表面埋込領域(25)と、n型で表面埋込領域(25)よりも高不純物密度の電荷蓄積領域(24b, 24d, 24c)と、電荷蓄積領域に隣接して配置された複数の転送ゲート電極(42, 44, 43)と、遮光板(51)の開口部の下方に一方の端部が配置され、他方の端部が転送ゲート電極の一部まで到達するn型で表面埋込領域(25)よりも高不純物密度で、電荷蓄積領域よりも低不純物密度のガイド領域(26a)を備える。



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体からなる画素形成層と、

開口部を有し、該開口部の下方の前記画素形成層に受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記受光部において、前記画素形成層との接合構造でフォトダイオードを構成するように、前記画素形成層の上部に選択的に配置され、更に、前記受光部の位置から前記遮光板で遮光された複数の位置まで到達するように、前記画素形成層の上部を延在して分岐形状に複数の凸部を構成する、第 2 導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第 2 導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記開口部の下方の一部に一方の端部が配置され、複数の分岐した他方の端部が前記転送制御機構の少なくとも一部まで到達するように、前記表面埋込領域の上部の一部に配置された、第 2 導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備えることを特徴とする測長素子。

## 【請求項 2】

前記ガイド領域が、

前記開口部の下方の一部に一方の端部が配置され、他方の端部が前記転送制御機構に向かう、第 2 導電型で前記表面埋込領域よりも高不純物密度の補助ガイド領域と、

前記補助ガイド領域に一方の端部が配置され、複数の分岐した他方の端部が前記転送制御機構の少なくとも一部まで到達する、第 2 導電型で前記補助ガイド領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度の主ガイド領域と、

を備えることを特徴とする請求項 1 に記載の測長素子。

## 【請求項 3】

前記ガイド領域の直下となる前記画素形成層の上部に、第 1 導電型で前記画素形成層よりも高不純物密度のブロック領域を備えることを特徴とする請求項 1 又は 2 に記載の測長素子。

## 【請求項 4】

前記表面埋込領域の前記受光部の位置から前記分岐形状の位置に至るまでの幹経路の途中に、該幹経路の長手方向に直交する方向に突出する新たな凸部を更に設け、

該新たな凸部の先端に、第 2 導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の測長素子。

## 【請求項 5】

前記表面埋込領域の外形又は該外形の包絡線の形状が、前記受光部の位置において、平面パターン上、前記ガイド領域の周囲を囲むように台形、放物曲線、逆 U 字型、若しくは逆 V 字型をなすように、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広がることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の測長素子。

## 【請求項 6】

第 1 導電型の半導体からなる画素形成層と、

複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域の両端部から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第 2 導電型の表面埋込領域と、

10

20

30

40

50

前記複数の凸部の先端部にそれぞれ接続され、第2導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方にそれぞれの分岐端部の先端部分が配置された、第2導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備えることを特徴とする測長素子。

【請求項7】

前記ガイド領域が、

前記複数の開口部の下方のそれぞれに配置された、第2導電型で前記表面埋込領域よりも高不純物密度の補助ガイド領域と、

前記補助ガイド領域にそれぞれの分岐端部の先端部分が到達し、他方の端部が前記電荷変調部配置領域に配置された、第2導電型で前記補助ガイド領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度の主ガイド領域と、

を備えることを特徴とする請求項6に記載の測長素子。

【請求項8】

前記ガイド領域の直下となる前記画素形成層の上部に、第1導電型で前記画素形成層よりも高不純物密度のブロック領域を備えることを特徴とする請求項6又は7に記載の測長素子。

【請求項9】

前記表面埋込領域の前記両端部側に前記電荷変調部配置領域の長手方向に直交する方向に突出する新たな凸部を更にそれぞれ設け、

該新たな凸部の先端のそれぞれに、第2導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項6～8のいずれか1項に記載の測長素子。

【請求項10】

第1導電型の半導体からなる画素形成層と、

前記画素形成層によって定義される画素領域の周辺に複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された前記画素領域の中央の位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって放射状に突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第2導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第2導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方に放射状にそれぞれの分岐端部の先端部分が向かった、第2導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備えることを特徴とする測長素子。

【請求項11】

前記ガイド領域が、

前記複数の開口部の下方のそれぞれに配置された第2導電型で前記表面埋込領域よりも

10

20

30

40

50

高不純物密度の補助ガイド領域と、

前記補助ガイド領域の数に対応した数の分岐端部を有し、前記電荷変調部配置領域の位置から前記複数の補助ガイド領域の下方に放射状にそれぞれの分岐端部の先端部分が向かった、第2導電型で前記補助ガイド領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度の主ガイド領域と、

を備えることを特徴とする請求項10に記載の測長素子。

【請求項12】

前記ガイド領域の直下となる前記画素形成層の上部に、第1導電型で前記画素形成層よりも高不純物密度のブロック領域を備えることを特徴とする請求項10又は11に記載の測長素子。

10

【請求項13】

前記表面埋込領域の前記放射状に突出した箇所の前記受光端部に近い側に、前記放射状方向に直交する方向に突出する新たな凸部を更にそれぞれ設け、

該新たな凸部の先端のそれぞれに、第2導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項10～12のいずれか1項に記載の測長素子。

【請求項14】

前記排出ドレイン領域に隣接して配置され、前記新たな凸部を経由した前記排出ドレイン領域への電荷の排出を制御する排出制御機構を更に備えることを特徴とする請求項5、9又は13に記載の測長素子。

20

【請求項15】

前記複数の転送制御機構のそれぞれが、

前記複数の凸部のそれぞれの上に設けられたゲート絶縁膜と、

該ゲート絶縁膜の上にそれぞれ設けられた転送ゲート電極と、

を備え、該転送ゲート電極に印加されるそれぞれの電圧によって、前記複数の凸部のそれぞれに定義される転送路の電位を制御し、前記信号電荷の前記複数の電荷蓄積領域への移動をそれぞれ制御することを特徴とする請求項1～14のいずれか1項に記載の測長素子。

【請求項16】

前記複数の転送制御機構のそれぞれが、

前記信号電荷の転送方向と直交する方向に沿って、平面パターン上、前記複数の凸部のそれぞれを挟むように前記画素形成層上に絶縁膜を介して配列された一对の電界制御電極と、

30

を備え、それぞれの電界制御電極に互いに異なる電界制御電圧を印加し、前記複数の凸部の空乏化電位を変化させることにより、前記複数の凸部中を転送される前記信号電荷の移動を制御することを特徴とする請求項1～15のいずれか1項に記載の測長素子。

【請求項17】

第1導電型の半導体からなる画素形成層と、

開口部を有し、該開口部の下方の前記画素形成層に受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

40

前記受光部において、前記画素形成層との接合構造でフォトダイオードを構成するように、前記画素形成層の上部に選択的に配置され、更に、前記受光部の位置から前記遮光板で遮光された複数の位置まで到達するように、前記画素形成層の上部を延在して分岐形状に複数の凸部を構成する、第2導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第2導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記開口部の下方の一部に一方の端部が配置され、複数の分岐した他方の端部が前記転送制御機構の少なくとも一部まで到達するように、前記表面埋込領域の上部の一部に配置

50

された、第2導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備える画素を複数個半導体チップ上に配列したことを特徴とする固体撮像装置。

【請求項18】

前記画素のそれぞれにおいて、前記表面埋込領域の前記受光部の位置から前記分岐形状の位置に至るまでの幹経路の途中に、該幹経路の長手方向に直交する方向に突出する新たな凸部を更に設け、

該新たな凸部の先端に、第2導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項17に記載の固体撮像装置。

【請求項19】

前記画素のそれぞれにおいて、前記表面埋込領域の外形又は該外形の包絡線の形状が、前記受光部の位置において、平面パターン上、前記ガイド領域の周囲を囲むように台形、放物曲線、逆U字型、若しくは逆V字型をなすように、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広くなることを特徴とする請求項17又は18に記載の固体撮像装置。

【請求項20】

第1導電型の半導体からなる画素形成層と、

複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域の両端部から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第2導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第2導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方にそれぞれの分岐端部の先端部分が配置された、第2導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備える画素を複数個半導体チップ上に配列したことを特徴とする固体撮像装置。

【請求項21】

前記画素のそれぞれにおいて、前記表面埋込領域の前記両端部側に前記電荷変調部配置領域の長手方向に直交する方向に突出する新たな凸部を更にそれぞれ設け、

該新たな凸部の先端のそれぞれに、第2導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項20に記載の固体撮像装置。

【請求項22】

第1導電型の半導体からなる画素形成層と、

前記画素形成層によって定義される画素領域の周辺に複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された前記画素領域の中央の位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって放射状に突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第2導電型の表面埋込領域と、

10

20

30

40

50

前記複数の凸部の先端部にそれぞれ接続され、第2導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方に放射状にそれぞれの分岐端部の先端部分が向かった、第2導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備える画素を複数個半導体チップ上に配列したことを特徴とする固体撮像装置。

【請求項23】

前記画素のそれぞれにおいて、前記表面埋込領域の前記放射状に突出した箇所の前記受光端部に近い側に、前記放射状方向に直交する方向に突出する新たな凸部を更にそれぞれ設け、

該新たな凸部の先端のそれぞれに、第2導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項22に記載の固体撮像装置。

【請求項24】

前記画素のそれぞれにおいて、前記排出ドレイン領域に隣接して配置され、前記新たな凸部を経由した前記排出ドレイン領域への電荷の排出を制御する排出制御機構を更に備えることを特徴とする請求項18、21又は23に記載の固体撮像装置。

【請求項25】

前記画素のそれぞれにおいて、前記複数の転送制御機構のそれぞれが、

前記複数の凸部のそれぞれの上に設けられたゲート絶縁膜と、

該ゲート絶縁膜の上にそれぞれ設けられた転送ゲート電極と、

を備え、該転送ゲート電極に印加されるそれぞれの電圧によって、前記複数の凸部のそれぞれに定義される転送路の電位を制御し、前記信号電荷の前記複数の電荷蓄積領域への移動をそれぞれ制御することを特徴とする請求項18～24のいずれか1項に記載の固体撮像装置。

【請求項26】

前記画素のそれぞれにおいて、前記複数の転送制御機構のそれぞれが、

前記信号電荷の転送方向と直交する方向に沿って、平面パターン上、前記複数の凸部のそれぞれを挟むように前記画素形成層上に絶縁膜を介して配列された一对の電界制御電極と、

を備え、それぞれの電界制御電極に互いに異なる電界制御電圧を印加し、前記複数の凸部の空乏化電位を変化させることにより、前記複数の凸部中を転送される前記信号電荷の移動を制御することを特徴とする請求項18～25のいずれか1項に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光パルスに同期して光電荷検出を行うロックインピクセルの機能をもった測長素子、及びこの測長素子を画素として複数個配列した固体撮像装置に関する。

【背景技術】

【0002】

半導体を用いた光飛行時間距離画像センサの開発が最近活発に行われている。距離画像センサの実現のため、フォトダイオードで発生したキャリアを、光源に同期して複数の電荷蓄積部に転送するロックインピクセルにおいて、電荷転送動作を高速に行うために、単位のロックイン素子を小さく構成し、これをアレイ状に配置して、並列接続する方法がある(特許文献1参照。)

【0003】

特許文献1に記載された発明では、並列接続された複数の転送ゲートの負荷容量が増え

10

20

30

40

50

、更に画素数も多画素になるとイメージセンサ全体としての消費電力が増大する。又、単位ロックイン素子を複数接続することは、信号検出部の拡散層の面積が大きくなり、暗電流の発生原因となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第6794214号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、大面積の受光面積を有し、高感度、低暗電流で高速変調に有利な測長素子、及びこの測長素子を画素として複数個半導体チップ上に配列した固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明の第1の態様は、(a)第1導電型の半導体からなる画素形成層と、(b)開口部を有し、この開口部の下方の画素形成層に受光部の位置を定義するように、画素形成層の上方に配置された遮光板と、(c)受光部において、画素形成層との接合構造でフォトダイオードを構成するように、画素形成層の上部に選択的に配置され、更に、受光部の位置から遮光板で遮光された複数の位置まで到達するように、画素形成層の上部を延在して分岐形状に複数の凸部を構成する、第2導電型の表面埋込領域と、(d)複数の凸部の先端部にそれぞれ接続され、第2導電型で表面埋込領域よりも高不純物密度の電荷蓄積領域と、(e)複数の凸部のそれぞれに、電荷蓄積領域に隣接して配置され、電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、(f)開口部の下方の一部に一方の端部が配置され、複数に分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、表面埋込領域の上部の一部に配置された、第2導電型で表面埋込領域よりも高不純物密度で、電荷蓄積領域よりも低不純物密度のガイド領域とを備える測長素子であることを要旨とする。

【0007】

本発明の第2の態様は、(a)第1導電型の半導体からなる画素形成層と、(b)複数の開口部を有し、この複数の開口部の下方の画素形成層にそれぞれ受光部の位置を定義するように、画素形成層の上方に配置された遮光板と、(c)遮光板で遮光された位置に複数の凸部を有する電荷変調部配置領域を配置し、この電荷変調部配置領域の両端部から複数の開口部の数に対応した数の受光端部を複数の開口部に向かって突出させ、それぞれの受光端部の占有領域が複数の開口部のそれぞれの面積がカバーできる大きさに設定され、受光部のそれぞれにおいて、画素形成層との接合構造でそれぞれフォトダイオードを構成するように、画素形成層の上部に埋め込まれた第2導電型の表面埋込領域と、(d)複数の凸部の先端部にそれぞれ接続され、第2導電型で表面埋込領域よりも高不純物密度の電荷蓄積領域と、(e)複数の凸部のそれぞれに、電荷蓄積領域に隣接して配置され、電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、(f)複数の開口部の数に対応した数の分岐端部を有し、電荷変調部配置領域の上となる遮光板で遮光された位置から複数の開口部の下方にそれぞれの分岐端部の先端部分が配置された、第2導電型で表面埋込領域よりも高不純物密度で、電荷蓄積領域よりも低不純物密度のガイド領域と、を備える測長素子であることを要旨とする。

【0008】

本発明の第3の態様は、(a)第1導電型の半導体からなる画素形成層と、(b)画素形成層によって定義される画素領域の周辺に複数の開口部を有し、この複数の開口部の下方の画素形成層にそれぞれ受光部の位置を定義するように、画素形成層の上方に配置された遮光板と、(c)遮光板で遮光された画素領域の中央の位置に複数の凸部を有する電荷変調部配置領域を配置し、この電荷変調部配置領域から複数の開口部の数に対応した数の受光端部

10

20

30

40

50

を複数の開口部に向かって放射状に突出させ、それぞれの受光端部の占有領域が複数の開口部のそれぞれの面積がカバーできる大きさに設定され、受光部のそれぞれにおいて、画素形成層との接合構造でそれぞれフォトダイオードを構成するように、画素形成層の上部に埋め込まれた第2導電型の表面埋込領域と、(d)複数の凸部の先端部にそれぞれ接続され、第2導電型で表面埋込領域よりも高不純物密度の電荷蓄積領域と、(e)複数の凸部のそれぞれに、電荷蓄積領域に隣接して配置され、電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、(f)複数の開口部の数に対応した数の分岐端部を有し、電荷変調部配置領域の上となる遮光板で遮光された位置から複数の開口部の下方に放射状にそれぞれの分岐端部の先端部分が向かった、第2導電型で表面埋込領域よりも高不純物密度で、電荷蓄積領域よりも低不純物密度のガイド領域と、を備える測長素子であることを要旨とする。

10

#### 【0009】

本発明の第4の態様は、第1の態様に係る測長素子を画素として、この画素を複数個半導体チップ上に配列した固体撮像装置であることを要旨とする。

本発明の第5の態様は、第2の態様に係る測長素子を画素として、この画素を複数個半導体チップ上に配列した固体撮像装置であることを要旨とする。

本発明の第6の態様は、第3の態様に係る測長素子を画素として、この画素を複数個半導体チップ上に配列した固体撮像装置であることを要旨とする。

#### 【発明の効果】

#### 【0010】

本発明によれば、大面積の受光面積を有し、高感度、低暗電流で高速変調に有利な測長素子、及びこの測長素子を画素として複数個半導体チップ上に配列した固体撮像装置を提供することができる。

20

#### 【図面の簡単な説明】

#### 【0011】

【図1】本発明の第1の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図2】図2(a)は図1のII-II方向から見た第1の実施形態に係る測長素子の断面構造で、図2(b)は対応する電位分布を示す図である。

【図3】図3(a)は図1のIII-III方向から見た第1の実施形態に係る測長素子の断面構造で、図3(b)は対応する電位分布を示す図である。

30

【図4】図4(a)は図1のIV-IV方向から見た第1の実施形態に係る測長素子の断面構造で、図4(b)は対応する電位分布を示す図である。

【図5】図5(a)は図1のV-V方向から見た第1の実施形態に係る測長素子の断面構造で、図5(b)は対応する電位分布を示す図である。

【図6】第1転送ゲート電極に中間電位(M)のゲート信号を印加した場合の第1の実施形態に係る測長素子の主要部における等電位線で電位分布と信号電荷の移動経路を説明する図である。

【図7】第2転送ゲート電極に中間電位(M)のゲート信号を印加した場合の第1の実施形態に係る測長素子の主要部における等電位線で電位分布と信号電荷の移動経路を説明する図である。

40

【図8】第3転送ゲート電極に中間電位(M)のゲート信号を印加した場合の第1の実施形態に係る測長素子の主要部における等電位線で電位分布と信号電荷の移動経路を説明する図である。

【図9】第1排出ゲート電極に中間電位(M)のゲート信号を印加した場合の第1の実施形態に係る測長素子の主要部における等電位線で電位分布と電荷の排出経路を説明する図である。

【図10】第1の実施形態に係る測長素子の主要部の構造を等価回路で表現した回路図である。

【図11】第1の実施形態に係る測長素子の主要部の構造を等価回路で表現した他の回路

50



図である。

【図 1 2】第 1 の実施形態に係る測長素子を距離画像センサの画素として動作させる場合のタイミング図である。

【図 1 3】本発明の第 1 の実施形態の変形例に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 1 4】図 1 3 のXIV - XIV方向から見た第 1 の実施形態の変形例に係る測長素子の断面構造を示す図である。

【図 1 5】本発明の第 2 の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 1 6】本発明の第 3 の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 1 7】第 3 の実施形態に係る測長素子の主要部の構造を等価回路で表現した回路図である。

【図 1 8】本発明の第 4 の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 1 9】第 4 の実施形態に係る測長素子の主要部の構造を等価回路で表現した回路図である。

【図 2 0】本発明の第 5 の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 2 1】図 2 0 に示した第 5 の実施形態に係る測長素子の中央部を拡大して示す平面図である。

【図 2 2】第 5 の実施形態に係る測長素子の主要部の構造を等価回路で表現した回路図である。

【図 2 3】本発明の第 5 の実施形態の変形例 1 に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 2 4】本発明の第 5 の実施形態の変形例 2 に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 2 5】本発明の第 5 の実施形態の変形例 3 に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 2 6】本発明の第 6 の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 2 7】第 6 の実施形態に係る測長素子の主要部の構造を等価回路で表現した回路図である。

【図 2 8】本発明の第 7 の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図 2 9】図 2 9 ( a ) は図 2 8 のXXIX - XXIX方向から見た第 7 の実施形態に係る測長素子の断面構造で、図 2 9 ( b ) は図 2 9 ( a ) 及び図 2 9 ( c ) に対応する電位分布を示し、図 2 9 ( c ) は図 1 のV - V方向から見た第 1 の実施形態に係る測長素子の断面構造を示す図である。

【図 3 0】図 3 0 ( a ) は図 2 8 のXXX - XXX方向から見た第 7 の実施形態に係る測長素子の断面構造で、図 3 0 ( b ) は第 1 転送ゲート電極に中間電位 ( M ) のゲート信号をそれぞれ印加した場合の図 3 0 ( a ) 及び図 3 0 ( c ) に対応する電位分布を示し、図 3 0 ( c ) は図 1 のIII - III方向の逆方向から見た第 1 の実施形態に係る測長素子の断面構造を示す図である。

【図 3 1】図 3 1 ( a ) は図 2 8 のXXX - XXX方向から見た第 7 の実施形態に係る測長素子の断面構造で、図 3 1 ( b ) は図 1 のIII - III方向の逆方向から見た第 1 の実施形態に係る測長素子の断面構造で、図 3 1 ( c ) は第 3 転送ゲート電極に中間電位 ( M ) のゲート信号をそれぞれ印加した場合の図 3 1 ( a ) 及び図 3 1 ( b ) に対応する電位分布を示す図である。

【図 3 2】第 1 転送ゲート電極に中間電位 ( M ) のゲート信号を印加した場合の第 7 の実

10

20

30

40

50

施形態に係る測長素子の主要部における等電位線で電位分布と信号電荷の移動経路を説明する図である。

【図33】第2転送ゲート電極に中間電位(M)のゲート信号を印加した場合の第7の実施形態に係る測長素子の主要部における等電位線で電位分布と信号電荷の移動経路を説明する図である。

【図34】第3転送ゲート電極に中間電位(M)のゲート信号を印加した場合の第7の実施形態に係る測長素子の主要部における等電位線で電位分布と信号電荷の移動経路を説明する図である。

【図35】第1排出ゲート電極に中間電位(M)のゲート信号を印加した場合の第7の実施形態に係る測長素子の主要部における等電位線で電位分布と電荷の排出経路を説明する図である。

【図36】図36(a)は図1のII-II方向から見た断面に対応する箇所における、半導体基板がn型である、その他の実施形態に係る測長素子の断面構造で、図36(b)は図36(a)に対応する電位分布を示す図である。

【図37】図37(a)は図1のIII-III方向から見た断面に対応する箇所における、半導体基板がn型である、その他の実施形態に係る測長素子の断面構造で、図37(b)は図37(a)に対応する電位分布を示す図である。

【図38】図38(a)は図1のIV-IV方向から見た断面に対応する箇所における、半導体基板がn型である、その他の実施形態に係る測長素子の断面構造で、図38(b)は図38(a)に対応する電位分布を示す図である。

【図39】更に他の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図40】図40(a)は図39のXXXXIV-XXXXIV方向から見た断面構造で、図40(b)は図40(a)に対応する電位分布を示す図である。

【図41】図41(a)は図40(a)に示した断面に対応する箇所における、更に他の実施形態に係る測長素子の断面構造で、図41(b)は図41(a)に対応する電位分布を示す図である。

【図42】更に他の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図43】更に他の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【図44】図43のII-II方向から見た断面構造を示す図である。

【図45】更に他の実施形態に係る測長素子の主要部の概略を上面側から見た平面図である。

【発明を実施するための形態】

【0012】

以下に本発明の第1～第7の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0013】

以下の第1～第7の実施形態の説明では、第1導電型がp型、第2導電型がn型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型がn型、第2導電型がp型としても構わない。第1導電型がp型、第2導電型がn型の場合は、信号電荷としてのキャリアは電子となるが、第1導電型がn型、第2導電型がp型の場合は、信号電荷としてのキャリアは正孔(ホール)となることは、勿論である。又、以下の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を90度回転すれば「左右」と「上

10

20

30

40

50

下」は、互いに交換して読まれ、紙面を180度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。

【0014】

(第1の実施形態)

本発明の第1の実施形態に係る測長素子は、図1に1点鎖線で示す開口部(アパーチャ部)を有する遮光板51によって受光部の位置を定義したロックインピクセルである。即ち、第1の実施形態に係る測長素子は、図1に主要部の概略を上面側から見た平面図を示すように、受光部のフォトダイオードの領域に開口部(アパーチャ部)を開口した遮光板51があり、アパーチャ部以外の画素の領域は遮光板51によってその上方を被覆され、光に対するシールドがなされている。

10

【0015】

図2~図4の断面図を参照して理解できるように、第1の実施形態に係る測長素子は、第1導電型(p型)の半導体からなる画素形成層22と、開口部(アパーチャ部)を有し、この開口部の下方の画素形成層22に受光部の位置を定義するように、画素形成層22の上方に配置された遮光板51と、受光部において、画素形成層22との接合構造でフォトダイオードを構成するように、画素形成層22の上部に選択的に配置され、更に、受光部の位置から遮光板51で遮光された複数の位置まで到達するように、画素形成層22の上部を延在して先端側がT字型の分岐形状をなすように複数の凸部を構成する第2導電型(n型)の表面埋込領域25と、凸部の先端部にそれぞれ接続され、n型で表面埋込領域25よりも高不純物密度の第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cと、複数の凸部のそれぞれに、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cに隣接してそれぞれ配置され、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cへの信号電荷の転送を制御する、第1転送制御機構(31, 42)、第2転送制御機構(31, 44)及び第3転送制御機構(31, 43)と、開口部の下方の一部に一方の端部が配置され、複数に分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、表面埋込領域25の上部の一部に配置された、n型で表面埋込領域25よりも高不純物密度で、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cよりも低不純物密度のガイド領域26aと、を備えて、ロックインピクセルを構成している。ここで「凸部」とは、平面パターン上での凸部の意味であり、フォトリソグラフィ技術によるマスクレベルの形状としては矩形形状の凸部が採用可能である。

20

30

【0016】

更に、第1の実施形態に係る測長素子は図2~図4の断面図から分かるように、表面埋込領域25の表面に接して設けられたp型のピニング層27を備える。そして、画素形成層22は、p型の半導体基板21上に設けられている。

【0017】

第1の実施形態に係る測長素子では、図1に示すような画素サイズが5 $\mu$ m角以上となる大面積の受光部において発生した光電子を信号電荷として、第1転送制御機構(31, 42)、第2転送制御機構(31, 44)及び第3転送制御機構(31, 43)を備えた電荷変調部に高速に輸送するため、フォトダイオードを構成するn型の表面埋込領域25の平面形状を楕形(フォークの形状)とし、光電子がフォークの根元の中央部に信号電荷として集まるようにしている。フォークの歯のそれぞれは図1に示すように、歯の幅が図1の紙面の上の方から下の方に行くに従い末広がりに広がるような多段の段差(ステップ)形状をなしている。第1の実施形態に係る測長素子では、受光部における表面埋込領域25の平面パターンにおけるフォークの歯を末広がりの形状にしているため、空乏化したフォークの歯の部分のすべての領域で高いドリフト電界が発生するようにしているため、画素サイズが5 $\mu$ m角以上となる大面積の受光部であっても、信号電荷としての光電子をフォークの歯の長手方向に沿って高速に移動させることができる。

40

【0018】

第1の実施形態に係る測長素子のガイド領域26aは、フォークの根元の中央部に集っ

50

た光電子を電荷変調部の狭い転送路（転送チャネル）に導くための半導体領域であり、ガイド領域 2 6 a の平面パターンにおける形状は図 1 に示すように、ガイド領域 2 6 a の長手方向（図 1 の上下方向）に直交する方向に測った幅が、図 1 の紙面の上の方から下の方に行くに従い末広がりになるような多段の段差（ステップ）形状をなしている。第 1 の実施形態に係る測長素子では、ガイド領域 2 6 a の平面パターンを末広がり形状にしているため、空乏化したガイド領域 2 6 a の部分のすべての領域で高いドリフト電界が発生する。したがって、信号電荷としての光電子をガイド領域 2 6 a の長手方向に沿って高速に移動させることができる。図 1 の平面図及び図 5 ( b ) に示した電位分布図から分かるように、発生したキャリアの移動先となる表面埋込領域 2 5 の電位分布の一番底になるところに、ガイド領域 2 6 a の細い先端部が接触している。ガイド領域 2 6 a は、例えば、表面埋込領域 2 5 を形成するイオン注入をした領域の一部に、図 1 に示した平面パターンに従って、2 重のイオン注入をすることにより、表面埋込領域 2 5 よりも高不純物密度の半導体領域として形成できる。

10

20

30

40

50

#### 【 0 0 1 9 】

ここで、図 3 ( a ) 及び図 4 ( a ) に示すように、第 1 の実施形態に係る測長素子を構成している第 1 転送制御機構 ( 3 1 , 4 2 ) , 第 2 転送制御機構 ( 3 1 , 4 4 ) 及び第 3 転送制御機構 ( 3 1 , 4 3 ) のそれぞれは、複数の凸部のそれぞれの上に設けられた絶縁膜 3 1 と、この絶縁膜 3 1 の上にそれぞれ設けられた第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 及び第 3 転送ゲート電極 4 3 と、を備えている。図 3 ( a ) 及び図 4 ( a ) の断面図に示すように、第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 及び第 3 転送ゲート電極 4 3 の直下の部分の絶縁膜 3 1 の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。この第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 及び第 3 転送ゲート電極 4 3 に印加されるそれぞれの電圧によって、複数の凸部のそれぞれに定義される転送路の電位を制御し、信号電荷の第 1 電荷蓄積領域 2 4 b , 第 2 電荷蓄積領域 2 4 d 及び第 3 電荷蓄積領域 2 4 c への移動をそれぞれ制御することができる。

#### 【 0 0 2 0 】

図 3 ( a ) , 図 4 ( a ) 及び図 5 ( a ) から分かるように、表面埋込領域 2 5 の一部には p 型のピニング層 2 7 が存在するので、厚い部分の絶縁膜 3 1 の一部はピニング層 2 7 を介して形成されている。絶縁膜 3 1 やピニング層 2 7 等の上層側の構造があるので、実際には見えないが、ガイド領域 2 6 a は、遮光板 5 1 を上から見た平面図において、遮光板 5 1 の開口部にガイド領域 2 6 a のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板 5 1 によって遮蔽されている。図 3 ( a ) のガイド領域 2 6 a の深さは一定としてもよく、或いは部分的に異ならせてもよいが、ガイド領域 2 6 a の深さを一定とした方が製造工程は容易である。

#### 【 0 0 2 1 】

ゲート絶縁膜としての機能を考慮した場合、絶縁膜 3 1 の材料としては、シリコン酸化膜 (  $\text{SiO}_2$  膜 ) が好適であるが、シリコン酸化膜 (  $\text{SiO}_2$  膜 ) 以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ ( M I S トランジスタ ) の絶縁ゲート構造をなしてもよい。例えば、シリコン酸化膜 (  $\text{SiO}_2$  膜 ) / シリコン窒化膜 (  $\text{Si}_3\text{N}_4$  膜 ) / シリコン酸化膜 (  $\text{SiO}_2$  膜 ) の 3 層積層膜からなる O N O 膜でもよい。更に、ストロンチウム ( S r ) , アルミニウム ( A l ) , マグネシウム ( M g ) , イットリウム ( Y ) , ハフニウム ( H f ) , ジルコニウム ( Z r ) , タantal ( T a ) , ビスマス ( B i ) のいずれか 1 つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等がゲート絶縁膜として使用可能である。

#### 【 0 0 2 2 】

現実の構造としては、ゲート絶縁膜として機能する薄い絶縁膜の上に、第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 及び第 3 転送ゲート電極 4 3 を囲むように、層間絶縁膜を選択的に構成して、絶縁膜 3 1 を段差形状を有する 2 層構造としてもよい。或いは、ゲート絶縁膜として機能する部分以外の領域に、第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 及び第 3 転送ゲート電極 4 3 を囲むように、ゲート絶縁膜と厚さの異なる他の

層間絶縁膜やフィールド絶縁膜を選択的に構成して、絶縁膜 3 1 を段差形状に構成してもよい。

【 0 0 2 3 】

この場合の層間絶縁膜やフィールド絶縁膜の材料は、ゲート絶縁膜の材料と同じでも異なる誘電体でもよく、例えば、層間絶縁膜の部分は、ゲート絶縁膜の部分より比誘電率の小さい誘電体で構成してもよい。なお、図 1 において符号 3 2 はフィールド絶縁膜の端部を意味し、このフィールド絶縁膜の端部 3 2 によって囲まれた領域が活性領域になる。図 3 (a) , 図 4 (a) 及び図 5 (a) に示すように、フィールド絶縁膜の下には p 型のウェル領域 2 3 が形成されている。

【 0 0 2 4 】

図 3 (a) 及び図 4 (a) から分かるように、第 1 電荷蓄積領域 2 4 b , 第 2 電荷蓄積領域 2 4 d 及び第 3 電荷蓄積領域 2 4 c は、周辺をウェル領域 2 3 で囲まれて、画素形成層 2 2 の上に浮遊拡散層として形成されている。なお、第 1 の実施形態に係る測長素子では、説明の便宜上、信号電荷が蓄積される浮遊拡散層が 3 つの場合について説明するが、浮遊拡散層の数は 2 つでも 4 つ以上でも構わない。なお、図 3 (a) , 図 4 (a) 及び図 5 (a) には、ウェル領域 2 3 を画素毎にフォトダイオード領域以外のところをカバーするように形成しているが例示に過ぎない。第 1 転送制御機構 ( 3 1 , 4 2 ) , 第 2 転送制御機構 ( 3 1 , 4 4 ) 及び第 3 転送制御機構 ( 3 1 , 4 3 ) によって構成される「電荷変調部」のトランジスタ ( 図 1 0 参照。 ) のところにだけウェル領域 2 3 をできるだけ限定的に入れ、ウェル領域 2 3 が電位分布に影響しないようにするのが好ましいので、図 3 (a) , 図 4 (a) 及び図 5 (a) に示したようなウェル領域 2 3 の配置パターンに限定されるものではない ( 重複する説明を省略するが、第 2 ~ 第 7 の実施形態のウェル領域 2 3 の配置パターンについても同様である。 ) 。

【 0 0 2 5 】

ここで、図 1 の上面図において、表面埋込領域 2 5 がなす T 字の中心棒の部分に延長される箇所に該当し、且つ受光部近傍側に位置する直線状の部分を、本発明では「幹経路」と定義する。そして、第 1 の実施形態に係る測長素子においては、表面埋込領域 2 5 がなす幹経路の受光部側の位置において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に設けている。新たな凸部を幹経路の受光部側の位置に設けることにより、遮光板 5 1 の下方の部分となる表面埋込領域 2 5 の全体としての形状が、幹経路の延長方向を背骨 ( 脊椎骨 ) とする魚骨形 ( フィッシュボーン型又は逆「土」字型 ) の平面トポロジーになる。この魚骨形を実現する新たな凸部の先端に、n 型で表面埋込領域 2 5 よりも高不純物密度の第 1 排出ドレイン領域 2 4 a 及び第 2 排出ドレイン領域 2 4 e が接続されている。

【 0 0 2 6 】

そして、図 1 に示すように、第 1 の実施形態に係る測長素子は、第 1 排出ドレイン領域 2 4 a に隣接して配置され、表面埋込領域 2 5 の左方向に延びる新たな凸部を経由して第 1 排出ドレイン領域 2 4 a に向かう電荷の排出を制御する第 1 排出制御機構 ( 3 1 , 4 1 a ) と、第 2 排出ドレイン領域 2 4 e に隣接して配置され、表面埋込領域 2 5 の右方向に延びる新たな凸部を経由して第 2 排出ドレイン領域 2 4 e に向かう電荷の排出を制御する第 2 排出制御機構 ( 3 1 , 4 1 b ) を更に備える。

【 0 0 2 7 】

この第 1 排出制御機構 ( 3 1 , 4 1 a ) 及び第 2 排出制御機構 ( 3 1 , 4 1 b ) のそれぞれは、図 2 (a) に示すように、表面埋込領域 2 5 の新たな凸部のそれぞれの上に設けられた絶縁膜 3 1 と、この絶縁膜 3 1 の上にそれぞれ設けられた第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b を備える。図 2 (a) の断面図に示すように、第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b の直下の部分の絶縁膜 3 1 の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。図 2 (a) から分かるように、表面埋込領域 2 5 の一部には p 型のピニング層 2 7 が存在するので、厚い部分の絶縁膜 3 1 の一部はピニング層 2 7 を介して形成されている。又、図 2 (a) に示すように、

10

20

30

40

50

フィールド絶縁膜となる厚い部分の絶縁膜 3 1 の下には p 型のウェル領域 2 3 が形成されている。

【 0 0 2 8 】

即ち、図 1 に示すように、第 1 の実施形態に係る測長素子のフォトダイオード部と電荷変調部との間には、T 字型に分岐する部分の手前側において、幹経路を両側から挟むように左右対称に配置された第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b を配置しているので、第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b によって、第 1 排出ドレイン領域 2 4 a 及び第 2 排出ドレイン領域 2 4 e への光電荷の排出と、第 1 転送制御機構 ( 3 1 , 4 2 ) , 第 2 転送制御機構 ( 3 1 , 4 4 ) 及び第 3 転送制御機構 ( 3 1 , 4 3 ) を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

10

【 0 0 2 9 】

図 2 ( a ) は図 1 の II - II 方向から見た断面構造で、図 2 ( b ) は図 2 ( a ) の断面構造に対応するポテンシャル分布である。図 3 ( a ) は図 1 の III - III 方向から見た断面構造で、図 3 ( b ) は図 3 ( a ) の断面構造に対応するポテンシャル分布を示している。左右対称に対向配置された 2 つの第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b に中間電位 ( M ) を与えると、図 2 ( b ) のように II - II 方向から見た断面方向への電位障壁を維持したまま、T 字の中心棒部分に向かう幹経路の静電誘導チャンネル部に U 字型の電位チャンネルが形成され、又、図 3 ( b ) のポテンシャル分布のように幹経路から電荷変調部の第 3 電荷蓄積領域 2 4 c に向けての III - III 方向から見た断面方向に沿った静電誘導チャンネル部には電位障壁がないポテンシャル分布が形成される。静電誘導チャンネル部に形成された U 字型の電位チャンネルを経由して、フォトダイオードで発生した光電子は、信号電荷として高速に電荷変調部に輸送される。

20

【 0 0 3 0 】

次に、第 1 の実施形態に係る測長素子の第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b に中間電位 ( M ) よりも高い高電位 ( H ) のゲート信号  $G_D$  を印加すると、図 2 ( b ) に示すように II - II 方向から見た断面方向に沿った電位分布において破線で示したように、両側の電位障壁がなくなる。即ち、第 1 排出ゲート電極 4 1 a に中間電位 ( M ) よりも高い高電位 ( H ) のゲート信号  $G_D$  を印加すると、平面内では図 9 に示したような等電位線で示される電位分布となり、幹経路部分に形成された静電誘導チャンネル部に達した電子は、図 9 に極太の実線で示した経路に沿って、第 1 排出ドレイン領域 2 4 a 側に分岐して排出される。図 9 において、太い実線 ( 図 9 では「 - 0 . 2 V 」と表記 ) は電位 - 0 . 2 V の等電位線を示し、1 点鎖線 ( 図 9 では「 0 V 」と表記 ) は電位 0 V 以上且つ 1 V 未満 ( 0 V から 0 . 2 5 V 刻み ) の等電位線を示し、細かい実線 ( 図 9 では「 1 V 」と表記 ) は電位 1 V 以上且つ 2 V 未満 ( 1 V から 0 . 2 5 V 刻み ) の等電位線を示し、細かい破線 ( 図 9 では「 2 V 」と表記 ) は電位 2 V 且つ 3 V 未満 ( 2 V から 0 . 2 5 V 刻み ) の等電位線を示し、長い破線 ( 図 9 では「 3 V 」と表記 ) は電位 3 V 以上且つ 4 V 未満 ( 3 V から 0 . 2 5 V 刻み ) の等電位線を示す。電位分布の図示を省略しているが、第 2 排出ゲート電極 4 1 b に高い高電位 ( H ) のゲート信号  $G_D$  を印加すると、幹経路部分に形成された静電誘導チャンネル部に達した電子は、第 2 排出ドレイン領域 2 4 e に分岐して排出される。

30

40

【 0 0 3 1 】

又、第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b に高電位 ( H ) を与えた場合は、電荷変調部の第 3 電荷蓄積領域 2 4 c に向けてのポテンシャル分布は、第 3 転送ゲート電極 4 3 直下近傍の静電誘導チャンネル部の電位が高く、図 3 ( b ) の破線で示したようにガイド領域 2 6 a においてディップをもつため、フォトダイオードで発生した光電子は、電荷変調部の第 3 電荷蓄積領域 2 4 c に達することができない。

【 0 0 3 2 】

第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b のそれぞれを中間電位 ( M ) に設定することで、図 3 ( b ) の実線で示したようにガイド領域 2 6 a のディップは消滅し、フォトダイオードで発生した光電子は、電荷変調部の第 3 電荷蓄積領域 2 4 c に信号

50

電荷として到達する。フォトダイオードの近傍の幹経路及び幹経路から電荷変調部に至る静電誘導チャンネル部及び、電荷変調部を構成する第1転送制御機構(31, 42), 第2転送制御機構(31, 44)及び第3転送制御機構(31, 43)は、光が直接入射しないように遮光板51によって光シールドがなされている。

【0033】

このように、受光部近傍側に位置する幹経路から電荷変調部に至る静電誘導チャンネル部を十分な長さとして、静電誘導チャンネル部を含めて電荷変調部を遮光板51によって光シールドできることが、第1の実施形態に係る測長素子の重要な点であり、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

【0034】

図1に示すように第1の実施形態に係る測長素子の電荷変調部には、3つの第1転送ゲート電極42, 第2転送ゲート電極44, 第3転送ゲート電極43が配置されている。第1転送ゲート電極42に中間電位(M)のゲート信号 $G_1$ を印加することによって図6に示すような電位分布が形成される。又、第2転送ゲート電極44に中間電位(M)のゲート信号 $G_2$ を印加することによって図7に示すような電位分布が形成され、第3転送ゲート電極43に中間電位(M)のゲート信号 $G_3$ を印加することによって図8に示すような電位分布が形成される。このように、3つの第1転送ゲート電極42, 第2転送ゲート電極44, 第3転送ゲート電極43のそれぞれに中間電位(M)のゲート信号を印加することによって、対応する3つの第1電荷蓄積領域24b, 第2電荷蓄積領域24d, 第3電荷蓄積領域24cのそれぞれに図6~図8に太い実線で示したような経路に沿って、信号電荷が高速転送され、光パルスに同期した光電荷検出を行う測長素子の基本動作がなされる。図6~図8において、太い実線(図6~図8では「-0.2V」と表記)は電位-0.2Vの等電位線を示し、1点鎖線(図6~図8では「0V」と表記)は電位0V以上且つ1V未満(0Vから0.25V刻み)の等電位線を示し、細かい破線(図6~図8では「1V」と表記)は電位1V以上且つ2V未満(1Vから0.25V刻み)の等電位線を示し、細かい破線(図6~図8では「2V」と表記)は電位2V且つ3V未満(2Vから0.25V刻み)の等電位線を示し、長い破線(図6~図8では「3V」と表記)は電位3V以上且つ4V未満(3Vから0.25V刻み)の等電位線を示す。

【0035】

電荷変調部に設ける転送ゲート電極の数は、2つでもよいし、4つ以上とすることも可能であるが、電荷変調部の面積は可能な限り小さくすることが好ましい。例えば、フォトダイオード部の面積の1/4以下に電荷変調部の面積を設定することが望ましい。

【0036】

第1の実施形態に係る測長素子を背景光の影響(オフセット)をキャンセルしながら、光飛行時間計測を行う距離画像センサに応用する場合には、3つの出力を設けるのが有用である。3出力の場合の第1の実施形態に係る測長素子について、第1転送ゲート電極42に印加するゲート信号 $G_1$ の電圧レベル, 第3転送ゲート電極43に印加するゲート信号 $G_3$ の電圧レベル及び第2転送ゲート電極44に印加するゲート信号 $G_2$ の電圧レベルと、対応する電荷変調部の電位分布の変化を図3(b)及び図4(b)に示す。

【0037】

2つの第1排出ゲート電極41a及び第2排出ゲート電極41bのそれぞれに中間電位(M)を与えた状態で、第1転送ゲート電極42に印加するゲート信号の電圧レベル $G_1 = L$ , 第2転送ゲート電極44に印加するゲート信号の電圧レベル $G_2 = L$ とし、第3転送ゲート電極43に印加するゲート信号の電圧レベル $G_3$ として中間電位(M)、又は中間電位(M)よりも低い低位電位(L)に設定することで、図3に示すように光電子を浮遊拡散層として構成された第3電荷蓄積領域24cへ転送するかどうかの制御を行うことができる。

【0038】

又、図4に示すように、第3転送ゲート電極43に印加するゲート信号の電圧レベル $G_3 = L$ とし、第1転送ゲート電極42に印加するゲート信号の電圧レベル $G_1$ , 第2転送

10

20

30

40

50

ゲート電極 4 4 に印加するゲート信号の電圧レベル  $G_2$  として低位電位 (L) 又は中間電位 (M) の互いに異なる電位を与えることで、光電子を第 1 電荷蓄積領域 2 4 b 及び第 2 電荷蓄積領域 2 4 d のいずれかに転送することができる。

【 0 0 3 9 】

第 1 の実施形態に係る測長素子の実際の 1 画素の回路構成の例を図 1 0 に示す。図 1 0 の中央部に記載した第 1 転送制御機構 (3 1, 4 2) としての第 1 転送トランジスタ  $Q_{1T}$  , 第 2 転送制御機構 (3 1, 4 4) としての第 2 転送トランジスタ  $Q_{2T}$  , 及び第 3 転送制御機構 (3 1, 4 3) としての第 3 転送トランジスタ  $Q_{3T}$  の 3 つのトランジスタの並列回路で第 1 の実施形態に係る測長素子の「電荷変調部」を構成している。

【 0 0 4 0 】

図 1 0 において、フォトダイオードから電荷変調部に至る静電誘導チャネル部は、自己のゲートが接地された接合型電界効果トランジスタ  $Q_{P1}$  ,  $Q_{P2}$  で表している。直列接続した 2 つの接合型電界効果トランジスタ  $Q_{P1}$  及び  $Q_{P2}$  の中間タップに、電荷排出用 MOS トランジスタ  $Q_D$  のソース端子が接続され、MOS トランジスタ  $Q_D$  のドレイン端子が高電位の電源  $V_{DD}$  に接続されている。

【 0 0 4 1 】

図 1 0 中の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図 1 0 において、フォトダイオード  $D_{ij}$  で発生した光電子は、MOS トランジスタ  $Q_D$  をそれぞれ構成する 2 つの第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b のそれぞれに印加する電圧  $G_D = L$  であれば、電荷変調部に直ちに到達し、第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 , 第 3 転送ゲート電極 4 3 のいずれか 1 つに中間電位 (M) の電圧、他の 2 つに低位電位 (L) の電圧を与えることで、第 1 電荷蓄積領域 2 4 b , 第 2 電荷蓄積領域 2 4 d , 第 3 電荷蓄積領域 2 4 c のいずれかに光電子を転送する。等価回路表示としては、電荷変調部を構成している第 1 転送トランジスタ  $Q_{1T}$  , 第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの一方の端部が接合型電界効果トランジスタ  $Q_{P2}$  に T 字型に接続された回路構成となる。

【 0 0 4 2 】

そして、第 1 転送トランジスタ  $Q_{1T}$  , 第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの他方の端部は、ノード  $D_1$  としての第 1 電荷蓄積領域 2 4 , ノード  $D_2$  としての第 2 電荷蓄積領域 2 4 i 及びノード  $D_3$  としての第 3 電荷蓄積領域 2 4 l に接続される回路構成となる。

【 0 0 4 3 】

図 1 0 の回路構成の 3 つのノード  $D_1$  ,  $D_3$  ,  $D_2$  をそれぞれ定義する第 1 電荷蓄積領域 2 4 b , 第 2 電荷蓄積領域 2 4 d , 第 3 電荷蓄積領域 2 4 c には、電荷蓄積用のキャパシタ  $C_1$  ,  $C_3$  ,  $C_2$  が接続されている。このキャパシタ  $C_1$  ,  $C_3$  ,  $C_2$  は、電圧依存性を低減するため、しきい値電圧を負電圧に設定したデプリーション・モードの MOS キャパシタを用いるのが適している。第 1 のノード  $D_1$  には、第 1 のノード  $D_1$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 1 増幅トランジスタ  $Q_{1A}$  のゲート端子に接続され、第 1 のノード  $D_1$  には更に、信号の読み出し後、信号電荷を初期化するために、第 1 リセットトランジスタ  $Q_{1R}$  が接続されている。又、第 1 増幅トランジスタ  $Q_{1A}$  のソース端子には、読出画素選択用のスイッチとしての第 1 選択トランジスタ  $Q_{1S}$  が接続され、第 1 選択トランジスタ  $Q_{1S}$  の出力は垂直方向に走る信号読出線に接続されている。

【 0 0 4 4 】

同様に、第 2 のノード  $D_2$  には、第 2 のノード  $D_2$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 2 増幅トランジスタ  $Q_{2A}$  のゲート端子に接続され、第 2 のノード  $D_2$  には更に、信号の読み出し後、信号電荷を初期化するために、第 2 リセットトランジスタ  $Q_{2R}$  が接続されている。又、第 2 増幅トランジスタ  $Q_{2A}$  のソース端子には、読出画素選択用のスイッチとしての第 2 選択トランジスタ  $Q_{2S}$  が接続され、

10

20

30

40

50



第2選択トランジスタ $Q_{2S}$ の出力は垂直方向に走る信号読出線に接続されている。

【0045】

更に、第3のノード $D_3$ には、第3のノード $D_3$ の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第3増幅トランジスタ $Q_{3A}$ のゲート端子に接続され、第3のノード $D_3$ には更に、信号の読み出し後、信号電荷を初期化するために、第3リセットトランジスタ $Q_{3R}$ が接続されている。又、第3増幅トランジスタ $Q_{3A}$ のソース端子には、読出画素選択用のスイッチとしての第3選択トランジスタ $Q_{3S}$ が接続され、第3選択トランジスタ $Q_{3S}$ の出力は垂直方向に走る信号読出線に接続されている。

【0046】

第1の実施形態に係る測長素子からの信号の読み出し方法としては、図10のように、3つの信号読出線を、3本走らせて、並列に読み出す方法でも、図11に示すように、信号読出線を1本として選択信号 $SL1$ 、 $SL2$ 、 $SL3$ によるスイッチを順に、オンにして、時系列信号として読み出す方法でもよい。

【0047】

図12は、第1の実施形態に係る測長素子を距離画像センサとして用いる場合のタイミング図を示している。出射光のパルス幅 $T_0$ と第1転送ゲート電極42に印加するゲート信号 $G_1$ のパルス幅、第3転送ゲート電極43に印加するゲート信号 $G_3$ のパルス幅及び第2転送ゲート電極44に印加するゲート信号 $G_2$ のパルス幅は同じとする。図12の出射光のパルスに対して、第1の到来光(受信光)のパルスの遅れ時間(光飛行時間)が $T_{d1}$ の場合には、第1電荷蓄積領域24bに蓄積される第1蓄積電荷 $Q1$ 、第2電荷蓄積領域24dに蓄積される第2蓄積電荷 $Q2$ 、第3電荷蓄積領域24cに蓄積される第3蓄積電荷 $Q3$ は、発生する光電流を $I_{ph}$ として、それぞれ以下のようになる：

$$Q1 = I_{ph} (T_0 - T_d) + I_a T_0 \quad \dots \dots (1)$$

$$Q2 = I_{ph} T_d + I_a T_0 \quad \dots \dots (2)$$

$$Q3 = I_a T_0 \quad \dots \dots (3)$$

【0048】

式(1)~(3)より、第1の到来光に対応する遅延時間 $T_{d1}$ は次式で求めることができる：

$$T_{d1} = T_0 (Q2 - Q3) / (Q1 + Q2 - 2Q3) \quad \dots \dots (4)$$

【0049】

図12に示すように、出射光パルスに対する第2の到来光のパルスの遅れ時間(光飛行時間)が $T_{d2}$ である場合には、第1電荷蓄積領域24bに蓄積される第1蓄積電荷 $Q1$ 、第2電荷蓄積領域24dに蓄積される第2蓄積電荷 $Q2$ 、第3電荷蓄積領域24cに蓄積される第3蓄積電荷 $Q3$ は以下のようになる。

$$Q1 = I_a T_0 \quad \dots \dots (5)$$

$$Q2 = I_{ph} (2T_0 - T_{d2}) + I_a T_0 \quad \dots \dots (6)$$

$$Q3 = I_{ph} (T_{d2} - T_0) + I_a T_0 \quad \dots \dots (7)$$

【0050】

式(5)~(7)より、第2の到来光に対応する遅延時間 $T_{d2}$ は次式で求めることができる：

$$T_{d2} = T_0 + T_0 (Q3 - Q1) / (Q2 + Q3 - 2Q1) \quad \dots \dots (8)$$

【0051】

光パルスの飛行時間が出射光のパルス幅  $T_0$  より大きい場合は、第 1 蓄積電荷  $Q_1$  と第 3 蓄積電荷  $Q_3$  を比較することで分かる。 $Q_1 > Q_3$  ならば、光パルスの飛行時間は式 (4) を使い、 $Q_1 \leq Q_3$  ならば、式 (8) を使って計算する。

【0052】

式 (4) 又は式 (8) を用いることにより、第 1 の実施形態に係る測長素子は光飛行時間測定に好適な機能を有している。このため、第 1 の実施形態に係る測長素子を固体撮像装置の画素 (ロックインピクセル) として、同一半導体チップ上に画素サイズが  $5 \mu\text{m}$  角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

【0053】

< 第 1 の実施形態の変形例 >

図 13 に主要部の概略を上面側から見た平面図を示すように、本発明の第 1 の実施形態の変形例に係る測長素子は、開口部 (アパーチャ部) を有する遮光板 51 によって受光部の位置を定義したロックインピクセルである。断面図の図示を省略しているが、図 2 ~ 図 4 に示した断面構造と同様に、第 1 の実施形態の変形例に係る測長素子は、第 1 導電型 (p 型) の半導体からなる画素形成層 22 と、開口部 (アパーチャ部) を有し、この開口部の下方の画素形成層 22 に受光部の位置を定義するように、画素形成層 22 の上方に配置された遮光板 51 と、受光部において、画素形成層 22 との接合構造でフォトダイオードを構成するように、画素形成層 22 の上部に選択的に配置され、更に、受光部の位置から遮光板 51 で遮光された複数の位置まで到達するように、画素形成層 22 の上部を延在して先端側が T 字型の分岐形状をなすように複数の凸部を構成する第 2 導電型 (n 型) の表面埋込領域 25 と、凸部の先端部にそれぞれ接続され、n 型で表面埋込領域 25 よりも高不純物密度の第 1 電荷蓄積領域 24b、第 2 電荷蓄積領域 24d 及び第 3 電荷蓄積領域 24c と、複数の凸部のそれぞれに、第 1 電荷蓄積領域 24b、第 2 電荷蓄積領域 24d 及び第 3 電荷蓄積領域 24c に隣接してそれぞれ配置され、第 1 電荷蓄積領域 24b、第 2 電荷蓄積領域 24d 及び第 3 電荷蓄積領域 24c への信号電荷の転送を制御する、第 1 転送制御機構 (31, 42)、第 2 転送制御機構 (31, 44) 及び第 3 転送制御機構 (31, 43) と、を備えて、ロックインピクセルを構成している。

【0054】

そして、第 1 の実施形態の変形例に係る測長素子においても、図 1 に示したトポロジーと同様に、表面埋込領域 25 がなす幹経路の受光部側の位置において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に設けている。新たな凸部の先端に、n 型で表面埋込領域 25 よりも高不純物密度の第 1 排出ドレイン領域 24a 及び第 2 排出ドレイン領域 24e が接続されている。

【0055】

しかしながら、図 14 に示した断面図から分かるように、表面埋込領域 25 の上部の一部に配置され、n 型で表面埋込領域 25 よりも高不純物密度で、第 1 電荷蓄積領域 24b、第 2 電荷蓄積領域 24d 及び第 3 電荷蓄積領域 24c よりも低不純物密度のガイド領域 26b のトポロジーが、図 1 に示したガイド領域 26a のトポロジーとは異なる。即ち、第 1 の実施形態の変形例に係る測長素子においては、ガイド領域 26b は、遮光板 51 の開口部 (アパーチャ部) の下方の一部に配置された一方の端部から他方の端部側の転送制御機構の少なくとも一部まで到達する経路と、幹経路の長手方向に直交する方向設けられた新たな凸部に沿って、第 1 排出ドレイン領域 24a 及び第 2 排出ドレイン領域 24e に到達する経路を備えている点で、図 1 に示したガイド領域 26a のトポロジーとは異なる。

【0056】

そして、図 13 に示すように、第 1 の実施形態の変形例に係る測長素子は、第 1 排出ドレイン領域 24a に隣接して配置され、表面埋込領域 25 の左方向に延びる新たな凸部を経由して第 1 排出ドレイン領域 24a に向かう電荷の排出を制御する第 1 排出制御機構 (31, 41a) が左側に延びる新たな凸部に配置されたガイド領域 26b にも設けられ、

10

20

30

40

50

更に、第2排出ドレイン領域24eに隣接して配置され、表面埋込領域25の右方向に延びる新たな凸部を経由して第2排出ドレイン領域24eに向かう電荷の排出を制御する第2排出制御機構(31, 41b)が右側に延びる新たな凸部に配置されたガイド領域26bにも設けられている。

【0057】

即ち、図14に示すように、ガイド領域26bが第1排出制御機構(31, 41a)を構成する第1排出ゲート電極41aの下及び第2排出制御機構(31, 41b)を構成する第2排出ゲート電極41bのそれぞれの下に設けられている。図13に示すように、ガイド領域26bを第1排出ゲート電極41a及び第2排出ゲート電極41bのそれぞれの下を経由し、更に第1排出ドレイン領域24a及び第2排出ドレイン領域24e領域まで

10

【0058】

第1の実施形態の変形例に係る測長素子も、表面埋込領域25の表面に接して設けられたp型のピニング層27を備え、画素形成層22は、p型の半導体基板21上に設けられている点も図3(a)及び図4(a)に示した構造と同様である。又、図13に示すような画素サイズが5µm角以上となる大面積の受光部において発生した光電子を、第1転送制御機構(31, 42)、第2転送制御機構(31, 44)及び第3転送制御機構(31, 43)を備えた電荷変調部に高速に輸送するため、図1と同様に、フォトダイオードを構成するn型の表面埋込領域25の平面形状を楕形(フォークの形状)とし、光電子がフォークの根元の中央部に集まるようにしている点等他の構造は、既に説明した第1の実施形態の変形例に係る測長素子と同様であるので、重複した説明を省略する。

20

【0059】

図13に示すようなガイド領域26bの平面トポロジーとすることにより、第1の実施形態の変形例に係る測長素子によれば、比較的低い排出ゲート電圧 $G_D$ で、第1排出ゲート電極41a及び第2排出ゲート電極41bによって、第1排出ドレイン領域24a及び第2排出ドレイン領域24eへの光電荷の排出と、第1転送制御機構(31, 42)、第2転送制御機構(31, 44)及び第3転送制御機構(31, 43)を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【0060】

(第2の実施形態)

本発明の第2の実施形態に係る測長素子は、図15に1点鎖線で示す開口部(アパーチャ部)を有する遮光板51によって受光部の位置を定義したロックインピクセルである。図2~図4に示した断面図に示したのと同様に、第2の実施形態に係る測長素子は、第1導電型(p型)の半導体からなる画素形成層22と、開口部(アパーチャ部)を有し、この開口部の下方の画素形成層22に受光部の位置を定義するように、画素形成層22の上方に配置された遮光板51と、受光部において、画素形成層22との接合構造でフォトダイオードを構成するように、画素形成層22の上部に選択的に配置され、更に、受光部の位置から遮光板51で遮光された複数の位置まで到達するように、画素形成層22の上部を延在して先端側がT字型の分岐形状をなすように複数の凸部を構成する第2導電型(n型)の表面埋込領域25と、凸部の先端部にそれぞれ接続され、n型で表面埋込領域25よりも高不純物密度の第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cと、凸部のそれぞれに、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cに隣接してそれぞれ配置され、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cへの信号電荷の転送を制御する、第1転送制御機構(31, 42p, 42q)、第2転送制御機構(31, 44p, 44q)及び第3転送制御機構(31, 43p, 43q)と、開口部の下方の一部に一方の端部が配置され、複数の分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、表面埋込領域25の上部の一部に配置された、n型で表面埋込領域25よりも高不純物密度で、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24c

30

40

50

よりも低不純物密度のガイド領域 2 6 a と、を備えて、ロックインピクセルを構成している点では、概略としては第 1 の実施形態に係る測長素子と基本的に同様な構造である。

【 0 0 6 1 】

しかしながら、第 2 の実施形態に係る測長素子を構成している第 1 転送制御機構 ( 3 1 , 4 2 p , 4 2 q ) は、T字型のトポロジーの内の左側に延びる凸部を挟むように画素形成層 2 2 上に絶縁膜を介して配列された一对の第 1 電界制御電極 4 2 p , 4 2 q を備えている点で、第 1 の実施形態に係る測長素子の転送制御機構とは具体的な構造が異なる。一对の第 1 電界制御電極 4 2 p , 4 2 q の下の絶縁膜は、図 3 ( a ) 及び図 4 ( a ) に示した第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 及び第 3 転送ゲート電極 4 3 の直下の部分の絶縁膜 3 1 と同様に、第 1 電界制御電極 4 2 p , 4 2 q の直下の部分の厚さが他の部分より薄い「ゲート絶縁膜」である。第 2 の実施形態に係る測長素子の絶縁膜としては、第 1 の実施形態に係る測長素子の絶縁膜 3 1 と同様な材料が採用可能である。

10

【 0 0 6 2 】

第 1 電界制御電極 4 2 p , 4 2 q は、左側に延びる凸部に沿った信号電荷の転送方向と直交する方向に沿って、凸部を挟むように対向して配列されている。それぞれの第 1 電界制御電極 4 2 p , 4 2 q に電界制御電圧を印加し、左側に延びる凸部の空乏化電位を変化させることにより、左側に延びる凸部中を転送される信号電荷の移動を制御するという「横方向電界制御効果」を行う点で、第 1 の実施形態に係る測長素子の転送制御機構とは動作メカニズムが異なる。

【 0 0 6 3 】

又、第 2 の実施形態に係る測長素子を構成している第 2 転送制御機構 ( 3 1 , 4 4 p , 4 4 q ) は、T字型のトポロジーの内の右側に延びる凸部を挟むように画素形成層 2 2 上に絶縁膜を介して配列された一对の第 2 電界制御電極 4 4 p , 4 4 q を備えている。一对の第 2 電界制御電極 4 4 p , 4 4 q の下の絶縁膜は、第 2 電界制御電極 4 4 p , 4 4 q の直下の部分の厚さが他の部分より薄い「ゲート絶縁膜」である。第 2 電界制御電極 4 4 p , 4 4 q は、右側に延びる凸部に沿った信号電荷の転送方向と直交する方向に沿って、凸部を挟むように対向して配列されている。それぞれの第 2 電界制御電極 4 4 p , 4 4 q に、第 1 電界制御電極 4 2 p , 4 2 q とは異なる電界制御電圧を印加し、右側に延びる凸部の空乏化電位を変化させることにより、右側に延びる凸部中を転送される信号電荷の移動を制御することができる。

20

30

【 0 0 6 4 】

同様に、第 2 の実施形態に係る測長素子を構成している第 3 転送制御機構 ( 3 1 , 4 3 p , 4 3 q ) は、T字型のトポロジーの内の下側に延びる凸部を挟むように画素形成層 2 2 上に絶縁膜を介して配列された一对の第 3 電界制御電極 4 3 p , 4 3 q を備えている。一对の第 3 電界制御電極 4 3 p , 4 3 q の下の絶縁膜は、第 3 電界制御電極 4 3 p , 4 3 q の直下の部分の厚さが他の部分より薄い「ゲート絶縁膜」である。第 3 電界制御電極 4 3 p , 4 3 q は、下側に延びる凸部に沿った信号電荷の転送方向と直交する方向に沿って、凸部を挟むように対向して配列されている。それぞれの第 3 電界制御電極 4 3 p , 4 3 q に、第 1 電界制御電極 4 2 p , 4 2 q 及び第 2 電界制御電極 4 4 p , 4 4 q とは異なる電界制御電圧を印加し、下側に延びる凸部の空乏化電位を変化させることにより、下側に延びる凸部中を転送される信号電荷の移動を制御することができる。

40

【 0 0 6 5 】

ここで、図 1 5 の上面図においても、表面埋込領域 2 5 がなす幹経路の受光部側の位置において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に設け、この新たな凸部の先端に、n型で表面埋込領域 2 5 よりも高不純物密度の第 1 排出ドレイン領域 2 4 a 及び第 2 排出ドレイン領域 2 4 e が接続されている。

【 0 0 6 6 】

そして、図 1 5 に示すように、第 2 の実施形態に係る測長素子は、第 1 排出ドレイン領域 2 4 a に隣接して配置され、表面埋込領域 2 5 の左方向に延びる新たな凸部を経由して第 1 排出ドレイン領域 2 4 a に向かう電荷の排出を制御する第 1 排出制御機構 ( 3 1 , 4

50

1 a) と、第 2 排出ドレイン領域 2 4 e に隣接して配置され、表面埋込領域 2 5 の右方向に延びる新たな凸部を経由して第 2 排出ドレイン領域 2 4 e に向かう電荷の排出を制御する第 2 排出制御機構 (3 1, 4 1 b) を更に備える点は、第 1 の実施形態に係る測長素子と同様である。

【0067】

又、第 1 排出制御機構 (3 1, 4 1 a) 及び第 2 排出制御機構 (3 1, 4 1 b) のそれぞれは、図 2 (a) に示した断面構造と同様に、表面埋込領域 2 5 の新たな凸部のそれぞれの上に設けられた絶縁膜と、この絶縁膜の上にそれぞれ設けられた第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b を備える点、或いは、図 2 ~ 図 4 の断面図に示したのと同様に、表面埋込領域 2 5 の表面に接して設けられた p 型のピニング層 2 7 を備え、画素形成層 2 2 は、p 型の半導体基板 2 1 上に設けられて点等の他の構造は、第 1 の実施形態に係る測長素子と実質的に同様であるので、重複した説明を省略する。

10

【0068】

図 1 5 に示すように、第 2 の実施形態に係る測長素子のフォトダイオード部と電荷変調部に間には、T 字型に分岐する部分の手前側において、幹経路を両側から挟むように左右対称に配置された第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b を配置しているので、第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b によって、第 1 排出ドレイン領域 2 4 a 及び第 2 排出ドレイン領域 2 4 e への光電荷の排出と、第 1 転送制御機構 (3 1, 4 2 p, 4 2 q), 第 2 転送制御機構 (3 1, 4 4 p, 4 4 q) 及び第 3 転送制御機構 (3 1, 4 3 p, 4 3 q) を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

20

【0069】

第 2 の実施形態に係る測長素子においても、第 1 の実施形態で説明した式 (4) 又は式 (8) を用いることにより、第 2 の実施形態に係る測長素子は光飛行時間測定に好適な機能を有していることが分かる。このため、第 2 の実施形態に係る測長素子を固体撮像装置の画素 (ロックインピクセル) として、同一半導体チップ上に画素サイズが 5  $\mu\text{m}$  角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

【0070】

特に、第 1 の実施形態に係る測長素子と同様に、第 2 の実施形態に係る測長素子においても、受光部近傍側に位置する幹経路から電荷変調部に至る静電誘導チャネル部を十分な長さとし、電荷変調部を遮光板 5 1 によって光シールドしているので、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

30

【0071】

第 2 の実施形態に係る測長素子及び固体撮像装置によれば、図 1 5 に示すように第 1 電荷蓄積領域 2 4 b, 第 2 電荷蓄積領域 2 4 d 及び第 3 電荷蓄積領域 2 4 c への電荷転送に、それぞれ第 1 電界制御電極 4 2 p, 4 2 q、第 2 電界制御電極 4 4 p, 4 4 q 及び第 3 電界制御電極 4 3 p, 4 3 q に印加する電界制御電圧によって、横方向電界制御効果を用いることにより、第 1 の実施形態に係る測長素子で説明した「転送ゲート方式」よりも高速に電荷転送が行える。

40

【0072】

(第 3 の実施形態)

図 1 6 に主要部の概略を上面側から見た平面図を示すように、本発明の第 3 の実施形態に係る測長素子は、1 点鎖線で示した 1 つの開口部 (アパーチャ部) を有する遮光板 5 1 によって定義される受光部の内部に、互いにインターデジタルに対向した第 1 の表面埋込領域 2 5 u と第 2 の表面埋込領域 2 5 v を有するロックインピクセルである。図 1 6 において符号 3 2 b はフィールド絶縁膜の端部を意味する。即ち、フィールド絶縁膜の端 3 2 b によって囲まれた領域がロックインピクセルの活性領域になるので、第 3 の実施形態に係る測長素子は、1 画素に 2 つの表面埋込領域が存在する。図示を省略しているが、図 2 (a)、図 3 (a) 及び図 4 (a) に示した断面構造と同様に、フィールド絶縁膜の下に

50

は p 型のウェル領域 2 3 が形成されている。

【 0 0 7 3 】

図 1 6 の受光部の上側に示した第 1 の表面埋込領域 2 5 u に着目すると、図 2 ~ 図 4 に示した断面図に示したのと同様に、第 3 の実施形態に係る測長素子は、第 1 導電型 ( p 型 ) の半導体からなる画素形成層 2 2 と、画素形成層 2 2 との接合構造で第 1 のフォトダイオードを構成するように、画素形成層 2 2 の上部に選択的に配置され、更に、受光部の位置から遮光板 5 1 で遮光された複数の位置まで到達するように、画素形成層 2 2 の上部を延在して先端側が T 字型に分岐した第 1 の分岐構造を構成する第 2 導電型 ( n 型 ) の第 1 の表面埋込領域 2 5 u と、 T 字型の第 1 の分岐構造の先端部にそれぞれ接続され、 n 型で第 1 の表面埋込領域 2 5 u よりも高不純物密度の上側第 1 電荷蓄積領域 2 4 u b , 上側第 2 電荷蓄積領域 2 4 u d 及び上側第 3 電荷蓄積領域 2 4 u c と、 T 字型の第 1 の分岐構造のそれぞれの凸部に、上側第 1 電荷蓄積領域 2 4 u b , 上側第 2 電荷蓄積領域 2 4 u d 及び上側第 3 電荷蓄積領域 2 4 u c に隣接してそれぞれ配置され、上側第 1 電荷蓄積領域 2 4 u b , 上側第 2 電荷蓄積領域 2 4 u d 及び上側第 3 電荷蓄積領域 2 4 u c への信号電荷の転送を制御する、上側第 1 転送制御機構 ( 3 1 , 4 2 u ) , 上側第 2 転送制御機構 ( 3 1 , 4 4 u ) 及び上側第 3 転送制御機構 ( 3 1 , 4 3 u ) と、第 1 の表面埋込領域 2 5 u の下方の一部に一方の端部が配置され、複数に分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、第 1 の表面埋込領域 2 5 u の上部の一部に配置された、 n 型で第 1 の表面埋込領域 2 5 u よりも高不純物密度で、上側第 1 電荷蓄積領域 2 4 u b , 上側第 2 電荷蓄積領域 2 4 u d 及び上側第 3 電荷蓄積領域 2 4 u c よりも低不純物密度の第 1 ガイド領域 2 6 u と、を備えて、ロックインピクセルの片側を構成している。

10

20

【 0 0 7 4 】

断面図の図示を省略しているが、図 2 ( a ) 図 3 ( a ) 及び図 4 ( a ) に示したのと同様に、上側第 1 電荷蓄積領域 2 4 u b , 上側第 2 電荷蓄積領域 2 4 u d 及び上側第 3 電荷蓄積領域 2 4 u c は、周辺をウェル領域 2 3 で囲まれて、画素形成層 2 2 の上に浮遊拡散層として形成されている。なお、第 3 の実施形態に係る測長素子では、説明の便宜上、受光部からの信号電荷が蓄積される浮遊拡散層が 3 つの場合について説明するが、浮遊拡散層の数は 2 つでも 4 つ以上でも構わない。

【 0 0 7 5 】

図示を省略しているが、第 3 の実施形態に係る測長素子は図 2 ~ 図 4 に示した断面図と同様に、第 1 の表面埋込領域 2 5 u の表面に接して設けられた p 型の第 1 ピニング層を備える。そして、画素形成層 2 2 は、 p 型の半導体基板上に設けられている。

30

【 0 0 7 6 】

第 3 の実施形態に係る測長素子では図 1 6 に示すような受光部において発生した光電子を信号電荷として、上側第 1 転送制御機構 ( 3 1 , 4 2 u ) , 上側第 2 転送制御機構 ( 3 1 , 4 4 u ) 及び上側第 3 転送制御機構 ( 3 1 , 4 3 u ) を備えた第 1 の電荷変調部に高速に輸送するため、第 1 のフォトダイオードを構成する n 型の第 1 の表面埋込領域 2 5 u の平面形状をフォーク型の形状とし、光電子がフォークの柄の部分に集まるようにしている。フォークの歯のそれぞれは図 1 6 に示すように、歯の幅が図 1 6 の紙面の下の方から上の方に行くに従い末広がりに広がるような多段の段差 ( ステップ ) 形状をなしている。第 3 の実施形態に係る測長素子では、受光部における表面埋込領域 2 5 u の平面パターンにおけるフォークの歯を末広がりの形状にしているので、空乏化したフォークの歯の部分のすべての領域で高いドリフト電界が発生するようにしているため、画素サイズが 5 μ m 角以上となる大面積の受光部であっても、信号電荷としての光電子をフォークの歯の長手方向に沿って高速に移動させることができる。

40

【 0 0 7 7 】

第 3 の実施形態に係る測長素子の第 1 ガイド領域 2 6 u は、フォークの根元の中央部に集った光電子を電荷変調部の狭い転送路 ( 転送チャネル ) に導くための半導体領域であり、第 1 ガイド領域 2 6 u の平面パターンにおける形状は図 1 6 に示すように、第 1 ガイド領域 2 6 u の長手方向 ( 図 1 6 の上下方向 ) に直交する方向に測った幅が、図 1 6 の紙面

50

の下の方から上の方に行くに従い末広がりに広がるような多段の段差（ステップ）形状をなしている。第3の実施形態に係る測長素子では、第1ガイド領域26uの平面パターンを末広がりの形状にしているため、空乏化した第1ガイド領域26uの部分のすべての領域で高いドリフト電界が発生する。したがって、信号電荷としての光電子を第1ガイド領域26uの長手方向に沿って高速に移動させることができる。図16の平面図から分かるように、発生したキャリアの移動先となる第1表面埋込領域25uの電位分布の一番底になるところに、第1ガイド領域26uの細い先端部が接触している。

【0078】

図3(a)及び図4(a)に示した構造と同様に、第3の実施形態に係る測長素子を構成している上側第1転送制御機構(31, 42u)、上側第2転送制御機構(31, 44u)及び上側第3転送制御機構(31, 43u)のそれぞれは、T字型の第1の分岐構造のそれぞれの凸部の上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた上側第1転送ゲート電極42u、上側第2転送ゲート電極44u及び上側第3転送ゲート電極43uと、を備えている。

10

【0079】

図3(a)及び図4(a)の断面図に示した構造と同様に、上側第1転送ゲート電極42u、上側第2転送ゲート電極44u及び上側第3転送ゲート電極43uの直下の部分の絶縁膜31の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。この上側第1転送ゲート電極42u、上側第2転送ゲート電極44u及び上側第3転送ゲート電極43uに印加されるそれぞれの電圧によって、T字型の第1の分岐構造のそれぞれの凸部に定義される転送路（転送チャネル）の電位を制御し、信号電荷の複数の上側第1電荷蓄積領域24ub、上側第2電荷蓄積領域24ud及び上側第3電荷蓄積領域24ucへの移動をそれぞれ制御することができる。

20

【0080】

現実の構造としては、ゲート絶縁膜として機能する薄い絶縁膜の上に、上側第1転送ゲート電極42u、上側第2転送ゲート電極44u及び上側第3転送ゲート電極43uを囲むように、層間絶縁膜を選択的に構成して、絶縁膜31を段差形状を有する2層構造としてもよい。或いは、ゲート絶縁膜として機能する部分以外の領域に、上側第1転送ゲート電極42u、上側第2転送ゲート電極44u及び上側第3転送ゲート電極43uを囲むように、ゲート絶縁膜と厚さの異なる他の層間絶縁膜やフィールド絶縁膜を選択的に構成して、絶縁膜31を段差形状に構成してもよい。この場合の層間絶縁膜やフィールド絶縁膜の材料は、ゲート絶縁膜の材料と同じでも異なる誘電体でもよく、例えば、層間絶縁膜の部分は、ゲート絶縁膜の部分より比誘電率の小さい誘電体で構成してもよい。

30

【0081】

絶縁膜31やピニング層27等の上層側の構造があるので、実際には見えないが、第1ガイド領域26uは、遮光板51を上から見た平面図において、遮光板51の開口部に第1ガイド領域26uの第1のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

【0082】

第3の実施形態に係る測長素子においては、第1の表面埋込領域25uがなす第1の分岐構造の幹部分となる幹経路において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に左右方向に設けている。左右方向に向かう新たな凸部のそれぞれの先端に、n型で第1の表面埋込領域25uよりも高不純物密度の上側第1排出ドレイン領域24ua及び上側第2排出ドレイン領域24ueが接続されている。そして、図16に示すように、第3の実施形態に係る測長素子は、上側第1排出ドレイン領域24uaに隣接して配置され、第1の表面埋込領域25uの左方向に延びる新たな凸部を経由して上側第1排出ドレイン領域24uaに向かう電荷の排出を制御する上側第1排出制御機構(31, 41ua)と、上側第2排出ドレイン領域24ueに隣接して配置され、第1の表面埋込領域25uの右方向に延びる新たな凸部を経由して上側第2排出ドレイン領域24ueに向かう電荷の排出を制御する上側第2排出制御機構(31, 41ub)を更に備える。

40

50

## 【 0 0 8 3 】

この上側第 1 排出制御機構 ( 3 1 , 4 1 u a ) 及び上側第 2 排出制御機構 ( 3 1 , 4 1 u b ) のそれぞれは、図 2 ( a ) に示した構造と同様に、第 1 の表面埋込領域 2 5 u の新たな凸部のそれぞれの上に設けられた絶縁膜 3 1 と、この絶縁膜 3 1 の上にそれぞれ設けられた上側第 1 排出ゲート電極 4 1 u a 及び上側第 2 排出ゲート電極 4 1 u b を備える。図 2 ( a ) の断面図に示した構造と同様に、上側第 1 排出ゲート電極 4 1 u a 及び上側第 2 排出ゲート電極 4 1 u b の直下の部分の絶縁膜 3 1 の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。

## 【 0 0 8 4 】

一方、図 1 6 の受光部の下側に示した第 2 の表面埋込領域 2 5 v に着目すると、第 3 の実施形態に係る測長素子は、受光部において、画素形成層 2 2 との接合構造で第 2 のフォトダイオードを構成するように、画素形成層 2 2 の上部に選択的に配置され、更に、受光部の位置から遮光板 5 1 で遮光された複数の位置まで到達するように、画素形成層 2 2 の上部を延在して先端側が T 字型に分岐した第 2 の分岐構造を構成する第 2 導電型 ( n 型 ) の第 2 の表面埋込領域 2 5 v と、T 字型の第 2 の分岐構造の先端部にそれぞれ接続され、n 型で第 2 の表面埋込領域 2 5 v よりも高不純物密度の下側第 1 電荷蓄積領域 2 4 v b , 下側第 2 電荷蓄積領域 2 4 v d 及び下側第 3 電荷蓄積領域 2 4 v c と、T 字型の第 2 の分岐構造のそれぞれの凸部に、下側第 1 電荷蓄積領域 2 4 v b , 下側第 2 電荷蓄積領域 2 4 v d 及び下側第 3 電荷蓄積領域 2 4 v c に隣接してそれぞれ配置され、下側第 1 電荷蓄積領域 2 4 v b , 下側第 2 電荷蓄積領域 2 4 v d 及び下側第 3 電荷蓄積領域 2 4 v c への信号電荷の転送を制御する、下側第 1 転送制御機構 ( 3 1 , 4 2 v ) , 下側第 2 転送制御機構 ( 3 1 , 4 4 v ) 及び下側第 3 転送制御機構 ( 3 1 , 4 3 v ) と、第 2 の表面埋込領域 2 5 v の下方の一部に一方の端部が配置され、複数の分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、第 2 の表面埋込領域 2 5 v の上部の一部に配置された、n 型で第 2 の表面埋込領域 2 5 v よりも高不純物密度で、下側第 1 電荷蓄積領域 2 4 v b , 下側第 2 電荷蓄積領域 2 4 v d 及び下側第 3 電荷蓄積領域 2 4 v c よりも低不純物密度の第 2 ガイド領域 2 6 v と、を備えて、ロックインピクセルのもう一方の側を構成している。

## 【 0 0 8 5 】

断面図の図示を省略しているが、図 2 ( a ) 図 3 ( a ) 及び図 4 ( a ) に示したのと同様に、下側第 1 電荷蓄積領域 2 4 v b , 下側第 2 電荷蓄積領域 2 4 v d 及び下側第 3 電荷蓄積領域 2 4 v c は、周辺をウェル領域 2 3 で囲まれて、画素形成層 2 2 の上に浮遊拡散層として形成されている。なお、第 3 の実施形態に係る測長素子では、説明の便宜上、受光部からの信号電荷が蓄積される浮遊拡散層が 3 つの場合について説明するが、浮遊拡散層の数は 2 つでも 4 つ以上でも構わない。

## 【 0 0 8 6 】

図示を省略しているが、第 3 の実施形態に係る測長素子は図 2 ~ 図 4 に示した断面図と同様に、第 2 の表面埋込領域 2 5 v の表面に接して設けられた p 型の第 2 ピニング層を備える。第 3 の実施形態に係る測長素子では図 1 6 に示すような受光部において発生した光電子を、下側第 1 転送制御機構 ( 3 1 , 4 2 v ) , 下側第 2 転送制御機構 ( 3 1 , 4 4 v ) 及び下側第 3 転送制御機構 ( 3 1 , 4 3 v ) を備えた第 2 の電荷変調部に高速に輸送するため、第 2 のフォトダイオードを構成する n 型の第 2 の表面埋込領域 2 5 v の平面形状をフォーク型の形状とし、光電子がフォークの柄の部分に集まるようにしている。フォークの歯のそれぞれは図 1 6 に示すように、歯の幅が図 1 6 の紙面の上の方から下の方に行くに従い末広がりになるような多段の段差 ( ステップ ) 形状をなしている。第 3 の実施形態に係る測長素子では、受光部における表面埋込領域 2 5 v の平面パターンにおけるフォークの歯を末広がり形状にしているため、空乏化したフォークの歯の部分のすべての領域で高いドリフト電界が発生するようにしているため、画素サイズが 5 μ m 角以上となる大面積の受光部であっても、信号電荷としての光電子をフォークの歯の長手方向に沿って高速に移動させることができる。

10

20

30

40

50



## 【0087】

第3の実施形態に係る測長素子の第2ガイド領域26vは、フォークの根元の中央部に集った光電子を電荷変調部の狭い転送路（転送チャンネル）に導くための半導体領域であり、第2ガイド領域26vの平面パターンにおける形状は図16に示すように、第2ガイド領域26vの長手方向（図16の上下方向）に直交する方向に測った幅が、図16の紙面の上の方から下の方に行くに従い末広がりになるような多段の段差（ステップ）形状をなしている。第3の実施形態に係る測長素子では、第2ガイド領域26vの平面パターンを末広がりの形状にしているため、空乏化した第2ガイド領域26vの部分のすべての領域で高いドリフト電界が発生する。したがって、信号電荷としての光電子を第2ガイド領域26vの長手方向に沿って高速に移動させることができる。図16の平面図から分かるように、発生したキャリアの移動先となる第2表面埋込領域25vの電位分布の一番底になるところに、第2ガイド領域26vの細い先端部が接触している。

10

## 【0088】

第1ガイド領域26u及び第2ガイド領域26vは、例えば、第1表面埋込領域25u及び第2表面埋込領域25vを形成するイオン注入をした領域の一部に、図16に示した平面パターンに従って、2重のイオン注入をすることにより、第1表面埋込領域25u及び第2表面埋込領域25vよりも高不純物密度の半導体領域として形成できる。

## 【0089】

図3(a)及び図4(a)に示した構造と同様に、第3の実施形態に係る測長素子を構成している下側第1転送制御機構(31, 42v)、下側第2転送制御機構(31, 44v)及び下側第3転送制御機構(31, 43v)のそれぞれは、T字型の第2の分岐構造のそれぞれの凸部の上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた下側第1転送ゲート電極42v、下側第2転送ゲート電極44v及び下側第3転送ゲート電極43vと、を備えている。

20

## 【0090】

図3(a)及び図4(a)の断面図に示した構造と同様に、下側第1転送ゲート電極42v、下側第2転送ゲート電極44v及び下側第3転送ゲート電極43vの直下の部分の絶縁膜31の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。この下側第1転送ゲート電極42v、下側第2転送ゲート電極44v及び下側第3転送ゲート電極43vに印加されるそれぞれの電圧によって、T字型の第2の分岐構造のそれぞれの凸部に定義される転送路の電位を制御し、信号電荷の複数の下側第1電荷蓄積領域24vb、下側第2電荷蓄積領域24vd及び下側第3電荷蓄積領域24vcへの移動をそれぞれ制御することができる。

30

## 【0091】

現実の構造としては、ゲート絶縁膜として機能する薄い絶縁膜の上に、下側第1転送ゲート電極42v、下側第2転送ゲート電極44v及び下側第3転送ゲート電極43vを囲むように、層間絶縁膜を選択的に構成して、絶縁膜31を段差形状を有する2層構造としてもよい。或いは、ゲート絶縁膜として機能する部分以外の領域に、下側第1転送ゲート電極42v、下側第2転送ゲート電極44v及び下側第3転送ゲート電極43vを囲むように、ゲート絶縁膜と厚さの異なる他の層間絶縁膜やフィールド絶縁膜を選択的に構成して、絶縁膜31を段差形状に構成してもよい。

40

## 【0092】

絶縁膜31やピニング層27等の上層側の構造があるので、実際には見えないが、第2ガイド領域26vは、遮光板51を上から見た平面図において、遮光板51の開口部に第2ガイド領域26vの第2のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

## 【0093】

第3の実施形態に係る測長素子においては、第2の表面埋込領域25vがなす第2の分岐構造の幹部分となる幹経路において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に左右方向に設けている。左右方向に向かう新たな凸部のそれぞれの先端に、

50

n型で第2の表面埋込領域25vよりも高不純物密度の下側第1排出ドレイン領域24va及び下側第2排出ドレイン領域24veが接続されている。そして、図16に示すように、第3の実施形態に係る測長素子は、下側第1排出ドレイン領域24vaに隣接して配置され、第2の表面埋込領域25vの左方向に延びる新たな凸部を経由して下側第1排出ドレイン領域24vaに向かう電荷の排出を制御する下側第1排出制御機構(31, 41va)と、下側第2排出ドレイン領域24veに隣接して配置され、第2の表面埋込領域25vの右方向に延びる新たな凸部を経由して下側第2排出ドレイン領域24veに向かう電荷の排出を制御する下側第2排出制御機構(31, 41vb)を更に備える。

【0094】

この下側第1排出制御機構(31, 41va)及び下側第2排出制御機構(31, 41vb)のそれぞれは、図2(a)に示した構造と同様に、第2の表面埋込領域25vの新たな凸部のそれぞれの上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた下側第1排出ゲート電極41va及び下側第2排出ゲート電極41vbを備える。図2(a)の断面図に示した構造と同様に、下側第1排出ゲート電極41va及び下側第2排出ゲート電極41vbの直下の部分の絶縁膜31の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。

【0095】

画素面積が大きい固体撮像装置(イメージセンサ)の場合で、第1及び第2の実施形態に係る測長素子のような1つのフォトダイオードでは、十分な高速な応答ができない場合は、図16に示す構造のように、1画素(ピクセル)の中にフォトダイオードを複数個配置し、複数のフォトダイオードからの出力を加算して信号の増強を図ることができる。図16に示す第3の実施形態に係る測長素子は、1画素の中に第1及び第2の実施形態に係る測長素子の構造を2個分有する場合に対応する。

【0096】

即ち、図16に示すように、第3の実施形態に係る測長素子の下側に配置した第1のフォトダイオード部と、第1のフォトダイオード部の左側から立ち上がる第1の電荷変調部との間には、T字型に分岐する部分の手前側(下側)において、幹経路を両側から挟むように左右対称に配置された上側第1排出ゲート電極41ua及び上側第2排出ゲート電極41ubを配置している。上側第1排出ゲート電極41ua及び上側第2排出ゲート電極41ubによって、上側第1排出ドレイン領域24ua及び上側第2排出ドレイン領域24ueへの光電荷の排出と、上側第1転送制御機構(31, 42u)、上側第2転送制御機構(31, 44u)及び上側第3転送制御機構(31, 43u)を備えた第1の電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【0097】

同様に、上側に配置した第2のフォトダイオード部と第2のフォトダイオード部の右側から下側にぶら下がる第2の電荷変調部との間には、T字型に分岐する部分の手前側(上側)において、幹経路を両側から挟むように左右対称に配置された下側第1排出ゲート電極41va及び下側第2排出ゲート電極41vbを配置している。下側第1排出ゲート電極41va及び下側第2排出ゲート電極41vbによって、下側第1排出ドレイン領域24va及び下側第2排出ドレイン領域24veへの光電荷の排出と、下側第1転送制御機構(31, 42v)、下側第2転送制御機構(31, 44v)及び下側第3転送制御機構(31, 43v)を備えた第2の電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【0098】

1画素内部に第1のフォトダイオード $D_{u_{ij}}$ 及び第2のフォトダイオード $D_{v_{ij}}$ の2つのフォトダイオードを有する第3の実施形態に係る測長素子の等価回路表現を図17に示す。図17の中央部に記載した、上側第1転送制御機構(31, 42u)としての上側第1転送トランジスタ $Q_{u_{1T}}$ 、上側第2転送制御機構(31, 44u)としての上側第2転送トランジスタ $Q_{u_{2T}}$ 及び上側第3転送制御機構(31, 43u)としての上側第3転送トランジスタ $Q_{u_{3T}}$ が、「第1の電荷変調部」を構成している。又、第1の電荷変調部に

10

20

30

40

50

隣接した右側に配置された、下側第1転送制御機構(31, 42v)としての下側第1転送トランジスタ $Q_{v_{1T}}$ 、下側第2転送制御機構(31, 44v)としての下側第2転送トランジスタ $Q_{v_{2T}}$ 及び下側第3転送制御機構(31, 43v)としての下側第3転送トランジスタ $Q_{v_{3T}}$ が、「第2の電荷変調部」を構成している。

【0099】

図17において、上段の左端に記載した第1のフォトダイオード $D_{u_{ij}}$ から第1の電荷変調部に至る静電誘導チャンネル部が破線を含んだ回路構成として示されている。上段の左側には、自己のゲートが接地された2つの第1の接合型電界効果トランジスタ $Q_{u_{p1}}$ 及び $Q_{u_{p2}}$ で静電誘導チャンネル部を表している。直列接続した2つの第1の接合型電界効果トランジスタ $Q_{u_{p1}}$ 及び $Q_{u_{p2}}$ の中間タップに、電荷排出用の第1電荷排出MOSトランジスタ $Q_{u_D}$ のソース端子が接続され、第1電荷排出MOSトランジスタ $Q_{u_D}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続されている。

10

【0100】

図17中の上段の左側の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図17において、第1のフォトダイオード $D_{u_{ij}}$ で発生した光電子は、第1電荷排出MOSトランジスタ $Q_{u_D}$ をそれぞれ構成する上側第1排出ゲート電極 $41ua$ 及び上側第2排出ゲート電極 $41ub$ のそれぞれに印加する電圧 $G_{Du} = L$ であれば、第1の電荷変調部に直ちに到達する。ここで、第1の電荷変調部には、上側第1転送トランジスタ $Q_{u_{1T}}$ 、上側第2転送トランジスタ $Q_{u_{2T}}$ 及び上側第3転送トランジスタ $Q_{u_{3T}}$ が備えられているので、等価回路表示としては、上側第1転送トランジスタ $Q_{u_{1T}}$ 、上側第2転送トランジスタ $Q_{u_{2T}}$ 及び上側第3転送トランジスタ $Q_{u_{3T}}$ のそれぞれの一方の端部が第1の接合型電界効果トランジスタ $Q_{u_{p2}}$ にT字型に接続された回路構成となる。

20

【0101】

そして、上側第1転送トランジスタ $Q_{u_{1T}}$ 、上側第2転送トランジスタ $Q_{u_{2T}}$ 及び上側第3転送トランジスタ $Q_{u_{3T}}$ のそれぞれの他方の端部は、ノード $D_1$ としての上側第1電荷蓄積領域 $24ub$ 、ノード $D_2$ としての上側第2電荷蓄積領域 $24ud$ 及びノード $D_3$ としての上側第3電荷蓄積領域 $24uc$ に接続される回路構成となるので、上側第1転送ゲート電極 $42u$ 、上側第2転送ゲート電極 $44u$ 、上側第3転送ゲート電極 $43u$ のいずれか1つに中間電位(M)の電圧、他の2つに低位電位(L)の電圧を与えることで、上側第1電荷蓄積領域 $24ub$ 、上側第2電荷蓄積領域 $24ud$ 、上側第3電荷蓄積領域 $24uc$ のいずれかに光電子を転送する。

30

【0102】

図17において、下段の左端に記載した第2のフォトダイオード $D_{v_{ij}}$ から下段側に接続される中央部に記載した第2の電荷変調部に至る静電誘導チャンネル部は、自己のゲートが接地された第2の接合型電界効果トランジスタ $Q_{v_{p1}}$ 、 $Q_{v_{p2}}$ で表している。下段の左側には、直列接続した2つの第2の接合型電界効果トランジスタ $Q_{v_{p1}}$ 及び $Q_{v_{p2}}$ の中間タップに、電荷排出用の第2電荷排出MOSトランジスタ $Q_{v_D}$ のソース端子が接続され、第2電荷排出MOSトランジスタ $Q_{v_D}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続された回路構成が示されている。

40

【0103】

図17中の下段の左側に記載した破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図17において、第2のフォトダイオード $D_{v_{ij}}$ で発生した光電子は、第2電荷排出MOSトランジスタ $Q_{v_D}$ をそれぞれ構成する2つの下側第1排出ゲート電極 $41va$ 及び下側第2排出ゲート電極 $41vb$ のそれぞれに印加する電圧 $G_{Dv} = L$ であれば、第2の電荷変調部に直ちに到達する。ここで、第2の電荷変調部には、下側第1転送トランジスタ $Q_{v_{1T}}$ 、下側第2転送トランジスタ $Q_{v_{2T}}$ 及び下側第3転送トランジスタ $Q_{v_{3T}}$ が備えられているので、等価回路表示としては、下側第1転送トランジスタ $Q_{v_{1T}}$ 、下側第2転送トランジスタ $Q_{v_{2T}}$ 及び下側第3転送トランジスタ $Q_{v_{3T}}$ のそれぞれの一方の端部が第2の接合型電界効果トラ

50

ンジスタ  $Q_{V_{P2}}$  に T 字型に接続された回路構成となる。

【 0 1 0 4 】

そして、下側第 1 転送トランジスタ  $Q_{V_{1T}}$ 、下側第 2 転送トランジスタ  $Q_{V_{2T}}$  及び下側第 3 転送トランジスタ  $Q_{V_{3T}}$  のそれぞれの他方の端部は、下側第 1 電荷蓄積領域  $24vb$ 、下側第 2 電荷蓄積領域  $24vd$  及び下側第 3 電荷蓄積領域  $24vc$  に接続される。

【 0 1 0 5 】

図示を省略しているが、図 16 において、下側第 1 電荷蓄積領域  $24vb$  はメタル配線等の表面線で上側第 1 電荷蓄積領域  $24ub$  と短絡され、下側第 2 電荷蓄積領域  $24vd$  は表面線で上側第 2 電荷蓄積領域  $24ud$  と短絡され、下側第 3 電荷蓄積領域  $24vc$  は表面線で上側第 3 電荷蓄積領域  $24uc$  と短絡されている。このため、下側第 1 転送ゲート電極  $42v$ 、下側第 2 転送ゲート電極  $44v$ 、下側第 3 転送ゲート電極  $43v$  のいずれか 1 つに中間電位 (M) の電圧、他の 2 つに低位電位 (L) の電圧を与えることで、共通ノード  $D_1$  としての下側第 1 電荷蓄積領域  $24vb$ 、共通ノード  $D_2$  としての下側第 2 電荷蓄積領域  $24vd$  及び共通ノード  $D_3$  としての下側第 3 電荷蓄積領域  $24vc$  のいずれかに光電子が転送される。

【 0 1 0 6 】

図 17 の 3 つの共通ノード  $D_1$ 、 $D_3$ 、 $D_2$  には、電荷蓄積用のキャパシタ  $C_1$ 、 $C_3$ 、 $C_2$  が接続されている。このキャパシタ  $C_1$ 、 $C_3$ 、 $C_2$  は、電圧依存性を低減するため、しきい値電圧を負電圧に設定したデプリーション・モードの MOS キャパシタを用いるのが適している。第 1 の共通ノード  $D_1$  には、第 1 の共通ノード  $D_1$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 1 増幅トランジスタ  $Q_{1A}$  のゲート端子に接続され、第 1 の共通ノード  $D_1$  には更に、信号の読み出し後、信号電荷を初期化するために、第 1 リセットトランジスタ  $Q_{1R}$  が接続されている。又、第 1 増幅トランジスタ  $Q_{1A}$  のソース端子には、読出画素選択用のスイッチとしての第 1 選択トランジスタ  $Q_{1S}$  が接続され、第 1 選択トランジスタ  $Q_{1S}$  の出力は垂直方向に走る信号読出線に接続されている。

【 0 1 0 7 】

同様に、第 2 の共通ノード  $D_2$  には、第 2 の共通ノード  $D_2$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 2 増幅トランジスタ  $Q_{2A}$  のゲート端子に接続され、第 2 の共通ノード  $D_2$  には更に、信号の読み出し後、信号電荷を初期化するために、第 2 リセットトランジスタ  $Q_{2R}$  が接続されている。又、第 2 増幅トランジスタ  $Q_{2A}$  のソース端子には、読出画素選択用のスイッチとしての第 2 選択トランジスタ  $Q_{2S}$  が接続され、第 2 選択トランジスタ  $Q_{2S}$  の出力は垂直方向に走る信号読出線に接続されている。更に、第 3 の共通ノード  $D_3$  には、第 3 の共通ノード  $D_3$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 3 増幅トランジスタ  $Q_{3A}$  のゲート端子に接続され、第 3 の共通ノード  $D_3$  には更に、信号の読み出し後、信号電荷を初期化するために、第 3 リセットトランジスタ  $Q_{3R}$  が接続されている。又、第 3 増幅トランジスタ  $Q_{3A}$  のソース端子には、読出画素選択用のスイッチとしての第 3 選択トランジスタ  $Q_{3S}$  が接続され、第 3 選択トランジスタ  $Q_{3S}$  の出力は垂直方向に走る信号読出線に接続されている。

【 0 1 0 8 】

第 3 の実施形態に係る測長素子からの信号の読み出し方法としては、図 17 のように、3 つの信号読出線を、3 本走らせて、並列に読み出す方法でも、図 11 に示した回路構成と同様に、信号読出線を 1 本として選択信号  $SL1$ 、 $SL2$ 、 $SL3$  によるスイッチを順に、オンにして、時系列信号として読み出す方法でもよい。

【 0 1 0 9 】

第 3 の実施形態に係る測長素子及び固体撮像装置によれば、図 17 に示すように下側第 1 電荷蓄積領域  $24vb$  と上側第 1 電荷蓄積領域  $24ub$  とを短絡し、下側第 2 電荷蓄積領域  $24vd$  と上側第 2 電荷蓄積領域  $24ud$  とを短絡し、下側第 3 電荷蓄積領域  $24vc$  と上側第 3 電荷蓄積領域  $24uc$  とを短絡することにより、第 1 のフォトダイオード D

10

20

30

40

50

$u_{ij}$  及び第 2 のフォトダイオード  $Dv_{ij}$  の 2 箇所フォトダイオードでそれぞれ受光し、第 1 及び第 2 の電荷変調部でそれぞれで電荷変調を受けた後の信号を電荷として加算し、信号の増強を図ることができる。

【0110】

更に、第 1 及び第 2 の実施形態に係る測長素子と同様に、第 3 の実施形態に係る測長素子においても、第 1 及び受光部近傍側に位置する幹経路から第 1 及び第 2 の電荷変調部に至る静電誘導チャネル部を十分な長さとし、第 1 及び第 2 の電荷変調部を遮光板 5 1 によって光シールドしているため、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

【0111】

第 1 の実施形態で説明した式 (4) 又は式 (8) を用いることにより、第 3 の実施形態に係る測長素子は光飛行時間測定に好適な機能を有していることが分かる。このため、第 3 の実施形態に係る測長素子を固体撮像装置の画素 (ロックインピクセル) として、同一半導体チップ上に画素サイズが  $5 \mu\text{m}$  角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

【0112】

(第 4 の実施形態)

図 1 8 に主要部の概略を上面側から見た平面図を示すように、本発明の第 4 の実施形態に係る測長素子は、1 画素に 1 点鎖線で示した 2 つの開口部 (アパーチャ部) を有する遮光板 5 1 によって受光部の位置を定義したロックインピクセルである。図 1 8 において符号 3 2 a 及び 3 2 c はフィールド絶縁膜の端部を意味する。即ち、フィールド絶縁膜の端部 3 2 a 及び 3 2 c によって囲まれた領域がロックインピクセルの活性領域になるので、第 4 の実施形態に係る測長素子は、1 画素に 2 つの活性領域が存在する。図示を省略しているが、図 2 (a)、図 3 (a) 及び図 4 (a) に示した断面構造と同様に、フィールド絶縁膜の下には p 型のウェル領域 2 3 が形成されている。

【0113】

図 1 8 の下側に 1 点鎖線で示した第 1 の開口部 (アパーチャ部) に着目すると、図 2 ~ 図 4 に示した断面図に示したのと同様に、第 4 の実施形態に係る測長素子は、第 1 導電型 (p 型) の半導体からなる画素形成層 2 2 と、第 1 の開口部で定義された第 1 の受光部の位置において、画素形成層 2 2 との接合構造で第 1 のフォトダイオードを構成するように、画素形成層 2 2 の上部に選択的に配置され、更に、第 1 の受光部の位置から遮光板 5 1 で遮光された複数の位置まで到達するように、画素形成層 2 2 の上部を延在して先端側が T 字型に分岐した第 1 の分岐構造を構成する第 2 導電型 (n 型) の第 1 の表面埋込領域 2 5 a と、T 字型の第 1 の分岐構造の先端部にそれぞれ接続され、n 型で第 1 の表面埋込領域 2 5 a よりも高不純物密度の左側第 1 電荷蓄積領域 2 4 a b、左側第 2 電荷蓄積領域 2 4 a d 及び左側第 3 電荷蓄積領域 2 4 a c と、T 字型の第 1 の分岐構造のそれぞれの凸部に、左側第 1 電荷蓄積領域 2 4 a b、左側第 2 電荷蓄積領域 2 4 a d 及び左側第 3 電荷蓄積領域 2 4 a c に隣接してそれぞれ配置され、左側第 1 電荷蓄積領域 2 4 a b、左側第 2 電荷蓄積領域 2 4 a d 及び左側第 3 電荷蓄積領域 2 4 a c への信号電荷の転送を制御する、左側第 1 転送制御機構 (3 1, 4 2 a)、左側第 2 転送制御機構 (3 1, 4 4 a) 及び左側第 3 転送制御機構 (3 1, 4 3 a) と、第 1 の開口部の下方の一部に一方の端部が配置され、複数に分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、第 1 の表面埋込領域 2 5 a の上部の一部に配置された、n 型で第 1 の表面埋込領域 2 5 a よりも高不純物密度で、左側第 1 電荷蓄積領域 2 4 a b、左側第 2 電荷蓄積領域 2 4 a d 及び左側第 3 電荷蓄積領域 2 4 a c よりも低不純物密度の第 1 ガイド領域 2 6 d と、を備えて、ロックインピクセルの片側を構成している。

【0114】

断面図の図示を省略しているが、図 2 (a)、図 3 (a) 及び図 4 (a) に示したのと同様に、左側第 1 電荷蓄積領域 2 4 a b、左側第 2 電荷蓄積領域 2 4 a d 及び左側第 3 電荷

10

20

30

40

50

蓄積領域 2 4 a c は、周辺をウェル領域 2 3 で囲まれて、画素形成層 2 2 の上に浮遊拡散層として形成されている。なお、第 4 の実施形態に係る測長素子では、説明の便宜上、第 1 の受光部からの信号電荷が蓄積される浮遊拡散層が 3 つの場合について説明するが、浮遊拡散層の数は 2 つでも 4 つ以上でも構わない。

【 0 1 1 5 】

図示を省略しているが、第 4 の実施形態に係る測長素子は図 2 ~ 図 4 に示した断面図と同様に、第 1 の表面埋込領域 2 5 a の表面に接して設けられた p 型の第 1 ピニング層を備える。そして、画素形成層 2 2 は、p 型の半導体基板上に設けられている。

【 0 1 1 6 】

第 4 の実施形態に係る測長素子では図 1 8 に示すような第 1 の受光部において発生した光電子を信号電荷として、左側第 1 転送制御機構 ( 3 1 , 4 2 a ) , 左側第 2 転送制御機構 ( 3 1 , 4 4 a ) 及び左側第 3 転送制御機構 ( 3 1 , 4 3 a ) を備えた第 1 の電荷変調部に高速に輸送するため、第 1 のフォトダイオードを構成する n 型の第 1 の表面埋込領域 2 5 a の平面形状をピストル型の形状とし、光電子がピストルの銃把 ( グリップ ) の部分に集まるようにしている。

10

【 0 1 1 7 】

第 4 の実施形態に係る測長素子の第 1 ガイド領域 2 6 d は、ピストルのグリップ部分に集った光電子を信号電荷として第 1 の電荷変調部の狭いチャンネルに導くための半導体領域であり、第 1 の表面埋込領域 2 5 a よりも高不純物密度の半導体領域として形成できる。図 3 ( a ) 及び図 4 ( a ) に示した構造と同様に、第 4 の実施形態に係る測長素子を構成している左側第 1 転送制御機構 ( 3 1 , 4 2 a ) , 左側第 2 転送制御機構 ( 3 1 , 4 4 a ) 及び左側第 3 転送制御機構 ( 3 1 , 4 3 a ) のそれぞれは、T 字型の第 1 の分岐構造のそれぞれの凸部の上に設けられた絶縁膜 3 1 と、この絶縁膜 3 1 の上にそれぞれ設けられた左側第 1 転送ゲート電極 4 2 a , 左側第 2 転送ゲート電極 4 4 a 及び左側第 3 転送ゲート電極 4 3 a と、を備えている。

20

【 0 1 1 8 】

図 3 ( a ) 及び図 4 ( a ) の断面図に示した構造と同様に、左側第 1 転送ゲート電極 4 2 a , 左側第 2 転送ゲート電極 4 4 a 及び左側第 3 転送ゲート電極 4 3 a の直下の部分の絶縁膜 3 1 の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。この左側第 1 転送ゲート電極 4 2 a , 左側第 2 転送ゲート電極 4 4 a 及び左側第 3 転送ゲート電極 4 3 a に印加されるそれぞれの電圧によって、T 字型の第 1 の分岐構造のそれぞれの凸部に定義される転送路 ( 転送チャンネル ) の電位を制御し、信号電荷の複数の左側第 1 電荷蓄積領域 2 4 a b , 左側第 2 電荷蓄積領域 2 4 a d 及び左側第 3 電荷蓄積領域 2 4 a c への移動をそれぞれ制御することができる。

30

【 0 1 1 9 】

現実の構造としては、ゲート絶縁膜として機能する薄い絶縁膜の上に、左側第 1 転送ゲート電極 4 2 a , 左側第 2 転送ゲート電極 4 4 a 及び左側第 3 転送ゲート電極 4 3 a を囲むように、層間絶縁膜を選択的に構成して、絶縁膜 3 1 を段差形状を有する 2 層構造としてもよい。或いは、ゲート絶縁膜として機能する部分以外の領域に、左側第 1 転送ゲート電極 4 2 a , 左側第 2 転送ゲート電極 4 4 a 及び左側第 3 転送ゲート電極 4 3 a を囲むように、ゲート絶縁膜と厚さの異なる他の層間絶縁膜やフィールド絶縁膜を選択的に構成して、絶縁膜 3 1 を段差形状に構成してもよい。この場合の層間絶縁膜やフィールド絶縁膜の材料は、ゲート絶縁膜の材料と同じでも異なる誘電体でもよく、例えば、層間絶縁膜の部分は、ゲート絶縁膜の部分より比誘電率の小さい誘電体で構成してもよい。

40

【 0 1 2 0 】

絶縁膜 3 1 やピニング層 2 7 等の上層側の構造があるので、実際には見えないが、第 1 ガイド領域 2 6 d は、遮光板 5 1 を上から見た平面図において、遮光板 5 1 の開口部に第 1 ガイド領域 2 6 d の第 1 のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板 5 1 によって遮蔽されている。

【 0 1 2 1 】

50

第4の実施形態に係る測長素子においては、第1の表面埋込領域25aがなす第1の分岐構造の幹部分となる幹経路において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に左右方向に設けている。左右方向に向かう新たな凸部のそれぞれの先端に、n型で第1の表面埋込領域25aよりも高不純物密度の左側第1排出ドレイン領域24aa及び左側第2排出ドレイン領域24aeが接続されている。

【0122】

そして、図18に示すように、第4の実施形態に係る測長素子は、左側第1排出ドレイン領域24aaに隣接して配置され、第1の表面埋込領域25aの左方向に延びる新たな凸部を経由して左側第1排出ドレイン領域24aaに向かう電荷の排出を制御する左側第1排出制御機構(31, 41aa)と、左側第2排出ドレイン領域24aeに隣接して配置され、第1の表面埋込領域25aの右方向に延びる新たな凸部を経由して左側第2排出ドレイン領域24aeに向かう電荷の排出を制御する左側第2排出制御機構(31, 41ab)を更に備える。

【0123】

この左側第1排出制御機構(31, 41aa)及び左側第2排出制御機構(31, 41ab)のそれぞれは、図2(a)に示した構造と同様に、第1の表面埋込領域25aの新たな凸部のそれぞれの上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた左側第1排出ゲート電極41aa及び左側第2排出ゲート電極41abを備える。図2(a)の断面図に示した構造と同様に、左側第1排出ゲート電極41aa及び左側第2排出ゲート電極41abの直下の部分の絶縁膜31の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。

【0124】

一方、図18の上側に1点鎖線で示した第2の開口部(アパーチャ部)に着目すると、第4の実施形態に係る測長素子は、第2の開口部の下方に定義された第2の受光部において、画素形成層22との接合構造で第2のフォトダイオードを構成するように、画素形成層22の上部に選択的に配置され、更に、第2の受光部の位置から遮光板51で遮光された複数の位置まで到達するように、画素形成層22の上部を延在して先端側がT字型に分岐した第2の分岐構造を構成する第2導電型(n型)の第2の表面埋込領域25bと、T字型の第2の分岐構造の先端部にそれぞれ接続され、n型で第2の表面埋込領域25bよりも高不純物密度の右側第1電荷蓄積領域24bb, 右側第2電荷蓄積領域24bd及び右側第3電荷蓄積領域24bcと、T字型の第2の分岐構造のそれぞれの凸部に、右側第1電荷蓄積領域24bb, 右側第2電荷蓄積領域24bd及び右側第3電荷蓄積領域24bcに隣接してそれぞれ配置され、右側第1電荷蓄積領域24bb, 右側第2電荷蓄積領域24bd及び右側第3電荷蓄積領域24bcへの信号電荷の転送を制御する、右側第1転送制御機構(31, 42b), 右側第2転送制御機構(31, 44b)及び右側第3転送制御機構(31, 43b)と、第2の開口部の下方の一部に一方の端部が配置され、複数に分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、第2の表面埋込領域25bの上部の一部に配置された、n型で第2の表面埋込領域25bよりも高不純物密度で、右側第1電荷蓄積領域24bb, 右側第2電荷蓄積領域24bd及び右側第3電荷蓄積領域24bcよりも低不純物密度の第2ガイド領域26eと、を備えて、ロックインピクセルのもう一方の側を構成している。

【0125】

断面図の図示を省略しているが、図2(a) 図3(a)及び図4(a)に示したのと同様に、右側第1電荷蓄積領域24bb, 右側第2電荷蓄積領域24bd及び右側第3電荷蓄積領域24bcは、周辺をウェル領域23で囲まれて、画素形成層22の上に浮遊拡散層として形成されている。なお、第4の実施形態に係る測長素子では、説明の便宜上、第2の受光部からの信号電荷が蓄積される浮遊拡散層が3つの場合について説明するが、浮遊拡散層の数は2つでも4つ以上でも構わない。

【0126】

図示を省略しているが、第4の実施形態に係る測長素子は図2~図4に示した断面図と

10

20

30

40

50

同様に、第2の表面埋込領域25bの表面に接して設けられたp型の第2ピニング層を備える。第4の実施形態に係る測長素子では図18に示すような第2の受光部において発生した光電子を、右側第1転送制御機構(31, 42b)、右側第2転送制御機構(31, 44b)及び右側第3転送制御機構(31, 43b)を備えた第2の電荷変調部に高速に輸送するため、第2のフォトダイオードを構成するn型の第2の表面埋込領域25bの平面形状をピストル型の形状とし、光電子がピストルの銃把(グリップ)の部分に集まるようにしている。

#### 【0127】

第4の実施形態に係る測長素子の第2ガイド領域26eは、ピストルのグリップ部分に集った光電子を第2の電荷変調部の狭い転送路(転送チャンネル)に導くための半導体領域であり、第2の表面埋込領域25bよりも高不純物密度の半導体領域として形成できる。図3(a)及び図4(a)に示した構造と同様に、第4の実施形態に係る測長素子を構成している右側第1転送制御機構(31, 42b)、右側第2転送制御機構(31, 44b)及び右側第3転送制御機構(31, 43b)のそれぞれは、T字型の第2の分岐構造のそれぞれの凸部の上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた右側第1転送ゲート電極42b、右側第2転送ゲート電極44b及び右側第3転送ゲート電極43bと、を備えている。

10

#### 【0128】

図3(a)及び図4(a)の断面図に示した構造と同様に、右側第1転送ゲート電極42b、右側第2転送ゲート電極44b及び右側第3転送ゲート電極43bの直下の部分の絶縁膜31の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。この右側第1転送ゲート電極42b、右側第2転送ゲート電極44b及び右側第3転送ゲート電極43bに印加されるそれぞれの電圧によって、T字型の第2の分岐構造のそれぞれの凸部に定義される転送路の電位を制御し、信号電荷の複数の右側第1電荷蓄積領域24bb、右側第2電荷蓄積領域24bd及び右側第3電荷蓄積領域24bcへの移動をそれぞれ制御することができる。

20

#### 【0129】

現実の構造としては、ゲート絶縁膜として機能する薄い絶縁膜の上に、右側第1転送ゲート電極42b、右側第2転送ゲート電極44b及び右側第3転送ゲート電極43bを囲むように、層間絶縁膜を選択的に構成して、絶縁膜31を段差形状を有する2層構造としてもよい。或いは、ゲート絶縁膜として機能する部分以外の領域に、右側第1転送ゲート電極42b、右側第2転送ゲート電極44b及び右側第3転送ゲート電極43bを囲むように、ゲート絶縁膜と厚さの異なる他の層間絶縁膜やフィールド絶縁膜を選択的に構成して、絶縁膜31を段差形状に構成してもよい。

30

#### 【0130】

絶縁膜31やピニング層27等の上層側の構造があるので、実際には見えないが、第2ガイド領域26eは、遮光板51を上から見た平面図において、遮光板51の開口部に第2ガイド領域26eの第2のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

#### 【0131】

第4の実施形態に係る測長素子においては、第2の表面埋込領域25bがなす第2の分岐構造の幹部分となる幹経路において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に左右方向に設けている。左右方向に向かう新たな凸部のそれぞれの先端に、n型で第2の表面埋込領域25bよりも高不純物密度の右側第1排出ドレイン領域24ba及び右側第2排出ドレイン領域24beが接続されている。そして、図18に示すように、第4の実施形態に係る測長素子は、右側第1排出ドレイン領域24baに隣接して配置され、第2の表面埋込領域25bの左方向に延びる新たな凸部を経由して右側第1排出ドレイン領域24baに向かう電荷の排出を制御する右側第1排出制御機構(31, 41ba)と、右側第2排出ドレイン領域24beに隣接して配置され、第2の表面埋込領域25bの右方向に延びる新たな凸部を経由して右側第2排出ドレイン領域24beに向か

40

50



う電荷の排出を制御する右側第2排出制御機構(31, 41bb)を更に備える。

【0132】

この右側第1排出制御機構(31, 41ba)及び右側第2排出制御機構(31, 41bb)のそれぞれは、図2(a)に示した構造と同様に、第2の表面埋込領域25bの新たな凸部のそれぞれの上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた右側第1排出ゲート電極41ba及び右側第2排出ゲート電極41bbを備える。図2(a)の断面図に示した構造と同様に、右側第1排出ゲート電極41ba及び右側第2排出ゲート電極41bbの直下の部分の絶縁膜31の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。

【0133】

画素面積が大きい固体撮像装置(イメージセンサ)の場合で、第1及び第2の実施形態に係る測長素子のような1つのフォトダイオードでは、十分な高速な応答ができない場合は、図18に示す構造のように、1画素(ピクセル)の中にフォトダイオードを複数個配置し、複数のフォトダイオードからの出力を加算して信号の増強を図ることができる。図18に示す第4の実施形態に係る測長素子は、1画素の中に第1及び第2の実施形態に係る測長素子の構造を2個分有する場合に対応する。

【0134】

即ち、図18に示すように、第4の実施形態に係る測長素子の下側に配置した第1のフォトダイオード部と、第1のフォトダイオード部の左側から立ち上がる第1の電荷変調部との間には、T字型に分岐する部分の手前側(下側)において、幹経路を両側から挟むように左右対称に配置された左側第1排出ゲート電極41aa及び左側第2排出ゲート電極41abを配置しているので、左側第1排出ゲート電極41aa及び左側第2排出ゲート電極41abによって、左側第1排出ドレイン領域24aa及び左側第2排出ドレイン領域24aeへの光電荷の排出と、左側第1転送制御機構(31, 42a)、左側第2転送制御機構(31, 44a)及び左側第3転送制御機構(31, 43a)を備えた第1の電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【0135】

同様に、上側に配置した第2のフォトダイオード部と第2のフォトダイオード部の右側から下側にぶら下がる第2の電荷変調部との間には、T字型に分岐する部分の手前側(上側)において、幹経路を両側から挟むように左右対称に配置された右側第1排出ゲート電極41ba及び右側第2排出ゲート電極41bbを配置しているので、右側第1排出ゲート電極41ba及び右側第2排出ゲート電極41bbによって、右側第1排出ドレイン領域24ba及び右側第2排出ドレイン領域24beへの光電荷の排出と、右側第1転送制御機構(31, 42b)、右側第2転送制御機構(31, 44b)及び右側第3転送制御機構(31, 43b)を備えた第2の電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【0136】

1画素内部に第1のフォトダイオード $Da_{ij}$ 及び第2のフォトダイオード $Db_{ij}$ の2つのフォトダイオードを有する第4の実施形態に係る測長素子の等価回路表現を図19に示す。図19の中央部に記載した、左側第1転送制御機構(31, 42a)としての左側第1転送トランジスタ $Qa_{1T}$ 、左側第2転送制御機構(31, 44a)としての左側第2転送トランジスタ $Qa_{2T}$ 及び左側第3転送制御機構(31, 43a)としての左側第3転送トランジスタ $Qa_{3T}$ が、「第1の電荷変調部」を構成している。又、第1の電荷変調部に隣接した右側に配置された、右側第1転送制御機構(31, 42b)としての右側第1転送トランジスタ $Qb_{1T}$ 、右側第2転送制御機構(31, 44b)としての右側第2転送トランジスタ $Qb_{2T}$ 及び右側第3転送制御機構(31, 43b)としての右側第3転送トランジスタ $Qb_{3T}$ が、「第2の電荷変調部」を構成している。

【0137】

図19において、上段の左端に記載した第1のフォトダイオード $Da_{ij}$ から第1の電荷変調部に至る静電誘導チャンネル部が破線を含んだ回路構成として示されている。上段の左

10

20

30

40

50

側には、自己のゲートが接地された2つの第1の接合型電界効果トランジスタ $Q_{a_{P1}}$ 及び $Q_{a_{P2}}$ で静電誘導チャネル部を表している。直列接続した2つの第1の接合型電界効果トランジスタ $Q_{a_{P1}}$ 及び $Q_{a_{P2}}$ の中間タップに、電荷排出用の第1電荷排出MOSトランジスタ $Q_{a_D}$ のソース端子が接続され、第1電荷排出MOSトランジスタ $Q_{a_D}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続されている。

【0138】

図19中の上段の左側の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図19において、第1のフォトダイオード $Da_{ij}$ で発生した光電子は、第1電荷排出MOSトランジスタ $Q_{a_D}$ をそれぞれ構成する左側第1排出ゲート電極41aa及び左側第2排出ゲート電極41abのそれぞれに印加する電圧 $G_{a_D} = L$ であれば、第1の電荷変調部に直ちに到達する。ここで、第1の電荷変調部には、左側第1転送トランジスタ $Q_{a_{1T}}$ 、左側第2転送トランジスタ $Q_{a_{2T}}$ 及び左側第3転送トランジスタ $Q_{a_{3T}}$ が備えられているので、等価回路表示としては、左側第1転送トランジスタ $Q_{a_{1T}}$ 、左側第2転送トランジスタ $Q_{a_{2T}}$ 及び左側第3転送トランジスタ $Q_{a_{3T}}$ のそれぞれの方の端部が第1の接合型電界効果トランジスタ $Q_{a_{P2}}$ にT字型に接続された回路構成となる。

10

【0139】

そして、左側第1転送トランジスタ $Q_{a_{1T}}$ 、左側第2転送トランジスタ $Q_{a_{2T}}$ 及び左側第3転送トランジスタ $Q_{a_{3T}}$ のそれぞれの他方の端部は、ノード $D_1$ としての左側第1電荷蓄積領域24ab、ノード $D_2$ としての左側第2電荷蓄積領域24ad及びノード $D_3$ としての左側第3電荷蓄積領域24acに接続される回路構成となるので、左側第1転送ゲート電極42a、左側第2転送ゲート電極44a、左側第3転送ゲート電極43aのいずれか1つに中間電位(M)の電圧、他の2つに低位電位(L)の電圧を与えることで、左側第1電荷蓄積領域24ab、左側第2電荷蓄積領域24ad、左側第3電荷蓄積領域24acのいずれかに光電子を転送する。

20

【0140】

図19において、下段の左端に記載した第2のフォトダイオード $Db_{ij}$ から下段側に接続される中央部に記載した第2の電荷変調部に至る静電誘導チャネル部は、自己のゲートが接地された第2の接合型電界効果トランジスタ $Q_{b_{P1}}$ 、 $Q_{b_{P2}}$ で表している。下段の左側には、直列接続した2つの第2の接合型電界効果トランジスタ $Q_{b_{P1}}$ 及び $Q_{b_{P2}}$ の中間タップに、電荷排出用の第2電荷排出MOSトランジスタ $Q_{b_D}$ のソース端子が接続され、第2電荷排出MOSトランジスタ $Q_{b_D}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続された回路構成が示されている。

30

【0141】

図19中の下段の左側に記載した破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図19において、第2のフォトダイオード $Db_{ij}$ で発生した光電子は、第2電荷排出MOSトランジスタ $Q_{b_D}$ をそれぞれ構成する2つの右側第1排出ゲート電極41ba及び右側第2排出ゲート電極41bbのそれぞれに印加する電圧 $G_{b_D} = L$ であれば、第2の電荷変調部に直ちに到達する。ここで、第2の電荷変調部には、右側第1転送トランジスタ $Q_{b_{1T}}$ 、右側第2転送トランジスタ $Q_{b_{2T}}$ 及び右側第3転送トランジスタ $Q_{b_{3T}}$ が備えられているので、等価回路表示としては、右側第1転送トランジスタ $Q_{b_{1T}}$ 、右側第2転送トランジスタ $Q_{b_{2T}}$ 及び右側第3転送トランジスタ $Q_{b_{3T}}$ のそれぞれの方の端部が第2の接合型電界効果トランジスタ $Q_{b_{P2}}$ にT字型に接続された回路構成となる。

40

【0142】

そして、右側第1転送トランジスタ $Q_{b_{1T}}$ 、右側第2転送トランジスタ $Q_{b_{2T}}$ 及び右側第3転送トランジスタ $Q_{b_{3T}}$ のそれぞれの他方の端部は、右側第1電荷蓄積領域24bb、右側第2電荷蓄積領域24bd及び右側第3電荷蓄積領域24bcに接続される。

【0143】

図示を省略しているが、図18において、右側第1電荷蓄積領域24bbはメタル配線

50

等の表面線で左側第1電荷蓄積領域24abと短絡され、右側第2電荷蓄積領域24bdは表面線で左側第2電荷蓄積領域24adと短絡され、右側第3電荷蓄積領域24bcは表面線で左側第3電荷蓄積領域24acと短絡されている。このため、右側第1転送ゲート電極42b、右側第2転送ゲート電極44b、右側第3転送ゲート電極43bのいずれか1つに中間電位(M)の電圧、他の2つに低位電位(L)の電圧を与えることで、共通ノードD<sub>1</sub>としての右側第1電荷蓄積領域24bb、共通ノードD<sub>2</sub>としての右側第2電荷蓄積領域24bd及び共通ノードD<sub>3</sub>としての右側第3電荷蓄積領域24bcのいずれかに光電子が転送される。

#### 【0144】

図19の3つの共通ノードD<sub>1</sub>、D<sub>3</sub>、D<sub>2</sub>には、電荷蓄積用のキャパシタC<sub>1</sub>、C<sub>3</sub>、C<sub>2</sub>が接続されている。このキャパシタC<sub>1</sub>、C<sub>3</sub>、C<sub>2</sub>は、電圧依存性を低減するため、しきい値電圧を負電圧に設定したデプリーション・モードのMOSキャパシタを用いるのが適している。第1の共通ノードD<sub>1</sub>には、第1の共通ノードD<sub>1</sub>の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第1増幅トランジスタQ<sub>1A</sub>のゲート端子に接続され、第1の共通ノードD<sub>1</sub>には更に、信号の読み出し後、信号電荷を初期化するために、第1リセットトランジスタQ<sub>1R</sub>が接続されている。又、第1増幅トランジスタQ<sub>1A</sub>のソース端子には、読出画素選択用のスイッチとしての第1選択トランジスタQ<sub>1S</sub>が接続され、第1選択トランジスタQ<sub>1S</sub>の出力は垂直方向に走る信号読出線に接続されている。

10

#### 【0145】

同様に、第2の共通ノードD<sub>2</sub>には、第2の共通ノードD<sub>2</sub>の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第2増幅トランジスタQ<sub>2A</sub>のゲート端子に接続され、第2の共通ノードD<sub>2</sub>には更に、信号の読み出し後、信号電荷を初期化するために、第2リセットトランジスタQ<sub>2R</sub>が接続されている。又、第2増幅トランジスタQ<sub>2A</sub>のソース端子には、読出画素選択用のスイッチとしての第2選択トランジスタQ<sub>2S</sub>が接続され、第2選択トランジスタQ<sub>2S</sub>の出力は垂直方向に走る信号読出線に接続されている。更に、第3の共通ノードD<sub>3</sub>には、第3の共通ノードD<sub>3</sub>の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第3増幅トランジスタQ<sub>3A</sub>のゲート端子に接続され、第3の共通ノードD<sub>3</sub>には更に、信号の読み出し後、信号電荷を初期化するために、第3リセットトランジスタQ<sub>3R</sub>が接続されている。又、第3増幅トランジスタQ<sub>3A</sub>のソース端子には、読出画素選択用のスイッチとしての第3選択トランジスタQ<sub>3S</sub>が接続され、第3選択トランジスタQ<sub>3S</sub>の出力は垂直方向に走る信号読出線に接続されている。

20

30

#### 【0146】

第4の実施形態に係る測長素子からの信号の読み出し方法としては、図19のように、3つの信号読出線を、3本走らせて、並列に読み出す方法でも、図11に示した回路構成と同様に、信号読出線を1本として選択信号SL1、SL2、SL3によるスイッチを順に、オンにして、時系列信号として読み出す方法でもよい。

#### 【0147】

第4の実施形態に係る測長素子及び固体撮像装置によれば、図19に示すように右側第1電荷蓄積領域24bbと左側第1電荷蓄積領域24abとを短絡し、右側第2電荷蓄積領域24bdと左側第2電荷蓄積領域24adとを短絡し、右側第3電荷蓄積領域24bcと左側第3電荷蓄積領域24acとを短絡することにより、第1のフォトダイオードD<sub>a<sub>ij</sub></sub>及び第2のフォトダイオードD<sub>b<sub>ij</sub></sub>の2箇所のフォトダイオードでそれぞれ受光し、第1及び第2の電荷変調部でそれぞれで電荷変調を受けた後の信号を電荷として加算し、信号の増強を図ることができる。

40

#### 【0148】

更に、第1及び第2の実施形態に係る測長素子と同様に、第4の実施形態に係る測長素子においても、第1及び第2の受光部近傍側に位置する幹経路から第1及び第2の電荷変調部に至る静電誘導チャンネル部を十分な長さとし、第1及び第2の電荷変調部を遮光板5

50

1によって光シールドしているので、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

【0149】

第1の実施形態で説明した式(4)又は式(8)を用いることにより、第4の実施形態に係る測長素子は光飛行時間測定に好適な機能を有していることが分かる。このため、第4の実施形態に係る測長素子を固体撮像装置の画素(ロックインピクセル)として、同一半導体チップ上に画素サイズが5 $\mu$ m角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

【0150】

(第5の実施形態)

図20に主要部の概略を上面側から見た平面図を示すように、本発明の第5の実施形態に係る測長素子は、左側上段に1点鎖線で示す第1の開口部(アパーチャ部)、左側下段に1点鎖線で示す第2の開口部、右側下段に1点鎖線で示す第3の開口部及び右側上段に1点鎖線で示す第4の開口部を配置した、1画素に4つの開口部を有する遮光板51によって4つの受光部の位置を定義したロックインピクセルである。

【0151】

図20に2点鎖線で示すように、第1の開口部が定義する第1の受光部の上には第1のマイクロレンズ25pが配置され、第2の開口部が定義する第2の受光部の上には第2のマイクロレンズ25qが配置され、第3の開口部が定義する第3の受光部の上には第3のマイクロレンズ25rが配置され、第4の開口部が定義する第4の受光部の上には第4のマイクロレンズ25sが配置されている。4つの受光部のそれぞれに設けられる4つのフォトダイオードは、それぞれ独立したマイクロレンズ25p, 25q, 25r, 25sで集光された光を受ける。なお、マイクロレンズ25p, 25q, 25r, 25sは必ずしも必須ではなく、入力光(到来光)の強度が強い場合等は、マイクロレンズ25p, 25q, 25r, 25sを省略してもよい。

【0152】

先ず、図20の左側上段に配置した第1の開口部及び左側下段に配置した第1の開口部に着目すると、図2~図4に示した断面図に示したのと同様に、第5の実施形態に係る測長素子は、第1導電型(p型)の半導体からなる画素形成層22と、第1の開口部で定義された第1の受光部の位置において画素形成層22との接合構造で第1のフォトダイオードを構成し、第2の開口部で定義された第2の受光部の位置において画素形成層22との接合構造で第2のフォトダイオードを構成するように画素形成層22の上部に選択的に配置され、更に、第1及び第2の受光部を上下に接続し、上下に接続した位置から遮光板51で遮光された位置を右方向に画素形成層22の上部を電荷変調部配置領域として延びる第2導電型(n型)の表面埋込領域25pを備えている。

【0153】

即ち、第5の実施形態に係る測長素子の表面埋込領域25pは、第1~第4の受光端部を電荷変調部配置領域の両端部に四つ葉のクローバー状に設けており、左上に延びる第1の受光端部が第1の受光部に向かって突出するように配置され、表面埋込領域25pの左下に延びる第2の受光端部が第2の受光部に向かって突出するように配置されている。同様に、表面埋込領域25pの右下に延びる第3の受光端部が第3の受光部に向かって突出するように配置され、表面埋込領域25pの右上に延びる第4の受光端部が第4の受光部に向かって突出するように配置されている。

【0154】

この結果、図21に拡大した平面図を示すように、表面埋込領域25pの電荷変調部配置領域は、遮光板51で遮光された位置を更に画素形成層22の上部を右方向に延び、右端部において画素形成層22の上部において分岐し、右側下段に配置した第3の開口部の下方に定義された第3の受光部で画素形成層22との接合構造で第3のフォトダイオードを構成し、右側上段に配置した第4の開口部の下方に定義された第4の受光部で画素形成

10

20

30

40

50

層 2 2 との接合構造で第 4 のフォトダイオードを構成している。このため、表面埋込領域 2 5 p の全体としては、図 2 0 に示すような左右対称の四つ葉のクローバー状の形状をなし、中央部に電荷変調部配置領域を配置することにより、互いに連続した半導体領域を構成している。

【 0 1 5 5 】

但し、表面埋込領域 2 5 p の電荷変調部配置領域の中央部は、図 2 1 に示した拡大した平面図から分かるように、帯状に水平方向に左右に延びる矩形領域ではなく、魚骨形（フィッシュボーン型）の分岐を垂直方向に備えた多角形の形状である。即ち、表面埋込領域 2 5 p は、表面埋込領域 2 5 p が構成する電荷変調部配置領域の中央において、電荷変調部配置領域の下側に平行に延びる第 1 分岐及び第 2 分岐が形成され、第 1 及び第 2 分岐の反対側となる電荷変調部配置領域の上側には、上側に延びる第 3 分岐が形成されている。

10

【 0 1 5 6 】

図 2 0 から分かるように、左上の第 1 の受光端部の占有領域は第 1 の開口部の面積がほぼカバーできる大きさに設定され、左下の第 2 の受光端部の占有領域は第 2 の開口部の面積がほぼカバーできる大きさに設定され、右下の第 3 の受光端部の占有領域は第 3 の開口部の面積がほぼカバーできる大きさに設定され、右上の第 4 の受光端部の占有領域は第 4 の開口部の面積がほぼカバーできる大きさに設定されている。

【 0 1 5 7 】

電荷変調部配置領域の中央部の第 1 分岐及び第 2 分岐となる凸部の先端部のそれぞれには、n 型で表面埋込領域 2 5 p よりも高不純物密度の第 1 電荷蓄積領域 2 4 h 及び第 2 電荷蓄積領域 2 4 i が接続され、電荷変調部配置領域の中央部の第 3 分岐となる凸部の先端部には、n 型で表面埋込領域 2 5 p よりも高不純物密度の第 3 電荷蓄積領域 2 4 l が接続されている。

20

【 0 1 5 8 】

図 2 0 において符号 3 2 p は厚いフィールド絶縁膜の端部を意味している。図示を省略しているが、図 2 (a)、図 3 (a) 及び図 4 (a) に示した断面構造と同様に、フィールド絶縁膜の下には p 型のウェル領域が形成されている。第 1 電荷蓄積領域 2 4 h , 第 2 電荷蓄積領域 2 4 i 及び第 3 電荷蓄積領域 2 4 l は、周辺をウェル領域で囲まれて、画素形成層 2 2 の上に浮遊拡散層として形成されている。なお、第 5 の実施形態に係る測長素子では、説明の便宜上、4 つの受光部からの信号電荷が蓄積される浮遊拡散層が 3 つの場合について説明するが、浮遊拡散層の数は 2 つでも 4 つ以上でも構わない。

30

【 0 1 5 9 】

そして、第 5 の実施形態に係る測長素子は、第 1 電荷蓄積領域 2 4 h , 第 2 電荷蓄積領域 2 4 i 及び第 3 電荷蓄積領域 2 4 l に隣接してそれぞれ配置され、第 1 電荷蓄積領域 2 4 h , 第 2 電荷蓄積領域 2 4 i 及び第 3 電荷蓄積領域 2 4 l への信号電荷の転送を制御する、第 1 転送制御機構 ( 3 1 , 4 2 h ) , 第 2 転送制御機構 ( 3 1 , 4 4 h ) 及び第 3 転送制御機構 ( 3 1 , 4 3 h ) を備えている。

【 0 1 6 0 】

更に、第 5 の実施形態に係る測長素子は、図 2 1 の左側で第 1 及び第 2 のフォトダイオードの端部を上下方向に連結する第 1 及び第 2 の分岐端部と、右側で第 3 及び第 4 のフォトダイオードを上下方向に連結する第 3 及び第 4 の分岐端部を有し、H 字型をなして表面埋込領域 2 5 p の上部の一部に配置された、n 型で表面埋込領域 2 5 p よりも高不純物密度で、第 1 電荷蓄積領域 2 4 h , 第 2 電荷蓄積領域 2 4 i 及び第 3 電荷蓄積領域 2 4 l よりも低不純物密度のガイド領域 2 6 f を備えている。

40

【 0 1 6 1 】

第 5 の実施形態に係る測長素子が 4 つの受光部を有するロックインピクセルを構成しているので、ガイド領域 2 6 f の全体形状は 4 つの開口部の数に等しい 4 つの分岐端部を有した H 字型である。但し、ガイド領域 2 6 f の 4 つの分岐端部で H 字型に挟まれた中央部は、図 2 1 に示した拡大した平面図から分かるように、帯状に水平方向に左右に延びる矩形領域ではなく、上下に凹凸を備えているので、正確にはガイド領域 2 6 f の全体形状は

50

H字型ではない。

【0162】

図示を省略しているが、第5の実施形態に係る測長素子は図2～図4に示した断面図と同様に、表面埋込領域25pの表面に接して設けられたp型の第1ピニング層を備える。そして、画素形成層22は、p型の半導体基板上に設けられている。

【0163】

第5の実施形態に係る測長素子においては、第1転送制御機構(31, 42h)、第2転送制御機構(31, 44h)及び第3転送制御機構(31, 43h)によって電荷変調部を構成している。そして、ガイド領域26fは、概略としてはH字型をなす平面構造によって、4つの位置から光電子を信号電荷として集め、集めた信号電荷をH字の中央に配置した電荷変調部の狭い転送路(転送チャンネル)に導くための半導体領域であり、表面埋込領域25pよりも高不純物密度の半導体領域として形成できる。

10

【0164】

図3(a)及び図4(a)に示した構造と同様に、第5の実施形態に係る測長素子を構成している第1転送制御機構(31, 42h)、第2転送制御機構(31, 44h)及び第3転送制御機構(31, 43h)のそれぞれは、第1、第2及び第3分岐のそれぞれの上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた第1転送ゲート電極42h、第2転送ゲート電極44h及び第3転送ゲート電極43hと、を備えている。

【0165】

図3(a)及び図4(a)の断面図に示した構造と同様に、第1転送ゲート電極42h、第2転送ゲート電極44h及び第3転送ゲート電極43hの直下の部分の絶縁膜31の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。

20

【0166】

絶縁膜31やピニング層27等の上層側の構造があるので、実際には見えないが、ガイド領域26fは、遮光板51を上から見た平面図において、遮光板51の4つの開口部のそれぞれに、略H字型のガイド領域26fの4つのフォトダイオード側の端部が、それぞれ露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

【0167】

第5の実施形態に係る測長素子においては、第1転送ゲート電極42h、第2転送ゲート電極44h及び第3転送ゲート電極43hに印加されるそれぞれの電圧によって、第1、第2及び第3分岐のそれぞれに定義される転送路の電位を制御し、信号電荷の第1電荷蓄積領域24h、第2電荷蓄積領域24i及び第3電荷蓄積領域24lへの移動をそれぞれ制御することができる。

30

【0168】

上述したとおり、第5の実施形態に係る測長素子の表面埋込領域25pの中央部は魚骨形をなしており、この魚骨形の背骨(脊椎骨)部分となる電荷変調部配置領域の両端側において、電荷変調部配置領域に直交する方向に突出する新たな凸部を更に上下方向に設けている。電荷変調部配置領域の左端部側で上下方向に向かう新たな凸部のそれぞれの先端に、n型で表面埋込領域25pよりも高不純物密度の第1排出ドレイン領域24g及び第2排出ドレイン領域24fが接続されている。又、電荷変調部配置領域の右端部側で上下方向に向かう新たな凸部のそれぞれの先端に、n型で表面埋込領域25pよりも高不純物密度の第3排出ドレイン領域24j及び第4排出ドレイン領域24kが接続されている。

40

【0169】

そして、図20に示すように、第5の実施形態に係る測長素子は、第1排出ドレイン領域24gに隣接して配置され、表面埋込領域25pの下方方向に延びる新たな凸部を経由して第1排出ドレイン領域24gに向かう電荷の排出を制御する第1排出制御機構(31, 41m)と、第2排出ドレイン領域24fに隣接して配置され、表面埋込領域25pの上方方向に延びる新たな凸部を経由して第2排出ドレイン領域24fに向かう電荷の排出を制御する第2排出制御機構(31, 41l)と、第3排出ドレイン領域24jに隣接して配置され、表面埋込領域25pの下方方向に延びる新たな凸部を経由して第3排出ドレイン領

50

域 2 4 j に向かう電荷の排出を制御する第 3 排出制御機構 ( 3 1 , 4 1 n ) と、第 4 排出ドレイン領域 2 4 k に隣接して配置され、表面埋込領域 2 5 p の上方向に延びる新たな凸部を經由して第 4 排出ドレイン領域 2 4 k に向かう電荷の排出を制御する第 4 排出制御機構 ( 3 1 , 4 1 o ) とを更に備える。

【 0 1 7 0 】

この第 1 排出制御機構 ( 3 1 , 4 1 m )、第 2 排出制御機構 ( 3 1 , 4 1 l )、第 3 排出制御機構 ( 3 1 , 4 1 n ) 及び第 4 排出制御機構 ( 3 1 , 4 1 o ) のそれぞれは、図 2 ( a ) に示した構造と同様に、表面埋込領域 2 5 p の新たな凸部のそれぞれの上に設けられた絶縁膜 3 1 と、この絶縁膜 3 1 の上にそれぞれ設けられた第 1 排出ゲート電極 4 1 m、第 2 排出ゲート電極 4 1 l、第 3 排出ゲート電極 4 1 n 及び第 4 排出ゲート電極 4 1 o をそれぞれ備える。図 2 ( a ) の断面図に示した構造と同様に、第 1 排出ゲート電極 4 1 m、第 2 排出ゲート電極 4 1 l、第 3 排出ゲート電極 4 1 n 及び第 4 排出ゲート電極 4 1 o の直下の部分の絶縁膜 3 1 の厚さは他の部分より薄く、いわゆる「ゲート絶縁膜」として機能している。第 1 排出ゲート電極 4 1 m、第 2 排出ゲート電極 4 1 l、第 3 排出ゲート電極 4 1 n 及び第 4 排出ゲート電極 4 1 o は、概略として H 字型をなすガイド領域 2 6 f の平面構造の 4 隅の角部に対称構造で配置されている。

【 0 1 7 1 】

画素面積が大きい固体撮像装置 ( イメージセンサ ) の場合で、第 1 及び第 2 の実施形態に係る測長素子のような 1 つのフォトダイオードでは、十分な高速な応答ができない場合は、図 2 0 に示す構造のように、フォトダイオードを 1 画素内に複数個配置し、複数のフォトダイオードからの出力を加算して、画素毎の信号の増強を図ることができる。図 2 0 に示す第 5 の実施形態に係る測長素子は、1 画素 ( ピクセル ) の中に第 1 及び第 2 の実施形態に係る測長素子の構造を 4 個分有する場合に対応する。

【 0 1 7 2 】

即ち、図 2 0 に示すように、第 5 の実施形態に係る測長素子の左側上段と下段にそれぞれ配置された第 1 及び第 2 のフォトダイオードを上下方向に連結した箇所と、この連結した箇所から更に右側方向に延びる電荷変調部配置領域の中央部に存在する電荷変調部との間には、電荷変調部配置領域を両側から挟むように上下対称に配置された第 1 排出ゲート電極 4 1 m 及び第 2 排出ゲート電極 4 1 l を配置しているので、第 1 排出ゲート電極 4 1 m 及び第 2 排出ゲート電極 4 1 l によって、第 1 排出ドレイン領域 2 4 g 及び第 2 排出ドレイン領域 2 4 f への光電荷の排出と、第 1 転送制御機構 ( 3 1 , 4 2 h )、第 2 転送制御機構 ( 3 1 , 4 4 h ) 及び第 3 転送制御機構 ( 3 1 , 4 3 h ) を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【 0 1 7 3 】

同様に、右側上段と下段にそれぞれ配置された第 3 及び第 4 のフォトダイオードを上下方向に連結した箇所と、この連結した箇所の更に左側の方向に延びる電荷変調部配置領域の中央部に存在する電荷変調部との間には、電荷変調部配置領域を両側から挟むように上下対称に配置された第 3 排出ゲート電極 4 1 n 及び第 4 排出ゲート電極 4 1 o を配置しているので、第 3 排出ゲート電極 4 1 n 及び第 4 排出ゲート電極 4 1 o によって、第 3 排出ドレイン領域 2 4 j 及び第 4 排出ドレイン領域 2 4 k への光電荷の排出と、第 1 転送制御機構 ( 3 1 , 4 2 h )、第 2 転送制御機構 ( 3 1 , 4 4 h ) 及び第 3 転送制御機構 ( 3 1 , 4 3 h ) を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【 0 1 7 4 】

1 画素内部に第 1 のフォトダイオード  $Dp_{ij}$ 、第 2 のフォトダイオード  $Dq_{ij}$ 、第 3 のフォトダイオード  $Dr_{ij}$  及び第 4 のフォトダイオード  $Ds_{ij}$  の 4 つのフォトダイオードを有する第 5 の実施形態に係る測長素子の等価回路表現を図 2 2 に示す。図 2 2 の中央部に記載した第 1 転送制御機構 ( 3 1 , 4 2 h ) としての第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送制御機構 ( 3 1 , 4 4 h ) としての第 2 転送トランジスタ  $Q_{2T}$ 、及び第 3 転送制御機構 ( 3 1 , 4 3 h ) としての第 3 転送トランジスタ  $Q_{3T}$  の 3 つのトランジスタの並列回路で第 5 の実施形態に係る測長素子の 4 つのフォトダイオードに共通の電荷変調部を構成している

。

## 【 0 1 7 5 】

そして、図 2 2 の上段の左端側に記載した第 1 のフォトダイオード  $D_{p_{ij}}$  及び第 2 のフォトダイオード  $D_{q_{ij}}$  から「共通の電荷変調部」に至る静電誘導チャネル部が破線を含んだ回路構成として示されている。上段の左側には、自己のゲートが接地された 2 つの第 1 の接合型電界効果トランジスタ  $Q_{u_{p1}}$  及び  $Q_{u_{p2}}$  で静電誘導チャネル部を表している。直列接続した 2 つの第 1 の接合型電界効果トランジスタ  $Q_{u_{p1}}$  及び  $Q_{u_{p2}}$  の中間タップに、電荷排出用の第 1 電荷排出 MOS トランジスタ  $Q_{u_D}$  のソース端子が接続され、第 1 電荷排出 MOS トランジスタ  $Q_{u_D}$  のドレイン端子が高電位の電源  $V_{DD}$  に接続されている。

## 【 0 1 7 6 】

図 2 2 中の上段の左側の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図 2 2 において、第 1 のフォトダイオード  $D_{p_{ij}}$  及び第 2 のフォトダイオード  $D_{q_{ij}}$  で発生した光電子は、第 1 電荷排出 MOS トランジスタ  $Q_{u_D}$  をそれぞれ構成する第 1 排出ゲート電極 4 1 m 及び第 2 排出ゲート電極 4 1 l のそれぞれに印加する電圧  $G_D = L$  であれば、共通の電荷変調部に信号電荷として直ちに到達する。等価回路表示としては、共通の電荷変調部を構成している第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの一方の端部が第 1 の接合型電界効果トランジスタ  $Q_{u_{p2}}$  に T 字型に接続された回路構成となる。

## 【 0 1 7 7 】

図 2 2 において、下段の左端に記載した第 3 のフォトダイオード  $D_{r_{ij}}$  及び第 4 のフォトダイオード  $D_{s_{ij}}$  から共通の電荷変調部に至る静電誘導チャネル部は、自己のゲートが接地された第 2 の接合型電界効果トランジスタ  $Q_{v_{p1}}$ 、 $Q_{v_{p2}}$  で表している。下段の左側には、直列接続した 2 つの第 2 の接合型電界効果トランジスタ  $Q_{v_{p1}}$  及び  $Q_{v_{p2}}$  の中間タップに、電荷排出用の第 2 電荷排出 MOS トランジスタ  $Q_{v_D}$  のソース端子が接続され、第 2 電荷排出 MOS トランジスタ  $Q_{v_D}$  のドレイン端子が高電位の電源  $V_{DD}$  に接続された回路構成が示されている。

## 【 0 1 7 8 】

図 2 2 中の下段の左側に記載した破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図 2 2 において、第 3 のフォトダイオード  $D_{r_{ij}}$  及び第 4 のフォトダイオード  $D_{s_{ij}}$  で発生した光電子は、第 2 電荷排出 MOS トランジスタ  $Q_{v_D}$  をそれぞれ構成する 2 つの第 3 排出ゲート電極 4 1 n 及び第 4 排出ゲート電極 4 1 o のそれぞれに印加する電圧  $G_D = L$  であれば、共通の電荷変調部に直ちに到達する。

## 【 0 1 7 9 】

等価回路表示としては、第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの一方の端部が第 2 の接合型電界効果トランジスタ  $Q_{v_{p2}}$  に T 字型に接続されている。

## 【 0 1 8 0 】

即ち、第 1 の接合型電界効果トランジスタ  $Q_{u_{p2}}$  の出力端と第 2 の接合型電界効果トランジスタ  $Q_{v_{p2}}$  の出力端とは、並列回路として T 字型に配列された第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの入力端となる一方の端部に接続された回路構成となる。

## 【 0 1 8 1 】

そして、第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの他方の端部は、ノード  $D_1$  としての第 1 電荷蓄積領域 2 4 h、ノード  $D_2$  としての第 2 電荷蓄積領域 2 4 i 及びノード  $D_3$  としての第 3 電荷蓄積領域 2 4 l に接続される回路構成となるので、第 1 転送ゲート電極 4 2 h、第 2 転送ゲート電極 4 4 h、第 3 転送ゲート電極 4 3 h のいずれか 1 つに中間電位 (M) の電圧、他の 2 つに低位電位 (L) の電圧を与えることで、第 1 電荷蓄積領域 2 4 h、第 2 電荷蓄積領域 2 4 i、第

10

20

30

40

50



3 電荷蓄積領域 2 4 1 のいずれかに光電子を信号電荷として転送する。

【 0 1 8 2 】

図 2 2 の 3 つのノード  $D_1$  ,  $D_3$  ,  $D_2$  には、電荷蓄積用のキャパシタ  $C_1$  ,  $C_3$  ,  $C_2$  が接続されている。このキャパシタ  $C_1$  ,  $C_3$  ,  $C_2$  は、電圧依存性を低減するため、しきい値電圧を負電圧に設定したデプリーション・モードの MOS キャパシタを用いるのが適している。第 1 のノード  $D_1$  には、第 1 のノード  $D_1$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 1 増幅トランジスタ  $Q_{1A}$  のゲート端子に接続され、第 1 のノード  $D_1$  には更に、信号の読み出し後、信号電荷を初期化するために、第 1 リセットトランジスタ  $Q_{1R}$  が接続されている。又、第 1 増幅トランジスタ  $Q_{1A}$  のソース端子には、読出画素選択用のスイッチとしての第 1 選択トランジスタ  $Q_{1S}$  が接続され、第 1 選択トランジスタ  $Q_{1S}$  の出力は垂直方向に走る信号読出線に接続されている。

10

【 0 1 8 3 】

同様に、第 2 のノード  $D_2$  には、第 2 のノード  $D_2$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 2 増幅トランジスタ  $Q_{2A}$  のゲート端子に接続され、第 2 のノード  $D_2$  には更に、信号の読み出し後、信号電荷を初期化するために、第 2 リセットトランジスタ  $Q_{2R}$  が接続されている。又、第 2 増幅トランジスタ  $Q_{2A}$  のソース端子には、読出画素選択用のスイッチとしての第 2 選択トランジスタ  $Q_{2S}$  が接続され、第 2 選択トランジスタ  $Q_{2S}$  の出力は垂直方向に走る信号読出線に接続されている。更に、第 3 のノード  $D_3$  には、第 3 のノード  $D_3$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 3 増幅トランジスタ  $Q_{3A}$  のゲート端子に接続され、第 3 のノード  $D_3$  には更に、信号の読み出し後、信号電荷を初期化するために、第 3 リセットトランジスタ  $Q_{3R}$  が接続されている。又、第 3 増幅トランジスタ  $Q_{3A}$  のソース端子には、読出画素選択用のスイッチとしての第 3 選択トランジスタ  $Q_{3S}$  が接続され、第 3 選択トランジスタ  $Q_{3S}$  の出力は垂直方向に走る信号読出線に接続されている。

20

【 0 1 8 4 】

第 5 の実施形態に係る測長素子からの信号の読み出し方法としては、図 2 2 のように、3 つの信号読出線を、3 本走らせて、並列に読み出す方法でも、図 1 1 に示した回路構成と同様に、信号読出線を 1 本として選択信号  $SL1$  ,  $SL2$  ,  $SL3$  によるスイッチを順に、オンにして、時系列信号として読み出す方法でもよい。

【 0 1 8 5 】

第 5 の実施形態に係る測長素子及び固体撮像装置によれば、第 1 のフォトダイオード  $D_{p_{ij}}$ 、第 2 のフォトダイオード  $D_{q_{ij}}$ 、第 3 のフォトダイオード  $D_{r_{ij}}$  及び第 4 のフォトダイオード  $D_{s_{ij}}$  の 4 箇所のフォトダイオードでそれぞれ受光し、画素の中央に配置した共通の電荷変調部でそれぞれで電荷変調を受けた後の信号を電荷として加算し、信号の増強を図ることができる。

30

【 0 1 8 6 】

以上のように、画素面積が大きい固体撮像装置（イメージセンサ）の場合で、1 つの受光領域では、十分な高速な応答ができない場合は、第 1 の実施形態に係る測長素子で例示した構造を基本として、第 5 の実施形態に係る測長素子の構造のように、複数のフォトダイオードを画素の周辺部に配置し、画素の中央の共通となる部分をマージすることで、第 1 の実施形態に係る測長素子と等価な機能を強化して実現し、更に高速応答と高感度化（電荷収集効率の向上）を図ることができる。

40

【 0 1 8 7 】

第 1 の実施形態で説明した式 ( 4 ) 又は式 ( 8 ) を用いることにより、第 5 の実施形態に係る測長素子は光飛行時間測定に好適な機能を有していることが分かる。このため、第 5 の実施形態に係る測長素子を固体撮像装置の画素（ロックインピクセル）として、同一半導体チップ上に画素サイズが  $5 \mu\text{m}$  角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

【 0 1 8 8 】

50

特に、第 1 ~ 第 4 の実施形態に係る測長素子と同様に、第 5 の実施形態に係る測長素子においても、電荷変調部配置領域の両端部から中央の電荷変調部に至る静電誘導チャンネル部を十分な長さとし、電荷変調部を遮光板 5 1 によって光シールドしているため、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

【 0 1 8 9 】

なお、第 5 の実施形態に係る測長素子では、便宜上、画素の周辺部の 4 箇所のフォトダイオードでそれぞれ受光し、画素の中央に配置した共通の電荷変調部でそれぞれで電荷変調を受けた後の信号を電荷として加算し、信号の増強を図る場合について例示的に説明したが、画素面積の大きさや要求される応答速度や感度等に応じて、画素の周辺部に配置するフォトダイオードの個数は 2 箇所でもよく、6 箇所や 8 箇所等他の個数でも構わない。

10

【 0 1 9 0 】

< 第 5 の実施形態の変形例 1 >

図 2 3 に主要部の概略を上面側から見た平面図を示すように、本発明の第 5 の実施形態の変形例 ( 変形例 1 ) に係る測長素子は、1 点鎖線でそれぞれ示した左側上段の第 1 の開口部 ( アパーチャ部 )、左側下段の第 2 の開口部、右側下段の第 3 の開口部及び右側上段の第 4 の開口部を有する遮光板 5 1 によって 4 つの受光部の位置を定義したロックインピクセルである特徴は、図 2 0 及び図 2 1 に示した構造と同様である。しかしながら、p 型の半導体からなる画素形成層 2 2 の上部に埋込まれる n 型の表面埋込領域 2 5 q の平面パターンが、図 2 0 及び図 2 1 に示した四つ葉のクローバー状の表面埋込領域 2 5 p の平面パターンとは異なる。

20

【 0 1 9 1 】

即ち、第 5 の実施形態の変形例 1 に係る測長素子の表面埋込領域 2 5 q は、第 1 の開口部が定義する第 1 の受光部で第 1 のフォトダイオードを構成し、第 2 の開口部が定義する第 2 の受光部で第 2 のフォトダイオードを構成するように画素形成層 2 2 の上部に選択的にそれぞれ配置され、更に、第 1 及び第 2 の受光端部の平面パターンを上下一体領域となるように接続している点が、図 2 0 及び図 2 1 に示した表面埋込領域 2 5 p の平面パターンとは異なる。

【 0 1 9 2 】

更に、第 3 の開口部が定義する第 3 の受光部で第 3 のフォトダイオードを構成し、第 4 の開口部が定義する第 4 の受光部で第 4 のフォトダイオードを構成するように表面埋込領域 2 5 q が画素形成層 2 2 の上部に選択的にそれぞれ配置され、更に、第 3 及び第 4 の受光端部の平面パターンを上下一体領域となるように接続している表面埋込領域 2 5 q の平面パターンの特徴も、図 2 0 及び図 2 1 に示した表面埋込領域 2 5 p の平面パターンとは異なる。

30

【 0 1 9 3 】

図 2 3 に示す平面パターンにおいても、左上に表面埋込領域 2 5 q が構成する第 1 の受光端部の占有領域は第 1 の開口部の面積がほぼカバーできる大きさに設定され、左下に表面埋込領域 2 5 q が構成する第 2 の受光端部の占有領域は第 2 の開口部の面積がほぼカバーできる大きさに設定され、右下に表面埋込領域 2 5 q が構成する第 3 の受光端部の占有領域は第 3 の開口部の面積がほぼカバーできる大きさに設定され、右上に表面埋込領域 2 5 q が構成する第 4 の受光端部の占有領域は第 4 の開口部の面積がほぼカバーできる大きさに設定された大きさに設計されている。

40

【 0 1 9 4 】

第 1 及び第 2 の受光端部の平面パターンが一体領域として形成され、第 3 及び第 4 の受光端部の平面パターンが一体領域として形成されているので、第 1 及び第 2 の受光部側の表面埋込領域 2 5 p のそれぞれの左辺は共通の辺を構成し、第 3 及び第 4 の受光部側の表面埋込領域 2 5 p のそれぞれの右辺は共通の辺を構成しているのでリソグラフィ上、より単純な平面パターンになっている。又、第 1 及び第 2 の受光端部の平面パターンが一体領域として形成され、第 3 及び第 4 の受光端部の平面パターンが一体領域として形成されているので、図 2 0 及び図 2 1 に示した表面埋込領域 2 5 p の平面パターンよりも遮光板

50

5 1で被覆された領域の面積が広がっている。

【0195】

第1及び第2の受光端部の平面パターンが一体領域として集合された左側のパターンと、第3及び第4の受光端部の平面パターンが一体領域として集合された右側のパターンとは、魚骨形（フィッシュボーン型）に分岐を垂直方向に備えた電荷変調部配置領域で結合されている点は、図20及び図21に示した表面埋込領域25pの平面パターンと同様である。

【0196】

したがって、表面埋込領域25qが構成する電荷変調部配置領域の中央において、電荷変調部配置領域の下側に平行に延びる第1分岐及び第2分岐となる凸部の先端部のそれぞれにn型で表面埋込領域25qよりも高不純物密度の第1電荷蓄積領域24h及び第2電荷蓄積領域24iが接続され、電荷変調部配置領域の上側に延びる第3分岐となる凸部の先端部にn型で表面埋込領域25qよりも高不純物密度の第3電荷蓄積領域24lが接続されている構成や、ガイド領域26fの平面パターン等他の構造は、図20及び図21に示した表面埋込領域25pの平面パターンと同様であるので重複した説明を省略する。

10

【0197】

第5の実施形態の変形例1に係る測長素子によれば、図23に示すように、第1及び第2の受光端部の平面パターンが一体領域として結合され、第3及び第4の受光端部の平面パターンが一体領域として結合された単純な平面パターンであっても、周辺部の4箇所のフォトダイオードでそれぞれ受光し、画素の中央に配置した共通の電荷変調部でそれぞれで電荷変調を受けた後の信号を電荷として加算し、信号の増強を図ることができる。

20

【0198】

以上のように、第5の実施形態の変形例1に係る測長素子の構造のように、より単純な平面パターンで複数のフォトダイオードを周辺部に配置しても、中央の共通となる部分をマージすることで、第1の実施形態に係る測長素子と等価な機能を強化して実現し、更に高速応答と高感度化（電荷収集効率の向上）を図ることができる。

【0199】

< 第5の実施形態の変形例2 >

図24に主要部の概略を上面側から見た平面図を示すように、本発明の第5の実施形態の変形例2に係る測長素子は、左側上段に1点鎖線で示す第1の開口部（アパーチャ部）、左側下段に1点鎖線で示す第2の開口部、右側下段に1点鎖線で示す第3の開口部及び右側上段に1点鎖線で示す第4の開口部を配置した、1画素に4つの開口部を有する遮光板51によって4つの受光部の位置を定義している点では、図20に示したロックインピクセルの平面パターンと同様である。又、4つの受光部のそれぞれに設けられる4つのフォトダイオードは、それぞれ独立したマイクロレンズ25p, 25q, 25r, 25sで集光された光を受けることも、図20に示したロックインピクセルの平面パターンと同様である。

30

【0200】

第5の実施形態の変形例2に係る測長素子は、図24の左上の第1のフォトダイオードに向かいガイド領域26gがZ字型に先細る第1の分岐端部をなして左上方向に延長しており、左下の第2のフォトダイオードに向かいガイド領域26gがZ字型に先細る第2の分岐端部をなして左下方向に延長している。又、右下の第3のフォトダイオードに向かいガイド領域26gがZ字型に先細る第3の分岐端部をなして右下方向に延長し、右上の第4のフォトダイオードに向かいガイド領域26gがZ字型に先細る第4の分岐端部をなして右上方向に延長している。

40

【0201】

これにより、図24の左側で第1及び第2のフォトダイオードをZ字型の第1及び第2の分岐端部で上下方向に連結し、右側で第3及び第4のフォトダイオードをZ字型の第3及び第4の分岐端部で上下方向に連結するガイド領域26gを備えている点で、図20に示したロックインピクセルの平面パターンとは異なる。

50

## 【0202】

図24に示すように、第5の実施形態の変形例2に係るガイド領域26gは、配列の左側において対照構造で上下に向かうZ字型の第1及び第2の分岐端部を有し、配列の右側において対照構造で上下に向かうZ字型の第3及び第4の分岐端部を有しているため、4本の分岐端部が構成する脚部に着目すれば概略としては、4本脚の鼎(方鼎)型をなすが、全体としては、H字型をなして表面埋込領域25pの上部の一部に配置されている。ガイド領域26gは表面埋込領域25pと同じn型の導電型であり、表面埋込領域25pよりも高不純物密度の半導体領域である。

## 【0203】

但し、ガイド領域26gの4つの分岐端部でH字型に挟まれた中央部は、図24に示した拡大した平面図から分かるように、帯状に水平方向に左右に延びる矩形領域ではなく、上下に凹凸を備えているので、正確にはガイド領域26gの全体形状はH字型ではない。第5の実施形態の変形例2に係る測長素子においては、第1転送制御機構(31, 42h)、第2転送制御機構(31, 44h)及び第3転送制御機構(31, 43h)によって電荷変調部を構成している。そして、ガイド領域26gは、概略としてはH字型をなす平面構造によって、4つの位置から光電子を信号電荷として集め、集めた信号電荷をH字の中央に配置した電荷変調部の狭い転送路(転送チャンネル)に導くための半導体領域であり、表面埋込領域25pよりも高不純物密度の半導体領域として形成できる。

## 【0204】

ガイド領域26gの第1～第4の分岐端部は、それぞれフォトダイオード側の端部からH字の中央部に向かう方向に進むに従い末広がりに広がるような多段の段差(ステップ)形状をなしている。第5の実施形態の変形例2に係る測長素子では、ガイド領域26gの第1～第4の分岐端部の平面パターンをH字の中央部に向かう方向に沿って末広がりの形状にしているため、空乏化したガイド領域26gの第1～第4の分岐端部のすべての領域で高いドリフト電界が発生する。したがって、信号電荷としての光電子をガイド領域26gの第1～第4の分岐端部の長手方向に沿って高速にH字の中央部に向かうように移動させることができる。

## 【0205】

図3(a)及び図4(a)に示した構造と同様に、第5の実施形態の変形例2に係る測長素子を構成している第1転送制御機構(31, 42h)、第2転送制御機構(31, 44h)及び第3転送制御機構(31, 43h)のそれぞれは、第1、第2及び第3分岐のそれぞれの上に設けられた絶縁膜31と、この絶縁膜31の上にそれぞれ設けられた第1転送ゲート電極42h、第2転送ゲート電極44h及び第3転送ゲート電極43hと、を備えている構造は図20に示した特徴と同様である。又、第5の実施形態の変形例2に係る測長素子の表面埋込領域25pの中央部は魚骨形をなしており、電荷変調部配置領域の左端部側で上下方向に向かう新たな凸部のそれぞれの先端に、n型で表面埋込領域25pよりも高不純物密度の第1排出ドレイン領域24g及び第2排出ドレイン領域24fが接続されている。又、電荷変調部配置領域の右端部側で上下方向に向かう新たな凸部のそれぞれの先端に、n型で表面埋込領域25pよりも高不純物密度の第3排出ドレイン領域24j及び第4排出ドレイン領域24kが接続されている構造も図20に示した特徴と同様である。

## 【0206】

そして、図24に示すように、第5の実施形態の変形例2に係る測長素子は、第1排出ドレイン領域24gに隣接して配置され、表面埋込領域25pの下方方向に延びる新たな凸部を経由して第1排出ドレイン領域24gに向かう電荷の排出を制御する第1排出制御機構(31, 41q)と、第2排出ドレイン領域24fに隣接して配置され、表面埋込領域25pの上方方向に延びる新たな凸部を経由して第2排出ドレイン領域24fに向かう電荷の排出を制御する第2排出制御機構(31, 41p)と、第3排出ドレイン領域24jに隣接して配置され、表面埋込領域25pの下方方向に延びる新たな凸部を経由して第3排出ドレイン領域24jに向かう電荷の排出を制御する第3排出制御機構(31, 41r)と

10

20

30

40

50

、第4排出ドレイン領域24kに隣接して配置され、表面埋込領域25pの上方向に延びる新たな凸部を経由して第4排出ドレイン領域24kに向かう電荷の排出を制御する第4排出制御機構(31, 41s)とを更に備えるが、第1排出制御機構(31, 41q)、第2排出制御機構(31, 41p)、第3排出制御機構(31, 41r)及び第4排出制御機構(31, 41s)を構成する第1排出ゲート電極41q、第2排出ゲート電極41p、第3排出ゲート電極41r及び第4排出ゲート電極41sの平面パターンがL字型である点が、図20に示した平面パターンとは異なる。

#### 【0207】

図24に示す構造のように、フォトダイオードを1画素内に複数個配置し、複数のフォトダイオードからの出力を加算して、画素毎の信号の増強を図ることができる。即ち、図24に示すように、第5の実施形態の変形例2に係る測長素子の左側上段と下段にそれぞれ配置された第1及び第2のフォトダイオードを上下方向に連結した箇所と、この連結した箇所から更に右側方向に延びる電荷変調部配置領域の中央部に存在する電荷変調部との間には、電荷変調部配置領域を両側から挟むように上下対称に配置された第1排出ゲート電極41q及び第2排出ゲート電極41pを配置しているので、第1排出ゲート電極41q及び第2排出ゲート電極41pによって、第1排出ドレイン領域24g及び第2排出ドレイン領域24fへの光電荷の排出と、第1転送制御機構(31, 42h)、第2転送制御機構(31, 44h)及び第3転送制御機構(31, 43h)を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

#### 【0208】

同様に、右側上段と下段にそれぞれ配置された第3及び第4のフォトダイオードを上下方向に連結した箇所と、この連結した箇所の更に左側方向に延びる電荷変調部配置領域の中央部に存在する電荷変調部との間には、電荷変調部配置領域を両側から挟むように上下対称に配置された第3排出ゲート電極41r及び第4排出ゲート電極41sを配置しているので、第3排出ゲート電極41r及び第4排出ゲート電極41sによって、第3排出ドレイン領域24j及び第4排出ドレイン領域24kへの光電荷の排出と、第1転送制御機構(31, 42h)、第2転送制御機構(31, 44h)及び第3転送制御機構(31, 43h)を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができることは図20に示した特徴と同様である。

#### 【0209】

< 第5の実施形態の変形例3 >

図25に主要部の概略を上側側から見た平面図を示すように、本発明の第5の実施形態の変形例3に係る測長素子は、左側上段に1点鎖線で示す第1の開口部(アパーチャ部)、左側下段に1点鎖線で示す第2の開口部、右側下段に1点鎖線で示す第3の開口部及び右側上段に1点鎖線で示す第4の開口部を配置した、1画素に4つの開口部を有する遮光板51によって4つの受光部の位置を定義したロックインピクセルであり、4つの受光部のそれぞれに設けられる4つのフォトダイオードは、それぞれ独立したマイクロレンズ25p, 25q, 25r, 25sで集光された光を受ける点では図20及び図24に示した構造と同様である。

#### 【0210】

図25の左側上段に配置した第1の開口部及び左側下段に配置した第1の開口部に着目すると、図2~図4に示した断面図に示したのと同様に、第5の実施形態の変形例3に係る測長素子は、第1導電型(p型)の半導体からなる画素形成層22と、第1の開口部で定義された第1の受光部の位置において画素形成層22との接合構造で第1のフォトダイオードを構成し、第2の開口部で定義された第2の受光部の位置において画素形成層22との接合構造で第2のフォトダイオードを構成するように画素形成層22の上部に選択的に配置され、更に、第1及び第2の受光部を上下に接続し、上下に接続した位置から遮光板51で遮光された位置を右方向に画素形成層22の上部を電荷変調部配置領域として延びる第2導電型(n型)の表面埋込領域25rを備えている。

#### 【0211】

10

20

30

40

50

表面埋込領域 25 r の平面パターンに着目すると、表面埋込領域 25 r の左側の平面パターンは、左上に伸びる 3 裂葉形状の第 1 の受光端部が第 1 の受光部に向かって突出するように配置され、表面埋込領域 25 r の左下に伸びる 3 裂葉形状の第 2 の受光端部が第 2 の受光部に向かって突出するように配置されている。「3 裂葉」とは、2 つの切れ込みにより 3 つに分裂した「トウカエデの葉」のような形状をいう。

【0212】

一方、表面埋込領域 25 r の右側の平面パターンは、表面埋込領域 25 r の右下に伸びる 3 裂葉形状の第 3 の受光端部が第 3 の受光部に向かって突出するように配置され、表面埋込領域 25 r の右上に伸びる 3 裂葉形状の第 4 の受光端部が第 4 の受光部に向かって突出するように配置されている。この結果、図 25 の平面パターンの右側において、右側下段に配置した第 3 の開口部の下方に定義された第 3 の受光部で画素形成層 22 との接合構造で第 3 のフォトダイオードを構成し、右側上段に配置した第 4 の開口部の下方に定義された第 4 の受光部で画素形成層 22 との接合構造で第 4 のフォトダイオードを構成している。

10

【0213】

図 25 の平面パターンにおいて左側の第 1 及び第 2 の受光部を構成する 2 枚の 3 裂葉のパターンと、右側の第 3 及び第 4 の受光部を構成する 2 枚の 3 裂葉のパターンとは、中央において左右方向に伸びる電荷変調部配置領域によって互いに接続されている。即ち、第 5 の実施形態の変形例 3 に係る測長素子の表面埋込領域 25 r は、図 25 に示したような 3 裂葉形状の第 1 ~ 第 4 の受光端部を、第 1 ~ 第 4 の受光部にそれぞれ配置した四輪生の葉のような平面パターンになっている。

20

【0214】

図 25 から分かるように、左上の第 1 の受光端部となる 3 裂葉形状の占有領域は第 1 の開口部の面積がほぼカバーできる大きさに、左下の第 2 の受光端部となる 3 裂葉形状の占有領域は第 2 の開口部の面積がほぼカバーできる大きさに、右下の第 3 の受光端部となる 3 裂葉形状の占有領域は第 3 の開口部の面積がほぼカバーできる大きさに、右上の第 4 の受光端部となる 3 裂葉形状の占有領域は第 4 の開口部の面積がほぼカバーできる大きさにそれぞれ設定されている。

【0215】

但し、表面埋込領域 25 r の中央部の電荷変調部配置領域の平面パターンは、図 20 及び図 24 に示した平面パターンと同様に、帯状に水平方向に左右に伸びる矩形領域ではなく、魚骨形（フィッシュボーン型）の分岐を垂直方向に備えた多角形の形状である。即ち、表面埋込領域 25 r は、表面埋込領域 25 r が構成する電荷変調部配置領域の中央において、電荷変調部配置領域の下側に平行に伸びる第 1 分岐及び第 2 分岐が形成され、第 1 及び第 2 分岐の反対側となる電荷変調部配置領域の上側には、上側に伸びる第 3 分岐が形成されている。

30

【0216】

図 25 に示した電荷変調部配置領域の中央部の第 1 分岐及び第 2 分岐となる凸部の先端部のそれぞれには、n 型で表面埋込領域 25 r よりも高不純物密度の第 1 電荷蓄積領域 24 h 及び第 2 電荷蓄積領域 24 i が接続され、電荷変調部配置領域の中央部の第 3 分岐となる凸部の先端部には、n 型で表面埋込領域 25 r よりも高不純物密度の第 3 電荷蓄積領域 24 l が接続されている。そして、第 5 の実施形態の変形例 3 に係る測長素子は、第 1 電荷蓄積領域 24 h、第 2 電荷蓄積領域 24 i 及び第 3 電荷蓄積領域 24 l に隣接してそれぞれ配置され、第 1 電荷蓄積領域 24 h、第 2 電荷蓄積領域 24 i 及び第 3 電荷蓄積領域 24 l への信号電荷の転送を制御する、第 1 転送制御機構（31, 42 h）、第 2 転送制御機構（31, 44 h）及び第 3 転送制御機構（31, 43 h）を備えている。

40

【0217】

更に、第 5 の実施形態の変形例 3 に係る測長素子は、図 25 の左側で第 1 及び第 2 のフォトダイオードの端部を上下方向に連結する Z 字型の第 1 及び第 2 の分岐端部と、右側で第 3 及び第 4 のフォトダイオードを上下方向に連結する Z 字型の第 3 及び第 4 の分岐端部

50

を有し、4本脚の鼎（方鼎）型をなして表面埋込領域25rの上部の一部に配置された、n型で表面埋込領域25rよりも高不純物密度で、第1電荷蓄積領域24h、第2電荷蓄積領域24i及び第3電荷蓄積領域24lよりも低不純物密度のガイド領域26gを備えている。ガイド領域26gの構造については、図24において説明したとおりであるから重複した説明を省略する。

#### 【0218】

図24に示したのと同様に、第5の実施形態の変形例3に係る測長素子も第1排出ドレイン領域24gに隣接して配置され、表面埋込領域25rの下方方向に延びる新たな凸部を経由して第1排出ドレイン領域24gに向かう電荷の排出を制御する第1排出制御機構（31, 41q）と、第2排出ドレイン領域24fに隣接して配置され、表面埋込領域25rの上方方向に延びる新たな凸部を経由して第2排出ドレイン領域24fに向かう電荷の排出を制御する第2排出制御機構（31, 41p）と、第3排出ドレイン領域24jに隣接して配置され、表面埋込領域25rの下方方向に延びる新たな凸部を経由して第3排出ドレイン領域24jに向かう電荷の排出を制御する第3排出制御機構（31, 41r）と、第4排出ドレイン領域24kに隣接して配置され、表面埋込領域25rの上方方向に延びる新たな凸部を経由して第4排出ドレイン領域24kに向かう電荷の排出を制御する第4排出制御機構（31, 41s）とを更に備えるので、第1排出ドレイン領域24g、第2排出ドレイン領域24f、又は第3排出ドレイン領域24j、第4排出ドレイン領域24kへの光電荷の排出と、第1転送制御機構（31, 42h）、第2転送制御機構（31, 44h）及び第3転送制御機構（31, 43h）を備えた電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

10

20

#### 【0219】

以上のように、第5の実施形態の変形例3に係る測長素子によれば、3裂葉形状の複数のフォトダイオードを画素の周辺部に放射状に配置し、画素の中央の共通となる部分をマージすることで、第1の実施形態に係る測長素子よりも更に高速応答と高感度化（電荷収集効率の向上）を図ることができる。又、第5の実施形態の変形例3に係る測長素子を固体撮像装置の画素（ロックインピクセル）として、同一半導体チップ上に画素サイズが5μm角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

30

#### 【0220】

（第6の実施形態）

図26に主要部の概略を上面側から見た平面図を示すように、本発明の第6の実施形態に係る測長素子は、左側上段に1点鎖線で示す第1の開口部（アパーチャ部）、左側下段に1点鎖線で示す第2の開口部、右側下段に1点鎖線で示す第3の開口部及び右側上段に1点鎖線で示す第4の開口部を配置した、1画素に4つの開口部を有する遮光板51によって4つの受光部の位置を定義したロックインピクセルであり、4つの受光部のそれぞれに設けられる4つのフォトダイオードは、それぞれ独立したマイクロレンズ25p, 25q, 25r, 25sで集光された光を受ける点では図20、図24及び図25に示した構造と同様である。

40

#### 【0221】

図26の左側上段に示した第1の開口部で定義された第1の受光部の位置には、図2～図4に示した断面図に示したのと同様に、第1導電型（p型）の半導体からなる画素形成層22と、この画素形成層22との接合構造で第1のフォトダイオードを構成する第2導電型（n型）の表面埋込領域の受光端部（第1の受光端部）25s<sub>1</sub>が3裂葉形状に配置されている。左側下段に示した第2の開口部で定義された第2の受光部の位置には、画素形成層22と、この画素形成層22との接合構造で第2のフォトダイオードを構成するn型の表面埋込領域の受光端部（第2の受光端部）25s<sub>2</sub>が3裂葉形状に配置されている。

#### 【0222】

一方、右側下段に示した第3の開口部の下方に定義された第3の受光部の位置には、画

50

素形成層 2 2 と、この画素形成層 2 2 との接合構造で第 3 のフォトダイオードを構成する n 型の表面埋込領域の受光端部（第 3 の受光端部） $25s_3$  が 3 裂葉形状に配置され、右側上段に示した第 4 の開口部の下方に定義された第 4 の受光部の位置には、画素形成層 2 2 と、この画素形成層 2 2 との接合構造で第 4 のフォトダイオードを構成する n 型の表面埋込領域の受光端部（第 4 の受光端部） $25s_4$  が 3 裂葉形状に配置されている。ここで 3 裂葉形状の第 1 の受光端部  $25s_1$ 、第 2 の受光端部  $25s_2$ 、第 3 の受光端部  $25s_3$  及び第 4 の受光端部  $25s_4$  は互いに独立した半導体領域ではなく、共通の画素形成層 2 2 の上部に平面パターンとしては X 字型に埋め込まれた n 型の電荷変調部配置領域を介して一体の領域として形成されている。即ち、第 6 の実施形態に係る測長素子の表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）は、図 2 6 に示したような 3 裂葉形状の第 1 ~ 第 4 の受光端部  $25s_1, 25s_2, 25s_3, 25s_4$  を、第 1 ~ 第 4 の受光部にそれぞれ放射状に配置した四輪生の葉のような平面パターンになっている。

10

## 【0223】

図 2 6 から分かるように、左上の第 1 の受光端部  $25s_1$  となる 3 裂葉形状の占有領域は第 1 の開口部の面積をほぼカバーできる大きさに、左下の第 2 の受光端部  $25s_2$  となる 3 裂葉形状の占有領域は第 2 の開口部の面積をほぼカバーできる大きさに、右下の第 3 の受光端部  $25s_3$  となる 3 裂葉形状の占有領域は第 3 の開口部の面積をほぼカバーできる大きさに、右上の第 4 の受光端部  $25s_4$  となる 3 裂葉形状の占有領域は第 4 の開口部の面積をほぼカバーできる大きさにそれぞれ設定されている。

20

## 【0224】

但し、表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）の中央部の電荷変調部配置領域の平面パターンの図示を省略しているが、中央部の電荷変調部配置領域は単純な X 字型ではなく、2 回羽状複葉のパターンで枝を有する複雑な形状である。「2 回羽状複葉」とは、「タラノキ」の葉のように鳥の羽状に分岐を有するフラクタル図形である。即ち、表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）は、大きな X 字と小さな X 字を中心を一致させて  $45^\circ$  ずらして重ねた形状をなしている。小さな X 字は  $45^\circ$  回転しているので四方に凸部を構成した + の形状となり、+ の形状の凸部縦棒の上側端部には n 型で表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）よりも高不純物密度の第 1 電荷蓄積領域  $24r$  が接続され、+ の形状の凸部縦棒の下側端部には n 型で表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）よりも高不純物密度の第 3 電荷蓄積領域  $24p$  が接続されている。又、+ の形状の凸部横棒の左側端部には、n 型で表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）よりも高不純物密度の第 2 電荷蓄積領域  $24o$  が接続されている。更に、+ の形状の凸部横棒の右側端部には、n 型で表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）よりも高不純物密度の中心部排出ドレイン領域  $24q$  が接続されている。

30

## 【0225】

表面埋込領域（ $25s_1, 25s_2, 25s_3, 25s_4$ ）を構成する大きな X 字の左上方向に伸びる電荷変調部配置領域の第 1 の受光端部  $25s_1$  側には、電荷変調部配置領域に直交する方向に両側に凸部（枝部）が設けられ、両側の凸部の先端にはそれぞれ上側第 1 排出ドレイン領域  $24m1a$  及び下側第 1 排出ドレイン領域  $24m1b$  が接続されている。大きな X 字の左下方向に伸びる電荷変調部配置領域の第 2 の受光端部  $25s_2$  側には、電荷変調部配置領域に直交する方向に両側に凸部（枝部）が設けられ、両側の凸部の先端にはそれぞれ上側第 2 排出ドレイン領域  $24m2a$  及び下側第 2 排出ドレイン領域  $24m2b$  が接続されている。大きな X 字の右下方向に伸びる電荷変調部配置領域の第 3 の受光端部  $25s_3$  側には、電荷変調部配置領域に直交する方向に両側に凸部（枝部）が設けられ、両側の凸部の先端にはそれぞれ下側第 3 排出ドレイン領域  $24m3a$  及び下側第 3 排出ドレイン領域  $24m3b$  が接続されている。大きな X 字の右上方向に伸びる電荷変調部配置領域の第 4 の受光端部  $25s_4$  側には、電荷変調部配置領域に直交する方向に両側に凸部（枝部）が設けられ、両側の凸部の先端にはそれぞれ下側第 4 排出ドレイン領域  $24m4a$  及び上側第 4 排出ドレイン領域  $24m4b$  が接続されている。

40

50



## 【0226】

そして、第6の実施形態に係る測長素子は、第1電荷蓄積領域24r、第2電荷蓄積領域24o及び第3電荷蓄積領域24pに隣接してそれぞれ配置され、第1電荷蓄積領域24r、第2電荷蓄積領域24o及び第3電荷蓄積領域24pへの信号電荷の転送を制御する、第1転送制御機構(31, 48)、第2転送制御機構(31, 45)及び第3転送制御機構(31, 46)を備えている。

## 【0227】

更に、第6の実施形態に係る測長素子は、図26に示すように、大きなX字と小さなX字を中心を一致させて45°ずらして重ねた形状に、n型で表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)よりも高不純物密度で、第1電荷蓄積領域24r、第2電荷蓄積領域24o及び第3電荷蓄積領域24pよりも低不純物密度のガイド領域26hを備えている。ガイド領域26hは図示を省略しているが、図2(a)、図3(a)、図4(a)及び図5(a)に示した断面図と同様に、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の上部の一部に埋め込まれている。大きなX字の左上に伸びるガイド領域26hの斜め棒は、棒の太さが外周側の第1の受光端部25s<sub>1</sub>側からX字の中央に下るに従い末広がりに広がるような多段の段差(ステップ)形状をなしている。又、大きなX字の左下に伸びる斜め棒は、棒の太さが外周側の第2の受光端部25s<sub>2</sub>側からX字の中央に昇るに従い末広がりに広がるような多段の段差形状をなしている。更に、大きなX字の右下に伸びる斜め棒は、棒の太さが外周側の第3の受光端部25s<sub>3</sub>側からX字の中央に昇るに従い末広がりに広がるような多段の段差形状をなし、大きなX字の右上に伸びる斜め棒は、棒の太さが外周側の第4の受光端部25s<sub>4</sub>側からX字の中央に下るに従い末広がりに広がるような多段の段差形状をなしている。

## 【0228】

第6の実施形態に係る測長素子では、ガイド領域26hの平面パターンにおけるX字の各棒の太さを中央に向かうに従い末広がりの形状になるようにしているので、空乏化したX字の各棒の部分のすべての領域で高いドリフト電界が発生するようにできる。このため、画素サイズが5µm角以上となる大面積の受光部であっても、信号電荷としての光電子を外周側からX字の各棒の長手方向に沿って高速にガイド領域26h中を中央に向かって移動させることができる。

## 【0229】

第6の実施形態に係る測長素子は、X字の左上方向に伸びる電荷変調部配置領域に沿って上側第1排出ドレイン領域24m1aに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の左上方向に伸びる電荷変調部配置領域から右上方向に延びる凸部を経由して上側第1排出ドレイン領域24m1aに向かう電荷の排出を制御する上側第1排出制御機構(31, 41t1a)と、X字の左上方向に伸びる電荷変調部配置領域に沿って下側第1排出ドレイン領域24m1bに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の左上方向に伸びる電荷変調部配置領域から左下方向に延びる凸部を経由して下側第1排出ドレイン領域24m1bに向かう電荷の排出を制御する下側第1排出制御機構(31, 41t1b)とを備える。

## 【0230】

又、X字の左下方向に伸びる電荷変調部配置領域に沿って上側第2排出ドレイン領域24m2aに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の左下方向に伸びる電荷変調部配置領域から左上方向に延びる凸部を経由して上側第2排出ドレイン領域24m2aに向かう電荷の排出を制御する上側第2排出制御機構(31, 41t2a)と、X字の左下方向に伸びる電荷変調部配置領域に沿って下側第2排出ドレイン領域24m2bに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の左下方向に伸びる電荷変調部配置領域から右下方向に延びる凸部を経由して下側第2排出ドレイン領域24m2bに向かう電荷の排出を制御する下側第2排出制御機構(31, 41t2b)とを備える。

## 【0231】

更に、X字の右下方向に伸びる電荷変調部配置領域に沿って下側第3排出ドレイン領域24m3aに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の右下方向に伸びる電荷変調部配置領域から左下方向に延びる凸部を経由して下側第3排出ドレイン領域24m3aに向かう電荷の排出を制御する下側第3排出制御機構(31, 41t3a)と、X字の右下方向に伸びる電荷変調部配置領域に沿って上側第3排出ドレイン領域24m3bに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の右下方向に伸びる電荷変調部配置領域から右上方向に延びる凸部を経由して上側第3排出ドレイン領域24m3bに向かう電荷の排出を制御する上側第3排出制御機構(31, 41t3b)とを備える。

【0232】

10

更に、X字の右上方向に伸びる電荷変調部配置領域に沿って下側第4排出ドレイン領域24m4aに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の右上方向に伸びる電荷変調部配置領域から右下方向に延びる凸部を経由して下側第4排出ドレイン領域24m4aに向かう電荷の排出を制御する下側第4排出制御機構(31, 41t4a)と、X字の右上方向に伸びる電荷変調部配置領域に沿って上側第4排出ドレイン領域24m4bに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の右上方向に伸びる電荷変調部配置領域から左上方向に延びる凸部を経由して上側第4排出ドレイン領域24m4bに向かう電荷の排出を制御する上側第4排出制御機構(31, 41t4b)とを備える。

【0233】

20

更に、X字の右上方向に伸びる電荷変調部配置領域に沿って下側第4排出ドレイン領域24m4aに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の右上方向に伸びる電荷変調部配置領域から右下方向に延びる凸部を経由して下側第4排出ドレイン領域24m4aに向かう電荷の排出を制御する下側第4排出制御機構(31, 41t4a)と、X字の右上方向に伸びる電荷変調部配置領域に沿って上側第4排出ドレイン領域24m4bに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の右上方向に伸びる電荷変調部配置領域から左上方向に延びる凸部を経由して上側第4排出ドレイン領域24m4bに向かう電荷の排出を制御する上側第4排出制御機構(31, 41t4b)とを備える。

【0234】

30

更に、+の凸部横棒の左側端部に設けられた中心部排出ドレイン領域24qに隣接して配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)から+の凸部横棒を経由して中心部排出ドレイン領域24qに向かう電荷の排出を制御する中心部排出制御機構(31, 47)も備えている。

【0235】

第6の実施形態に係る測長素子は、上述した上側第1排出制御機構(31, 41t1a)、下側第1排出制御機構(31, 41t1b)、上側第2排出制御機構(31, 41t2a)、下側第2排出制御機構(31, 41t2b)、下側第3排出制御機構(31, 41t3a)、上側第3排出制御機構(31, 41t3b)、下側第4排出制御機構(31, 41t4a)、上側第4排出制御機構(31, 41t4b)、下側第4排出制御機構(31, 41t4a)、上側第4排出制御機構(31, 41t4b)、中心部排出制御機構(31, 47)によって、上側第1排出ドレイン領域24m1a、下側第1排出ドレイン領域24m1b、上側第2排出ドレイン領域24m2a、下側第2排出ドレイン領域24m2b、下側第3排出ドレイン領域24m3a、下側第3排出ドレイン領域24m3b、下側第4排出ドレイン領域24m4a、上側第4排出ドレイン領域24m4b中心部排出ドレイン領域24qへの光電荷の排出と、第1転送制御機構(31, 48)、第2転送制御機構(31, 45)及び第3転送制御機構(31, 46)による第1電荷蓄積領域24r、第2電荷蓄積領域24o及び第3電荷蓄積領域24pへの光電荷の輸送の切り替え制御を行うことができる。

40

【0236】

50

1画素内部に第1のフォトダイオード $D_{ij1}$ 、第2のフォトダイオード $D_{ij2}$ 、第3のフォトダイオード $D_{ij3}$ 及び第4のフォトダイオード $D_{ij4}$ の4つのフォトダイオードを有する第6の実施形態に係る測長素子の等価回路表現を図27に示す。図27の中央部に記載した第1転送制御機構(31, 48)としての第1転送トランジスタ $Q_{1T}$ 、第2転送制御機構(31, 45)としての第2転送トランジスタ $Q_{2T}$ 、及び第3転送制御機構(31, 46)としての第3転送トランジスタ $Q_{3T}$ の3つのトランジスタの並列回路で第6の実施形態に係る測長素子の4つのフォトダイオードに共通の電荷変調部を構成している。

【0237】

そして、図27の左端側に記載した第1のフォトダイオード $D_{ij1}$ 、第2のフォトダイオード $D_{ij2}$ 、第3のフォトダイオード $D_{ij3}$ 及び第4のフォトダイオード $D_{ij4}$ から「共通の電荷変調部」に至る静電誘導チャンネル部が破線を含んだ回路構成として示されている。

10

【0238】

左側の最上段には、自己のゲートが接地された2つの第1の接合型電界効果トランジスタ $Q_{p11}$ 及び $Q_{p12}$ で静電誘導チャンネル部を表している。直列接続した2つの第1の接合型電界効果トランジスタ $Q_{p11}$ 及び $Q_{p12}$ の中間タップに、電荷排出用の第1電荷排出MOSトランジスタ $Q_{D1}$ のソース端子が接続され、第1電荷排出MOSトランジスタ $Q_{D1}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続されている。図27中の左側の最上段の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図27において、第1のフォトダイオード $D_{ij1}$ で発生した光電子は、上側第1排出制御機構(31, 41t1a)及び下側第1排出制御機構(31, 41t1b)をそれぞれ構成する排出ゲート電極41t1a及び排出ゲート電極41t1bのそれぞれに印加する電圧 $G_{D1} = L$ であれば、共通の電荷変調部に信号電荷として直ちに到達する。

20

【0239】

2段目には、自己のゲートが接地された2つの第2の接合型電界効果トランジスタ $Q_{p21}$ 及び $Q_{p22}$ で静電誘導チャンネル部を表している。直列接続した2つの第2の接合型電界効果トランジスタ $Q_{p21}$ 及び $Q_{p22}$ の中間タップに、電荷排出用の第2電荷排出MOSトランジスタ $Q_{D2}$ のソース端子が接続され、第2電荷排出MOSトランジスタ $Q_{D2}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続されている。図27中の左側の2段目の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図27において、第2のフォトダイオード $D_{ij2}$ で発生した光電子は、上側第2排出制御機構(31, 41t2a)及び下側第2排出制御機構(31, 41t2b)をそれぞれ構成する排出ゲート電極41t2a及び排出ゲート電極41t2bのそれぞれに印加する電圧 $G_{D2} = L$ であれば、共通の電荷変調部に信号電荷として直ちに到達する。

30

【0240】

3段目には、自己のゲートが接地された2つの第3の接合型電界効果トランジスタ $Q_{p31}$ 及び $Q_{p32}$ で静電誘導チャンネル部を表している。直列接続した2つの第3の接合型電界効果トランジスタ $Q_{p31}$ 及び $Q_{p32}$ の中間タップに、電荷排出用の第3電荷排出MOSトランジスタ $Q_{D3}$ のソース端子が接続され、第3電荷排出MOSトランジスタ $Q_{D3}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続されている。図27中の左側の3段目の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図27において、第3のフォトダイオード $D_{ij3}$ で発生した光電子は、下側第3排出制御機構(31, 41t3a)及び上側第3排出制御機構(31, 41t3b)をそれぞれ構成する排出ゲート電極41t3a及び排出ゲート電極41t3bのそれぞれに印加する電圧 $G_{D3} = L$ であれば、共通の電荷変調部に信号電荷として直ちに到達する。

40

【0241】

最下段には、自己のゲートが接地された2つの第4の接合型電界効果トランジスタ $Q_{p41}$ 及び $Q_{p42}$ で静電誘導チャンネル部を表している。直列接続した2つの第4の接合型電界効果トランジスタ $Q_{p41}$ 及び $Q_{p42}$ の中間タップに、電荷排出用の第4電荷排出MOSトラン

50

ジスタ  $Q_{D4}$  のソース端子が接続され、第 4 電荷排出 MOS トランジスタ  $Q_{D4}$  のドレイン端子が高電位の電源  $V_{DD}$  に接続されている。図 27 中の左側の最下段の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図 27 において、第 4 のフォトダイオード  $D_{ij4}$  で発生した光電子は、下側第 4 排出制御機構 (31, 41t4a) 及び上側第 4 排出制御機構 (31, 41t4b) をそれぞれ構成する排出ゲート電極 41t4a 及び排出ゲート電極 41t4b のそれぞれに印加する電圧  $G_{D4} = L$  であれば、共通の電荷変調部に信号電荷として直ちに到達する。

#### 【0242】

等価回路表示としては、共通の電荷変調部を構成している第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの一方の端部が、並列回路を構成している第 1 の接合型電界効果トランジスタ  $Q_{p12}$ 、第 2 の接合型電界効果トランジスタ  $Q_{p22}$ 、第 3 の接合型電界効果トランジスタ  $Q_{p32}$  及び第 4 の接合型電界効果トランジスタ  $Q_{p42}$  に接続された回路構成となる。

#### 【0243】

即ち、第 1 の接合型電界効果トランジスタ  $Q_{p12}$ 、第 2 の接合型電界効果トランジスタ  $Q_{p22}$ 、第 3 の接合型電界効果トランジスタ  $Q_{p32}$  及び第 4 の接合型電界効果トランジスタ  $Q_{p42}$  のそれぞれの出力端は、並列回路として配列された第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  及び中央排出トランジスタ  $Q_{DD}$  のそれぞれの入力端となる一方の端部に接続された回路構成となる。

#### 【0244】

そして、第 1 転送トランジスタ  $Q_{1T}$ 、第 2 転送トランジスタ  $Q_{2T}$  及び第 3 転送トランジスタ  $Q_{3T}$  のそれぞれの他方の端部は、ノード  $D_1$  としての第 1 電荷蓄積領域 24r、ノード  $D_2$  としての第 2 電荷蓄積領域 24o 及びノード  $D_3$  としての第 3 電荷蓄積領域 24p に接続される回路構成となるので、第 1 転送ゲート電極 48、第 2 転送ゲート電極 45、第 3 転送ゲート電極 46 のいずれか 1 つに中間電位 (M) の電圧、他の 2 つに低位電位 (L) の電圧を与えることで、第 1 電荷蓄積領域 24r、第 2 電荷蓄積領域 24o、第 3 電荷蓄積領域 24p のいずれかに光電子を信号電荷として転送する。

#### 【0245】

3 つのノード  $D_1$ 、 $D_2$ 、 $D_3$  には、電荷蓄積用のキャパシタ  $C_1$ 、 $C_2$ 、 $C_3$  が接続されている。このキャパシタ  $C_1$ 、 $C_2$ 、 $C_3$  は、電圧依存性を低減するため、しきい値電圧を負電圧に設定したデブリーション・モードの MOS キャパシタを用いるのが適している。第 1 のノード  $D_1$  には、第 1 のノード  $D_1$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 1 増幅トランジスタ  $Q_{1A}$  のゲート端子に接続され、第 1 のノード  $D_1$  には更に、信号の読み出し後、信号電荷を初期化するために、第 1 リセットトランジスタ  $Q_{1R}$  が接続されている。又、第 1 増幅トランジスタ  $Q_{1A}$  のソース端子には、読出画素選択用のスイッチとしての第 1 選択トランジスタ  $Q_{1S}$  が接続され、第 1 選択トランジスタ  $Q_{1S}$  の出力は垂直方向に走る信号読出線に接続されている。

#### 【0246】

同様に、第 2 のノード  $D_2$  には、第 2 のノード  $D_2$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 2 増幅トランジスタ  $Q_{2A}$  のゲート端子に接続され、第 2 のノード  $D_2$  には更に、信号の読み出し後、信号電荷を初期化するために、第 2 リセットトランジスタ  $Q_{2R}$  が接続されている。又、第 2 増幅トランジスタ  $Q_{2A}$  のソース端子には、読出画素選択用のスイッチとしての第 2 選択トランジスタ  $Q_{2S}$  が接続され、第 2 選択トランジスタ  $Q_{2S}$  の出力は垂直方向に走る信号読出線に接続されている。更に、第 3 のノード  $D_3$  には、第 3 のノード  $D_3$  の電荷量の変化に伴う電位変化を、読み出すためのソースフォロワ回路を構成する第 3 増幅トランジスタ  $Q_{3A}$  のゲート端子に接続され、第 3 のノード  $D_3$  には更に、信号の読み出し後、信号電荷を初期化するために、第 3 リセットトランジスタ  $Q_{3R}$  が接続されている。又、第 3 増幅トランジスタ  $Q_{3A}$  のソース端子には、読出画素選択用のスイッチとしての第 3 選択トランジスタ  $Q_{3S}$  が接続され、第 3 選択トランジスタ  $Q_{3S}$  の出力は垂直方向に走る信号読出線に接続されている。

10

20

30

40

50

## 【0247】

第6の実施形態に係る測長素子からの信号の読出し方法としては、図27のように、3つの信号読出線を、3本走らせて、並列に読み出す方法でも、図11に示した回路構成と同様に、信号読出線を1本として選択信号SL1, SL2, SL3によるスイッチを順に、オンにして、時系列信号として読み出す方法でもよい。

## 【0248】

第6の実施形態に係る測長素子及び固体撮像装置によれば、第1のフォトダイオード $D_{ij1}$ 、第2のフォトダイオード $D_{ij2}$ 、第3のフォトダイオード $D_{ij3}$ 及び第4のフォトダイオード $D_{ij4}$ の4箇所のフォトダイオードでそれぞれ受光し、画素の中央に配置した共通の電荷変調部でそれぞれで電荷変調を受けた後の信号を電荷として加算し、信号の増強を図ることができる。

10

## 【0249】

以上のように、画素面積が大きい固体撮像装置（イメージセンサ）の場合で、1つの受光領域では、十分な高速な応答ができない場合は、第1の実施形態に係る測長素子で例示した構造を基本として、第6の実施形態に係る測長素子の構造のように、複数のフォトダイオードを画素の周辺部に配置し、画素の中央の共通となる部分をマージすることで、第1の実施形態に係る測長素子と等価な機能を強化して実現し、更に高速応答と高感度化（電荷収集効率の向上）を図ることができる。

## 【0250】

第1の実施形態で説明した式(4)又は式(8)を用いることにより、第6の実施形態に係る測長素子は光飛行時間測定に好適な機能を有していることが分かる。このため、第6の実施形態に係る測長素子を固体撮像装置の画素（ロックインピクセル）として、同一半導体チップ上に画素サイズが $5\mu\text{m}$ 角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

20

## 【0251】

特に、第1～第5の実施形態に係る測長素子と同様に、第6の実施形態に係る測長素子においても、X字型電荷変調部配置領域の4つの端部から中央の電荷変調部に至る静電誘導チャンネル部を十分な長さとし、電荷変調部を遮光板51によって光シールドしているので、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

30

## 【0252】

なお、第6の実施形態に係る測長素子では、便宜上、画素の周辺部の4箇所のフォトダイオードでそれぞれ受光し、画素の中央に配置した共通の電荷変調部でそれぞれで電荷変調を受けた後の信号を電荷として加算し、信号の増強を図る場合について例示的に説明したが、画素面積の大きさや要求される応答速度や感度等に応じて、画素の周辺部に配置するフォトダイオードの個数は2箇所でもよく、6箇所や8箇所等他の個数でも構わない。

## 【0253】

以上のように、第6の実施形態に係る測長素子によれば、3裂葉形状の複数のフォトダイオードを画素の周辺部に放射状に配置し、画素の中央の共通となる部分をマージすることで、第1の実施形態に係る測長素子よりも更に高速応答と高感度化（電荷収集効率の向上）を図ることができる。又、第6の実施形態に係る測長素子を固体撮像装置の画素（ロックインピクセル）として、同一半導体チップ上に画素サイズが $5\mu\text{m}$ 角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

40

## 【0254】

（第7の実施形態）

本発明の第7の実施形態に係る測長素子は、図28に1点鎖線で示す開口部（アパーチャ部）を有する遮光板51によって受光部の位置を定義したロックインピクセルである。図28の平面図、図29(a)及び図30(a)の断面図に示すように、第7の実施形態に係る測長素子は、第1導電型（p型）の半導体からなる画素形成層22と、開口部（ア

50

パーチャ部)を有し、この開口部の下方の画素形成層22に受光部の位置を定義するように、画素形成層22の上方に配置された遮光板51と、受光部において、画素形成層22との接合構造でフォトダイオードを構成するように、画素形成層22の上部に選択的に配置され、更に、受光部の位置から遮光板51で遮光された複数の位置まで到達するように、画素形成層22の上部を延在して先端側がT字型の分岐形状をなすように複数の凸部を構成する第2導電型(n型)の表面埋込領域62と、凸部の先端部にそれぞれ接続され、n型で表面埋込領域62よりも高不純物密度の第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cと、凸部のそれぞれに、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cに隣接してそれぞれ配置され、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cへの信号電荷の転送を制御する、第1転送制御機構(31, 42)、第2転送制御機構(31, 44)及び第3転送制御機構(31, 43)と、開口部の下方の一部に一方の端部が配置され、複数に分岐した他方の端部が転送制御機構の少なくとも一部まで到達するように、表面埋込領域62の上部の一部に配置された、n型で表面埋込領域62よりも高不純物密度で、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cよりも低不純物密度のガイド領域(63, 64)と、を備えて、ロックインピクセルを構成している点では、概略としては第1の実施形態に係る測長素子と基本的に同様な構造である。

10

## 【0255】

しかしながら、図28に示すように、第7の実施形態に係る測長素子を構成している表面埋込領域62が、受光部の位置において、平面パターン上、ガイド領域(63, 64)を囲むように逆U字型に局所的に設けられた平面形状を有する点で、第1の実施形態に係る測長素子の、受光部の位置におけるフォークの形状(第7の実施形態において「フォークの形状」を「E字型」とも称する。)の表面埋込領域25とは具体的な構造が異なる。表面埋込領域62の平面パターンの、図28の上下方向に直交する方向に測った幅は、図28の紙面の上の方から下の方に行くに従い、多段の段差(ステップ)をなして末広がりになる。即ち、表面埋込領域62の平面パターンの外側の形状は、逆U字型に近似できる包絡線を構成している。

20

## 【0256】

更に、図28、図29(a)及び図30(a)に示すように、ガイド領域(63, 64)が補助ガイド領域63と補助ガイド領域63の内側の主ガイド領域64との2層構造(複合構造)をなしている点で、第1の実施形態に係るガイド領域26aの単一的な構造とは異なる。第7の実施形態に係る測長素子のガイド領域(63, 64)の補助ガイド領域63は、開口部の下方の一部に一方の端部が配置され、他方の端部が第1転送制御機構(31, 42)、第2転送制御機構(31, 44)及び第3転送制御機構(31, 43)に向かう、n(n<sub>2</sub>)型で表面埋込領域よりも高不純物密度の半導体領域である。一方、主ガイド領域64は、補助ガイド領域63に一方の端部が配置され、複数に分岐した他方の端部が転送制御機構の少なくとも一部まで到達する、n(n<sub>3</sub>)型で補助ガイド領域63よりも高不純物密度の半導体領域である。主ガイド領域64は、第1電荷蓄積領域24b、第2電荷蓄積領域24d及び第3電荷蓄積領域24cよりも低不純物密度の半導体領域である。

30

40

## 【0257】

即ち、第7の実施形態に係る測長素子では、表面埋込領域62の中央部に、表面埋込領域62よりも高不純物密度の補助ガイド領域63を設けている。補助ガイド領域63が表面埋込領域62から主ガイド領域64へ信号電荷を導くことにより、表面埋込領域62の信号電荷が主ガイド領域64へ移動しやすくしている。受光部の位置における補助ガイド領域63の平面パターンの上部側の外形線は、図28の上下方向に直交する方向に測った幅が、図28の紙面の上の方から下の方に行くに従い、多段の段差(ステップ)形状をなして末広がりに広がる、逆V字に近似できる包絡線を構成している。

## 【0258】

主ガイド領域64は、補助ガイド領域63により導かれた信号電荷を更に電荷変調部の

50

狭い転送路（転送チャンネル）に導くための半導体領域となる。主ガイド領域64の平面パターンにおける形状は、図28に示すように、主ガイド領域64の長手方向（図28の上下方向）に直交する方向に測った幅が、図28の紙面の上の方から下の方に行くに従い末広がり広がるような多段の段差（ステップ）形状をなしている。

【0259】

図28に示すように不純物密度の異なるn型の半導体領域を3段にすると、画素サイズが10 $\mu$ m角以上等の非常に大きなフォトダイオードでも、すべての領域で電位傾斜が大きくなり、電界を大きくすることができ、高速化できる。即ち、図28の平面図及び図29(b)に示した電位分布図から分かるように、発生したキャリアの移動先となる表面埋込領域62の電位分布の一番底になるところを補助ガイド領域63の先端部側を配置している。そして、平面パターン上、この補助ガイド領域63の内部となる位置に、補助ガイド領域63より幅が細くなるようなトポロジで主ガイド領域64の先端部が配置されている。補助ガイド領域63の先端部側に近い位置に、補助ガイド領域63の先端部から一定の距離をおいて、主ガイド領域64が接触しているので、すべての領域で電位傾斜が大きくなり、電界を大きくすることができ、測長素子の高速動作を実現できる。

10

【0260】

補助ガイド領域63は、例えば、表面埋込領域62を形成するイオン注入をした領域の一部に、図28に示した平面パターンに従って、2重のイオン注入をすることにより、表面埋込領域62よりも高不純物密度の半導体領域として形成できる。そして、主ガイド領域64は、表面埋込領域62を形成するイオン注入をした領域の一部に、図28に示した平面パターンに従ってイオン注入し、合計で3重のイオン注入をすることにより、補助ガイド領域63よりも高不純物密度の半導体領域として形成できる。

20

【0261】

図29(a)は図28のXXIX-XXIX方向から見た断面構造で、図29(b)は図29(a)の断面上の一点鎖線に沿ったポテンシャル分布を細い実線で示す。第1の実施形態に係る測長素子と比較するため、図29(c)には、第1の実施形態に係る測長素子の断面構造の説明に用いた図5を再掲している。そして、図29(b)には図29(c)の断面上の一点鎖線に沿ったポテンシャル分布も太い実線で重ねて示して、第1の実施形態に係る測長素子のポテンシャル分布と比較している。

【0262】

図5のポテンシャル分布から分かるように、第1の実施形態に係る測長素子では、発生したキャリアの移動先となる表面埋込領域25の電位分布の一番底になるところに、ガイド領域26aの細い先端部が接触しており、その周辺はフラットに近い。一方、第7の実施形態に係る測長素子では、図29(b)のポテンシャル分布から分かるように、表面埋込領域25の電位分布の一番底に向けて、略V字状に急峻な勾配の電位分布となっている。

30

【0263】

図30(a)は図28のXXX-XXX方向から見た断面構造で、図30(b)は、第1転送ゲート電極42に中間電位(M)のゲート信号 $G_1$ を印加した場合の図30(a)の断面構造に対応するポテンシャル分布を細い実線で示す。図30(c)には、第1の実施形態に係る測長素子と比較するため、第1の実施形態に係る測長素子の断面構造で説明した図3を左右逆にして再掲している。図30(b)には図30(c)の断面構造に対応するポテンシャル分布も太い実線で重ねて示して、第1の実施形態に係る測長素子のポテンシャル分布と比較している。

40

【0264】

又、図31(a)は図28のXXX-XXX方向から見た断面構造で、図31(b)は、第3転送ゲート電極43に中間電位(M)のゲート信号 $G_3$ を印加した場合の図31(a)の断面構造に対応するポテンシャル分布を細い実線で示す。図30(c)と同様に、図31(c)は、第1の実施形態に係る測長素子と比較するための図であり、図3を左右逆にして再掲している。図31(b)には図31(c)の断面構造に対応するポテンシャル分布も

50

太い実線で重ねて示して、第 1 の実施形態に係る測長素子のポテンシャル分布と比較している。

【 0 2 6 5 】

図 3 0 ( b ) 及び図 3 1 ( b ) のポテンシャル分布から分かるように、幹経路から電荷変調部の第 3 電荷蓄積領域 2 4 c に向けて静電誘導チャンネル部には電位障壁がないポテンシャル分布が形成されるが、第 7 の実施形態に係る測長素子の方が、第 1 の実施形態に係る測長素子よりも静電誘導チャンネル部のポテンシャルの勾配が急峻なプロファイルであるのが分かる。

【 0 2 6 6 】

したがって、第 7 の実施形態に係る測長素子では、第 1 の実施形態に係る測長素子に比して静電誘導チャンネル部のポテンシャルの勾配が急峻なプロファイルであるので、静電誘導チャンネル部に形成された V 字状の電位チャンネルを經由して、フォトダイオードで発生した光電子は、信号電荷として、第 1 の実施形態に係る測長素子に比してより高速に電荷変調部に輸送可能となる。

【 0 2 6 7 】

図 2 8 に示すように第 7 の実施形態に係る測長素子の電荷変調部には、3 つの第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 , 第 3 転送ゲート電極 4 3 が配置されている。第 1 転送ゲート電極 4 2 に中間電位 ( M ) のゲート信号  $G_1$  を印加することによって図 3 2 に示すような電位分布が形成される。又、第 2 転送ゲート電極 4 4 に中間電位 ( M ) のゲート信号  $G_2$  を印加することによって図 3 3 に示すような電位分布が形成され、第 3 転送ゲート電極 4 3 に中間電位 ( M ) のゲート信号  $G_3$  を印加することによって図 3 4 に示すような電位分布が形成される。図 3 2 ~ 図 3 4 において、太い実線 ( 図 3 2 ~ 図 3 4 では「 - 0 . 2 V 」と表記 ) は電位 - 0 . 2 V の等電位線を示し、1 点鎖線 ( 図 3 2 ~ 図 3 4 では「 0 V 」と表記 ) は電位 0 V 以上且つ 1 V 未満 ( 0 V から 0 . 2 5 V 刻み ) の等電位線を示し、細かい破線 ( 図 3 2 ~ 図 3 4 では「 1 V 」と表記 ) は電位 1 V 以上且つ 2 V 未満 ( 1 V から 0 . 2 5 V 刻み ) の等電位線を示し、細かい破線 ( 図 3 2 ~ 図 3 4 では「 2 V 」と表記 ) は電位 2 V 且つ 3 V 未満 ( 2 V から 0 . 2 5 V 刻み ) の等電位線を示し、長い破線 ( 図 3 2 ~ 図 3 4 では「 3 V 」と表記 ) は電位 3 V 以上且つ 4 V 未満 ( 3 V から 0 . 2 5 V 刻み ) の等電位線を示す。このように、3 つの第 1 転送ゲート電極 4 2 , 第 2 転送ゲート電極 4 4 , 第 3 転送ゲート電極 4 3 のそれぞれに中間電位 ( M ) のゲート信号を印加することによって、対応する 3 つの第 1 電荷蓄積領域 2 4 b , 第 2 電荷蓄積領域 2 4 d , 第 3 電荷蓄積領域 2 4 c のそれぞれに図 3 2 ~ 図 3 4 に太い実線で示したような経路に沿って、信号電荷が高速転送され、光パルスに同期した光電荷検出を行う測長素子の基本動作がなされる。

【 0 2 6 8 】

又、第 7 の実施形態に係る測長素子の第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b に中間電位 ( M ) よりも高い高電位 ( H ) のゲート信号  $G_D$  を印加すると、平面内では図 3 5 に示したような等電位線で示される電位分布となり、幹経路部分に形成された静電誘導チャンネル部に達した電子は、図 3 5 に極太の実線で示した経路に沿って、第 1 排出ドレイン領域 2 4 a 側に分岐して排出される。図 3 5 において、太い実線 ( 図 3 5 では「 - 0 . 2 V 」と表記 ) は電位 - 0 . 2 V の等電位線を示し、1 点鎖線 ( 図 3 5 では「 0 V 」と表記 ) は電位 0 V 以上且つ 1 V 未満 ( 0 V から 0 . 2 5 V 刻み ) の等電位線を示し、細かい破線 ( 図 3 5 では「 1 V 」と表記 ) は電位 1 V 以上且つ 2 V 未満 ( 1 V から 0 . 2 5 V 刻み ) の等電位線を示し、細かい破線 ( 図 3 5 では「 2 V 」と表記 ) は電位 2 V 且つ 3 V 未満 ( 2 V から 0 . 2 5 V 刻み ) の等電位線を示し、長い破線 ( 図 3 5 では「 3 V 」と表記 ) は電位 3 V 以上且つ 4 V 未満 ( 3 V から 0 . 2 5 V 刻み ) の等電位線を示す。電位分布の図示を省略しているが、第 2 排出ゲート電極 4 1 b に高い高電位 ( H ) のゲート信号  $G_D$  を印加すると、幹経路部分に形成された静電誘導チャンネル部に達した電子は、第 2 排出ドレイン領域 2 4 e に分岐して排出される。

【 0 2 6 9 】

10

20

30

40

50



第7の実施形態に係る逆U字型の平面パターン形状を有する測長素子について、第1の実施形態に係るE字型の平面パターン形状を有する測長素子と対比して、図32～図35に示した第7の実施形態に係る逆U字型の平面パターン形状を有する測長素子のXY座標系と、図6～図9に示した第1の実施形態に係るE字型の平面パターン形状を有する測長素子のXY座標系とで対応する電荷の位置a～eにおける各電荷蓄積領域への電荷の転送時間を、シミュレーションにより計算した。

【0270】

電荷の位置aは、X軸 = 5.4  $\mu\text{m}$ 、Y軸 = 13  $\mu\text{m}$ 、Z軸（深さ） = 3  $\mu\text{m}$ の位置座標に設定した。電荷の位置bは、X軸 = 8.4  $\mu\text{m}$ 、Y軸 = 13  $\mu\text{m}$ 、Z軸（深さ） = 3  $\mu\text{m}$ の位置座標に設定した。電荷の位置cは、X軸 = 12  $\mu\text{m}$ 、Y軸 = 12  $\mu\text{m}$ 、Z軸（深さ） = 3  $\mu\text{m}$ の位置座標に設定した。電荷の位置dは、X軸 = 8.4  $\mu\text{m}$ 、Y軸 = 5.5  $\mu\text{m}$ 、Z軸（深さ） = 0.2  $\mu\text{m}$ の位置座標に設定した。電荷の位置eは、X軸 = 11  $\mu\text{m}$ 、Y軸 = 3  $\mu\text{m}$ 、Z軸（深さ） = 3  $\mu\text{m}$ の位置座標に設定した。表1に計算結果を示す。

【0271】

【表1】

電荷位置	G <sub>1</sub>		G <sub>2</sub>		G <sub>3</sub>		G <sub>D</sub>	
	E字型	逆U字型	E字型	逆U字型	E字型	逆U字型	E字型	逆U字型
a	1.51	0.56	1.51	0.56	1.56	0.57	1.15	0.46
b	0.46	0.35	0.46	0.35	0.49	0.37	0.7	0.26
c	1.29	0.60	1.29	0.60	1.33	0.61	0.93	0.49
d	0.008	0.004	0.007	0.003	-	-	0.42	-
e	-	0.32	0.58	0.31	-	0.34	-	0.12

単位：ns

【0272】

表1の「G<sub>1</sub>」の欄は、第1の実施形態に係るE字型の平面パターン形状を有する測長素子について、第1転送ゲート電極42に印加するゲート信号G<sub>1</sub>をオン（3.3V）とし、第2転送ゲート電極44に印加するゲート信号G<sub>2</sub>、第3転送ゲート電極43に印加するゲート信号G<sub>3</sub>、第1排出ゲート電極41a及び第2排出ゲート電極41bに印加するゲート信号G<sub>D</sub>をオフ（1.5V）とした場合と、第7の実施形態に係る逆U字型の平面パターン形状を有する測長素子について、第1転送ゲート電極42に印加するゲート信号G<sub>1</sub>をオン（3.3V）とし、第2転送ゲート電極44に印加するゲート信号G<sub>2</sub>、第3転送ゲート電極43に印加するゲート信号G<sub>3</sub>、第1排出ゲート電極41a及び第2排出ゲート電極41bに印加するゲート信号G<sub>D</sub>をオフ（0V）とした場合を示す。

【0273】

表1の「G<sub>2</sub>」の欄は、第1の実施形態に係るE字型の平面パターン形状を有する測長素子について、第2転送ゲート電極44に印加するゲート信号G<sub>2</sub>をオン（3.3V）とし、第1転送ゲート電極42に印加するゲート信号G<sub>1</sub>、第3転送ゲート電極43に印加するゲート信号G<sub>3</sub>、第1排出ゲート電極41a及び第2排出ゲート電極41bに印加するゲート信号G<sub>D</sub>をオフ（1.5V）とした場合と、第7の実施形態に係る逆U字型の平面パターン形状を有する測長素子について、第2転送ゲート電極44に印加するゲート信号G<sub>2</sub>をオン（3.3V）とし、第1転送ゲート電極42に印加するゲート信号G<sub>1</sub>、第3転送ゲート電極43に印加するゲート信号G<sub>3</sub>、第1排出ゲート電極41a及び第2排出ゲート電極41bに印加するゲート信号G<sub>D</sub>をオフ（0V）とした場合を示す。

【0274】

表1の「G<sub>3</sub>」の欄は、第1の実施形態に係るE字型の平面パターン形状を有する測長素子について、第3転送ゲート電極43に印加するゲート信号G<sub>3</sub>をオン（3.3V）とし、第1転送ゲート電極42に印加するゲート信号G<sub>1</sub>、第2転送ゲート電極44に印加

するゲート信号  $G_2$  , 第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b に印加するゲート信号  $G_D$  をオフ ( 1 . 5 V ) とした場合と、第 7 の実施形態に係る逆 U 字型の平面パターン形状を有する測長素子について、第 3 転送ゲート電極 4 3 に印加するゲート信号  $G_3$  をオン ( 3 . 3 V ) とし、第 1 転送ゲート電極 4 2 に印加するゲート信号  $G_1$  , 第 2 転送ゲート電極 4 4 に印加するゲート信号  $G_2$  , 第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b に印加するゲート信号  $G_D$  をオフ ( 0 V ) とした場合を示す。

【 0 2 7 5 】

表 1 の「  $G_D$  」の欄は、第 1 の実施形態に係る E 字型の平面パターン形状を有する測長素子及び第 7 の実施形態に係る逆 U 字型の平面パターン形状を有する測長素子のそれぞれについて、第 1 排出ゲート電極 4 1 a 及び第 2 排出ゲート電極 4 1 b に印加するゲート信号  $G_D$  をオン ( 3 . 3 V ) とし、第 1 転送ゲート電極 4 2 に印加するゲート信号  $G_1$  , 第 2 転送ゲート電極 4 4 に印加するゲート信号  $G_2$  , 第 3 転送ゲート電極 4 3 に印加するゲート信号  $G_3$  をオフ ( 0 V ) とした場合を示す。

10

【 0 2 7 6 】

表 1 から、第 1 の実施形態に係る E 字型の平面パターン形状を有する測長素子と比較して、第 7 の実施形態に係る逆 U 字型の平面パターン形状を有する測長素子の転送時間は  $1/2 \sim 1/3$  程度であり、第 1 の実施形態に係る E 字型の平面パターン形状を有する測長素子よりも高速な電荷転送が可能であることが分かる。

【 0 2 7 7 】

第 7 の実施形態に係る測長素子においても、式 ( 4 ) 又は式 ( 8 ) を用いることにより、第 2 の実施形態に係る測長素子は光飛行時間測定に好適な機能を有していることが分かる。このため、第 7 の実施形態に係る測長素子を固体撮像装置の画素 ( ロックインピクセル ) として、同一半導体チップ上に画素サイズが  $5 \mu m$  角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

20

【 0 2 7 8 】

特に、第 1 の実施形態に係る測長素子と同様に、第 2 の実施形態に係る測長素子においても、受光部近傍側に位置する幹経路から電荷変調部に至る静電誘導チャンネル部を十分な長さとし、電荷変調部を遮光板 5 1 によって光シールドしているので、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

30

【 0 2 7 9 】

更に、第 7 の実施形態に係る測長素子において、フォトダイオードを構成する表面埋込領域 6 2 が逆 U 字型の平面形状を有することにより、ポテンシャルの勾配が第 1 の実施形態に係るフォトダイオードの E 字型の平面形状の表面埋込領域の場合よりも急峻なプロファイルであるので、第 1 の実施形態に係る測長素子よりも高速な電荷転送が可能となる。

【 0 2 8 0 】

なお、図 2 8 ではガイド領域を 2 段として、表面埋込領域 6 2 を含めると不純物密度の異なる n 型の半導体領域を 3 段にした例を示したが、不純物密度の異なる n 型の半導体領域を 3 次ガイド領域、4 次ガイド領域、... として、3 段以上の多段のガイド領域を構成すれば、更に画素サイズが大きなフォトダイオードでも、すべての領域で電位傾斜が大きくなり高速化できる。又、第 2 ~ 第 7 の実施形態で説明した測長素子の構造に対しても、n 型の半導体領域を 3 段以上の多段で構成すれば、画素サイズが大きなフォトダイオードでも、すべての領域で電位傾斜が大きくなり高速化できるという有利な効果を奏することが可能である。

40

【 0 2 8 1 】

( その他の実施形態 )

上記のように、本発明は本発明の第 1 ~ 第 7 の実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなる。

【 0 2 8 2 】

50

既に述べた本発明の第1～第7の実施形態の説明では、第1導電型(p型)をp型、第2導電型(n型)をn型として説明したが、第1導電型(p型)をn型、第2導電型(n型)をp型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。

【0283】

第1～第7の実施形態の説明では、輸送、蓄積等の処理がされる信号電荷を電子とし、ポテンシャル図において、図の下方向(深さ方向)が、電位(ポテンシャル)の正方向としたが、電気的な極性を反対とする場合においては、処理をされる電荷は正孔となるため、測長素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状は、図の下方向(深さ方向)が、電位の負方向として表現される。

10

【0284】

第1の実施形態に係る測長素子では、図2(a)、図3(a)及び図4(a)の断面図から分かるように、画素形成層22がp型の半導体基板21上に設けられた場合を説明したが、半導体基板の導電型は図36(a)、図37(a)及び図38(a)の断面図に示すようにn型の半導体基板61であっても構わない。ここで、図36(a)は図1のII-II方向から見た断面に対応する断面構造で、図36(b)は図36(a)の断面構造に対応するポテンシャル分布である。又、図37(a)は図1のIII-III方向から見た断面に対応する断面構造で、図37(b)は図37(a)の断面構造に対応するポテンシャル分布を示し、図38(a)は図1のIV-IV方向から見た断面に対応する断面構造で、図38(b)は図38(a)の断面構造に対応するポテンシャル分布を示している。

20

【0285】

図36(a)、図37(a)及び図38(a)に示すように、画素形成層22がn型の半導体基板61上に設けられることとなるが、他の構造は図1、図2(a)、図3(a)及び図4(a)に示した第1の実施形態に係る測長素子の構造と全く同一でよい。画素形成層22がn型の半導体基板61上に設けられた場合であっても、左右対称に対向配置された2つの第1排出ゲート電極41a及び第2排出ゲート電極41bに中間電位(M)を与えると、図36(b)のように図1のII-II方向から見た断面方向への電位障壁を維持したまま、T字の中心棒部分に向かう幹経路の静電誘導チャンネル部にU字状の電位チャンネルが形成され、又、図37(b)のポテンシャル分布のように幹経路から電荷変調部の第3電荷蓄積領域24cに向けての図1のIII-III方向から見た断面方向に沿った静電誘導チャンネル部には電位障壁がないポテンシャル分布が形成される。静電誘導チャンネル部に形成されたU字状の電位チャンネルを経由して、フォトダイオードで発生した光電子は、信号電荷として高速に電荷変調部に輸送される。

30

【0286】

更に、図38(b)に示すように、第3転送ゲート電極43に印加するゲート信号の電圧レベル $G_3 = L$ とし、第1転送ゲート電極42に印加するゲート信号の電圧レベル $G_1$ 、第2転送ゲート電極44に印加するゲート信号の電圧レベル $G_2$ として低位電位(L)又は中間電位(M)の互いに異なる電位を与えることで、光電子を第1電荷蓄積領域24b及び第2電荷蓄積領域24dのいずれかに転送することができるので、画素形成層22がn型の半導体基板61上に設けられた場合であっても、第1の実施形態に係る測長素子と基本的に同様な動作が可能であることが分かる。

40

【0287】

第1の実施形態に係る測長素子では、半導体基板21が高不純物密度の $p^+$ 領域になっているので、半導体基板21の深い位置で発生する暗電流(拡散電流成分)を低くし、又、光飛行時間のセンサとしての応答を速くするために、半導体基板21の深い位置で発生したキャリアで、且つ拡散成分となって遅く半導体基板21の表面にやってくる成分を高不純物密度の $p^+$ 領域によるオージェ再結合で消滅させるということができる。

【0288】

これに対し、図36(a)、図37(a)及び図38(a)に示すように、半導体基板61としてn型の半導体領域を用い、画素形成層22をp型半導体領域として、pn接合

50

を構成すれば、pn接合の電位障壁を利用して、半導体基板61の深くからの暗電流の拡散成分を抑え、半導体基板61の深くからの遅いキャリア成分が表面に来ないようにするという有利な効果を奏することが可能である。

【0289】

同様に、第2～第7の実施形態に係る測長素子においても、半導体基板の導電型をn型とすることにより、pn接合の電位障壁を利用して、半導体基板61の深くからの暗電流の拡散成分を抑え、半導体基板61の深くからの遅いキャリア成分が表面に来ないようにするという有利な効果を奏することが可能である。

【0290】

更に、フォトダイオードを構成するn型の表面埋込領域62の平面形状を、第1の実施形態に係る測長素子と同様なフォークの形状とし、図39及び図40(a)に示すように、フォークの根元の中央部に、表面埋込領域62よりも高不純物密度のn型の補助ガイド領域(2次ガイド領域)63を設け、補助ガイド領域63に信号電荷が集まるようにしてもよい。なお、図40(a)は図39のXXXXIV-XXXXIV向から見た断面に対応する断面構造で、図40(b)は図40(a)の断面構造に対応するポテンシャル分布を示している。

10

【0291】

補助ガイド領域63の平面パターンは図39に示すように左右対称の鳥が翼を上げた形をして鳥の頭がフォークの根元の中央部に位置している。フォークの歯のそれぞれが図39に示すように、歯の幅が図39の紙面の上の方から下の方に行くに従い末広がりになるような多段の段差(ステップ)形状をなしている点は第1の実施形態に係る測長素子と同様な平面パターンである。図39に示すような他の実施形態に係る測長素子でも、受光部における表面埋込領域62の平面パターンにおけるフォークの歯を末広がり形状にしているため、空乏化したフォークの歯の部分のすべての領域で高いドリフト電界が発生するようにでき、大面積の受光部であっても、信号電荷としての光電子をフォークの歯の長手方向に沿って高速に補助ガイド領域63に向かって移動させることができる。

20

【0292】

そして、図39に示す他の実施形態に係る測長素子においては、図40(a)に示すように補助ガイド領域63の中央部に、補助ガイド領域63よりも高不純物密度のn型のガイド領域(主ガイド領域)64を設け、ガイド領域64に信号電荷として集まるようにしている。即ち、ガイド領域64は、補助ガイド領域63に集った光電子を電荷変調部の狭い転送路(転送チャネル)に導くための半導体領域となる。ガイド領域64の平面パターンにおける形状は図39に示すように、ガイド領域64の長手方向(図39の上下方向)に直交する方向に測った幅が、図39の紙面の上の方から下の方に行くに従い末広がりになるような多段の段差(ステップ)形状をなしている。

30

【0293】

図39に示す他の実施形態に係る測長素子でも、ガイド領域64の平面パターンを末広がり形状にしているため、空乏化したガイド領域64の部分のすべての領域で高いドリフト電界が発生する。したがって、信号電荷としての光電子をガイド領域64の長手方向に沿って高速に移動させることができる。

40

【0294】

図39に示すように不純物密度の異なるn型の半導体領域を3段にすると、画素サイズが10 $\mu$ m角以上等の非常に大きなフォトダイオードでも、すべての領域で電位傾斜が大きくなり、電界を大きくすることができ、高速化できる。即ち、図39の平面図及び図40(b)に示した電位分布図から分かるように、発生したキャリアの移動先となる表面埋込領域62の電位分布の一番底になるところを補助ガイド領域(2次ガイド領域)63によって設定し、この補助ガイド領域63にガイド領域(主ガイド領域)64の細い先端部が接触するような構造にしているため、すべての領域で電位傾斜が大きくなり、電界を大きくすることができ、測長素子の高速動作を実現できる。図40(b)に示すように、補助ガイド領域63の箇所が図5(b)に示した電位分布よりも、更に深いプロファイルと

50

なる電位分布となっている。

【0295】

補助ガイド領域63は、例えば、表面埋込領域62を形成するイオン注入をした領域の一部に、図39に示した平面パターンに従って、2重のイオン注入をすることにより、表面埋込領域62よりも高不純物密度の半導体領域として形成できる。そして、ガイド領域64は、表面埋込領域62を形成するイオン注入をした領域の一部に、図39に示した平面パターンに従って、3重のイオン注入をすることにより、補助ガイド領域63よりも高不純物密度の半導体領域として形成できる。

【0296】

なお、図39ではガイド領域を2段として、表面埋込領域62を含めると不純物密度の異なるn型の半導体領域を3段にした例を示したが、不純物密度の異なるn型の半導体領域を3次ガイド領域、4次ガイド領域、...として、3段以上の多段のガイド領域を構成すれば、更に画素サイズが大きなフォトダイオードでも、すべての領域で電位傾斜が大きくなり高速化できる。又、第2～第7の実施形態で説明した測長素子の構造に対しても、n型の半導体領域を3段以上の多段で構成すれば、画素サイズが大きなフォトダイオードでも、すべての領域で電位傾斜が大きくなり高速化できるという有利な効果を奏することが可能である。

【0297】

その際、第5の実施形態の表面埋込領域25r及び第6の実施形態の表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)の平面パターンのように3裂葉形状の受光端部を有する場合は、補助ガイド領域(2次ガイド領域)の形状を、受光端部よりも小さな3裂葉形状にして、4つの開口部のそれぞれに1個ずつ配置してもよい。

【0298】

例えば、第5の実施形態の場合の平面パターンは、図25に示した4つの開口部の下方のそれぞれに3裂葉形状をなす一方の端部を配置し、他方の端部が遮光板51で遮光された電荷変調部配置領域の方向に向かうn型で表面埋込領域25rよりも高不純物密度の4つの補助ガイド領域を配置するようである。即ち、4つの補助ガイド領域と、この4つの補助ガイド領域にそれぞれの分岐端部の先端部分が到達し、他方の端部が電荷変調部配置領域に配置されたn型で補助ガイド領域よりも高不純物密度で、第1電荷蓄積領域24h, 第2電荷蓄積領域24i及び第3電荷蓄積領域24lよりも低不純物密度の主ガイド領域とによって、図25に示したガイド領域26gが2段に構成されるようになる。

【0299】

第6の実施形態の場合は、例えば、図26に示した4つの開口部の下方のそれぞれに3裂葉形状をなす一方の端部が配置され、他方の端部が遮光板51で遮光された電荷変調部配置領域の方向に向かうトポロジーとなるn型で表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)よりも高不純物密度の4つの補助ガイド領域を配置するようである。この場合は、4つの補助ガイド領域と、電荷変調部配置領域の位置から4つの補助ガイド領域の下方に放射状(X字型)に4つの分岐端部のそれぞれの先端部分が向かうトポロジーとなるn型で補助ガイド領域よりも高不純物密度で、第1電荷蓄積領域24r, 第2電荷蓄積領域24o, 第3電荷蓄積領域24pよりも低不純物密度の主ガイド領域とで、図26のガイド領域26hが2段に構成されることになる。

【0300】

更に、図41(a)に示すように、補助ガイド領域(2次ガイド領域)63の直下にp型の第1のブロック領域65を選択的に設け、ガイド領域64の直下にp型で第1のブロック領域65よりも高不純物密度の第2のブロック領域66を選択的に設ければ、電荷変調されないで取り込まれる成分を減らすことができる。図41(a)では、第1のブロック領域65は表面埋込領域62の下部の一部に重複するように形成されている。又、第2のブロック領域66は、第1のブロック領域65の上部の一部に下部が重複するように形成され、第2のブロック領域66の上部は、表面埋込領域62の下部及び補助ガイド領域63の下部の一部に食い込むような態様で形成されている。

10

20

30

40

50

## 【0301】

図41(a)に示すように、第1のブロック領域65及び第2のブロック領域66を設けた場合でも、図41(b)に示した電位分布図から分かるように、発生したキャリアの移動先となる表面埋込領域62の電位分布の一番底になるところを補助ガイド領域63が設定し、補助ガイド領域63にガイド領域64の細い先端部が接触するような構造にできるので、すべての領域で電位傾斜が大きくなり、測長素子の高速動作を実現できる。又、第1のブロック領域65及び第2のブロック領域66は、イオン注入の2重打ち込みで形成できる。

## 【0302】

又、第2～第7の実施形態で説明した測長素子の構造に対しても、n型の半導体領域を3段以上の多段で構成し、補助ガイド領域(2次ガイド領域)及びガイド領域(主ガイド領域)の直下にそれぞれブロック領域を形成すれば、電荷変調されないで取り込まれる成分を減らすことができるという有利な効果と共に、画素サイズが大きなフォトダイオードでも、すべての領域で電位傾斜が大きくなり高速化できる。

10

## 【0303】

更に、例えば、第1の実施形態に係る測長素子では、フォーク型の平面形状をなす表面埋込領域25において、フォークの歯のそれぞれが図1に示したように紙面の上の方から下の方に行くに従い末広がりになるような多段の段差(ステップ)形状を例示的に示した。しかしながら段差を無限小に小さくして、段数を無限大にすれば、図42に示すように、直線状に末広がりになる形状を得ることができる。

20

## 【0304】

現実には、フォトリソグラフィ技術におけるマスクレベルの形状が図1に示したような多段の段差形状であっても、露光技術等の製造プロセスの制限から、多段の段差形状がなだらかになり、図42に示すような形状になる場合もある。図42に示すような直線状に末広がりになる形状であっても、空乏化したフォークの歯の部分のすべての領域で高いドリフト電界が発生するようにできる。したがって、図42に示すような直線状の末広がり形状の場合においても、信号電荷としての光電子をフォークの歯の長手方向に沿って高速に移動させることができる。

## 【0305】

第1の実施形態に係る測長素子のガイド領域26aに関しても、図1に示したような形状ではなく図42に示すような形状でも、空乏化したガイド領域26aの部分のすべての領域で高いドリフト電界が発生するようにできる。したがって、図42に示すようなガイド領域26aの平面形状でも信号電荷としての光電子をガイド領域26aの長手方向に沿って高速に移動させることができる。

30

## 【0306】

又、第2の実施形態で説明した横方向電界制御効果を用いる構造を第3～第7の実施形態に係る測長素子に適用することにより、第3～第7の実施形態に係る測長素子で説明した「転送ゲート方式」よりも高速に電荷転送が行えることも、上記の説明と本発明の趣旨から、容易に理解できるであろう。

## 【0307】

又、第1の実施形態に係る測長素子では、図1に示すように、表面埋込領域25がなす幹経路の受光部側の位置において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に設け、この新たな凸部の先端に、n型で表面埋込領域25よりも高不純物密度の第1排出ドレイン領域24a及び第2排出ドレイン領域24eが接続されている場合を例示した。しかしながら、図43及び図44に示すように、表面埋込領域25がなす幹経路の受光部側の位置において、幹経路の長手方向に直交する方向に突出する新たな凸部を設けていない構造であってもよい。即ち、表面埋込領域25が、第1排出ドレイン領域24a及び第2排出ドレイン領域24eから離間して設けられていてもよい。

40

## 【0308】

又、第7の実施形態に係る測長素子では、図28に示すように、表面埋込領域25が、

50

紙面の上の方から下の方に行くに従い末広がりに広がるような多段の段差（ステップ）形状である逆U字型の平面形状を例示的に示した。しかしながら段差を無限小に小さくして、段数を無限大にすれば、図45に示すように、直線状に末広がりになる台形状の表面埋込領域62や、図示を省略するが曲線状に末広がりになる放物線に近い逆U字型の形状の表面埋込領域を得ることができる。また、現実には、フォトリソグラフィ技術におけるマスクレベルの形状が図28に示したような多段の段差形状であっても、露光技術等の製造プロセスの制限から、多段の段差形状がなだらかになり、図45に示すような台形状の形状になる場合もある。図45に示すように直線状に末広がりになる形状であっても、信号電荷としての光電子を高速に移動させることができる。表面埋込領域62の先端が図45の更に上方まで伸びる場合には、表面埋込領域62の外形が、逆V字型（二等辺三角形）に近似できる包絡線形状を有していてもよい。

10

## 【0309】

即ち、表面埋込領域63の外形又はその外形の包絡線の形状は、受光部の位置において、平面パターン上、ガイド領域（64, 65）の補助ガイド領域63の周囲を囲むように台形、放物曲線、逆U字型、若しくは逆V字型をなすように、信号電荷の輸送方向に垂直方向に測った幅が次第に広がっていけばよい。また、例えば図45に示したガイド領域（64, 65）の補助ガイド領域63が無く、主ガイド領域64のみが設けられていてもよい。

## 【0310】

更に、本発明の測長素子内のフォトダイオードを構成する半導体材料はシリコン（Si）に限定されるものではない。III-V族間化合物半導体やII-VI族間化合物半導体等の種々の化合物半導体を用いた測長素子や固体撮像装置においても、第1～第7の実施形態で例示的に説明した測長素子や固体撮像装置の構造やその技術的思想は適用可能である。

20

## 【0311】

このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

## 【符号の説明】

## 【0312】

21, 61...半導体基板  
 22...画素形成層  
 23...ウェル領域  
 24a, 24aa, 24ba, 24g...第1排出ドレイン領域  
 24be, 24ae, 24e, 24f...第2排出ドレイン領域  
 24j...第3排出ドレイン領域  
 24k...第4排出ドレイン領域  
 24, 24ab, 24b, 24bb, 24h...第1電荷蓄積領域  
 24ad, 24bd, 24i, 24d...第2電荷蓄積領域  
 24ac, 24bc, 24l, 24c...第3電荷蓄積領域  
 25, 25p, 25q, 62...表面埋込領域  
 25a...第1の表面埋込領域  
 25b...第2の表面埋込領域  
 25p, 25q, 25r, 25s...マイクロレンズ  
 26a, 26b, 26f, 64...ガイド領域（主ガイド領域）  
 26d...第1ガイド領域  
 26e...第2ガイド領域  
 27...ピニング層  
 31...絶縁膜  
 32, 32a, 32b, 32c...フィールド絶縁膜の端部  
 41a, 41aa, 41ba, 41m...第1排出ゲート電極

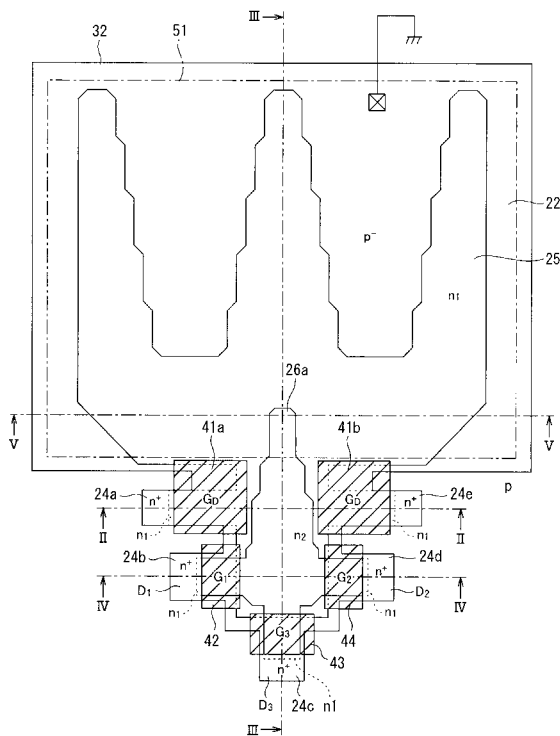
30

40

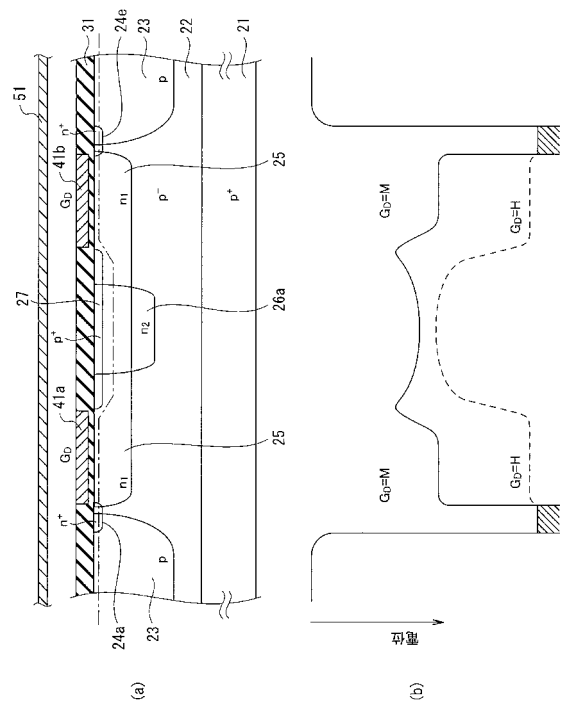
50

- 4 1 a b , 4 1 b , 4 1 b b , 4 1 l ... 第 2 排 出 ゲ ー ト 電 極
- 4 1 n ... 第 3 排 出 ゲ ー ト 電 極
- 4 1 o ... 第 4 排 出 ゲ ー ト 電 極
- 4 2 a , 4 2 , 4 2 b , 4 2 h ... 第 1 転 送 ゲ ー ト 電 極
- 4 4 a , 4 4 , 4 4 b , 4 4 h ... 第 2 転 送 ゲ ー ト 電 極
- 4 3 a , 4 3 , 4 3 b , 4 3 h ... 第 3 転 送 ゲ ー ト 電 極
- 4 2 p ... 第 1 電 界 制 御 電 極
- 4 4 p ... 第 2 電 界 制 御 電 極
- 4 3 p ... 第 3 電 界 制 御 電 極
- 5 1 ... 遮 光 板
- 6 5 ... 第 1 の ブ ロ ッ ク 領 域
- 6 6 ... 第 2 の ブ ロ ッ ク 領 域

【 図 1 】



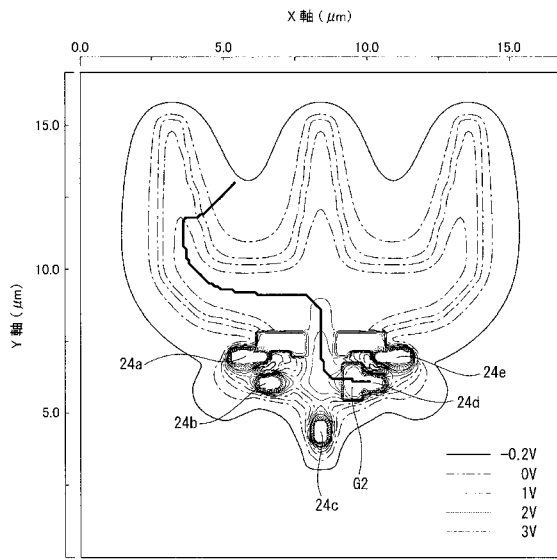
【 図 2 】



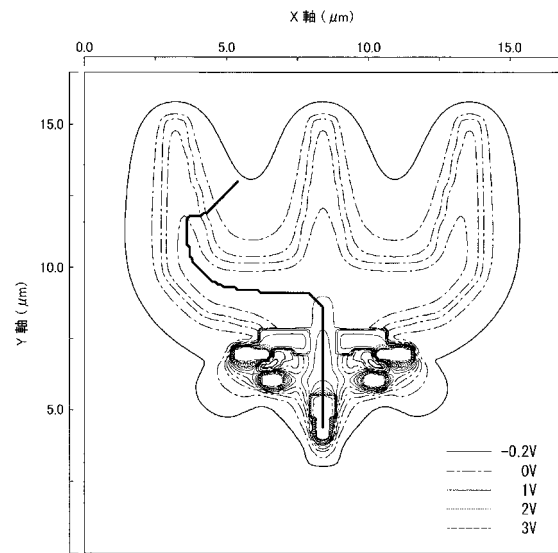




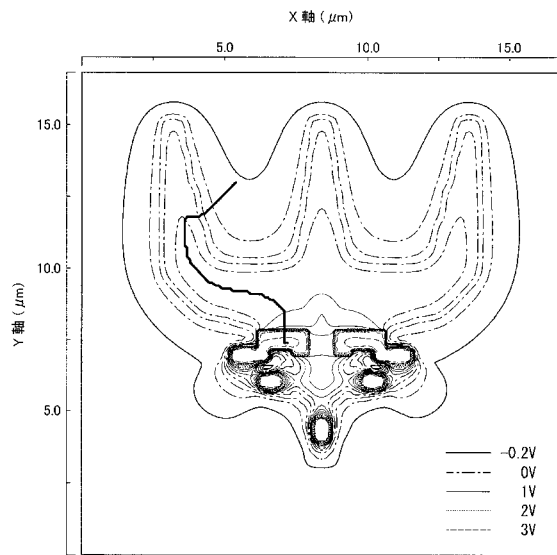
【 図 7 】



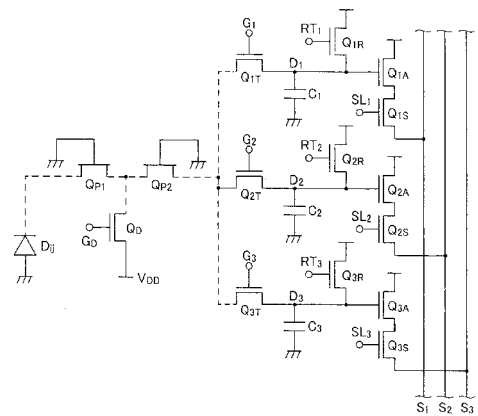
【 図 8 】



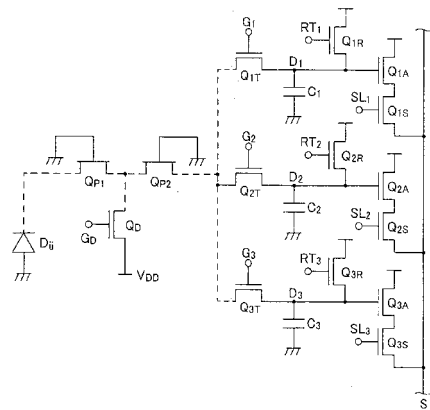
【 図 9 】



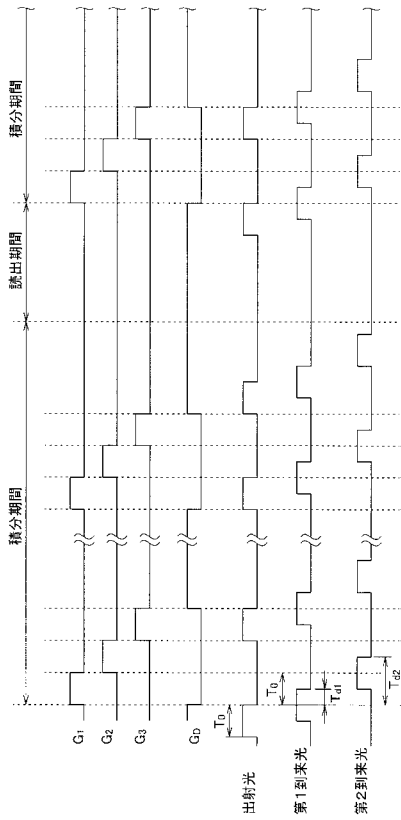
【 図 10 】



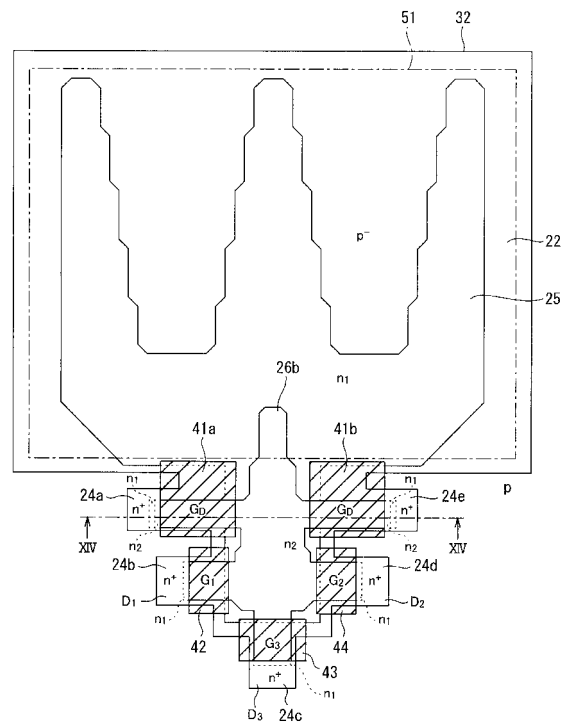
【 図 11 】



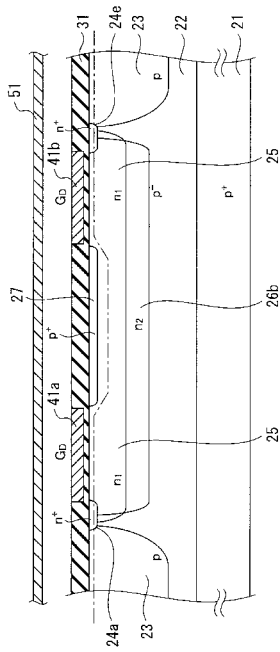
【 図 1 2 】



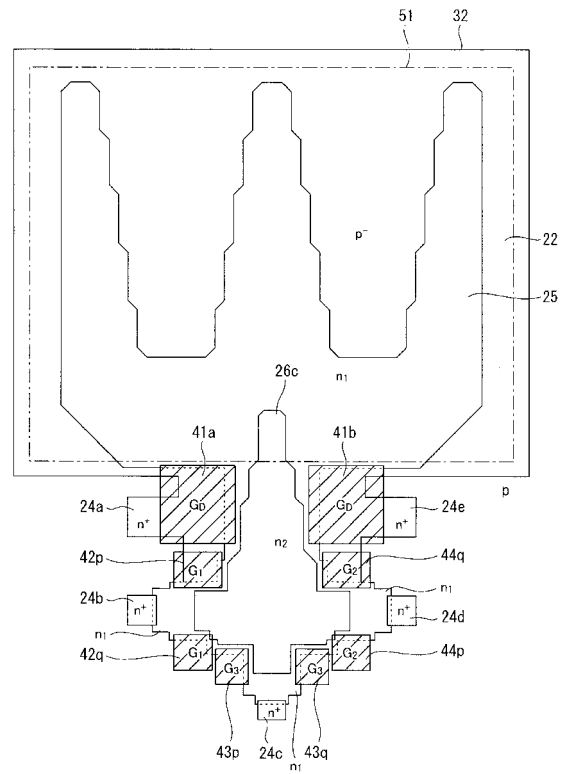
【 図 1 3 】



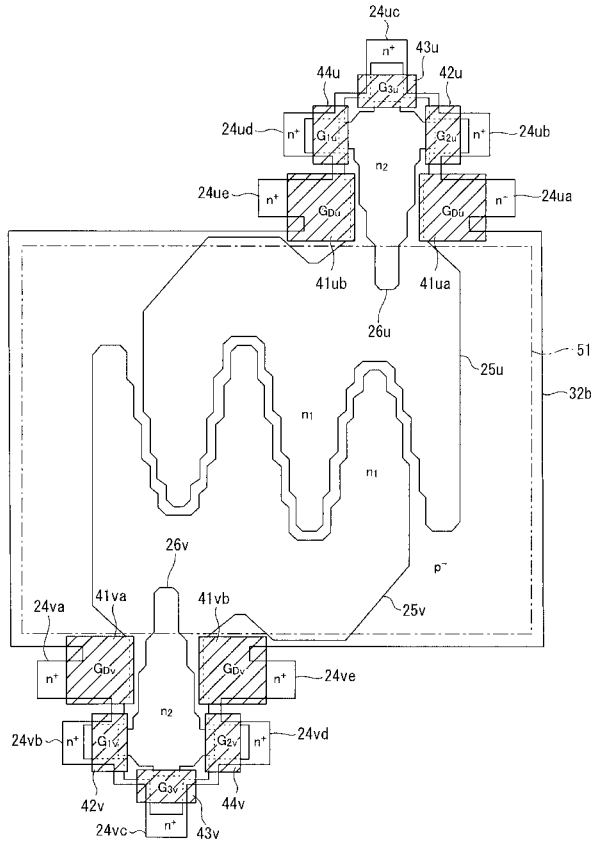
【 図 1 4 】



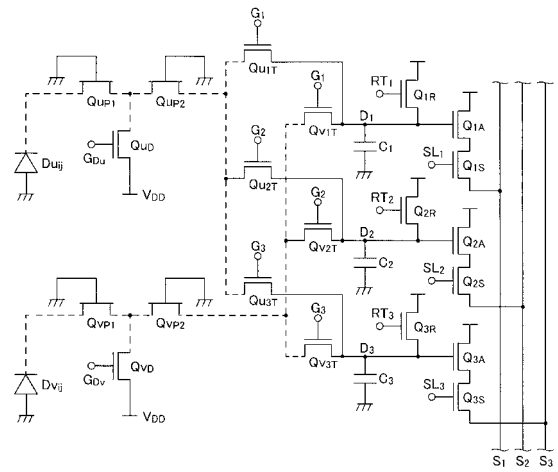
【 図 1 5 】



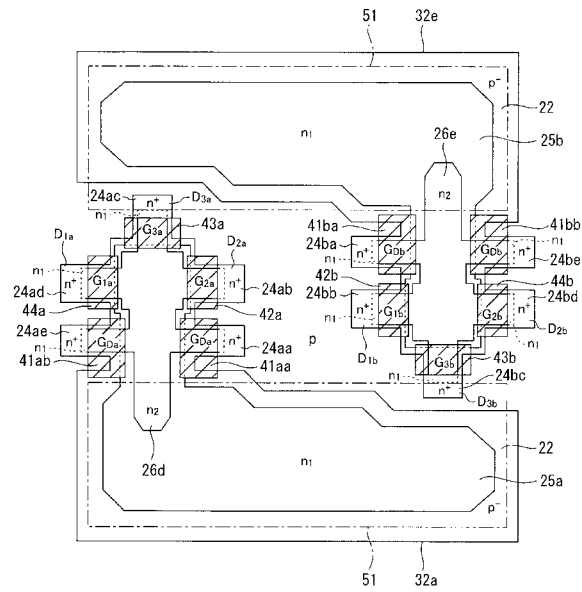
【 図 1 6 】



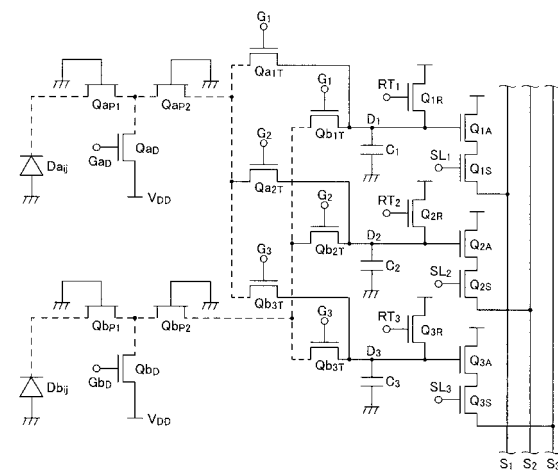
【 図 1 7 】



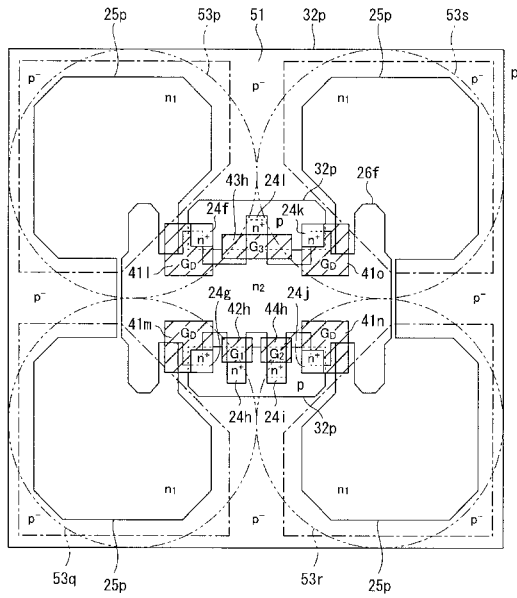
【 図 1 8 】



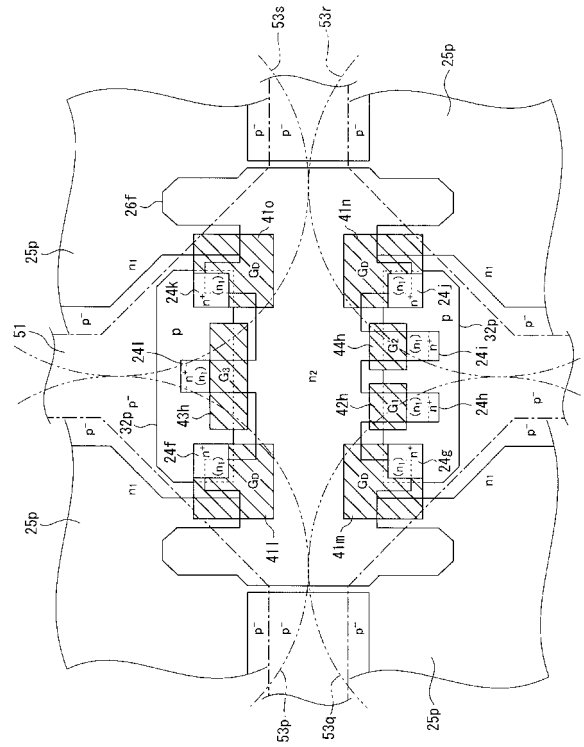
【 図 1 9 】



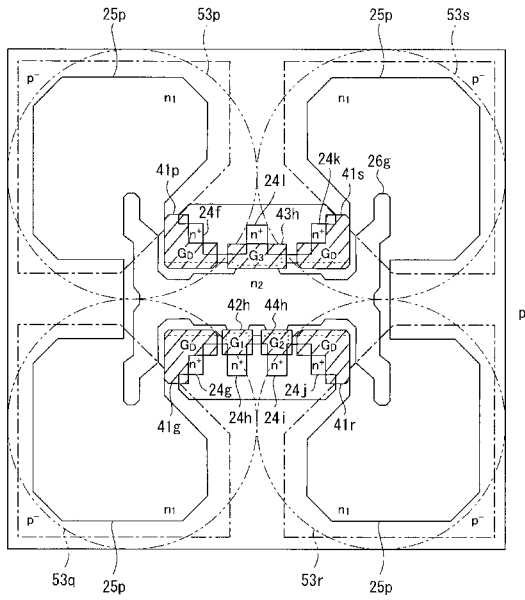
【 図 2 0 】



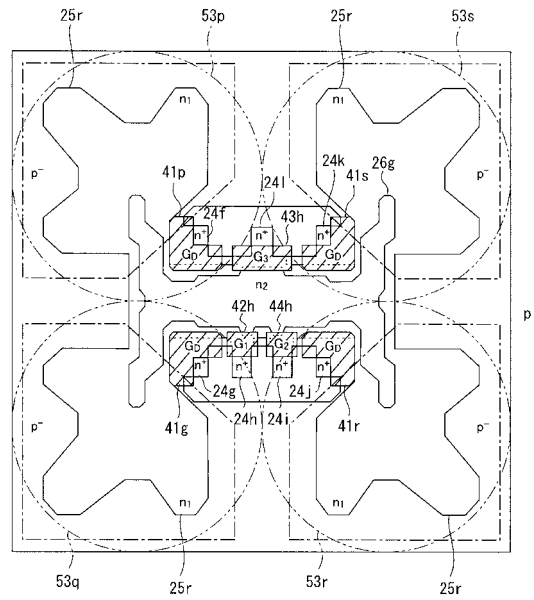
【 図 2 1 】



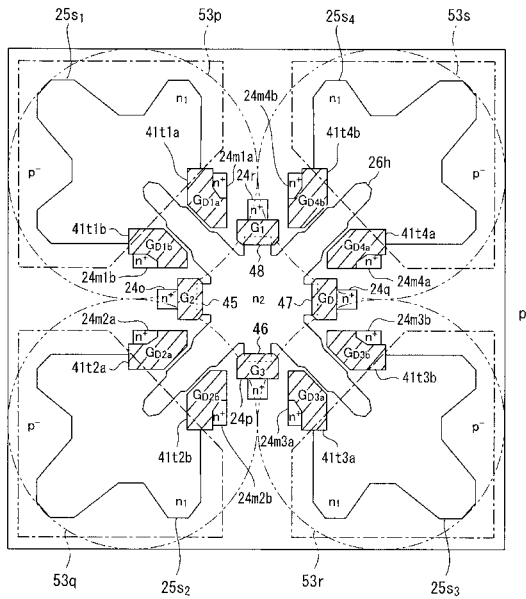
【 図 2 4 】



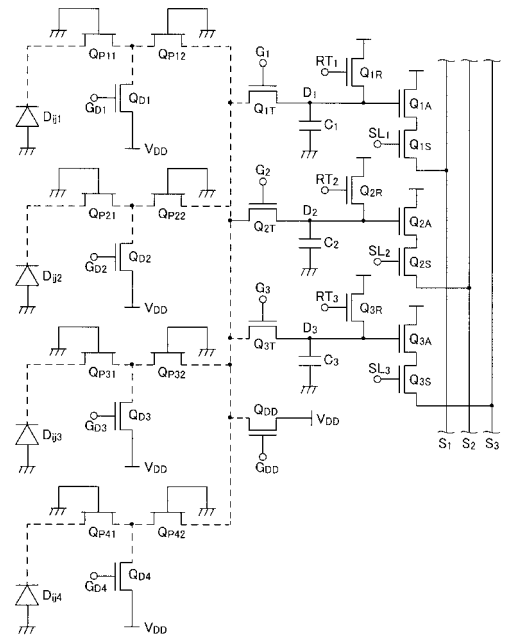
【 図 2 5 】



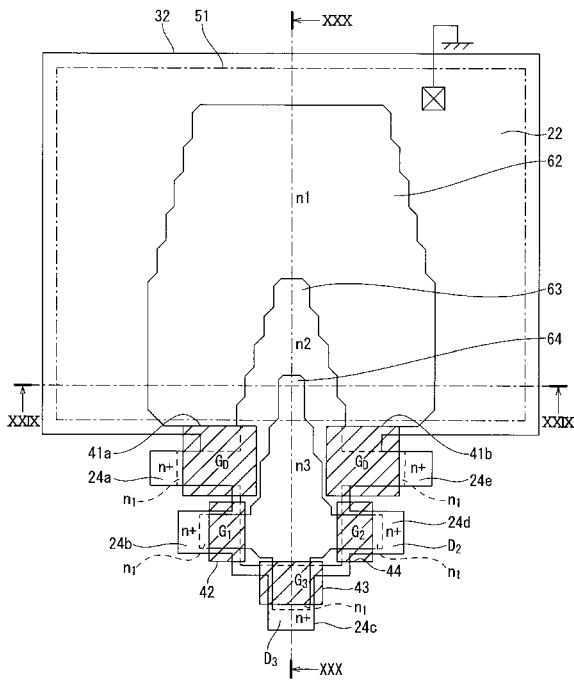
【 図 2 6 】



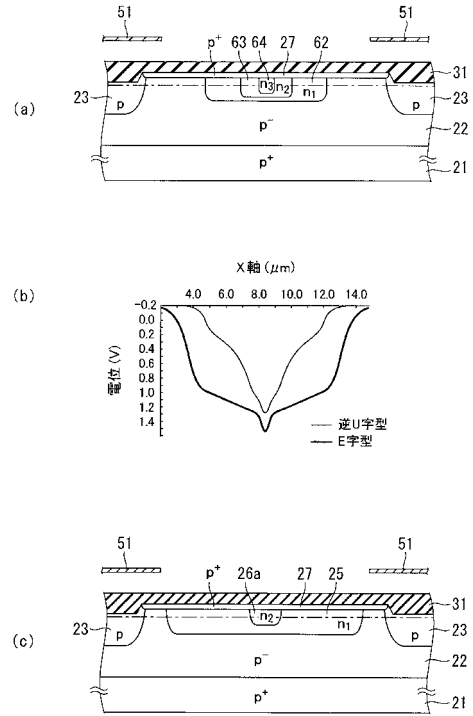
【 図 2 7 】



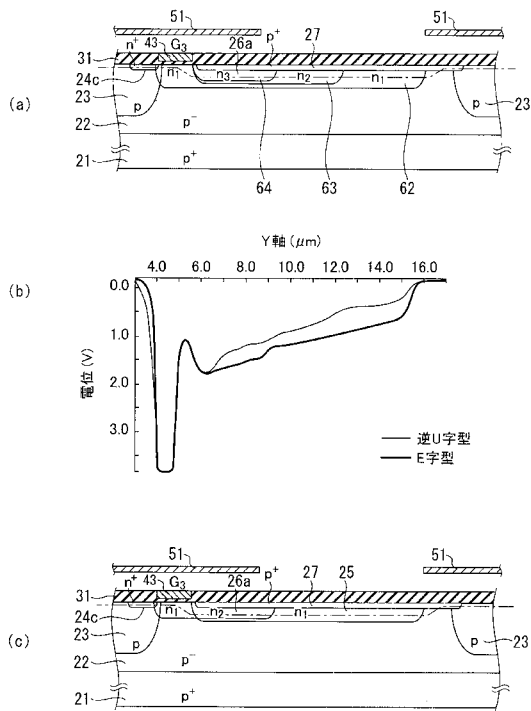
【 图 2 8 】



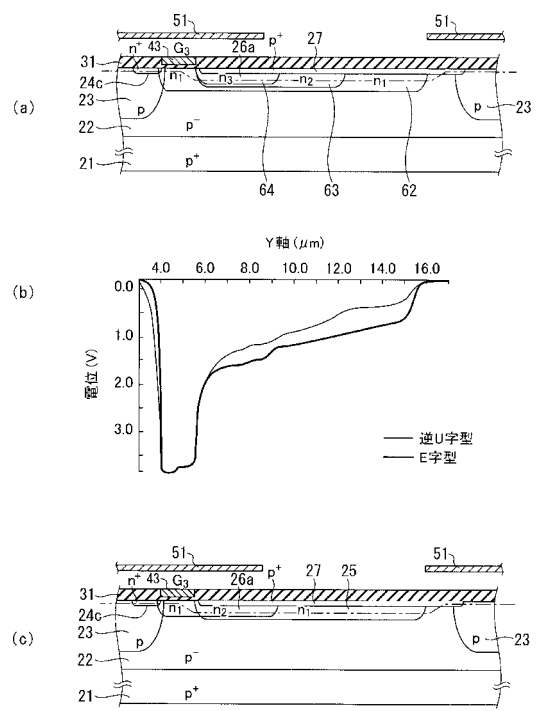
【 图 2 9 】



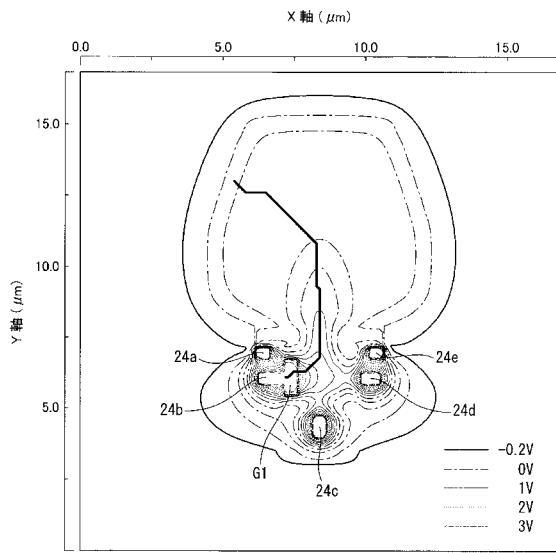
【 图 3 0 】



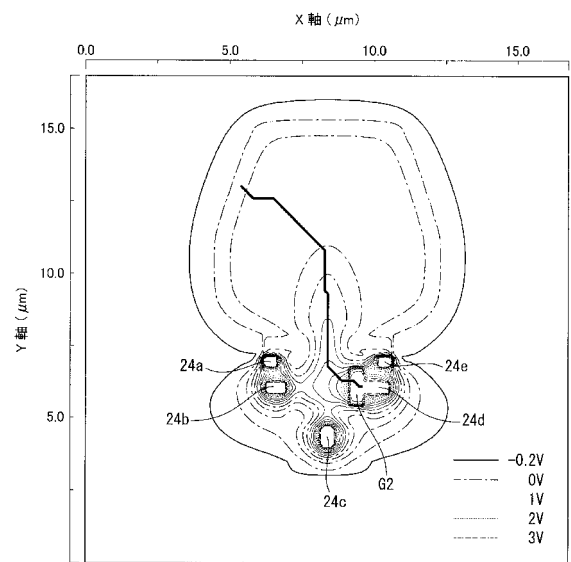
【 图 3 1 】



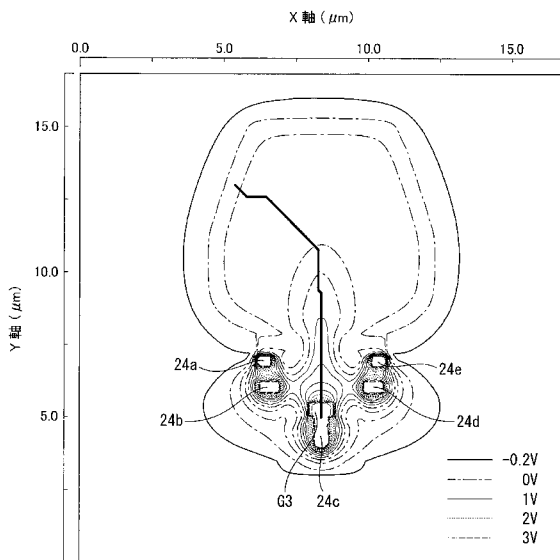
【 図 3 2 】



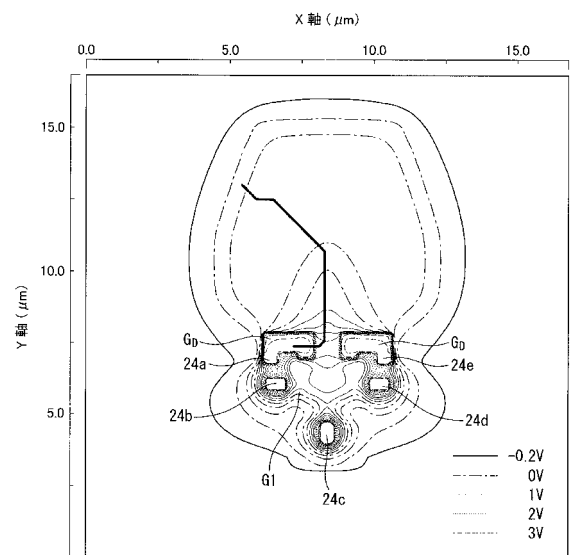
【 図 3 3 】



【 図 3 4 】

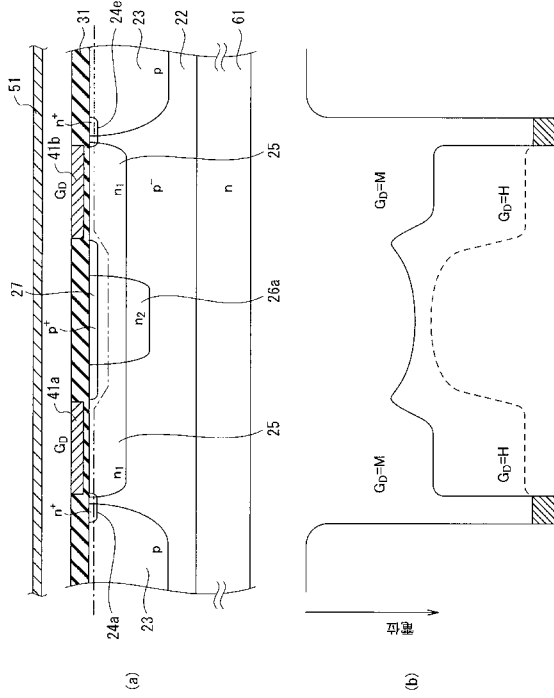


【 図 3 5 】

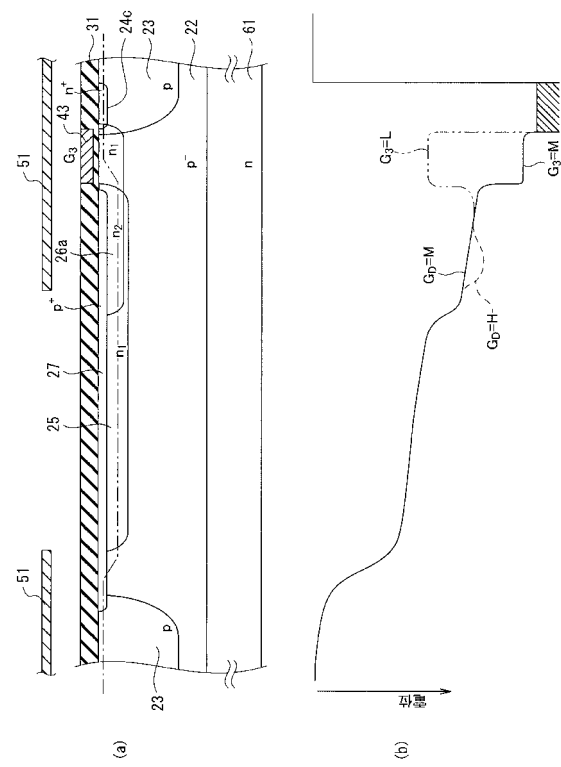




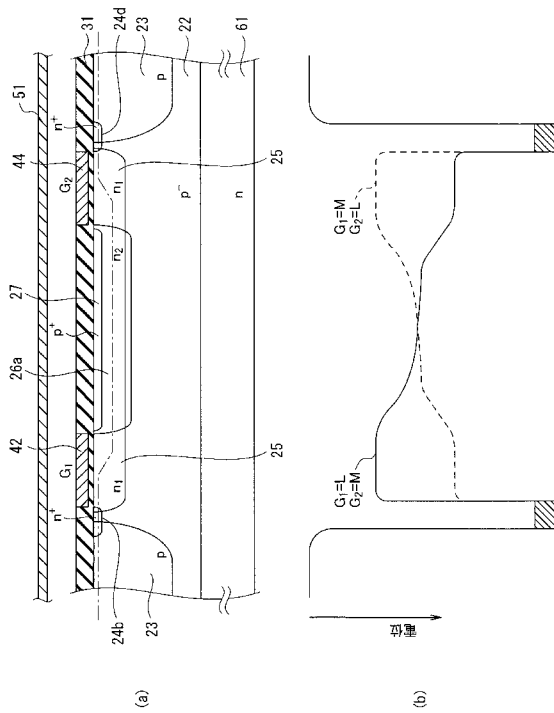
【 36 】



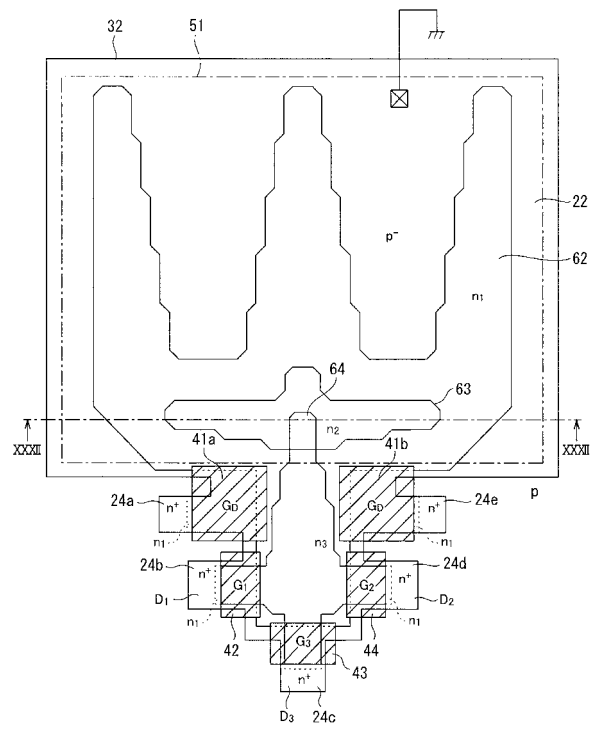
【 37 】



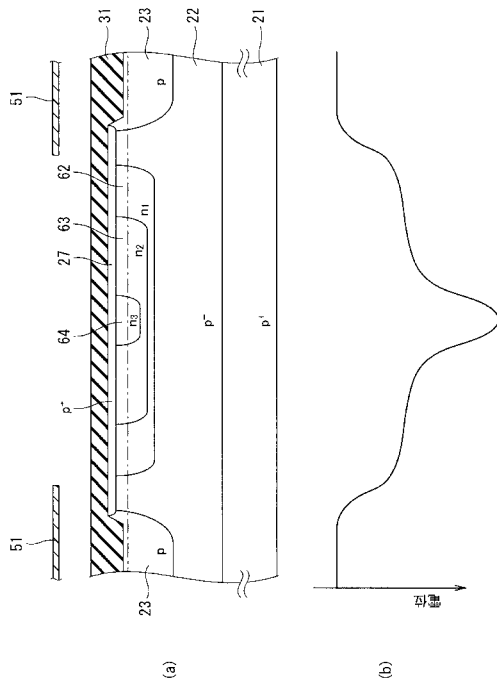
【 38 】



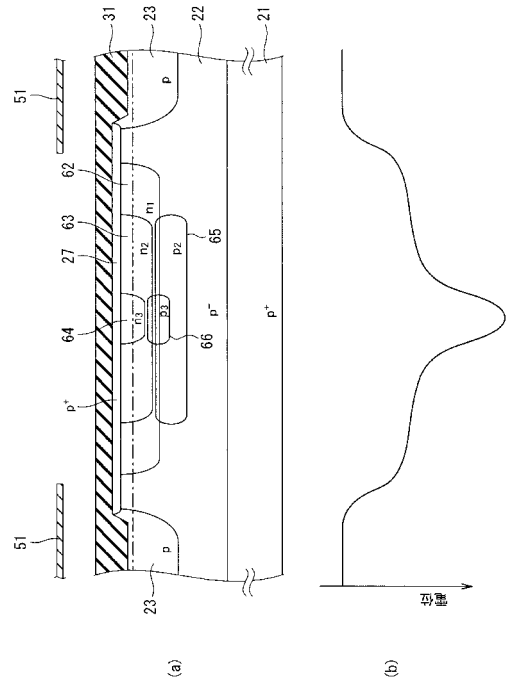
【 39 】



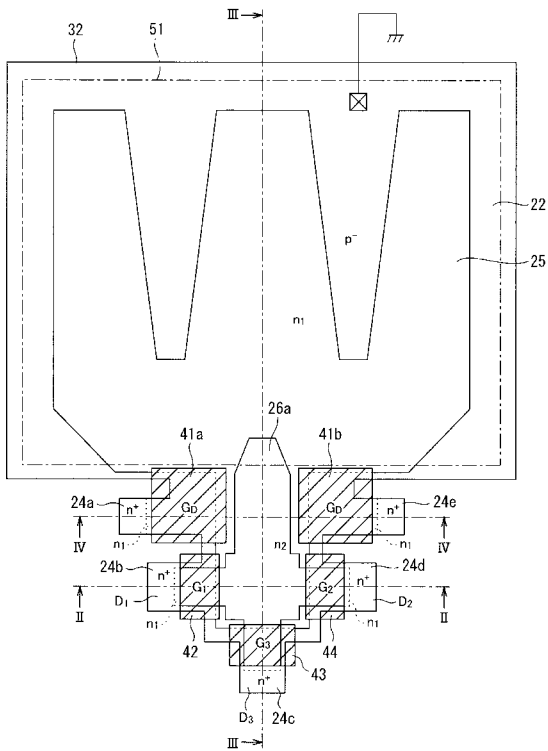
【 図 4 0 】



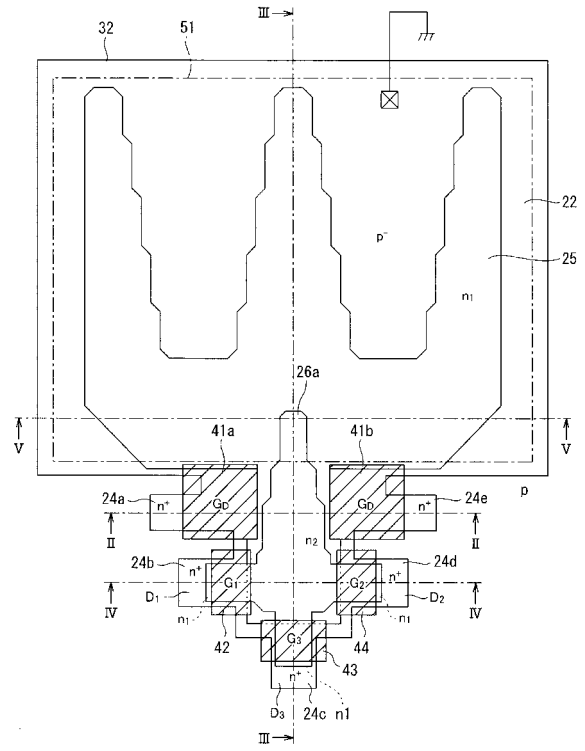
【 図 4 1 】



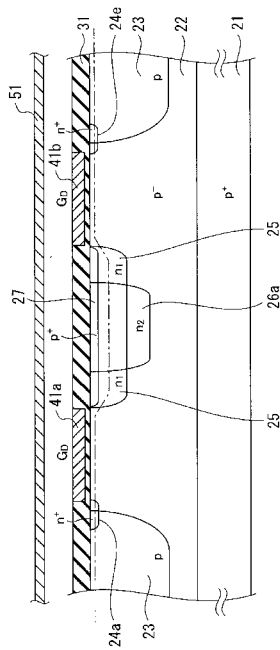
【 図 4 2 】



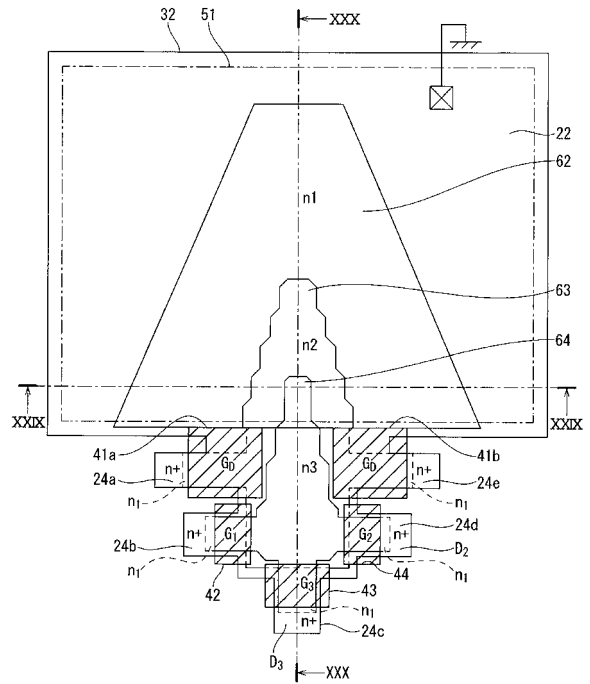
【 図 4 3 】



【 図 4 4 】



【 図 4 5 】



【 手続補正書 】

【 提出日 】平成28年9月21日(2016.9.21)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

第 1 導電型の半導体からなる画素形成層と、

開口部を有し、該開口部の下方の前記画素形成層に受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記受光部において、前記画素形成層との接合構造でフォトダイオードを構成するように、前記画素形成層の上部に選択的に配置され、更に、前記受光部の位置から前記遮光板で遮光された複数の位置まで到達するように、前記画素形成層の上部を延在して分岐形状に 3 つ以上である複数の凸部を構成する、第 2 導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第 2 導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記開口部の下方の一部に一方の端部が配置され、複数の分岐した他方の端部が前記転送制御機構の少なくとも一部まで到達し、平面パターン上、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広がるように、前記表面埋込領域の上部の一部に配置された、第 2 導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備えることを特徴とする測長素子。

【請求項 2】

前記ガイド領域が、

前記開口部の下方の一部に一方の端部が配置され、他方の端部が前記転送制御機構に向かう、第 2 導電型で前記表面埋込領域よりも高不純物密度の補助ガイド領域と、

前記補助ガイド領域に一方の端部が配置され、複数に分岐した他方の端部が前記転送制御機構の少なくとも一部まで到達する、第 2 導電型で前記補助ガイド領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度の主ガイド領域と、

を備えることを特徴とする請求項 1 に記載の測長素子。

【請求項 3】

前記ガイド領域の直下となる前記画素形成層の上部に、第 1 導電型で前記画素形成層よりも高不純物密度のブロック領域を備えることを特徴とする請求項 1 又は 2 に記載の測長素子。

【請求項 4】

前記表面埋込領域の前記受光部の位置から前記分岐形状の位置に至るまでの幹経路の途中に、該幹経路の長手方向に直交する方向に突出する新たな凸部を更に設け、

該新たな凸部の先端に、第 2 導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の測長素子。

【請求項 5】

前記表面埋込領域の外形又は該外形の包絡線の形状が、前記受光部の位置において、平面パターン上、前記ガイド領域の周囲を囲むように台形、放物曲線、逆 U 字型、若しくは逆 V 字型をなすように、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広くなることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の測長素子。

【請求項 6】

第 1 導電型の半導体からなる画素形成層と、

複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域の両端部から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第 2 導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第 2 導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、平面パターン上、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広くなるように、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方にそれぞれの分岐端部の先端部分が配置された、第 2 導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備えることを特徴とする測長素子。

【請求項 7】

前記ガイド領域が、

前記複数の開口部の下方のそれぞれに配置された、第 2 導電型で前記表面埋込領域よりも高不純物密度の補助ガイド領域と、

前記補助ガイド領域にそれぞれの分岐端部の先端部分が到達し、他方の端部が前記電荷変調部配置領域に配置された、第 2 導電型で前記補助ガイド領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度の主ガイド領域と、

を備えることを特徴とする請求項 6 に記載の測長素子。

【請求項 8】

前記ガイド領域の直下となる前記画素形成層の上部に、第 1 導電型で前記画素形成層よりも高不純物密度のブロック領域を備えることを特徴とする請求項 6 又は 7 に記載の測長素子。

【請求項 9】

前記表面埋込領域の前記両端部側に前記電荷変調部配置領域の長手方向に直交する方向に突出する新たな凸部を更にそれぞれ設け、

該新たな凸部の先端のそれぞれに、第 2 導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項 6 ~ 8 のいずれか 1 項に記載の測長素子。

【請求項 10】

第 1 導電型の半導体からなる画素形成層と、

前記画素形成層によって定義される画素領域の周辺に複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された前記画素領域の中央の位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって放射状に突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第 2 導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第 2 導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、平面パターン上、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広くなるように、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方に放射状にそれぞれの分岐端部の先端部分が向かった、第 2 導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備えることを特徴とする測長素子。

【請求項 11】

前記ガイド領域が、

前記複数の開口部の下方のそれぞれに配置された第 2 導電型で前記表面埋込領域よりも高不純物密度の補助ガイド領域と、

前記補助ガイド領域の数に対応した数の分岐端部を有し、前記電荷変調部配置領域の位置から前記複数の補助ガイド領域の下方に放射状にそれぞれの分岐端部の先端部分が向かった、第 2 導電型で前記補助ガイド領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度の主ガイド領域と、

を備えることを特徴とする請求項 10 に記載の測長素子。

【請求項 12】

前記ガイド領域の直下となる前記画素形成層の上部に、第 1 導電型で前記画素形成層よりも高不純物密度のブロック領域を備えることを特徴とする請求項 10 又は 11 に記載の測長素子。

【請求項 13】

前記表面埋込領域の前記放射状に突出した箇所の前記受光端部に近い側に、前記放射状方向に直交する方向に突出する新たな凸部を更にそれぞれ設け、

該新たな凸部の先端のそれぞれに、第 2 導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項 10 ~ 12 のいずれか 1 項に記載

の測長素子。

【請求項 14】

前記排出ドレイン領域に隣接して配置され、前記新たな凸部を経由した前記排出ドレイン領域への電荷の排出を制御する排出制御機構を更に備えることを特徴とする請求項 5、9 又は 13 に記載の測長素子。

【請求項 15】

前記複数の転送制御機構のそれぞれが、  
前記複数の凸部のそれぞれの上に設けられたゲート絶縁膜と、  
該ゲート絶縁膜の上にそれぞれ設けられた転送ゲート電極と、  
を備え、該転送ゲート電極に印加されるそれぞれの電圧によって、前記複数の凸部のそれぞれに定義される転送路の電位を制御し、前記信号電荷の前記複数の電荷蓄積領域への移動をそれぞれ制御することを特徴とする請求項 1 ~ 14 のいずれか 1 項に記載の測長素子。

【請求項 16】

前記複数の転送制御機構のそれぞれが、  
前記信号電荷の転送方向と直交する方向に沿って、平面パターン上、前記複数の凸部のそれぞれを挟むように前記画素形成層上に絶縁膜を介して配列された一对の電界制御電極と、  
を備え、それぞれの電界制御電極に互いに異なる電界制御電圧を印加し、前記複数の凸部の空乏化電位を変化させることにより、前記複数の凸部中を転送される前記信号電荷の移動を制御することを特徴とする請求項 1 ~ 15 のいずれか 1 項に記載の測長素子。

【請求項 17】

第 1 導電型の半導体からなる画素形成層と、  
開口部を有し、該開口部の下方の前記画素形成層に受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、  
前記受光部において、前記画素形成層との接合構造でフォトダイオードを構成するように、前記画素形成層の上部に選択的に配置され、更に、前記受光部の位置から前記遮光板で遮光された複数の位置まで到達するように、前記画素形成層の上部を延在して分岐形状に 3 つ以上である複数の凸部を構成する、第 2 導電型の表面埋込領域と、  
前記複数の凸部の先端部にそれぞれ接続され、第 2 導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、  
前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、  
前記開口部の下方の一部に一方の端部が配置され、複数の分岐した他方の端部が前記転送制御機構の少なくとも一部まで到達し、平面パターン上、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広くなるように、前記表面埋込領域の上部の一部に配置された、第 2 導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、  
を備える画素を複数個半導体チップ上に配列したことを特徴とする固体撮像装置。

【請求項 18】

前記画素のそれぞれにおいて、前記表面埋込領域の前記受光部の位置から前記分岐形状の位置に至るまでの幹経路の途中に、該幹経路の長手方向に直交する方向に突出する新たな凸部を更に設け、  
該新たな凸部の先端に、第 2 導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項 17 に記載の固体撮像装置。

【請求項 19】

前記画素のそれぞれにおいて、前記表面埋込領域の外形又は該外形の包絡線の形状が、前記受光部の位置において、平面パターン上、前記ガイド領域の周囲を囲むように台形、放物曲線、逆 U 字型、若しくは逆 V 字型をなすように、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広くなることを特徴とする請求項 17 又は 18 に記載の固体撮像装

置。

【請求項 20】

第1導電型の半導体からなる画素形成層と、

複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域の両端部から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第2導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第2導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、平面パターン上、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広がるように、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方にそれぞれの分岐端部の先端部分が配置された、第2導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備える画素を複数個半導体チップ上に配列したことを特徴とする固体撮像装置。

【請求項 21】

前記画素のそれぞれにおいて、前記表面埋込領域の前記両端部側に前記電荷変調部配置領域の長手方向に直交する方向に突出する新たな凸部を更にそれぞれ設け、

該新たな凸部の先端のそれぞれに、第2導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項20に記載の固体撮像装置。

【請求項 22】

第1導電型の半導体からなる画素形成層と、

前記画素形成層によって定義される画素領域の周辺に複数の開口部を有し、該複数の開口部の下方の前記画素形成層にそれぞれ受光部の位置を定義するように、前記画素形成層の上方に配置された遮光板と、

前記遮光板で遮光された前記画素領域の中央の位置に複数の凸部を有する電荷変調部配置領域を配置し、該電荷変調部配置領域から前記複数の開口部の数に対応した数の受光端部を前記複数の開口部に向かって放射状に突出させ、それぞれの前記受光端部の占有領域が前記複数の開口部のそれぞれの面積がカバーできる大きさに設定され、前記受光部のそれぞれにおいて、前記画素形成層との接合構造でそれぞれフォトダイオードを構成するように、前記画素形成層の上部に埋め込まれた第2導電型の表面埋込領域と、

前記複数の凸部の先端部にそれぞれ接続され、第2導電型で前記表面埋込領域よりも高不純物密度の電荷蓄積領域と、

前記複数の凸部のそれぞれに、前記電荷蓄積領域に隣接して配置され、前記電荷蓄積領域への信号電荷の転送を制御する、複数の転送制御機構と、

前記複数の開口部の数に対応した数の分岐端部を有し、平面パターン上、前記信号電荷の輸送方向に垂直方向に測った幅が次第に広がるように、前記電荷変調部配置領域の上となる前記遮光板で遮光された位置から前記複数の開口部の下方に放射状にそれぞれの分岐端部の先端部分が向かった、第2導電型で前記表面埋込領域よりも高不純物密度で、前記電荷蓄積領域よりも低不純物密度のガイド領域と、

を備える画素を複数個半導体チップ上に配列したことを特徴とする固体撮像装置。

【請求項 23】

前記画素のそれぞれにおいて、前記表面埋込領域の前記放射状に突出した箇所の前記受光端部に近い側に、前記放射状方向に直交する方向に突出する新たな凸部を更にそれぞれ

設け、

該新たな凸部の先端のそれぞれに、第2導電型で前記表面埋込領域よりも高不純物密度の排出ドレイン領域を接続したことを特徴とする請求項22に記載の固体撮像装置。

【請求項24】

前記画素のそれぞれにおいて、前記排出ドレイン領域に隣接して配置され、前記新たな凸部を経由した前記排出ドレイン領域への電荷の排出を制御する排出制御機構を更に備えることを特徴とする請求項18、21又は23に記載の固体撮像装置。

【請求項25】

前記画素のそれぞれにおいて、前記複数の転送制御機構のそれぞれが、前記複数の凸部のそれぞれの上に設けられたゲート絶縁膜と、該ゲート絶縁膜の上にそれぞれ設けられた転送ゲート電極と、を備え、該転送ゲート電極に印加されるそれぞれの電圧によって、前記複数の凸部のそれぞれに定義される転送路の電位を制御し、前記信号電荷の前記複数の電荷蓄積領域への移動をそれぞれ制御することを特徴とする請求項18～24のいずれか1項に記載の固体撮像装置。

【請求項26】

前記画素のそれぞれにおいて、前記複数の転送制御機構のそれぞれが、前記信号電荷の転送方向と直交する方向に沿って、平面パターン上、前記複数の凸部のそれぞれを挟むように前記画素形成層上に絶縁膜を介して配列された一対の電界制御電極と、

を備え、それぞれの電界制御電極に互いに異なる電界制御電圧を印加し、前記複数の凸部の空乏化電位を変化させることにより、前記複数の凸部中を転送される前記信号電荷の移動を制御することを特徴とする請求項18～25のいずれか1項に記載の固体撮像装置。

【手続補正書】

【提出日】平成29年9月28日(2017.9.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項14

【補正方法】変更

【補正の内容】

【請求項14】

前記排出ドレイン領域に隣接して配置され、前記新たな凸部を経由した前記排出ドレイン領域への電荷の排出を制御する排出制御機構を更に備えることを特徴とする請求項4、9又は13に記載の測長素子。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

次に、第1の実施形態に係る測長素子の第1排出ゲート電極41a及び第2排出ゲート電極41bに中間電位(M)よりも高い高電位(H)のゲート信号 $G_D$ を印加すると、図2(b)に示すようにII-II方向から見た断面方向に沿った電位分布において破線で示したように、両側の電位障壁がなくなる。即ち、第1排出ゲート電極41aに中間電位(M)よりも高い高電位(H)のゲート信号 $G_D$ を印加すると、平面内では図9に示したような等電位線で示される電位分布となり、幹経路部分に形成された静電誘導チャンネル部に達した電子は、図9に極太の実線で示した経路に沿って、第1排出ドレイン領域24a側に分岐して排出される。図9において、太い実線(図9では「-0.2V」と表記)は電位-0.2Vの等電位線を示し、1点鎖線(図9では「0V」と表記)は電位0V以上且つ



1 V未満(0 Vから0.25 V刻み)の等電位線を示し、細かい実線(図9では「1 V」と表記)は電位1 V以上且つ2 V未満(1 Vから0.25 V刻み)の等電位線を示し、細かい破線(図9では「2 V」と表記)は電位2 V以上且つ3 V未満(2 Vから0.25 V刻み)の等電位線を示し、長い破線(図9では「3 V」と表記)は電位3 V以上且つ4 V未満(3 Vから0.25 V刻み)の等電位線を示す。電位分布の図示を省略しているが、第2排出ゲート電極41bに高い高電位(H)のゲート信号 $G_D$ を印加すると、幹経路部分に形成された静電誘導チャネル部に達した電子は、第2排出ドレイン領域24eに分歧して排出される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

図1に示すように第1の実施形態に係る測長素子の電荷変調部には、3つの第1転送ゲート電極42, 第2転送ゲート電極44, 第3転送ゲート電極43が配置されている。第1転送ゲート電極42に中間電位(M)のゲート信号 $G_1$ を印加することによって図6に示すような電位分布が形成される。又、第2転送ゲート電極44に中間電位(M)のゲート信号 $G_2$ を印加することによって図7に示すような電位分布が形成され、第3転送ゲート電極43に中間電位(M)のゲート信号 $G_3$ を印加することによって図8に示すような電位分布が形成される。このように、3つの第1転送ゲート電極42, 第2転送ゲート電極44, 第3転送ゲート電極43のそれぞれに中間電位(M)のゲート信号を印加することによって、対応する3つの第1電荷蓄積領域24b, 第2電荷蓄積領域24d, 第3電荷蓄積領域24cのそれぞれに図6~図8に太い実線で示したような経路に沿って、信号電荷が高速転送され、光パルスに同期した光電荷検出を行う測長素子の基本動作がなされる。図6~図8において、太い実線(図6~図8では「-0.2 V」と表記)は電位-0.2 Vの等電位線を示し、1点鎖線(図6~図8では「0 V」と表記)は電位0 V以上且つ1 V未満(0 Vから0.25 V刻み)の等電位線を示し、細かい実線(図6~図8では「1 V」と表記)は電位1 V以上且つ2 V未満(1 Vから0.25 V刻み)の等電位線を示し、細かい破線(図6~図8では「2 V」と表記)は電位2 V以上且つ3 V未満(2 Vから0.25 V刻み)の等電位線を示し、長い破線(図6~図8では「3 V」と表記)は電位3 V以上且つ4 V未満(3 Vから0.25 V刻み)の等電位線を示す。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

そして、第1転送トランジスタ $Q_{1T}$ , 第2転送トランジスタ $Q_{2T}$ 及び第3転送トランジスタ $Q_{3T}$ のそれぞれの他方の端部は、ノード $D_1$ としての第1電荷蓄積領域24b, ノード $D_2$ としての第2電荷蓄積領域24d及びノード $D_3$ としての第3電荷蓄積領域24cに接続される回路構成となる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

絶縁膜31や第1のピニング層等の上層側の構造があるので、実際には見えないが、第1ガイド領域26uは、遮光板51を上から見た平面図において、遮光板51の開口部に

第1ガイド領域26uの第1のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

【0082】

第3の実施形態に係る測長素子においては、第1の表面埋込領域25uがなす第1の分岐構造の幹部分となる幹経路において、幹経路の長手方向に直交する方向に突出する新たな凸部を更に左右方向に設けている。左右方向に向かう新たな凸部のそれぞれの先端に、n型で第1の表面埋込領域25uよりも高不純物密度の上側第1排出ドレイン領域24ua及び上側第2排出ドレイン領域24ueが接続されている。そして、図16に示すように、第3の実施形態に係る測長素子は、上側第1排出ドレイン領域24uaに隣接して配置され、第1の表面埋込領域25uの右方向に延びる新たな凸部を経由して上側第1排出ドレイン領域24uaに向かう電荷の排出を制御する上側第1排出制御機構(31, 41ua)と、上側第2排出ドレイン領域24ueに隣接して配置され、第1の表面埋込領域25uの左方向に延びる新たな凸部を経由して上側第2排出ドレイン領域24ueに向かう電荷の排出を制御する上側第2排出制御機構(31, 41ub)を更に備える。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正の内容】

【0092】

絶縁膜31や第2のピニング層等の上層側の構造があるので、実際には見えないが、第2ガイド領域26vは、遮光板51を上から見た平面図において、遮光板51の開口部に第2ガイド領域26vの第2のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0096

【補正方法】変更

【補正の内容】

【0096】

即ち、図16に示すように、第3の実施形態に係る測長素子の下側に配置した第1のフォトダイオード部と、第1のフォトダイオード部の右側から立ち上がる第1の電荷変調部との間には、T字型に分岐する部分の手前側(下側)において、幹経路を両側から挟むように左右対称に配置された上側第1排出ゲート電極41ua及び上側第2排出ゲート電極41ubを配置しているので、上側第1排出ゲート電極41ua及び上側第2排出ゲート電極41ubによって、上側第1排出ドレイン領域24ua及び上側第2排出ドレイン領域24ueへの光電荷の排出と、上側第1転送制御機構(31, 42u)、上側第2転送制御機構(31, 44u)及び上側第3転送制御機構(31, 43u)を備えた第1の電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0097

【補正方法】変更

【補正の内容】

【0097】

同様に、上側に配置した第2のフォトダイオード部と第2のフォトダイオード部の左側から下側にぶら下がる第2の電荷変調部との間には、T字型に分岐する部分の手前側（上側）において、幹経路を両側から挟むように左右対称に配置された下側第1排出ゲート電極41va及び下側第2排出ゲート電極41vbを配置しているため、下側第1排出ゲート電極41va及び下側第2排出ゲート電極41vbによって、下側第1排出ドレイン領域24va及び下側第2排出ドレイン領域24veへの光電荷の排出と、下側第1転送制御機構（31, 42v）、下側第2転送制御機構（31, 44v）及び下側第3転送制御機構（31, 43v）を備えた第2の電荷変調部側への光電荷の輸送の切り替え制御を行うことができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正の内容】

【0110】

更に、第1及び第2の実施形態に係る測長素子と同様に、第3の実施形態に係る測長素子においても、受光部近傍側に位置する幹経路から第1及び第2の電荷変調部に至る静電誘導チャンネル部を十分な長さとし、第1及び第2の電荷変調部を遮光板51によって光シールドしているため、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0112

【補正方法】変更

【補正の内容】

【0112】

（第4の実施形態）

図18に主要部の概略を上面側から見た平面図を示すように、本発明の第4の実施形態に係る測長素子は、1画素に1点鎖線で示した2つの開口部（アパーチャ部）を有する遮光板51によって受光部の位置を定義したロックインピクセルである。図18において符号32a及び32eはフィールド絶縁膜の端部を意味する。即ち、フィールド絶縁膜の端部32a及び32eによって囲まれた領域がロックインピクセルの活性領域になるので、第4の実施形態に係る測長素子は、1画素に2つの活性領域が存在する。図示を省略しているが、図2(a)、図3(a)及び図4(a)に示した断面構造と同様に、フィールド絶縁膜の下にはp型のウェル領域23が形成されている。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0120

【補正方法】変更

【補正の内容】

【0120】

絶縁膜31や第1ピニング層等の上層側の構造があるので、実際には見えないが、第1ガイド領域26dは、遮光板51を上から見た平面図において、遮光板51の開口部に第1ガイド領域26dの第1のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0122

【補正方法】変更

【補正の内容】

## 【0122】

そして、図18に示すように、第4の実施形態に係る測長素子は、左側第1排出ドレイン領域24aaに隣接して配置され、第1の表面埋込領域25aの右方向に延びる新たな凸部を経由して左側第1排出ドレイン領域24aaに向かう電荷の排出を制御する左側第1排出制御機構(31, 41aa)と、左側第2排出ドレイン領域24aeに隣接して配置され、第1の表面埋込領域25aの左方向に延びる新たな凸部を経由して左側第2排出ドレイン領域24aeに向かう電荷の排出を制御する左側第2排出制御機構(31, 41ab)を更に備える。

## 【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0130

【補正方法】変更

【補正の内容】

## 【0130】

絶縁膜31や第2ピニング層等の上層側の構造があるので、実際には見えないが、第2ガイド領域26eは、遮光板51を上から見た平面図において、遮光板51の開口部に第2ガイド領域26eの第2のフォトダイオード側の端部が露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

## 【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0151

【補正方法】変更

【補正の内容】

## 【0151】

図20に2点鎖線で示すように、第1の開口部が定義する第1の受光部の上には第1のマイクロレンズ53pが配置され、第2の開口部が定義する第2の受光部の上には第2のマイクロレンズ53qが配置され、第3の開口部が定義する第3の受光部の上には第3のマイクロレンズ53rが配置され、第4の開口部が定義する第4の受光部の上には第4のマイクロレンズ53sが配置されている。4つの受光部のそれぞれに設けられる4つのフォトダイオードは、それぞれ独立したマイクロレンズ53p, 53q, 53r, 53sで集光された光を受ける。なお、マイクロレンズ53p, 53q, 53r, 53sは必ずしも必須ではなく、入力光(到来光)の強度が強い場合等は、マイクロレンズ53p, 53q, 53r, 53sを省略してもよい。

## 【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0166

【補正方法】変更

【補正の内容】

## 【0166】

絶縁膜31や第1ピニング層等の上層側の構造があるので、実際には見えないが、ガイド領域26fは、遮光板51を上から見た平面図において、遮光板51の4つの開口部のそれぞれに、略H字型のガイド領域26fの4つのフォトダイオード側の端部が、それぞれ露出する平面パターンであり、他の部分は遮光板51によって遮蔽されている。

## 【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0194

【補正方法】変更

【補正の内容】

## 【0194】

第1及び第2の受光端部の平面パターンが一体領域として形成され、第3及び第4の受

光端部の平面パターンが一体領域として形成されているので、第1及び第2の受光部側の表面埋込領域25<sub>q</sub>のそれぞれの左辺は共通の辺を構成し、第3及び第4の受光部側の表面埋込領域25<sub>q</sub>のそれぞれの右辺は共通の辺を構成しているのでリソグラフィー上、より単純な平面パターンになっている。又、第1及び第2の受光端部の平面パターンが一体領域として形成され、第3及び第4の受光端部の平面パターンが一体領域として形成されているので、図20及び図21に示した表面埋込領域25<sub>p</sub>の平面パターンよりも遮光板51で被覆された領域の面積が広がっている。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0199

【補正方法】変更

【補正の内容】

【0199】

< 第5の実施形態の変形例2 >

図24に主要部の概略を上面側から見た平面図を示すように、本発明の第5の実施形態の変形例2に係る測長素子は、左側上段に1点鎖線で示す第1の開口部（アパーチャ部）、左側下段に1点鎖線で示す第2の開口部、右側下段に1点鎖線で示す第3の開口部及び右側上段に1点鎖線で示す第4の開口部を配置した、1画素に4つの開口部を有する遮光板51によって4つの受光部の位置を定義している点では、図20に示したロックインピクセルの平面パターンと同様である。又、4つの受光部のそれぞれに設けられる4つのフォトダイオードは、それぞれ独立したマイクロレンズ53<sub>p</sub>、53<sub>q</sub>、53<sub>r</sub>、53<sub>s</sub>で集光された光を受けることも、図20に示したロックインピクセルの平面パターンと同様である。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0203

【補正方法】変更

【補正の内容】

【0203】

但し、ガイド領域26<sub>g</sub>の4つの分岐端部でH字型に挟まれた中央部は、図24に示した平面図から分かるように、帯状に水平方向に左右に延びる矩形領域ではなく、上下に凹凸を備えているので、正確にはガイド領域26<sub>g</sub>の全体形状はH字型ではない。第5の実施形態の変形例2に係る測長素子においては、第1転送制御機構（31, 42<sub>h</sub>）、第2転送制御機構（31, 44<sub>h</sub>）及び第3転送制御機構（31, 43<sub>h</sub>）によって電荷変調部を構成している。そして、ガイド領域26<sub>g</sub>は、概略としてはH字型をなす平面構造によって、4つの位置から光電子を信号電荷として集め、集めた信号電荷をH字の中央に配置した電荷変調部の狭い転送路（転送チャネル）に導くための半導体領域であり、表面埋込領域25<sub>p</sub>よりも高不純物密度の半導体領域として形成できる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0209

【補正方法】変更

【補正の内容】

【0209】

< 第5の実施形態の変形例3 >

図25に主要部の概略を上面側から見た平面図を示すように、本発明の第5の実施形態の変形例3に係る測長素子は、左側上段に1点鎖線で示す第1の開口部（アパーチャ部）、左側下段に1点鎖線で示す第2の開口部、右側下段に1点鎖線で示す第3の開口部及び右側上段に1点鎖線で示す第4の開口部を配置した、1画素に4つの開口部を有する遮光板51によって4つの受光部の位置を定義したロックインピクセルであり、4つの受光部

のそれぞれに設けられる4つのフォトダイオードは、それぞれ独立したマイクロレンズ 5 3 p , 5 3 q , 5 3 r , 5 3 s で集光された光を受ける点では図 2 0 及び図 2 4 に示した構造と同様である。

【手続補正 2 1】

【補正対象書類名】明細書

【補正対象項目名】0 2 2 0

【補正方法】変更

【補正の内容】

【0 2 2 0】

(第 6 の実施形態)

図 2 6 に主要部の概略を上面側から見た平面図を示すように、本発明の第 6 の実施形態に係る測長素子は、左側上段に 1 点鎖線で示す第 1 の開口部 (アパーチャ部)、左側下段に 1 点鎖線で示す第 2 の開口部、右側下段に 1 点鎖線で示す第 3 の開口部及び右側上段に 1 点鎖線で示す第 4 の開口部を配置した、1 画素に 4 つの開口部を有する遮光板 5 1 によって 4 つの受光部の位置を定義したロックインピクセルであり、4 つの受光部のそれぞれに設けられる 4 つのフォトダイオードは、それぞれ独立したマイクロレンズ 5 3 p , 5 3 q , 5 3 r , 5 3 s で集光された光を受ける点では図 2 0、図 2 4 及び図 2 5 に示した構造と同様である。

【手続補正 2 2】

【補正対象書類名】明細書

【補正対象項目名】0 2 2 5

【補正方法】変更

【補正の内容】

【0 2 2 5】

表面埋込領域 (  $2 5 s_1$  ,  $2 5 s_2$  ,  $2 5 s_3$  ,  $2 5 s_4$  ) を構成する大きな X 字の左上方向に伸びる電荷変調部配置領域の第 1 の受光端部  $2 5 s_1$  側には、電荷変調部配置領域に直交する方向に両側に凸部 (枝部) が設けられ、両側の凸部の先端にはそれぞれ上側第 1 排出ドレイン領域  $2 4 m 1 a$  及び下側第 1 排出ドレイン領域  $2 4 m 1 b$  が接続されている。大きな X 字の左下方向に伸びる電荷変調部配置領域の第 2 の受光端部  $2 5 s_2$  側には、電荷変調部配置領域に直交する方向に両側に凸部 (枝部) が設けられ、両側の凸部の先端にはそれぞれ上側第 2 排出ドレイン領域  $2 4 m 2 a$  及び下側第 2 排出ドレイン領域  $2 4 m 2 b$  が接続されている。大きな X 字の右下方向に伸びる電荷変調部配置領域の第 3 の受光端部  $2 5 s_3$  側には、電荷変調部配置領域に直交する方向に両側に凸部 (枝部) が設けられ、両側の凸部の先端にはそれぞれ下側第 3 排出ドレイン領域  $2 4 m 3 a$  及び上側第 3 排出ドレイン領域  $2 4 m 3 b$  が接続されている。大きな X 字の右上方向に伸びる電荷変調部配置領域の第 1 の受光端部  $2 5 s_4$  側には、電荷変調部配置領域に直交する方向に両側に凸部 (枝部) が設けられ、両側の凸部の先端にはそれぞれ下側第 4 排出ドレイン領域  $2 4 m 4 a$  及び上側第 4 排出ドレイン領域  $2 4 m 4 b$  が接続されている。

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 2 3 3

【補正方法】削除

【補正の内容】

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 2 3 4

【補正方法】変更

【補正の内容】

【0 2 3 4】

更に、+ の凸部横棒の 右側 端部に設けられた中心部排出ドレイン領域  $2 4 q$  に隣接して

配置され、表面埋込領域(25s<sub>1</sub>, 25s<sub>2</sub>, 25s<sub>3</sub>, 25s<sub>4</sub>)から+の凸部横棒を経由して中心部排出ドレイン領域24qに向かう電荷の排出を制御する中心部排出制御機構(31, 47)も備えている。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0235

【補正方法】変更

【補正の内容】

【0235】

第6の実施形態に係る測長素子は、上述した上側第1排出制御機構(31, 41t1a)、下側第1排出制御機構(31, 41t1b)、上側第2排出制御機構(31, 41t2a)、下側第2排出制御機構(31, 41t2b)、下側第3排出制御機構(31, 41t3a)、上側第3排出制御機構(31, 41t3b)、下側第4排出制御機構(31, 41t4a)、上側第4排出制御機構(31, 41t4b)、中心部排出制御機構(31, 47)によって、上側第1排出ドレイン領域24m1a、下側第1排出ドレイン領域24m1b、上側第2排出ドレイン領域24m2a、下側第2排出ドレイン領域24m2b、下側第3排出ドレイン領域24m3a、下側第3排出ドレイン領域24m3b、下側第4排出ドレイン領域24m4a、上側第4排出ドレイン領域24m4b、中心部排出ドレイン領域24qへの光電荷の排出と、第1転送制御機構(31, 48)、第2転送制御機構(31, 45)及び第3転送制御機構(31, 46)による第1電荷蓄積領域24r、第2電荷蓄積領域24o及び第3電荷蓄積領域24pへの光電荷の輸送の切り替え制御を行うことができる。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0239

【補正方法】変更

【補正の内容】

【0239】

2段目には、自己のゲートが接地された2つの第2の接合型電界効果トランジスタ $Q_{p21}$ 及び $Q_{p22}$ で静電誘導チャンネル部を表している。直列接続した2つの第2の接合型電界効果トランジスタ $Q_{p21}$ 及び $Q_{p22}$ の中間タップに、電荷排出用の第2電荷排出MOSトランジスタ $Q_{D2}$ のソース端子が接続され、第2電荷排出MOSトランジスタ $Q_{D2}$ のドレイン端子が高電位の電源 $V_{DD}$ に接続されている。図27中の左側の2段目の破線部は、半導体領域中での接続のため、空乏化による電界によって高速に電子が流れる経路であることを意味している。図27において、第2のフォトダイオード $D_{ij2}$ で発生した光電子は、上側第2排出制御機構(31, 41t2a)及び下側第2排出制御機構(31, 41t2b)をそれぞれ構成する排出ゲート電極41t2a及び排出ゲート電極41t2bのそれぞれに印加する電圧 $G_{D2} = L$ であれば、共通の電荷変調部に信号電荷として直ちに到達する。

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0262

【補正方法】変更

【補正の内容】

【0262】

図5のポテンシャル分布から分かるように、第1の実施形態に係る測長素子では、発生したキャリアの移動先となる表面埋込領域25の電位分布の一番底になるところに、ガイド領域26aの細い先端部が接触しており、その周辺はフラットに近い。一方、第7の実施形態に係る測長素子では、図29(b)のポテンシャル分布から分かるように、表面埋込領域62の電位分布の一番底に向けて、略V字状に急峻な勾配の電位分布となっている。

## 【手続補正 28】

【補正対象書類名】明細書

【補正対象項目名】0267

【補正方法】変更

【補正の内容】

【0267】

図28に示すように第7の実施形態に係る測長素子の電荷変調部には、3つの第1転送ゲート電極42, 第2転送ゲート電極44, 第3転送ゲート電極43が配置されている。第1転送ゲート電極42に中間電位(M)のゲート信号 $G_1$ を印加することによって図32に示すような電位分布が形成される。又、第2転送ゲート電極44に中間電位(M)のゲート信号 $G_2$ を印加することによって図33に示すような電位分布が形成され、第3転送ゲート電極43に中間電位(M)のゲート信号 $G_3$ を印加することによって図34に示すような電位分布が形成される。図32~図34において、太い実線(図32~図34では「-0.2V」と表記)は電位-0.2Vの等電位線を示し、1点鎖線(図32~図34では「0V」と表記)は電位0V以上且つ1V未満(0Vから0.25V刻み)の等電位線を示し、細かい破線(図32~図34では「2V」と表記)は電位2V以上且つ3V未満(2Vから0.25V刻み)の等電位線を示し、長い破線(図32~図34では「3V」と表記)は電位3V以上且つ4V未満(3Vから0.25V刻み)の等電位線を示す。このように、3つの第1転送ゲート電極42, 第2転送ゲート電極44, 第3転送ゲート電極43のそれぞれに中間電位(M)のゲート信号を印加することによって、対応する3つの第1電荷蓄積領域24b, 第2電荷蓄積領域24d, 第3電荷蓄積領域24cのそれぞれに図32~図34に太い実線で示したような経路に沿って、信号電荷が高速転送され、光パルスに同期した光電荷検出を行う測長素子の基本動作がなされる。

## 【手続補正 29】

【補正対象書類名】明細書

【補正対象項目名】0268

【補正方法】変更

【補正の内容】

【0268】

又、第7の実施形態に係る測長素子の第1排出ゲート電極41a及び第2排出ゲート電極41bに中間電位(M)よりも高い高電位(H)のゲート信号 $G_D$ を印加すると、平面内では図35に示したような等電位線で示される電位分布となり、幹経路部分に形成された静電誘導チャンネル部に達した電子は、図35に極太の実線で示した経路に沿って、第1排出ドレイン領域24a側に分岐して排出される。図35において、太い実線(図35では「-0.2V」と表記)は電位-0.2Vの等電位線を示し、1点鎖線(図35では「0V」と表記)は電位0V以上且つ1V未満(0Vから0.25V刻み)の等電位線を示し、細かい破線(図35では「2V」と表記)は電位2V以上且つ3V未満(2Vから0.25V刻み)の等電位線を示し、長い破線(図35では「3V」と表記)は電位3V以上且つ4V未満(3Vから0.25V刻み)の等電位線を示す。電位分布の図示を省略しているが、第2排出ゲート電極41bに高い高電位(H)のゲート信号 $G_D$ を印加すると、幹経路部分に形成された静電誘導チャンネル部に達した電子は、第2排出ドレイン領域24eに分岐して排出される。

## 【手続補正 30】

【補正対象書類名】明細書

【補正対象項目名】0277

【補正方法】変更

【補正の内容】



## 【 0 2 7 7 】

第7の実施形態に係る測長素子においても、式(4)又は式(8)を用いることにより、第7の実施形態に係る測長素子は光飛行時間測定に好適な機能を有していることが分かる。このため、第7の実施形態に係る測長素子を固体撮像装置の画素(ロックインピクセル)として、同一半導体チップ上に画素サイズが5 $\mu$ m角以上となる大面積の画素を複数個配列した場合であっても、高速の信号電荷の転送が可能で高感度、且つ低暗電流の光飛行時間距離画像センサが実現できる。

## 【 手続補正 3 1 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 2 7 8

【 補正方法 】 変更

【 補正の内容 】

## 【 0 2 7 8 】

特に、第1の実施形態に係る測長素子と同様に、第7の実施形態に係る測長素子においても、受光部近傍側に位置する幹経路から電荷変調部に至る静電誘導チャネル部を十分な長さとし、電荷変調部を遮光板51によって光シールドしているので、短時間パルスを用いて背景光の影響を軽減する上で、大きな効果がある。

## 【 手続補正 3 2 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 3 0 9

【 補正方法 】 変更

【 補正の内容 】

## 【 0 3 0 9 】

即ち、表面埋込領域63の外形又はその外形の包絡線の形状は、受光部の位置において、平面パターン上、ガイド領域(63, 64)の補助ガイド領域63の周囲を囲むように台形、放物曲線、逆U字型、若しくは逆V字型をなすように、信号電荷の輸送方向に垂直方向に測った幅が次第に広くなっていればよい。また、例えば図45に示したガイド領域(63, 64)の補助ガイド領域63が無く、主ガイド領域64のみが設けられていてもよい。

## 【 手続補正 3 3 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 3 1 2

【 補正方法 】 変更

【 補正の内容 】

## 【 0 3 1 2 】

2 1 , 6 1 ... 半導体基板

2 2 ... 画素形成層

2 3 ... ウェル領域

2 4 a , 2 4 a a , 2 4 b a , 2 4 g ... 第1排出ドレイン領域

2 4 b e , 2 4 a e , 2 4 e , 2 4 f ... 第2排出ドレイン領域

2 4 j ... 第3排出ドレイン領域

2 4 k ... 第4排出ドレイン領域

2 4 , 2 4 a b , 2 4 b , 2 4 b b , 2 4 h ... 第1電荷蓄積領域

2 4 a d , 2 4 b d , 2 4 i , 2 4 d ... 第2電荷蓄積領域

2 4 a c , 2 4 b c , 2 4 l , 2 4 c ... 第3電荷蓄積領域

2 5 , 2 5 p , 2 5 q , 6 2 ... 表面埋込領域

2 5 a ... 第1の表面埋込領域

2 5 b ... 第2の表面埋込領域

2 5 p , 2 5 q , 2 5 r , 2 5 s ... マイクロレンズ

2 6 a , 2 6 b , 2 6 f , 6 4 ... ガイド領域(主ガイド領域)

2 6 d ... 第 1 ガイド領域  
2 6 e ... 第 2 ガイド領域  
2 7 ... ピニング層  
3 1 ... 絶縁膜  
3 2 . 3 2 a , 3 2 b , 3 2 c ... フィールド絶縁膜の端部  
4 1 a , 4 1 a a , 4 1 b a , 4 1 m ... 第 1 排出ゲート電極  
4 1 a b , 4 1 b , 4 1 b b , 4 1 l ... 第 2 排出ゲート電極  
4 1 n ... 第 3 排出ゲート電極  
4 1 o ... 第 4 排出ゲート電極  
4 2 a , 4 2 , 4 2 b , 4 2 h ... 第 1 転送ゲート電極  
4 4 a , 4 4 , 4 4 b , 4 4 h ... 第 2 転送ゲート電極  
4 3 a , 4 3 , 4 3 b , 4 3 h ... 第 3 転送ゲート電極  
4 2 p ... 第 1 電界制御電極  
4 4 p ... 第 2 電界制御電極  
4 3 p ... 第 3 電界制御電極  
5 1 ... 遮光板  
5 3 p , 5 3 q , 5 3 r , 5 3 s ... マイクロレンズ  
6 5 ... 第 1 のブロック領域  
6 6 ... 第 2 のブロック領域

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2016/001869
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L27/146(2006.01)i, G01S7/481(2006.01)i, H01L27/144(2006.01)i, H01L31/10(2006.01)i, H04N5/361(2011.01)i, H04N5/369(2011.01)i, H04N5/374 (2011.01)i, H04N5/3745(2011.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L27/146, G01S7/481, H01L27/144, H01L31/10, H04N5/361, H04N5/369, H04N5/374, H04N5/3745 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/013811 A1 (National University Corporation Shizuoka University), 04 February 2010 (04.02.2010), paragraphs [0015] to [0090]; fig. 1 to 18 & JP 2010-40594 A & US 2011/0187908 A1 paragraphs [0034] to [0110]	1-26
Y	WO 2011/043432 A1 (National University Corporation Shizuoka University), 14 April 2011 (14.04.2011), paragraphs [0013] to [0057]; fig. 1 to 12 & JP 5648923 B & US 2012/0193692 A1 paragraphs [0039] to [0088] & EP 2487714 A1 & KR 10-2012-0060915 A	1-26
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 June 2016 (13.06.16)		Date of mailing of the international search report 21 June 2016 (21.06.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001869

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/043339 A1 (National University Corporation Shizuoka University), 14 April 2011 (14.04.2011), paragraphs [0016] to [0056]; fig. 1 to 7 & JP 5648922 B & US 2012/0193743 A1 paragraphs [0033] to [0076] & EP 2487897 A1 & KR 10-2012-0060912 A	1-26
Y	WO 2009/147862 A1 (National University Corporation Shizuoka University), 10 December 2009 (10.12.2009), paragraph [0055]; fig. 24 & JP 5333869 B & US 2011/0090385 A1 paragraph [0086] & EP 2296368 A1 & KR 10-2011-0020239 A	6-16,20-26

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 0 1 8 6 9	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/146(2006.01)i, G01S7/481(2006.01)i, H01L27/144(2006.01)i, H01L31/10(2006.01)i, H04N5/361(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/146, G01S7/481, H01L27/144, H01L31/10, H04N5/361, H04N5/369, H04N5/374, H04N5/3745			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	WO 2010/013811 A1 (国立大学法人静岡大学) 2010.02.04, 段落[0015]-[0090]及び図1-18 & JP 2010-40594 A & US 2011/0187908 A1, 段落[0034]-[0110]	1-26	
Y	WO 2011/043432 A1 (国立大学法人静岡大学) 2011.04.14, 段落[0013]-[0057]及び図1-12 & JP 5648923 B & US 2012/0193692 A1, 段落[0039]-[0088] & EP 2487714 A1 & KR 10-2012-0060915 A	1-26	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 13.06.2016		国際調査報告の発送日 21.06.2016	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 安田 雅彦	5 F 9447
		電話番号 03-3581-1101 内線 3514	

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 0 1 8 6 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2011/043339 A1 (国立大学法人静岡大学) 2011.04.14, 段落[0016]－[0056]及び図1－7 & JP 5648922 B & US 2012/0193743 A1, 段落[0033]－[0076] & EP 2487897 A1 & KR 10-2012-0060912 A	1-26
Y	WO 2009/147862 A1 (国立大学法人静岡大学) 2009.12.10, 段落[0055]及び図2 4 & JP 5333869 B & US 2011/0090385 A1, 段落[0086] & EP 2296368 A1 & KR 10-2011-0020239 A	6-16, 20-26

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。