

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6782018号  
(P6782018)

(45) 発行日 令和2年11月11日(2020.11.11)

(24) 登録日 令和2年10月21日(2020.10.21)

(51) Int.Cl. F I  
**HO3M 1/56 (2006.01)** HO3M 1/56  
**HO3M 1/36 (2006.01)** HO3M 1/36

請求項の数 7 (全 23 頁)

(21) 出願番号 特願2017-535324 (P2017-535324)  
 (86) (22) 出願日 平成28年8月3日(2016.8.3)  
 (86) 国際出願番号 PCT/JP2016/072724  
 (87) 国際公開番号 W02017/029984  
 (87) 国際公開日 平成29年2月23日(2017.2.23)  
 審査請求日 令和1年7月26日(2019.7.26)  
 (31) 優先権主張番号 特願2015-162086 (P2015-162086)  
 (32) 優先日 平成27年8月19日(2015.8.19)  
 (33) 優先権主張国・地域又は機関  
 日本国(JP)

(73) 特許権者 504258527  
 国立大学法人 鹿児島大学  
 鹿児島県鹿児島市郡元一丁目21番24号  
 (74) 代理人 100090273  
 弁理士 園分 孝悦  
 (72) 発明者 大島 賢一  
 鹿児島県鹿児島市郡元一丁目21番24号  
 国立大学法人 鹿児島大学内  
 審査官 小林 正明

最終頁に続く

(54) 【発明の名称】 アナログデジタル変換器

(57) 【特許請求の範囲】

【請求項1】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器を有し、前記複数の比較器の出力に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する並列型アナログデジタル変換器と、

サンプリングされた前記アナログ入力信号に応じた前記入力電位を一定の速度で低下させていき、前記複数の比較器からの出力の遷移を検出することで、前記並列型アナログデジタル変換器で決定した値に対応する前記参照電位と等しくなるまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定するシングルスロープ型アナログデジタル変換器とを有することを特徴とするアナログデジタル変換器。

【請求項2】

前記シングルスロープ型アナログデジタル変換器は、前記アナログ入力信号に応じた前記入力電位を低下させ始めてから、前記並列型アナログデジタル変換器が有する前記複数の比較器の出力のうちの何れか1つの出力が遷移するまでの時間を、前記参照電位と等しくなるまでの時間とすることを特徴とする請求項1記載のアナログデジタル変換器。

【請求項3】

10

20

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位を一定の速度で低下させるランプ回路と、

前記入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器と、

前記ランプ回路によって前記入力電位を低下させているときに、前記複数の比較器の出力のうちで最も早く遷移した出力を検出し、検出結果に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する検出回路と、

前記ランプ回路によって前記入力電位を低下させ始めてから、前記検出回路が前記最も早く遷移した出力を検出するまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定する時間 - デジタル変換器とを有することを特徴とするアナログデジタル変換器。

#### 【請求項 4】

複数の前記参照電位のうちの第 1 の参照電位が入力される前記比較器に、前記第 1 の参照電位とは異なる、前記複数の参照電位のうちの第 2 の参照電位を、前記入力電位に変えて入力するためのスイッチと、

前記比較器に入力される前記第 2 の参照電位を前記ランプ回路によって一定の速度で低下させていったときの前記時間 - デジタル変換器の出力に基づいて、前記ランプ回路により電位を低下させる速度を調整する補正制御回路とを有することを特徴とする請求項 3 記載のアナログデジタル変換器。

#### 【請求項 5】

前記検出回路は、

前記複数の比較器のうちの対応する前記比較器の出力が入力され、入力される前記比較器の出力が遷移したときに出力が遷移する複数の第 1 のフリップフロップと、

前記第 1 のフリップフロップの出力を用いて前記デジタル信号の上位側の値に係る論理演算を行う演算回路と、

前記複数の第 1 のフリップフロップの出力のうちの何れか 1 つの出力が遷移したときに前記演算回路の出力を取り込んで保持する複数の第 2 のフリップフロップとを有することを特徴とする請求項 3 記載のアナログデジタル変換器。

#### 【請求項 6】

複数の前記参照電位のうちの第 1 の参照電位が入力される前記比較器に、前記第 1 の参照電位とは異なる、前記複数の参照電位のうちの第 2 の参照電位を、前記入力電位に変えて入力するためのスイッチと、

前記比較器に入力される前記第 2 の参照電位を前記ランプ回路によって一定の速度で低下させていったときの前記時間 - デジタル変換器の出力に基づいて、前記ランプ回路により電位を低下させる速度を調整する補正制御回路とを有することを特徴とする請求項 5 記載のアナログデジタル変換器。

#### 【請求項 7】

前記参照電位は、一定の電位差で高くなるように設定されていることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載のアナログデジタル変換器。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、アナログデジタル変換器（A/D変換器）に関する。

#### 【背景技術】

#### 【0002】

アナログ信号をデジタル信号に変換するアナログデジタル変換器（A/D変換器）の 1 つにシングルスロープ型 A/D 変換器がある（例えば、非特許文献 1、2 参照）。シングルス

10

20

30

40

50

ロープ型 A D 変換器は、小面積、低消費電力の A D 変換器であるが、変換速度が遅いという欠点がある。このため、従来、シングルスロープ型 A D 変換器の用途は、イメージセンサ等に限られていた。

【 0 0 0 3 】

図 9 A は、シングルスロープ型 A D 変換器の構成例を示す図であり、図 9 B は、シングルスロープ型 A D 変換器の動作原理を示す図である。図 9 A に示すシングルスロープ型 A D 変換器は、トラックアンドホールド (track and hold: T H) 回路 9 1、比較器 9 2、ランプ回路 (RAMP) 9 3、及び時間 - デジタル変換器 (time to digital converter: T D C) 9 4 を有する。

【 0 0 0 4 】

トラックアンドホールド回路 9 1 は、クロック信号 C K によってオン/オフ制御されアナログ入力信号 V I N を伝達するスイッチ S W 9 1 と、スイッチ S W 9 1 を介して伝達されたアナログ入力信号 V I N を保持する保持容量 C 9 1 とを有する。比較器 9 2 は、入力電位  $V_{s_{am}}$  と参照電位 V r e f とを比較し、その比較結果に応じた信号 S 9 1 を出力する。入力電位  $V_{s_{am}}$  は、トラックアンドホールド回路 9 1 により入力及び保持されたアナログ入力信号 V I N に応じた電位であり、A D 変換動作における比較期間にはランプ回路 9 3 によって一定の速度で低下していく。

【 0 0 0 5 】

ランプ回路 9 3 は、スイッチ S W 9 2 と、スイッチ S W 9 2 を介して入力電位  $V_{s_{am}}$  の入力ノードに接続される電流源 I S 9 1 とを有する。ランプ回路 9 3 は、A D 変換処理の比較動作時に、スイッチ S W 9 2 がオンとなって電流源 I S 9 1 が入力電位  $V_{s_{am}}$  の入力ノードに接続され、入力電位  $V_{s_{am}}$  を一定の速度で低下させる。時間 - デジタル変換器 9 4 は、比較器 9 2 から出力される信号 S 9 1 により示される時間差をデジタル値に変換し、デジタル信号 D O U T として出力する。

【 0 0 0 6 】

図 9 A に示したシングルスロープ型 A D 変換器は、図 9 B に一例を示すように、クロック信号 C K がハイレベルである時刻 T 9 1 ~ T 9 2 にて、入力されるアナログ入力信号 V I N をトラックアンドホールド回路 9 1 によりサンプリングする。トラックアンドホールド回路 9 1 でアナログ入力信号 V I N をサンプリングした後、時刻 T 9 3 から A D 変換処理の比較動作を開始し、サンプリングされたアナログ入力信号 V I N に応じた入力電位  $V_{s_{am}}$  をランプ回路 9 3 で一定の速度で低下させる。

【 0 0 0 7 】

A D 変換処理の比較動作において、アナログ入力信号 V I N に応じた入力電位  $V_{s_{am}}$  をランプ回路 9 3 により低下させ始めた時 (比較動作の開始時) に比較器 9 2 から出力される信号 S 9 1 は、入力電位  $V_{s_{am}}$  が参照電位 V r e f より高いのでハイレベルである (時刻 T 9 3)。その後、入力電位  $V_{s_{am}}$  が低下していき、入力電位  $V_{s_{am}}$  と参照電位 V r e f が等しくなると、比較器 9 2 から出力される信号 S 9 1 は、ローレベルとなる (時刻 T 9 4)。

【 0 0 0 8 】

入力電位  $V_{s_{am}}$  をランプ回路 9 3 により低下させ始めてから、入力電位  $V_{s_{am}}$  と参照電位 V r e f が等しくなるまで、すなわち比較器 9 2 から出力される信号 S 9 1 がハイレベルである時刻 T 9 3 ~ T 9 4 の時間  $t_{s_{am}}$  を時間 - デジタル変換器 9 4 でデジタル値に変換する。時間  $t_{s_{am}}$  は、A D 変換処理の比較動作の開始時においてトラックアンドホールド回路 9 1 に保持されているアナログ入力信号 V I N に応じた電位  $V_s$  に比例するため、時間 - デジタル変換器 9 4 の出力はアナログ入力信号 V I N の A D 変換結果となる。

【 0 0 0 9 】

このようにして、時刻 T 9 1 ~ T 9 2 においてサンプリングされたアナログ入力信号 V I N を A D 変換して得られたデジタル値 D O U T 2 がデジタル信号 D O U T として出力される。なお、デジタル値 D O U T 1 は、1 つ前にサンプリングされたアナログ入力信号 V I N の A D 変換結果である。

10

20

30

40

50

## 【 0 0 1 0 】

図 9 A に示したシングルスロープ型 A D 変換器において、時間 - デジタル変換器 9 4 のビット数を  $n$  (出力値が  $0 \sim (2^n - 1)$ ) とし時間分解能を  $t$  とすると、時間  $t_{sam}$  の最大値  $t_{sam}(max)$  は  $2^n \cdot t$  と表せる。例えば、10 ビットのデジタル信号に変換するシングルスロープ型 A D 変換器を作ると考えると、時間分解能  $t$  が  $100 \text{ ps}$  である場合、時間  $t_{sam}(max)$  は  $102.4 \text{ ns}$  となる。A D 変換器における入力信号のサンプリング周期  $T_s$  は、トラック期間  $t_{tr}$  と時間  $t_{sam}(max)$  とを合わせた時間に略等しいので、A D 変換器のサンプリング周波数は  $10 \text{ MHz}$  以下になってしまう。

## 【 0 0 1 1 】

このように、シングルスロープ型 A D 変換器は、構成部品が少なく回路面積や消費電力が小さいものの、変換時間が精度 (ビット数) に対して指数関数的に増加するために高速化することが困難であった。

## 【 先行技術文献 】

## 【 非特許文献 】

## 【 0 0 1 2 】

【 非特許文献 1 】 Rudy van de Plassche, CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers, 2003

【 非特許文献 2 】 Dongmyung Lee et al., "Low-Noise In-Pixel Comparing Active Pixel Sensor Using Column-Level Single-Slope ADC", IEEE Transactions on Electron Devices, vol.55, no.12, pp.3383-3388, Dec. 2008

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 3 】

本発明の目的は、小面積及び低消費電力で、かつ高速に A D 変換を行うことが可能な A D 変換器を提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 1 4 】

本発明に係るアナログデジタル変換器は、入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、サンプリングされた前記アナログ入力信号に応じた入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器を有し、前記複数の比較器の出力に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する並列型アナログデジタル変換器と、サンプリングされた前記アナログ入力信号に応じた前記入力電位を一定の速度で低下させていき、前記複数の比較器からの出力の遷移を検出することで、前記並列型アナログデジタル変換器で決定した値に対応する前記参照電位と等しくなるまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定するシングルスロープ型アナログデジタル変換器とを有することを特徴とする。

## 【 発明の効果 】

## 【 0 0 1 5 】

本発明によれば、並列型アナログデジタル変換器とシングルスロープ型アナログデジタル変換器とを組み合わせ、デジタル信号の上位側の変換を並列型アナログデジタル変換器で行い、下位側の変換をシングルスロープ型アナログデジタル変換器で行う。これによりシングルスロープ型アナログデジタル変換器のビット数を減らすことができ、小面積及び低消費電力で、かつ高速にアナログデジタル変換を行うことが可能なアナログデジタル変換器を提供することが可能となる。

## 【 図面の簡単な説明 】

## 【 0 0 1 6 】

【 図 1 A 】 図 1 A は、本発明の実施形態におけるアナログデジタル変換器を模式的に示す図である。

【図 1 B】図 1 B は、図 1 A に示すアナログデジタル変換器の動作を説明する図である。

【図 2 A】図 2 A は、第 1 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【図 2 B】図 2 B は、第 1 の実施形態における比較器の動作を説明する図である。

【図 3】図 3 は、第 1 の実施形態における比較器の構成例を示す図である。

【図 4 A】図 4 A は、第 1 の実施形態における検出回路の構成例を示す図である。

【図 4 B】図 4 B は、第 1 の実施形態における検出回路の動作例を示すタイミングチャートである。

【図 5】図 5 は、第 1 の実施形態における時間 - デジタル変換器の構成例を示す図である。

10

【図 6 A】図 6 A は、第 1 の実施形態における時間 - デジタル変換器の他の構成例を示す図である。

【図 6 B】図 6 B は、図 6 A に示す時間 - デジタル変換器における時間分解能を説明する図である。

【図 7 A】図 7 A は、アナログ入力信号に対するデジタル信号の一例を示す図である。

【図 7 B】図 7 B は、第 1 の実施形態におけるアナログデジタル変換器での誤差補正の例を説明する図である。

【図 7 C】図 7 C は、誤差補正に係る電流量調整を説明する図である。

【図 8】図 8 は、第 1 の実施形態におけるアナログデジタル変換器の動作例を示すタイミングチャートである。

20

【図 9 A】図 9 A は、シングルスロープ型アナログデジタル変換器の構成例を示す図である。

【図 9 B】図 9 B は、シングルスロープ型アナログデジタル変換器の動作を説明する図である。

【図 10】図 10 は、第 2 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【図 11】図 11 は、第 2 の実施形態における離散時間比較器の構成例を示す図である。

【図 12】図 12 は、第 2 の実施形態におけるアナログデジタル変換器の他の構成例を示す図である。

【図 13】図 13 は、第 2 の実施形態における容量型 D A 変換器の構成例を示す図である。

30

【発明を実施するための形態】

【0017】

以下、本発明の実施形態を図面に基づいて説明する。

【0018】

(第 1 の実施形態)

本発明の第 1 の実施形態について説明する。

図 1 A は、本発明の一実施形態におけるアナログデジタル変換器 (A D 変換器) を示す模式図である。本実施形態における A D 変換器は、図 1 A に示すようにトラックアンドホールド回路 11 及び A D 変換器 12、13 を有し、入力されたアナログ入力信号 V I N を n ビット (n は自然数) のデジタル信号 D O U T [ n - 1 : 0 ] に変換して出力する。

40

【0019】

トラックアンドホールド (track and hold: T H) 回路 11 は、クロック信号 C K によって制御され、入力されるアナログ入力信号 V I N をサンプリングして A D 変換器 12、13 に供給する。例えば図 1 B に示すように、トラックアンドホールド回路 11 は、クロック信号 C K がハイレベルのときにトラックモードとなり、アナログ入力信号 V I N を伝達して出力する。また、トラックアンドホールド回路 11 は、クロック信号 C K がローレベルのときにホールドモードとなり、トラックモードにて伝達されたアナログ入力信号 V I N を保持する。

【0020】

50

A D変換器(C A D C) 1 2は、 $(n - m)$ ビット( $m$ は $n$ より小さい自然数)の並列型A D変換器である。A D変換器(C A D C) 1 2は、デジタル信号D O U T [  $n - 1$  :  $0$  ]のうちの上位側の $(n - m)$ ビットについての $(n - m)$ ビットの値を決定するための) A D変換処理を行う。A D変換器(C A D C) 1 2は、図1 Bに一例を示すように、サンプリングされたアナログ入力信号V I Nの電位 $V_{s_{am}}$ が、一定の電位差を有するように設定された互いに異なる複数の参照電位における何れの参照電位間に存在するかを判定することにより、出力するデジタル信号D O U T [  $n - 1$  :  $m$  ]の値を決定する。

【 0 0 2 1 】

A D変換器(F A D C) 1 3は、 $m$ ビットのシングルスロープ型A D変換器である。A D変換器(F A D C) 1 3は、デジタル信号D O U T [  $n - 1$  :  $0$  ]のうちの下位側の $m$ ビットについての $(m)$ ビットの値を決定するための) A D変換処理を行う。A D変換器(F A D C) 1 3は、サンプリングされたアナログ入力信号V I Nの電位 $V_{s_{am}}$ を一定の速度で低下させていき、電位 $V_{s_{am}}$ より低い参照電位のうちで最大の参照電位と等しくなるまでの時間をデジタル値に変換することで、出力するデジタル信号D O U T [  $m - 1$  :  $0$  ]の値を決定する。これにより、A D変換器(F A D C) 1 3は、図1 Bに一例を示すように、A D変換器(C A D C) 1 2でのA D変換処理による残差成分、言い換えればサンプリングされたアナログ入力信号V I Nの電位 $V_{s_{am}}$ とその電位 $V_{s_{am}}$ より低い参照電位のうちで最大の参照電位との電位差(残差成分) $V_{r_{es}}$ をA D変換処理して、出力するデジタル信号D O U T [  $m - 1$  :  $0$  ]の値を決定する。

【 0 0 2 2 】

このように本実施形態では、 $(n - m)$ ビットの並列型A D変換器と $m$ ビットのシングルスロープ型A D変換器とを組み合わせることでA D変換を行い、アナログ入力信号V I Nを $n$ ビットのデジタル信号D O U T [  $n - 1$  :  $0$  ]に変換する。アナログ入力信号V I Nからデジタル信号D O U T [  $n - 1$  :  $0$  ]への変換は、高速性に優れた並列型A D変換器で粗い変換を行い、その残差成分をシングルスロープ型A D変換器で変換を行う。

【 0 0 2 3 】

このような構成とすることで、シングルスロープ型A D変換器のビット数を減らしてシングルスロープ型A D変換器での変換時間を低減することができ、小面積、低消費電力、かつ高速なA D変換器を実現することができる。 $n$ ビットのA D変換器を $(n - m)$ ビットの並列型A D変換器と $m$ ビットのシングルスロープ型A D変換器とを組み合わせることで、 $n$ ビットのシングルスロープ型A D変換器だけで構成した場合と比較して、シングルスロープ型A D変換器でのA D変換処理の比較動作期間をおよそ $1 / 2^{n-m}$ に短縮することができる。

【 0 0 2 4 】

図2 Aは、第1の実施形態におけるA D変換器の構成例を示す図である。図2 Aには、入力されたアナログ入力信号V I Nを8ビットのデジタル信号D O U T [  $7$  :  $0$  ]に変換するA D変換器を一例として示している。本例においては、デジタル信号D O U T [  $7$  :  $0$  ]のうちの上位側の2ビットD O U T [  $7$  :  $6$  ]についてのA D変換処理を並列型A D変換器で行い、下位側の6ビットD O U T [  $5$  :  $0$  ]についてのA D変換処理をシングルスロープ型A D変換器で行う。

【 0 0 2 5 】

図2 Aに例示する第1の実施形態におけるA D変換器は、制御回路2 1、トラックアンドホールド回路2 2、比較器2 3 - 0、2 3 - 1、2 3 - 2、2 3 - 3、ランプ回路2 4、検出回路2 5、及び時間 - デジタル変換器2 6を有する。並列型A D変換器としての機能を、比較器2 3 - 0 ~ 2 3 - 3及び検出回路2 5等によって実現し、シングルスロープ型A D変換器としての機能を、比較器2 3 - 0 ~ 2 3 - 3、ランプ回路2 4、検出回路2 5、及び時間 - デジタル変換器2 6等によって実現する。

【 0 0 2 6 】

制御回路2 1は、アナログ入力信号V I Nからデジタル信号D O U TへのA D変換処理を統括的に制御する。例えば、制御回路2 1は、トラックアンドホールド回路2 2の動作

10

20

30

40

50

を制御するクロック信号  $CK$  や、ランプ回路 24 及び時間 - デジタル変換器 26 の動作を制御するスタート信号  $START$  を出力する。

【0027】

トラックアンドホールド (track and hold:  $TH$ ) 回路 22 は、クロック信号  $CK$  によってオン/オフ制御されアナログ入力信号  $V_{IN}$  を伝達するスイッチ  $SW1$  と、スイッチ  $SW1$  を介して伝達されたアナログ入力信号  $V_{IN}$  を保持する保持容量  $C1$  とを有する。トラックアンドホールド回路 22 は、クロック信号  $CK$  がハイレベルのときにスイッチ  $SW1$  がオン (導通) しトラックモードとなり、クロック信号  $CK$  がローレベルのときにスイッチ  $SW1$  がオフ (非導通) になりホールドモードとなる。トラックモードにおいては、入力されたアナログ入力信号  $V_{IN}$  がスイッチ  $SW1$  を介して出力端に伝達され、ホールドモードにおいては、トラックモードにて伝達されたアナログ入力信号  $V_{IN}$  が保持される。

10

【0028】

比較器 23-0 は、入力電位  $V_{sam}$  及び参照電位  $V_B$  が入力される。比較器 23-0 は、入力電位  $V_{sam}$  と参照電位  $V_B$  とを比較し、その比較結果に応じた出力信号  $S0$  を出力する。また、比較器 23-1 は、入力電位  $V_{sam}$  及び参照電位  $V_{ref1}$  が入力される。比較器 23-1 は、入力電位  $V_{sam}$  と参照電位  $V_{ref1}$  とを比較し、その比較結果に応じた出力信号  $S1$  を出力する。

【0029】

比較器 23-2 は、入力電位  $V_{sam}$  及び参照電位  $V_{ref2}$  が入力される。比較器 23-2 は、入力電位  $V_{sam}$  と参照電位  $V_{ref2}$  とを比較し、その比較結果に応じた出力信号  $S2$  を出力する。また、比較器 23-3 は、入力電位  $V_{sam}$  及び参照電位  $V_{ref3}$  が入力される。比較器 23-3 は、入力電位  $V_{sam}$  と参照電位  $V_{ref3}$  とを比較し、その比較結果に応じた出力信号  $S3$  を出力する。

20

【0030】

ここで、入力電位  $V_{sam}$  は、図 2B に示すように、 $AD$  変換処理のサンプリング動作完了時 (トラックモードの終了時の時刻  $T11$ ) に、トラックアンドホールド回路 22 により入力及び保持されたアナログ入力信号  $V_{IN}$  に応じた電位であり、 $AD$  変換処理の比較動作時 (時刻  $T12$  以降) にランプ回路 24 によって一定の速度で電位が低下していく。また、参照電位  $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$  は、例えば、低電位側の基準電圧  $V_B$  と高電位側の基準電圧  $V_T$  との間を、同じ抵抗値を有する複数の抵抗が直列に接続された抵抗ラダー回路で抵抗分圧することで生成され、電位  $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$ 、 $V_T$  の順に一定の電位差で電位が高くなる。

30

【0031】

本実施形態における比較器 23 (23-0 ~ 23-3) の構成例を図 3 に示す。図 3 に示す比較器 23 は、差動対 (駆動部) 及びカレントミラー回路 (負荷部) を用いた比較器であり、 $N$  チャネル  $MOS$  (metal oxide semiconductor) トランジスタ  $MT11$ 、 $MT12$ 、 $MT16$ 、 $MT17$ 、及び  $P$  チャネル  $MOS$  トランジスタ  $MT13$ 、 $MT14$ 、 $MT15$  を有する。

【0032】

トランジスタ  $MT11$  は、ゲートに入力信号  $INP$  が供給され、ソースがトランジスタ  $MT16$  のドレインに接続され、ドレインがトランジスタ  $MT13$  のドレインに接続される。トランジスタ  $MT12$  は、ゲートに入力信号  $INN$  が供給され、ソースがトランジスタ  $MT16$  のドレインに接続され、ドレインがトランジスタ  $MT14$  のドレインに接続される。本実施形態における比較器 23 では、入力電位  $V_{sam}$  が入力信号  $INP$  として入力され、参照電位が入力信号  $INN$  として入力される。

40

【0033】

トランジスタ  $MT13$  及び  $MT14$  のソースに電源電圧が供給される。トランジスタ  $MT13$  のゲートとトランジスタ  $MT14$  のゲートとが接続され、その接続点がトランジスタ  $MT14$  のドレインに接続される。すなわち、トランジスタ  $MT13$  及び  $MT14$  は、

50

カレントミラー接続されている。

【 0 0 3 4 】

トランジスタ M T 1 5 は、ゲートがトランジスタ M T 1 1 のドレインとトランジスタ M T 1 3 のドレインとの接続点に接続され、ソースに電源電圧が供給され、ドレインがトランジスタ M T 1 7 のドレインに接続される。トランジスタ M T 1 5 のドレインとトランジスタ M T 1 7 のドレインとの接続点の電位が出力信号 O U T として出力される。トランジスタ M T 1 6 及び M T 1 7 は、ソースが基準電圧に接続され、ゲートに所定の電圧のバイアス信号 B I A S が供給されており、電流源として機能する。

【 0 0 3 5 】

図 3 に示した構成によれば、入力信号 I N P の電位が入力信号 I N N の電位より高い ( 10  
入力電位  $V_{sam}$  が参照電位より高い) 場合、差動対の入力信号 I N P 側に多くの電流が流れることによりトランジスタ M T 1 5 がオンして、出力信号 O U T はハイレベルになる。一方、入力信号 I N P の電位が入力信号 I N N の電位より低い ( 入力電位  $V_{sam}$  が参照電位より低い) 場合、差動対の入力信号 I N N 側に多くの電流が流れることによりトランジスタ M T 1 5 がオフして、出力信号 O U T はローレベルになる。

【 0 0 3 6 】

したがって、図 2 A に示した比較器 2 3 - 0 ~ 2 3 - 3 の各々は、図 2 B に示すように、  
入力電位  $V_{sam}$  と入力される参照電位とを比較した結果、入力電位  $V_{sam}$  が参照電位より  
高いときには出力信号 S 0 ~ S 3 をハイレベル ( 電源電圧 V D D ) とする。一方、入力電  
位  $V_{sam}$  が参照電位以下のときには出力信号 S 0 ~ S 3 をローレベル ( 基準電圧 V S S ) 20  
とする。

【 0 0 3 7 】

ランプ回路 ( R A M P ) 2 4 は、スタート信号 S T A R T によってオン/オフ制御される  
スイッチ S W 2 と、スイッチ S W 2 を介して入力電位  $V_{sam}$  の入力ノードに接続される  
電流源 I S 1 とを有する。ここで、スタート信号 S T A R T は、A D 変換処理の比較動作  
時 ( 図 2 B に示す時刻 T 1 2 以降) にハイレベルとされる。ランプ回路 2 4 は、スタート  
信号 S T A R T がハイレベルのときにスイッチ S W 2 がオンとなって電流源 I S 1 が入力  
電位  $V_{sam}$  の入力ノードに接続され、入力電位  $V_{sam}$  を一定の速度で低下させる。

【 0 0 3 8 】

検出回路 2 5 は、比較器 2 3 - 0 ~ 2 3 - 3 の出力信号 S 0 ~ S 3 のうち、どの出力信  
号が A D 変換処理において最も早くハイレベルからローレベルに遷移したかを検出する。 30  
検出回路 2 5 は、A D 変換処理において最も早くハイレベルからローレベルに遷移した出  
力信号の検出結果、すなわち出力信号 S 0 ~ S 3 のうちの何れの出力信号が最も早く遷移  
したかに応じて、デジタル信号 D O U T [ 7 : 0 ] のうちの上位側の 2 ビット D O U T [ 7 : 6 ] の値を決定する。

【 0 0 3 9 】

例えば、図 2 B に示すように、時刻 T 1 3 において入力電位  $V_{sam}$  と参照電位 V r e f  
2 との高低関係が逆転し、比較器 2 3 - 2 の出力信号 S 2 が最も早くハイレベルからロー  
レベルに遷移したとする。この場合、サンプリングされたアナログ入力信号 V I N の電位  
が参照電位 V r e f 2 と参照電位 V r e f 3 との間であったことになるので、検出回路 2 5 40  
は、デジタル信号 D O U T [ 7 : 6 ] の値を “ 1 0 ” と決定する。また、検出回路 2 5  
は、出力信号 S 0 ~ S 3 の何れかがハイレベルからローレベルに遷移すると、ストップ信  
号 S T O P をローレベルにする。なお、ストップ信号 S T O P は、負論理の信号であり、  
A D 変換処理の比較動作を開始する前にハイレベルにリセットされている。

【 0 0 4 0 】

図 4 A は、本実施形態における検出回路 2 5 の構成例を示す図である。本実施形態にお  
ける検出回路 2 5 は、例えば図 4 A に示すようにフリップフロップ ( リセット付き ) 4 1  
- 0、4 1 - 1、4 1 - 2、4 1 - 3、N O R 回路 ( 論理和演算回路 ) 4 2、4 3、4 4  
、及びフリップフロップ 4 5、4 6 を有する。

【 0 0 4 1 】



フリップフロップ 4 1 - 0 ~ 4 1 - 3 の各々は、データ入力端子 ( D ) に電源電圧が供給され、リセット信号入力端子 ( R ) にリセット信号 R E S E T が入力される。フリップフロップ 4 1 - 0 のクロック信号入力端子 ( C K ) には比較器 2 3 - 0 の出力信号 S 0 が入力され、フリップフロップ 4 1 - 1 のクロック信号入力端子 ( C K ) には比較器 2 3 - 1 の出力信号 S 1 が入力される。また、フリップフロップ 4 1 - 2 のクロック信号入力端子 ( C K ) には比較器 2 3 - 2 の出力信号 S 2 が入力され、フリップフロップ 4 1 - 3 のクロック信号入力端子 ( C K ) には比較器 2 3 - 3 の出力信号 S 3 が入力される。

【 0 0 4 2 】

N O R 回路 4 2 は、フリップフロップ 4 1 - 0 ~ 4 1 - 3 の出力端子 ( Q ) からの出力が入力され、その演算結果をストップ信号 S T O P として出力する。N O R 回路 4 3 は、フリップフロップ 4 1 - 0 及び 4 1 - 1 の出力端子 ( Q ) からの出力が入力され、その演算結果を出力する。N O R 回路 4 4 は、フリップフロップ 4 1 - 0 及び 4 1 - 2 の出力端子 ( Q ) からの出力が入力され、その演算結果を出力する。

10

【 0 0 4 3 】

フリップフロップ 4 5 は、データ入力端子 ( D ) に N O R 回路 4 3 の出力が入力され、クロック信号入力端子 ( C K ) に N O R 回路 4 2 の出力が入力される。フリップフロップ 4 6 は、データ入力端子 ( D ) に N O R 回路 4 4 の出力が入力され、クロック信号入力端子 ( C K ) に N O R 回路 4 2 の出力が入力される。フリップフロップ 4 5 の出力端子 ( Q ) からの出力がデジタル信号 D O U T [ 7 ] として出力され、フリップフロップ 4 6 の出力端子 ( Q ) からの出力がデジタル信号 D O U T [ 6 ] として出力される。

20

【 0 0 4 4 】

図 4 A に示した検出回路 2 5 において、フリップフロップ 4 1 - 0 ~ 4 1 - 3 の出力は、A D 変換処理の比較動作を開始する前にリセット信号 R E S E T によってリセットされており、A D 変換処理の比較動作の開始時にはローレベル ( “ 0 ” ) である。そして、A D 変換処理の比較動作を開始した後、出力信号 S 0 ~ S 3 が立ち下がる、すなわちハイレベルからローレベルに遷移すると、その遷移した出力信号 S 0 ~ S 3 がクロック信号入力端子 ( C K ) に入力されているフリップフロップ 4 1 - 0 ~ 4 1 - 3 の出力が、ローレベル ( “ 0 ” ) からハイレベル ( “ 1 ” ) になる。

【 0 0 4 5 】

すべてのフリップフロップ 4 1 - 0 ~ 4 1 - 3 の出力がローレベル ( “ 0 ” ) である状態から、何れかのフリップフロップ 4 1 - 0 ~ 4 1 - 3 の出力がハイレベル ( “ 1 ” ) に変化すると、N O R 回路 4 2 の出力 ( ストップ信号 S T O P ) がハイレベルからローレベルになる。N O R 回路 4 2 の出力がハイレベルからローレベルになることで、フリップフロップ 4 5 及び 4 6 は、N O R 回路 4 3 及び 4 4 の出力を取り込んで保持し、デジタル信号 D O U T [ 7 ] 及びデジタル信号 D O U T [ 6 ] として出力する。

30

【 0 0 4 6 】

例えば、図 4 B に示すように時刻 T 2 1 にて、比較器 2 3 - 2 の出力信号 S 2 が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ 4 1 - 2 の出力がローレベル ( “ 0 ” ) からハイレベル ( “ 1 ” ) になる。すなわち、フリップフロップ 4 1 - 2 の出力がハイレベル ( “ 1 ” ) であり、それ以外のフリップフロップ 4 1 - 0 、 4 1 - 1 、 4 1 - 3 の出力がローレベル ( “ 0 ” ) である。

40

【 0 0 4 7 】

これにより、N O R 回路 4 2 の出力がハイレベルからローレベルになる。また、N O R 回路 4 3 の出力はハイレベル ( “ 1 ” ) であり、N O R 回路 4 4 の出力はローレベル ( “ 0 ” ) である。N O R 回路 4 2 の出力がハイレベルからローレベルになることで、フリップフロップ 4 5 が、N O R 回路 4 3 の出力であるハイレベル ( “ 1 ” ) を取り込んで保持し、フリップフロップ 4 6 が、N O R 回路 4 4 の出力であるローレベル ( “ 0 ” ) を取り込んで保持する。

【 0 0 4 8 】

したがって、時刻 T 2 1 にて比較器 2 3 - 2 の出力信号 S 2 がハイレベルからローレベ

50

ルに遷移することにより、ストップ信号STOPがハイレベルからローレベルになり、デジタル信号DOU T [ 7 : 6 ]として値“ 1 0 ”が出力される。なお、出力信号S 2がハイレベルからローレベルに遷移した後に他の出力信号S 0、S 1、S 3がハイレベルからローレベルに遷移したとしても、他の出力信号S 0、S 1、S 3の遷移ではNOR回路4 2の出力は変化しないのでストップ信号STOPも変化しない。また、NOR回路4 2の出力が変化しないので、フリップフロップ4 5及び4 6は保持している値を維持しデジタル信号DOU T [ 7 : 6 ]も変化することはない。

#### 【 0 0 4 9 】

また、比較器2 3 - 3の出力信号S 3が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ4 1 - 3の出力だけがハイレベル(“ 1 ”)になるので、デジタル信号DOU T [ 7 : 6 ]として値“ 1 1 ”が出力される。比較器2 3 - 1の出力信号S 1が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ4 1 - 1の出力だけがハイレベル(“ 1 ”)になるので、デジタル信号DOU T [ 7 : 6 ]として値“ 0 1 ”が出力される。比較器2 3 - 0の出力信号S 0が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ4 1 - 0の出力だけがハイレベル(“ 1 ”)になるので、デジタル信号DOU T [ 7 : 6 ]として値“ 0 0 ”が出力される。

#### 【 0 0 5 0 】

図2 Aに戻り、時間 - デジタル変換器(time to digital converter : TDC) 2 6は、スタート信号STARTがハイレベルに遷移してからストップ信号STOPがローレベルに遷移するまでの時間差を測定し、その時間差をデジタル値に変換することにより、デジタル信号DOU T [ 7 : 0 ]のうちの下位側の6ビットDOU T [ 5 : 0 ]の値を決定する。スタート信号STARTがハイレベルに遷移した時刻は、ランプ回路2 4により入力電位 $V_{sam}$ を一定の速度で低下させ始める時刻(図2 Bに示した例での時刻T 1 2)に対応する。ストップ信号STOPがローレベルに遷移した時刻は、比較器2 3 - 0 ~ 2 3 - 3の出力信号S 0 ~ S 3の何れか(最先の1つ)がハイレベルからローレベルに遷移した時刻(図2 Bに示した例での時刻T 1 3)に対応する。

#### 【 0 0 5 1 】

すなわち、時間 - デジタル変換器2 6によって測定されるスタート信号STARTがハイレベルに遷移してからストップ信号STOPがローレベルに遷移するまでの時間差 $t_{res}$ は、サンプリングされたアナログ入力信号VINの入力電位 $V_{sam}$ とその入力電位 $V_{sam}$ より低い参照電位のうちで最大の参照電位との電位差(残差成分) $V_{res}$ を時間に変換したものに相当する。したがって、時間 - デジタル変換器2 6によって測定された時間差 $t_{res}$ をデジタル値に変換することにより、デジタル信号DOU T [ 5 : 0 ]の値が得られる。

#### 【 0 0 5 2 】

図5は、本実施形態における時間 - デジタル変換器2 6の構成例を示す図である。図5に示す時間 - デジタル変換器2 6は、リング発振器(リングオシレータ)5 1、スイッチSW 5 1、及びカウンタ5 2を有する。

#### 【 0 0 5 3 】

リング発振器5 1は、NAND(否定論理積演算)回路5 3及び複数のインバータ5 4を有する。インバータ5 4は、偶数個配置されており、NAND回路5 3と偶数個のインバータ5 4とが直列に接続されている。NAND回路5 3にはスタート信号START及び前段(又は最終段)に接続されたインバータ5 4の出力が入力され、NAND回路5 3の出力が次段(又は初段)に接続されたインバータ5 4に入力される。

#### 【 0 0 5 4 】

スイッチSW 5 1は、リング発振器5 1の出力とカウンタ5 2の入力との間に設けられ、ストップ信号STOPによってオン/オフ制御される。スイッチSW 5 1は、ストップ信号STOPがハイレベルのときにオン(導通)となり、ストップ信号STOPがローレベルのときにオフ(非導通)となる。カウンタ5 2は、スイッチSW 5 1を介して入力されるリング発振器5 1の出力をカウントし、カウント値をデジタル信号DOU T [ 5 : 0 ]

10

20

30

40

50

]として出力する。

【 0 0 5 5 】

図 5 に示した時間 - デジタル変換器 2 6 は、スタート信号 S T A R T がローレベルからハイレベルに遷移すると、リング発振器 5 1 が発振信号を出力する。スタート信号 S T A R T がハイレベルに遷移する前 (又は遷移すると同時に)、ストップ信号 S T O P はハイレベルとされているので、リング発振器 5 1 が出力する発振信号は、スイッチ S W 5 1 を介してカウンタ 5 2 に入力される。その後、ストップ信号 S T O P がハイレベルからローレベルに遷移すると、スイッチ S W 5 1 がオフして、リング発振器 5 1 からカウンタ 5 2 への発振信号の入力が遮断される。この間、カウンタ 5 2 は、リング発振器 5 1 の出力をカウントしており、カウント値をデジタル信号 D O U T [ 5 : 0 ] として出力する。

10

【 0 0 5 6 】

図 6 A は、本実施形態における時間 - デジタル変換器 2 6 の他の構成例を示す図である。図 5 に示した時間 - デジタル変換器 2 6 は、小面積かつ低消費電力な構成ではあるが、リング発振器 5 1 の出力 (発振信号) の周期が時間分解能となり大きい。そこで、図 6 A に示す例では、リング発振器 5 1 の内部ノードの位相情報を用いることで、より小さい時間分解能で測定できるようにする。

【 0 0 5 7 】

図 6 A に示す時間 - デジタル変換器 2 6 は、リング発振器 (リングオシレータ) 5 1、カウンタ 5 2、フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k、第 1 のエンコーダ ( E N C 1 ) 5 6、及び第 2 のエンコーダ ( E N C 2 ) 5 7 を有する。リング発振器 5 1 は、N A N D 回路 5 3 及び偶数個のインバータ 5 4 を有し、それらが直列に接続されている。N A N D 回路 5 3 にはスタート信号 S T A R T 及び前段 (又は最終段) に接続されたインバータ 5 4 の出力が入力され、N A N D 回路 5 3 の出力が次段 (又は初段) に接続されたインバータ 5 4 に入力される。カウンタ 5 2 は、リング発振器 5 1 の出力をカウントし、カウント値を第 2 のエンコーダ 5 7 へ出力する。

20

【 0 0 5 8 】

フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k の各々は、データ入力端子 ( D ) がリング発振器 5 1 の対応する内部ノード  $n_1$ 、 $n_2$ 、・・・、 $n_k$  に接続され、クロック信号入力端子 ( C K ) にストップ信号 S T O P が入力される。第 1 のエンコーダ 5 6 は、フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k の出力端子 ( Q ) からの出力が入力され、それらをエンコードしてエンコード結果を第 2 のエンコーダ 5 7 へ出力する。第 2 のエンコーダ 5 7 は、カウンタ 5 2 からのカウント値及び第 1 のエンコーダ 5 6 からのエンコード結果をエンコードしてデジタル信号 D O U T [ 5 : 0 ] に変換し出力する。

30

【 0 0 5 9 】

図 6 A に示した時間 - デジタル変換器 2 6 は、スタート信号 S T A R T がローレベルからハイレベルに遷移すると、リング発振器 5 1 が発振信号を出力する。リング発振器 5 1 が出力する発振信号は、カウンタ 5 2 に入力されてカウントされ、カウント値が第 2 のエンコーダ 5 7 へ出力される。

【 0 0 6 0 】

そして、ストップ信号 S T O P がハイレベルからローレベルに遷移すると、そのときの内部ノード  $n_1$ 、 $n_2$ 、・・・、 $n_k$  の状態 (信号レベル) がフリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k に取り込まれて第 1 のエンコーダ 5 6 に出力される。第 1 のエンコーダ 5 6 は、フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k の出力をエンコードしてエンコード結果を第 2 のエンコーダ 5 7 へ出力する。カウンタ 5 2 から出力されたカウント値及び第 1 のエンコーダ 5 6 から出力されたエンコード結果は、第 2 のエンコーダ 5 7 によってエンコードされてデジタル信号 D O U T [ 5 : 0 ] に変換され出力される。

40

【 0 0 6 1 】

図 6 A に示した時間 - デジタル変換器 2 6 では、リング発振器 5 1 の内部ノード  $n_1$ 、

50

$n_2$ 、 $\dots$ 、 $n_k$ の位相情報を用いることにより、図6Bに示すようにリング発振器51におけるNAND回路53とインバータ54との間、及びインバータ54間の信号の伝播時間に相当する小さな時間分解能  $t$ での測定が可能となる。

【0062】

図7A~図7Cは、第1の実施形態におけるアナログデジタル変換器での誤差補正を説明するための図である。第1の実施形態におけるアナログデジタル変換器では、デジタル信号DOUT[7:0]のうちの上位側の2ビットDOUT[7:6]に係るAD変換を行う処理部と、下位側の6ビットDOUT[5:0]に係るAD変換を行う処理部とが異なる。

【0063】

そのため、上位側の2ビットDOUT[7:6]に係るAD変換を行う処理部におけるデジタル値“1”に対応する電位差と、下位側の6ビットDOUT[5:0]に係るAD変換を行う処理部におけるデジタル値“64”（最大値）に対応する電位差とが等しくなければならない。すなわち、電位VB、Vref1、Vref2、Vref3、VTの順での隣り合う電位間の電位差が、 $64 \cdot t$  ( $t$ は時間-デジタル変換器26の時間分解能)となるようにしなければならない。

【0064】

電位VB、Vref1、Vref2、Vref3、VTの順での隣り合う電位間の電位差が $64 \cdot t$ となっていれば、アナログ入力信号VINに対するデジタル信号DOUTは、図7Aに破線で示したような一定の傾きを有する連続した直線71で示される値となる。一方、電位VB、Vref1、Vref2、Vref3、VTの順での隣り合う電位間の電位差が $64 \cdot t$ よりも大きい場合には、アナログ入力信号VINに対するデジタル信号DOUTは、図7Aに実線で示したような不連続な直線72で示される値となってしまう。

【0065】

電位VB、Vref1、Vref2、Vref3、VTの順での隣り合う電位間の電位差が $64 \cdot t$ となるようにするには、例えば図7Bに示すように、スイッチSW71及び補正制御回路(CAL)73をさらに設けて、ランプ回路24の電流源IS1における電流量を調整すれば良い。スイッチSW71は、入力電位V<sub>sam</sub>の入力ノードに参照電位Vref1を供給するためのスイッチであり、制御信号SCによってオン/オフ制御される。制御信号SCは、制御回路21が出力するようにしても良いし、補正制御回路73が出力するようにしても良い。補正制御回路73は、時間-デジタル変換器26の出力に基づいて、ランプ回路24の電流源IS1における電流量を調整する。

【0066】

電流源IS1における電流量を調整するときの動作について説明する。まず、AD変換処理のサンプリング動作時に、制御信号SCによってスイッチSW71をオン(導通)させ、入力電位V<sub>sam</sub>の入力ノードに参照電位Vref1を供給する。なお、クロック信号CKはローレベルとしておき、アナログ入力信号VINの入力は行わない。制御信号SCによってスイッチSW71をオフ(非導通)とさせた後、AD変換処理の比較動作を開始する。AD変換処理の比較動作の開始時において、入力電位V<sub>sam</sub>は参照電位Vref1であるので、比較器23-0の出力信号S0がハイレベルであり、その他の比較器23-1~23-3の出力信号S1~S3がハイレベルである。

【0067】

その後、ランプ回路24によって入力電位V<sub>sam</sub>を一定の速度で低下させていき、入力電位V<sub>sam</sub>と参照電位VBとが等しくなると、比較器23-0の出力信号S0がハイレベルからローレベルに遷移する。これにより、入力電位V<sub>sam</sub>が参照電位Vref1から参照電位VBになるまでの時間差をデジタル値に変換して得られる値が時間-デジタル変換器26から出力される。補正制御回路73は、時間-デジタル変換器26から出力されたデジタル値に基づいて、ランプ回路24の電流源IS1における電流量を増減させ調整する。

10

20

30

40

50

## 【 0 0 6 8 】

本実施形態では、補正制御回路 7 3 は、時間 - デジタル変換器 2 6 から出力されたデジタル値が “ 6 4 ” より大きい場合、入力電位  $V_{sam}$  を低下させる速度を速くするように、電流源  $I_{S1}$  における電流量を増加させる。一方、補正制御回路 7 3 は、時間 - デジタル変換器 2 6 から出力されたデジタル値が “ 6 4 ” より小さい場合、入力電位  $V_{sam}$  を低下させる速度を遅くするように、電流源  $I_{S1}$  における電流量を減少させる。

## 【 0 0 6 9 】

このようにして、図 7 C に示すように、入力電位  $V_{sam}$  が参照電位  $V_{ref1}$  から参照電位  $V_B$  になるまでの時間差 7 4 が、 $64 \cdot t$  となるようにランプ回路 2 4 の電流源  $I_{S1}$  における電流量を調整する。ランプ回路 2 4 の電流源  $I_{S1}$  における電流量を適切に調整することで、図 7 A において破線の直線 7 1 で示されるような良好な A/D 変換特性を得ることができる。なお、前述した説明では、入力電位  $V_{sam}$  として参照電位  $V_{ref1}$  を供給して調整を行うようにしているが、入力電位  $V_{sam}$  として参照電位  $V_{ref2}$  や  $V_{ref3}$  を供給して電位  $V_{ref1}$  や  $V_{ref2}$  になるまでの時間差に基づいてランプ回路 2 4 の電流源  $I_{S1}$  における電流量を調整するようにしても良い。

## 【 0 0 7 0 】

第 1 の実施形態におけるアナログデジタル変換器の動作を、図 8 を参照して説明する。図 8 は、第 1 の実施形態におけるアナログデジタル変換器の動作例を示すタイミングチャートである。

## 【 0 0 7 1 】

時刻  $T_{81}$  ~ 時刻  $T_{82}$  にて、クロック信号  $CK$  がハイレベルとなってトラックアンドホールド回路 2 2 がトラックモードとなり、入力されたアナログ入力信号  $V_{IN}$  をトラックアンドホールド回路 2 2 によりサンプリングする。トラックアンドホールド回路 2 2 によりアナログ入力信号  $V_{IN}$  をサンプリングした後、リセット信号  $RESET$  を入力して、検出回路 2 5 ( その内部のフリップフロップ 4 1 - 0 ~ 4 1 - 3 ) をリセットする。なお、検出回路 2 5 のリセット処理は、ランプ回路 2 4 によって入力電位  $V_{sam}$  を低下させ始める前まで ( 本例では時刻  $T_{83}$  以前 ) に行えば良い。

## 【 0 0 7 2 】

次に、時刻  $T_{83}$  にて、スタート信号  $START$  をローレベルからハイレベルに遷移させる。スタート信号  $START$  がハイレベルになることで、入力電位  $V_{sam}$  がランプ回路 2 4 によって一定の速度で低下していく。また、スタート信号  $START$  がハイレベルになることで、時間 - デジタル変換器 2 6 は、スタート信号  $START$  がハイレベルになってからの時間の測定を開始する。

## 【 0 0 7 3 】

ランプ回路 2 4 によって入力電位  $V_{sam}$  が低下していき、時刻  $T_{84}$  にて、入力電位  $V_{sam}$  と参照電位  $V_{ref2}$  とが等しくなると、比較器 2 3 - 2 の出力信号  $S_2$  がハイレベルからローレベルに遷移する。比較器 2 3 - 2 の出力信号  $S_2$  がハイレベルからローレベルに遷移したことを受けて、検出回路 2 5 は、ストップ信号  $STOP$  をハイレベルからローレベルに遷移させるとともに、デジタル信号  $DOUT[7:0]$  のうちの上位側の 2 ビット  $DOUT[7:6]$  の値を “ 1 0 ” に決定し出力する。

## 【 0 0 7 4 】

また、ストップ信号  $STOP$  がローレベルになることで、時間 - デジタル変換器 2 6 は、時間の測定を終了する。そして、時間 - デジタル変換器 2 6 は、スタート信号  $START$  がハイレベルになってからストップ信号  $STOP$  がローレベルになるまでの時間  $t_{res}$  を変換して得られたデジタル値を、デジタル信号  $DOUT[7:0]$  のうちの下位側の 6 ビット  $DOUT[5:0]$  として出力する。その後、時刻  $T_{85}$  において、再びクロック信号  $CK$  がハイレベルとなり、次の A/D 変換処理が開始される。

## 【 0 0 7 5 】

第 1 の実施形態によれば、並列型 A/D 変換器とシングルスロープ型 A/D 変換器とを組み合わせることで、シングルスロープ型 A/D 変換器のビット数を減らすこと

10

20

30

40

50

ができ、シングルスロープ型 A D 変換器の長所を損なうことなく、高速に A D 変換を行うことが可能になる。また、図 4 A に一例を示したように検出回路等はわずかな論理回路で実現することができるので、本実施形態において追加される回路の面積や消費電力は非常に小さく、回路面積や消費電力の増大を抑制することができる。

#### 【 0 0 7 6 】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態について説明する。

図 2 A に例示した第 1 の実施形態における A D 変換器で使用している 4 つの比較器 2 3 - 0 ~ 2 3 - 3 は、アナログ入力信号に応じた入力電位と参照電位とを常時比較し続けなければならないため、比較を常時行う連続時間比較器と呼ばれる比較器である。連続時間比較器は常時電流を流すため、消費電力が大きい。以下に説明する第 2 の実施形態における A D 変換器では、クロック信号に同期して入力信号を取り込み比較する離散時間比較器と呼ばれる比較器を用い、A D 変換器の消費電力の低減を図る。

10

#### 【 0 0 7 7 】

図 1 0 は、第 2 の実施形態における A D 変換器の構成例を示す図である。図 1 0 には、入力されたアナログ入力信号 V I N を 8 ビットのデジタル信号 D O U T [ 7 : 0 ] に変換する A D 変換器を一例として示している。本例においては、デジタル信号 D O U T [ 7 : 0 ] のうちの上位側の 2 ビット D O U T [ 7 : 6 ] についての A D 変換処理を並列型 A D 変換器で行い、下位側の 6 ビット D O U T [ 5 : 0 ] についての A D 変換処理をシングルスロープ型 A D 変換器で行う。

20

#### 【 0 0 7 8 】

図 1 0 に例示する第 2 の実施形態における A D 変換器は、制御回路 1 0 1、トラックアンドホールド回路 1 0 2、比較器 (離散時間比較器) 1 0 3 - 1、1 0 3 - 2、1 0 3 - 3、エンコーダ 1 0 4、デジタルアナログ変換器 (D A 変換器) 1 0 5、減算器 1 0 6、比較器 (連続時間比較器) 1 0 7、ランプ回路 1 0 8、及び時間 - デジタル変換器 1 0 9 を有する。並列型 A D 変換器としての機能を比較器 1 0 3 - 1 ~ 1 0 3 - 3 及びエンコーダ 1 0 4 等によって実現し、シングルスロープ型 A D 変換器としての機能を比較器 1 0 7、ランプ回路 1 0 8、及び時間 - デジタル変換器 1 0 9 等によって実現する。

#### 【 0 0 7 9 】

制御回路 1 0 1 は、アナログ入力信号 V I N からデジタル信号 D O U T への A D 変換処理を統括的に制御する。例えば、制御回路 1 0 1 は、トラックアンドホールド回路 1 0 2 の動作を制御するクロック信号 C K A や、比較器 1 0 3 - 1 ~ 1 0 3 - 3 の動作を制御するクロック信号 C K B や、ランプ回路 1 0 8 及び時間 - デジタル変換器 1 0 9 の動作を制御するスタート信号 S T A R T を出力する。

30

#### 【 0 0 8 0 】

トラックアンドホールド回路 1 0 2 は、クロック信号 C K A によってオン / オフ制御されアナログ入力信号 V I N を伝達するスイッチ S W 1 0 1 と、スイッチ S W 1 0 1 を介して伝達されたアナログ入力信号 V I N を保持する保持容量 C 1 0 1 とを有する。トラックアンドホールド回路 1 0 2 は、クロック信号 C K A がハイレベルのときにスイッチ S W 1 0 1 がオン (導通) し (トラックモード)、入力されたアナログ入力信号 V I N を出力端に伝達する。また、トラックアンドホールド回路 1 0 2 は、クロック信号 C K A がローレベルのときにスイッチ S W 1 0 1 がオフ (非導通) になり (ホールドモード)、トラックモードにて伝達されたアナログ入力信号 V I N を保持する。

40

#### 【 0 0 8 1 】

比較器 1 0 3 - 1 ~ 1 0 3 - 3 は、クロック信号 C K B に同期して入力信号の取り込み及び比較を行う離散時間比較器である。比較器 1 0 3 - 1 ~ 1 0 3 - 3 は、クロック信号 C K B がローレベルのときにリセット状態となり、クロック信号 C K B がハイレベルのときに比較動作状態となる。

#### 【 0 0 8 2 】

比較器 1 0 3 - 1 は、入力電位  $V_{sam}$  及び参照電位  $V_{ref1}$  が入力され、入力電位  $V_s$

50

amと参照電位Vref1とを比較して比較結果に応じた出力信号S101を出力する。比較器103-2は、入力電位Vsam及び参照電位Vref2が入力され、入力電位Vsamと参照電位Vref2とを比較して比較結果に応じた出力信号S102を出力する。また、比較器103-3は、入力電位Vsam及び参照電位Vref3が入力され、入力電位Vsamと参照電位Vref3とを比較して比較結果に応じた出力信号S103を出力する。

【0083】

ここで、入力電位Vsamは、トラックアンドホールド回路102によってサンプリングされたアナログ入力信号VINに応じた電位である。参照電位Vref1、Vref2、Vref3は、例えば、低電位側の基準電圧VBと高電位側の基準電圧VTとの間を、同じ抵抗値を有する複数の抵抗が直列に接続された抵抗ラダー回路で抵抗分圧することで生成され、電位VB、Vref1、Vref2、Vref3、VTの順に一定の電位差で電位が高くなる。

10

【0084】

本実施形態における比較器103(103-1~103-3)の構成例を図11に示す。図11に示す比較器103は、NチャネルMOSトランジスタMT101、MT102、MT103、MT104、MT107、及びPチャネルMOSトランジスタMT105、MT106、MT108、MT109、MT110、MT111を有する。

【0085】

トランジスタMT101は、ゲートに入力信号INPが供給され、ソースがトランジスタMT107のドレインに接続され、ドレインがトランジスタMT103のソースに接続される。トランジスタMT102は、ゲートに入力信号INNが供給され、ソースがトランジスタMT107のドレインに接続され、ドレインがトランジスタMT104のソースに接続される。本実施形態における比較器103では、入力電位Vsamが入力信号INPとして入力され、参照電位が入力信号INNとして入力される。

20

【0086】

トランジスタMT103のドレインとトランジスタMT105のドレインとが接続され、その接続点の電位が出力信号OUTNとして出力される。トランジスタMT104のドレインとトランジスタMT106のドレインとが接続され、その接続点の電位が出力信号OUTPとして出力される。本実施形態における比較器103では、出力信号OUTPが比較器103の出力信号としてエンコーダ104へ出力される。

30

【0087】

また、トランジスタMT103及びMT105のゲートが、トランジスタMT104のドレインとトランジスタMT106のドレインとの接続点に接続される。トランジスタMT104及びMT106のゲートが、トランジスタMT103のドレインとトランジスタMT105のドレインとの接続点に接続される。トランジスタMT105及びMT106のソースに電源電圧が供給される。

【0088】

すなわち、トランジスタMT103とMT105とがインバータを構成するように接続され、トランジスタMT104とMT106とがインバータを構成するように接続される。そして、一方のインバータの出力が他方のインバータの入力に接続され、トランジスタMT103、MT104、MT105、及びMT106によってラッチ回路を構成する。

40

【0089】

トランジスタMT107は、ソースが基準電圧に接続され、ゲートにクロック信号CKBが供給される。トランジスタMT108、MT109、MT110、及びMT111は、ソースに電源電圧が供給され、ゲートにクロック信号CKBが供給される。

【0090】

トランジスタMT108のドレインが、トランジスタMT103のドレインとトランジスタMT105のドレインとの接続点に接続され、トランジスタMT109のドレインが、トランジスタMT101のドレインとトランジスタMT103のソースとの接続点に接続される。また、トランジスタMT110のドレインが、トランジスタMT104のドレ

50

インとトランジスタMT106のドレインとの接続点に接続され、トランジスタMT111のドレインが、トランジスタMT102のドレインとトランジスタMT104のソースとの接続点に接続される。

【0091】

図11に示した比較器は、クロック信号CKBがローレベルのとき、トランジスタMT107がオフし、トランジスタMT108～MT111がオンする。これにより、トランジスタMT104のドレインとトランジスタMT106のドレインとの接続点（出力信号OUTPUT）、及びトランジスタMT103のドレインとトランジスタMT105のドレインとの接続点（出力信号OUTN）がハイレベルにリセットされる。また、トランジスタMT101のドレインとトランジスタMT103のソースとの接続点、及びトランジスタMT102のドレインとトランジスタMT104のソースとの接続点が、ハイレベルにリセットされる。

10

【0092】

また、図11に示した比較器は、クロック信号CKBがハイレベルのとき、トランジスタMT107がオンし、トランジスタMT108～MT111がオフする。これにより、トランジスタMT101、MT102からなる差動増幅回路が動作状態となり、入力信号INP及びINNの電位差が増幅される。増幅された信号は、トランジスタMT103～MT106からなるラッチ回路にラッチされ、入力信号INP及びINNの大小関係が出力信号OUTPUT及びOUTNとして出力される。入力信号INPの電位が入力信号INNの電位より高い場合、出力信号OUTPUTはハイレベルになり、入力信号INPの電位が入力信号INNの電位より低い場合、出力信号OUTPUTはローレベルになる。

20

【0093】

したがって、図10に示した比較器103-1～103-3の各々は、入力電位 $V_{sam}$ と入力される参照電位とを比較した結果、入力電位 $V_{sam}$ が参照電位より高いときには出力信号S101～S103をハイレベル（電源電圧VDD）とする。一方、入力電位 $V_{sam}$ が参照電位以下のときには出力信号S101～S103をローレベル（基準電圧VSS）とする。ここで、図11に示した比較器では出力信号OUTPUT及びOUTNの状態が確定した後は回路に電流が流れないため、比較器103-1～103-3として図11に示した離散時間比較器を用いることで、連続時間比較器を用いた場合と比較して消費電力を低減することができる。

30

【0094】

エンコーダ104は、比較器103-1～103-3の出力信号S101～S103をエンコードして、デジタル信号DOUT[7:0]のうちの上位側の2ビットDOUT[7:6]に変換し出力する。エンコーダ104は、出力信号S103がハイレベルである場合、デジタル信号DOUT[7:6]として“11”を出力し、出力信号S103がローレベルであり出力信号S102がハイレベルである場合、デジタル信号DOUT[7:6]として“10”を出力する。また、エンコーダ104は、出力信号S103及びS102がローレベルであり出力信号S101がハイレベルである場合、デジタル信号DOUT[7:6]として“01”を出力し、出力信号S101～S103のすべてがローレベルである場合、デジタル信号DOUT[7:6]として“00”を出力する。

40

【0095】

DA変換器105は、エンコーダ104から出力されたデジタル信号DOUT[7:6]をデジタルアナログ変換し、デジタル信号DOUT[7:6]に応じた電位V101を出力する。DA変換器105は、デジタル信号DOUT[7:6]が“00”のとき出力電位V101を電位VBとし、デジタル信号DOUT[7:6]が“01”であるとき出力電位V101を電位Vref1とする。また、DA変換器105は、デジタル信号DOUT[7:6]が“10”のとき出力電位V101を電位Vref2とし、デジタル信号DOUT[7:6]が“11”のとき出力電位V101を電位Vref3とする。

【0096】

減算器106は、入力電位 $V_{sam}$ 及びDA変換器105からの出力電位V101が入力

50



され、入力電位  $V_{sam}$  から出力電位  $V_{101}$  を減算した電位（残差成分） $V_{res}$  を出力する。すなわち、減算器 106 は、アナログ入力信号  $V_{IN}$  に応じた入力電位  $V_{sam}$  から、比較器 103 - 1 ~ 103 - 3 及びエンコーダ 104 等からなる並列型 AD 変換器により決定されたデジタル信号  $DOUT[7:6]$  に応じた出力電位  $V_{101}$  を減じた電位（残差成分） $V_{res}$  を出力する。つまり、減算器 106 は、入力電位  $V_{sam}$  をデジタル信号  $DOUT[7:0]$  に変換したときの低位側の 6 ビット  $DOUT[5:0]$  に相当する残差成分  $V_{res}$  を出力する。

#### 【0097】

ランプ回路 108 は、スタート信号  $START$  によってオン/オフ制御されるスイッチ  $SW_{102}$  と、スイッチ  $SW_{102}$  を介して電位（残差成分） $V_{res}$  を供給するノードに接続される電流源  $IS_{101}$  とを有する。ランプ回路 108 は、スタート信号  $START$  がハイレベルのときにスイッチ  $SW_{102}$  がオンとなって電流源  $IS_{101}$  が電位（残差成分） $V_{res}$  を供給するノードに接続され、電位（残差成分） $V_{res}$  を一定の速度で低下させる。

#### 【0098】

比較器 107 は、常時比較し続けることが可能な連続時間比較器であり、図 2 A に例示した第 1 の実施形態における比較器 23 と同様に構成される。比較器 107 は、減算器 106 から出力された電位（残差成分） $V_{res}$  及び参照電位  $V_{r0}$  が入力され、電位（残差成分） $V_{res}$  と参照電位  $V_{r0}$  とを比較して比較結果に応じた出力信号を出力する。DA 変換器 105 が前述したようにデジタル信号  $DOUT[7:6]$  に応じて電位  $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$  を出力する場合、参照電位  $V_{r0}$  は 0（ゼロ）である。比較器 107 は、電位（残差成分） $V_{res}$  が参照電位  $V_{r0}$  より高いとき出力信号をハイレベルとし、電位（残差成分） $V_{res}$  がランプ回路 108 によって低下していき、電位（残差成分） $V_{res}$  が参照電位  $V_{r0}$  と等しくなると出力信号をローレベルとする。

#### 【0099】

時間 - デジタル変換器 109 は、スタート信号  $START$  がハイレベルに遷移してから比較器 107 の出力信号がローレベルに遷移するまでの時間差を測定し、その時間差をデジタル値に変換することにより、デジタル信号  $DOUT[7:0]$  のうちの低位側の 6 ビット  $DOUT[5:0]$  の値を決定する。時間 - デジタル変換器 109 は、図 5 及び図 6 A に例示した第 1 の実施形態における時間 - デジタル変換器 26 と同様に構成され、比較器 107 の出力信号がストップ信号  $STOP$  に対応する。

#### 【0100】

スタート信号  $START$  がハイレベルに遷移した時刻は、ランプ回路 108 によって電位（残差成分） $V_{res}$  を低下させ始める時刻に対応するので、時間 - デジタル変換器 109 によって測定される時間差は、電位（残差成分） $V_{res}$  を時間に変換したものに相当する。したがって、時間 - デジタル変換器 109 によって測定された時間差をデジタル値に変換することにより、デジタル信号  $DOUT[5:0]$  の値が得られる。

#### 【0101】

第 2 の実施形態における AD 変換器は、アナログ入力信号  $V_{IN}$  を 8 ビットのデジタル信号  $DOUT[7:0]$  に変換する際、比較器 103 - 1 ~ 103 - 3 及びエンコーダ 104 等によって構成される並列型 AD 変換器によりデジタル信号  $DOUT[7:0]$  のうちの上位側の 2 ビット  $DOUT[7:6]$  についての AD 変換処理を行う。そして、DA 変換器 105 及び減算器 106 により、アナログ入力信号  $V_{IN}$  から並列型 AD 変換器によって決定されたデジタル信号  $DOUT[7:6]$  を減じた残差成分  $V_{res}$  を発生させる。この残差成分  $V_{res}$  を比較器 107、ランプ回路 108、及び時間 - デジタル変換器 109 等によって構成されるシングルスロープ型 AD 変換器により AD 変換し、デジタル信号  $DOUT[7:0]$  のうちの低位側の 6 ビット  $DOUT[5:0]$  を決定する。

#### 【0102】

このように第 2 の実施形態によれば、第 1 の実施形態と同様にシングルスロープ型 AD 変換器のビット数を減らすことができ、シングルスロープ型 AD 変換器の長所を損なうこ

10

20

30

40

50

となく、高速にAD変換を行うことが可能になる。また、並列型AD変換器を構成する比較器103-1~103-3に消費電力が小さい離散時間比較器を用いることで、AD変換器の消費電力を低減することができる。また、残差成分 $V_{res}$ を発生させるDA変換器105及び減算器106の機能を実現する構成として、例えば図12に示すように容量型DA変換器を適用することで、容易に構成でき消費電力も小さく抑えることが可能となる。

#### 【0103】

図12は、第2の実施形態におけるアナログデジタル変換器の他の構成例を示す図である。図12に示すアナログデジタル変換器は、図10に示したアナログデジタル変換器におけるDA変換器105及び減算器106を容量型DA変換器121に置き換えたものである。なお、図12において、図10に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。

10

#### 【0104】

容量型DA変換器121は、アナログ入力信号 $V_{IN}$ 及びエンコーダ104から出力されたデジタル信号 $DOUT[7:6]$ が入力され、アナログ入力信号 $V_{IN}$ からデジタル信号 $DOUT[7:6]$ に応じた電位を減算した電位(残差成分) $V_{res}$ を出力する。すなわち、容量型DA変換器121は、デジタル信号 $DOUT[7:6]$ が“11”のときアナログ入力信号 $V_{IN}$ から電位 $V_{ref3}$ を減算した電位 $V_{res}$ を出力し、デジタル信号 $DOUT[7:6]$ が“10”のときアナログ入力信号 $V_{IN}$ から電位 $V_{ref2}$ を減算した電位 $V_{res}$ を出力する。また、容量型DA変換器121は、デジタル信号 $DOUT[7:6]$ が“01”のときアナログ入力信号 $V_{IN}$ から電位 $V_{ref1}$ を減算した電位 $V_{res}$ を出力し、デジタル信号 $DOUT[7:6]$ が“00”のときアナログ入力信号 $V_{IN}$ から電位 $V_B$ を減算した電位 $V_{res}$ を出力する。

20

#### 【0105】

図13は、本実施形態における容量型DA変換器121の構成例を示す図である。容量型DA変換器121は、3つの容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ 及び4つのスイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ 、 $SW_{134}$ を有する。容量 $C_{131}$ 、 $C_{132}$ の容量値は等しく、容量値 $C_{133}$ の容量値は容量 $C_{131}$ 、 $C_{132}$ の容量値の2倍であるとする。

#### 【0106】

容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の一方の電極は、出力ノード $OUT$ に接続される。容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の一方の電極には、スイッチ $SW_{134}$ を介してコモン電圧 $V_{com}$ が供給可能となっている。また、容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ のそれぞれの他方の電極には、スイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ を介してアナログ入力信号 $V_{IN}$ 、高電位側の基準電圧 $V_T$ 、低電位側の基準電圧 $V_B$ が選択的に供給可能となっている。

30

#### 【0107】

図13に示す容量型DA変換器は、トラック期間(クロック信号 $CKA$ がハイレベルの期間)には、容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の一方の電極にスイッチ $SW_{134}$ を介してコモン電圧 $V_{com}$ が供給され、容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の他方の電極にスイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ を介してアナログ入力信号 $V_{IN}$ が供給される。トラック期間が終了すると、スイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ 、 $SW_{134}$ がオフし、トラック期間終了時のアナログ入力信号 $V_{IN}$ が容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ にサンプリングされ保持される。

40

#### 【0108】

その後、並列型AD変換器の変換結果である、エンコーダ104から出力されたデジタル信号 $DOUT[7:6]$ に応じてスイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ の切り替えを行う。スイッチ $SW_{131}$ は、デジタル信号 $DOUT[7:6]$ にかかわらず、容量 $C_{131}$ の他方の電極に低電位側の基準電圧 $V_B$ を供給するように制御される。

#### 【0109】

50

スイッチSW132は、デジタル信号DOU T [ 6 ] に応じて制御される。スイッチSW132は、デジタル信号DOU T [ 6 ] が “ 1 ” のとき容量C132の他方の電極に高電位側の基準電圧V T を供給するように制御され、デジタル信号DOU T [ 6 ] が “ 0 ” のとき容量C132の他方の電極に低電位側の基準電圧V B を供給するように制御される。また、スイッチSW133は、デジタル信号DOU T [ 7 ] に応じて制御される。スイッチSW133は、デジタル信号DOU T [ 7 ] が “ 1 ” のとき容量C133の他方の電極に高電位側の基準電圧V T を供給するように制御され、デジタル信号DOU T [ 7 ] が “ 0 ” のとき容量C133の他方の電極に低電位側の基準電圧V B を供給するように制御される。

#### 【 0 1 1 0 】

このようにデジタル信号DOU T [ 7 : 6 ] に応じてスイッチSW131、SW132、SW133の切り替えを行うことで、容量C131、C132、C133に蓄えられている電荷が再配分され、出力ノードOU T にはアナログ入力信号V I N からデジタル信号DOU T [ 7 : 6 ] に応じた電位を減算した電位が出力される。

#### 【 0 1 1 1 】

前述したように容量型D A 変換器を用いることで、図10に示したD A 変換器105及び減算器106の機能を統合することができる。容量型D A 変換器は、図13に示したように容量とスイッチのみで構成でき、回路の面積や消費電力を低減することが可能となる。また、容量型D A 変換器の出力ノードには残差成分 $V_{res}$ が蓄えられた容量が接続されているので、容量型D A 変換器の出力ノードにランプ回路108を直接接続するだけでラ

ンプ動作が可能となり、回路構成を簡略化できるという利点もある。

#### 【 0 1 1 2 】

なお、前述した説明では、並列型A D 変換器において上位側の2ビットのA D 変換を行い、シングルスロープ型A D 変換器において下位側の6ビットのA D 変換を行う例を示したが、本発明はこれに限定されるものではない。出力するデジタル信号のビット数等に応じて、並列型A D 変換器及びシングルスロープ型A D 変換器のビット数は適宜設定可能であり、回路面積や変換速度等を考慮して適切に設定すれば良い。例えば、 $2^p$ 個の比較器を有する並列型A D 変換器とqビットの変換精度を持つシングルスロープ型A D 変換器とを組み合わせることで、 $(p + q)$ ビットのデジタル信号へのA D 変換を行うことが可能である。

#### 【 0 1 1 3 】

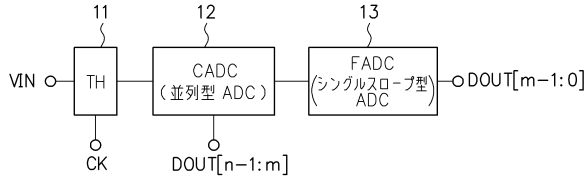
なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

#### 【 産業上の利用可能性 】

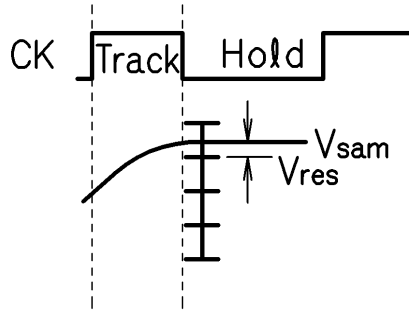
#### 【 0 1 1 4 】

以上のように、本発明によれば、デジタル信号の上位側の変換を並列型アナログデジタル変換器で行い、下位側の変換をシングルスロープ型アナログデジタル変換器で行うことで、シングルスロープ型アナログデジタル変換器のビット数を減らすことができ、小面積及び低消費電力で、かつ高速にアナログデジタル変換を行うことが可能なアナログデジタル変換器を提供することができる。

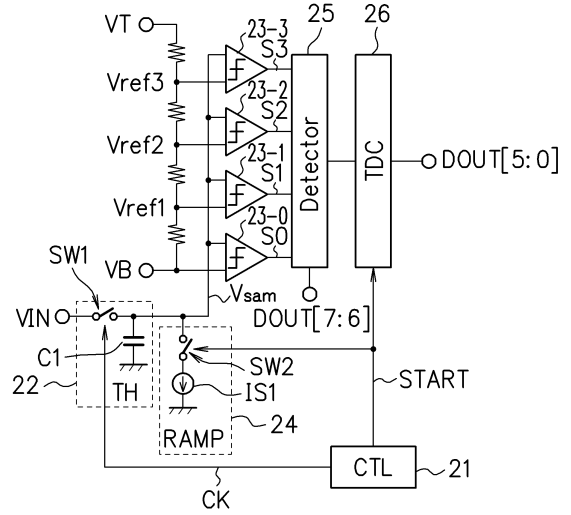
【図 1 A】



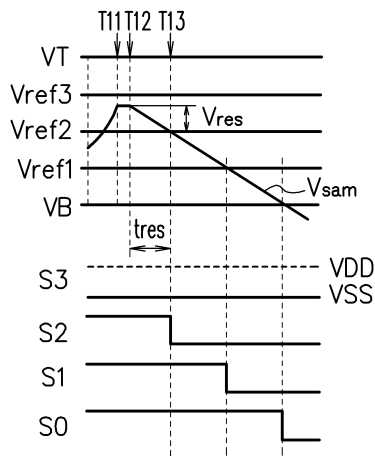
【図 1 B】



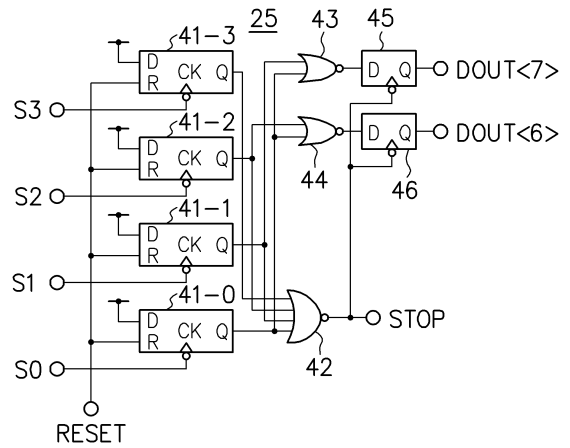
【図 2 A】



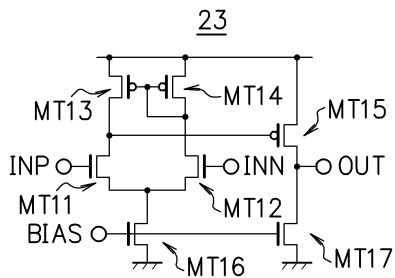
【図 2 B】



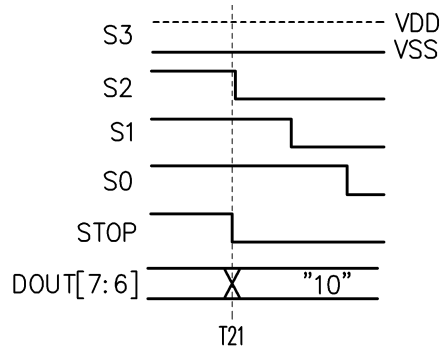
【図 4 A】



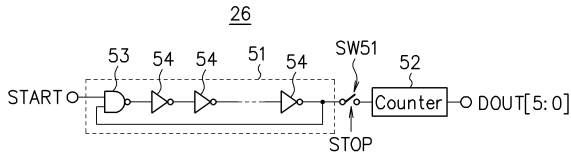
【図 3】



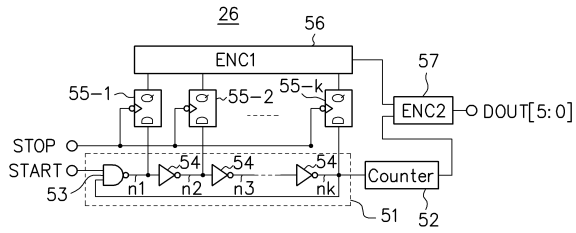
【図 4 B】



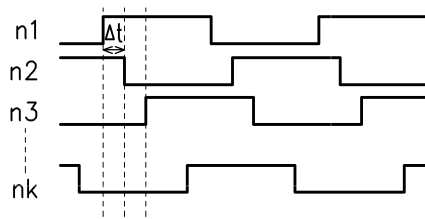
【 図 5 】



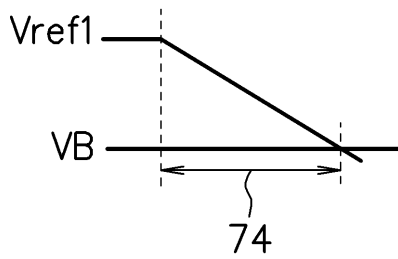
【 図 6 A 】



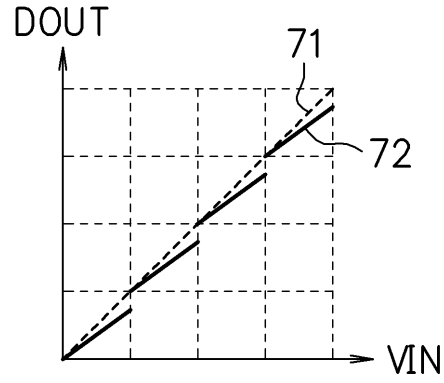
【 図 6 B 】



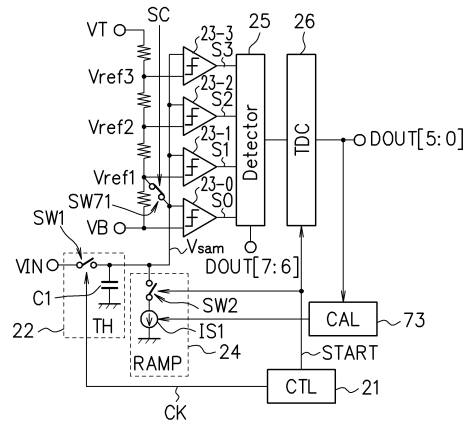
【 図 7 C 】



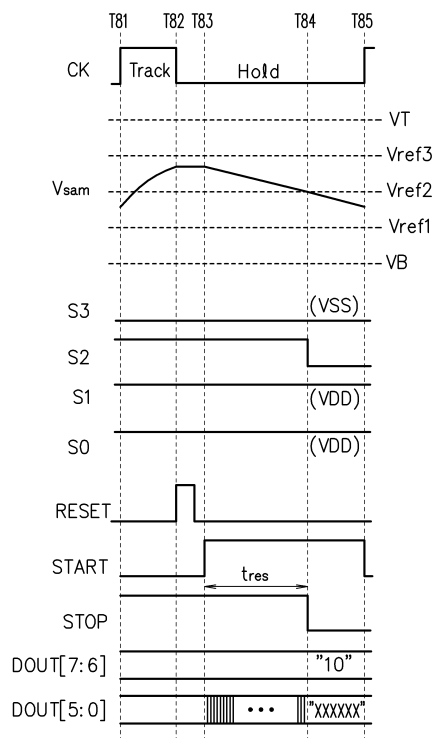
【 図 7 A 】



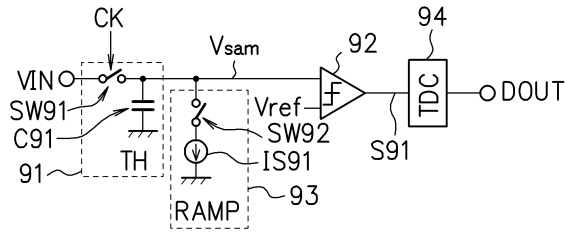
【 図 7 B 】



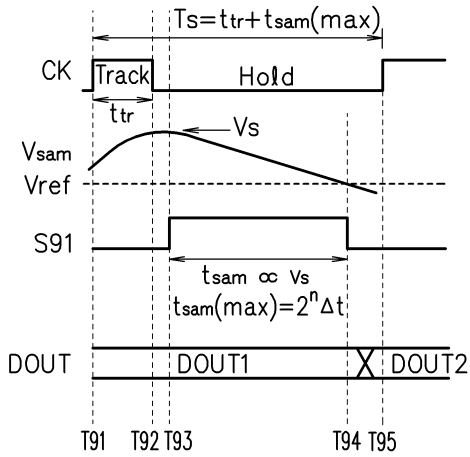
【 図 8 】



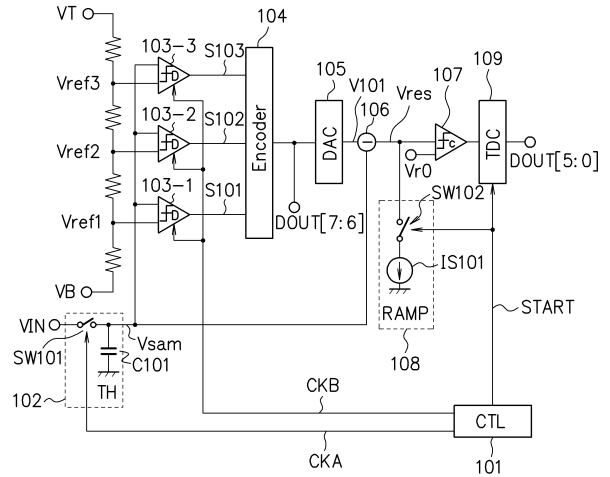
【 図 9 A 】



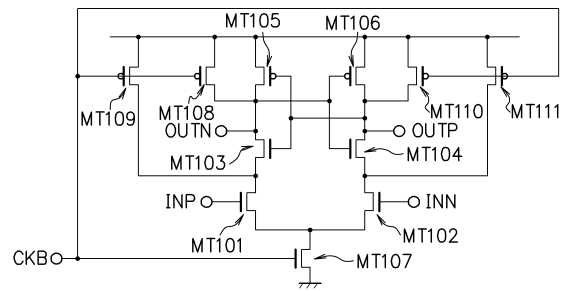
【 図 9 B 】



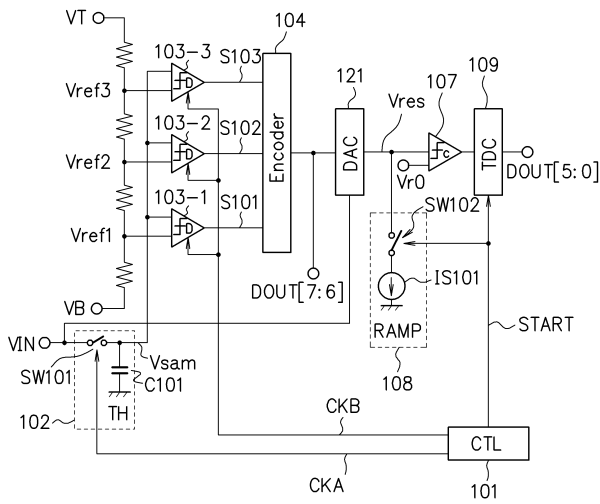
【 図 1 0 】



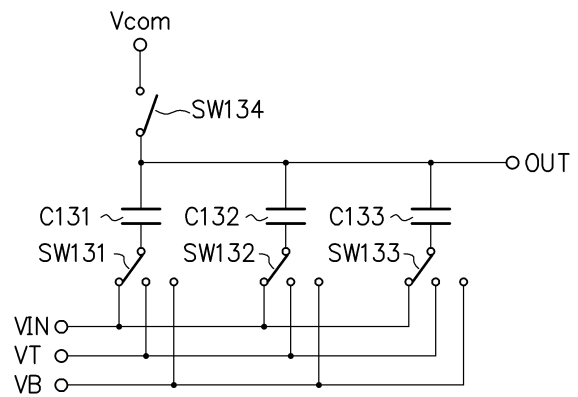
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



---

フロントページの続き

- (56)参考文献 特開2013-150255(JP,A)  
特開昭64-078027(JP,A)  
特開2008-042885(JP,A)  
特表2010-503253(JP,A)  
米国特許出願公開第2012/0050082(US,A1)  
特開2003-198372(JP,A)  
特開2014-236373(JP,A)  
特開2011-239214(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-188