

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6600918号  
(P6600918)

(45) 発行日 令和1年11月6日(2019.11.6)

(24) 登録日 令和1年10月18日(2019.10.18)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 J
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 3 O 1 H
HO 1 L 29/66 (2006.01)	HO 1 L 29/06 6 O 1 N
HO 1 L 21/20 (2006.01)	HO 1 L 29/66 T
請求項の数 6 (全 25 頁) 最終頁に続く	

(21) 出願番号 特願2017-543415 (P2017-543415)  
 (86) (22) 出願日 平成28年9月27日 (2016. 9. 27)  
 (86) 国際出願番号 PCT/JP2016/078393  
 (87) 国際公開番号 W02017/057329  
 (87) 国際公開日 平成29年4月6日 (2017. 4. 6)  
 審査請求日 平成30年5月30日 (2018. 5. 30)  
 (31) 優先権主張番号 特願2015-193196 (P2015-193196)  
 (32) 優先日 平成27年9月30日 (2015. 9. 30)  
 (33) 優先権主張国・地域又は機関  
 日本国 (JP)

(73) 特許権者 504173471  
 国立大学法人北海道大学  
 北海道札幌市北区北8条西5丁目  
 (73) 特許権者 503360115  
 国立研究開発法人科学技術振興機構  
 埼玉県川口市本町四丁目1番8号  
 (74) 代理人 110002952  
 特許業務法人鷺田国際特許事務所  
 (72) 発明者 福井 孝志  
 北海道札幌市北区北8条西5丁目 国立大  
 学法人北海道大学内  
 (72) 発明者 富岡 克広  
 北海道札幌市北区北8条西5丁目 国立大  
 学法人北海道大学内

最終頁に続く

(54) 【発明の名称】 トンネル電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

チャンネルと、  
 前記チャンネルの一端に直接または間接的に接続されたソース電極と、  
 前記チャンネルの他端に直接または間接的に接続されたドレイン電極と、  
 前記チャンネルに電界を作用させて、前記チャンネルの前記ソース電極側の接合部にトンネル現象を生じさせるとともに、同時に前記チャンネルに二次元電子ガスを生じさせるゲート電極と、  
 を有する、トンネル電界効果トランジスタ。

【請求項2】

基板と、  
 前記基板に接続された前記チャンネルを含む、コアマルチシェルナノワイヤと、  
 前記基板に接続された、前記ソース電極および前記ドレイン電極の一方と、  
 前記コアマルチシェルナノワイヤに接続された、前記ソース電極および前記ドレイン電極の他方と、  
 前記コアマルチシェルナノワイヤの側面に配置されたゲート絶縁膜と、  
 前記ゲート絶縁膜上に配置され、前記コアマルチシェルナノワイヤの少なくとも一部に電界を作用させて、前記チャンネルの前記ソース電極側の接合部にトンネル現象を生じさせるとともに、同時に前記チャンネルに二次元電子ガスを生じさせる前記ゲート電極と、  
 を有する、請求項1に記載のトンネル電界効果トランジスタ。

## 【請求項3】

(111)面を有し、第1導電型にドーピングされたIV族半導体からなる基板と、  
前記基板の(111)面を被覆した、開口部を有する絶縁膜と、  
前記開口部内に露出した前記基板の(111)面および当該開口部の周囲の前記絶縁膜上に配置された、III-V族化合物半導体からなるコアマルチシェルナノワイヤと、  
前記基板に接続された、前記ソース電極および前記ドレイン電極の一方と、  
前記コアマルチシェルナノワイヤに接続された、前記ソース電極および前記ドレイン電極の他方と、

前記コアマルチシェルナノワイヤの側面に配置されたゲート絶縁膜と、  
前記ゲート絶縁膜上に配置された、前記コアマルチシェルナノワイヤの少なくとも一部に電界を作用させる前記ゲート電極と、  
を有し、

前記コアマルチシェルナノワイヤは、  
前記開口部内に露出した前記基板の(111)面に接続された第1領域と、前記第1領域に接続された、前記第1導電型と異なる第2導電型にドーピングされた第2領域とを含む、III-V族化合物半導体からなる、前記チャンネルとしての中心ナノワイヤと、

バンドギャップが前記中心ナノワイヤを構成するIII-V族化合物半導体よりも大きいII-V族化合物半導体からなる、前記中心ナノワイヤの側面を被覆するバリア層と、

バンドギャップが前記中心ナノワイヤを構成するIII-V族化合物半導体よりも大きく、かつ前記バリア層を構成するIII-V族化合物半導体よりも小さい、前記第2導電型のII-V族化合物半導体からなる、前記バリア層を被覆する変調ドーピング層と、

バンドギャップが前記中心ナノワイヤを構成するIII-V族化合物半導体のバンドギャップ以上であるIII-V族化合物半導体からなる、前記変調ドーピング層を被覆するキャップ層と、

を有し、

前記第1領域は、真性半導体であるか、または前記第2領域の不純物密度よりも低く前記第2導電型にドーピングされており、

前記バリア層および前記キャップ層は、それぞれ、真性半導体であるか、または前記変調ドーピング層の不純物密度よりも低く前記第2導電型にドーピングされており、

前記ソース電極およびドレイン電極の他方は、前記中心ナノワイヤの前記第2領域に接続されており、

前記ゲート電極は、前記基板の(111)面と前記中心ナノワイヤとの接合界面と、前記中心ナノワイヤの前記第1領域とに電界を作用させて、前記接合界面にトンネル現象を生じさせるとともに、同時に前記第1領域に二次元電子ガスを生じさせる、

請求項1に記載のトンネル電界効果トランジスタ。

## 【請求項4】

前記コアマルチシェルナノワイヤは、前記バリア層および前記変調ドーピング層の間に配置されている、前記変調ドーピング層を構成するIII-V族化合物半導体と同じ組成のIII-V族化合物半導体からなる第1スペーサー層と、前記変調ドーピング層および前記キャップ層の間に配置されている、前記変調ドーピング層および前記第1スペーサー層を構成するIII-V族化合物半導体と同じ組成のIII-V族化合物半導体からなる第2スペーサー層とをさらに有し、

前記第1スペーサー層および前記第2スペーサー層のバンドギャップは、前記中心ナノワイヤを構成するIII-V族化合物半導体のバンドギャップよりも大きく、かつ前記バリア層を構成するIII-V族化合物半導体のバンドギャップよりも小さい、

請求項3に記載のトンネル電界効果トランジスタ。

## 【請求項5】

前記変調ドーピング層の不純物密度は、 $10^{17} \sim 10^{21} \text{ cm}^{-3}$ の範囲内である、請求項3または請求項4に記載のトンネル電界効果トランジスタ。

## 【請求項6】

請求項 1 ~ 5 のいずれか一項に記載のトンネル電界効果トランジスタを含むスイッチ素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トンネル電界効果トランジスタ (TFET) 構造と高電子移動度トランジスタ (HEMT) 構造とを含むトンネル電界効果トランジスタに関する。

【背景技術】

【0002】

半導体マイクロプロセッサおよび高集積回路は、金属 - 酸化膜 - 半導体 (MOS) 電界効果トランジスタ (FET) などの素子を半導体基板上に集積して製造される。一般的には、相補型 MOSFET (CMOS) が集積回路の基本素子 (スイッチ素子) となる。半導体基板の材料には、IV族半導体であるシリコンが主として使用される。CMOSを構成するトランジスタを小型化することで、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。CMOSを小型化する際の課題の一つは、電力消費量の増大である。電力消費量の増大の主な原因としては、1つのマイクロチップに搭載可能な CMOS の数が増加すること、および短チャネル効果によるリーク電流が増大することの2つが挙げられる。これらのうち、リーク電流の増大は、供給電圧の増大をもたらすことになる。したがって、各 CMOS について、リーク電流を抑制し、駆動電圧を低減させる必要がある。

10

20

【0003】

CMOSのスイッチ特性を示す指標として、サブスレッシュヨルド係数 (mV/桁) が用いられる。サブスレッシュヨルド係数は、MOSFETをON状態にするための最低駆動電圧に相当する。従来のMOSFETのスイッチ特性は、電子および正孔 (キャリア) の拡散現象に基づくものである。したがって、従来のMOSFETでは、サブスレッシュヨルド係数の理論的な最小値は60mV/桁であり、これよりも小さなサブ閾値を示すスイッチ特性を実現することはできなかった。

【0004】

この物理的な理論限界を超え、より小さなサブスレッシュヨルド係数で動作するスイッチ素子として、トンネル電界効果トランジスタ (TFET) が報告されている。トンネル電界効果トランジスタは、短チャネル効果がなく、かつ高いON/OFF比を低電圧で実現できるため、次世代スイッチ素子の有力な候補と考えられている。近年、III-V族化合物半導体ナノワイヤを用いたトンネル電界効果トランジスタが報告されている (例えば、非特許文献1参照)。

30

【0005】

非特許文献1には、p型シリコン (111) 基板と、シリコン基板の (111) 面上に基板面に対して法線方向に沿って配置された InAs ナノワイヤと、シリコン基板に接続されたソース電極と、InAs ナノワイヤに接続されたドレイン電極と、シリコン基板と InAs ナノワイヤとの界面に効果を及ぼしうる位置に配置されたゲート電極とを有するトンネル電界効果トランジスタが記載されている。このトンネル電界効果トランジスタは、小さなサブスレッシュヨルド係数 (60mV/桁以下) で動作可能であると報告されている。

40

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】Tomioaka, K., Yoshimura, M. and Fukui, T., "Sub 60 mV/decade Switch Using an InAs Nanowire-Si Heterojunction and Turn-on Voltage Shift with a Pulsed Doping Technique", Nano Lett., Vol.13, pp.5822-5826.

【発明の概要】

【発明が解決しようとする課題】

50

## 【 0 0 0 7 】

しかしながら、従来のトンネル電界効果トランジスタには、トンネル輸送を利用するため、電流値がM O S F E Tに比べて顕著に小さいという問題がある。

## 【 0 0 0 8 】

本発明の目的は、小さなサブスレッショルド係数（60 m V / 桁以下）で動作可能であり、かつ電流値が従来のトンネル電界効果トランジスタよりも大きいトンネル電界効果トランジスタを提供することである。

## 【課題を解決するための手段】

## 【 0 0 0 9 】

本発明者は、トンネル電界効果トランジスタ（T F E T）構造と高電子移動度トランジスタ（H E M T）構造とを組み合わせ、一つのゲート電極でトンネル現象および二次元電子ガスを同時に生じさせることで、上記課題を解決しうることを見出し、さらに検討を加えて本発明を完成させた。

## 【 0 0 1 0 】

すなわち、本発明は、以下のトンネル電界効果トランジスタおよびスイッチ素子に関する。

[ 1 ] チャンネルと、前記チャンネルの一端に直接または間接的に接続されたソース電極と、前記チャンネルの他端に直接または間接的に接続されたドレイン電極と、前記チャンネルに電界を作用させて、前記チャンネルの前記ソース電極側の接合部にトンネル現象を生じさせるとともに、同時に前記チャンネルに二次元電子ガスを生じさせるゲート電極と、を有する、トンネル電界効果トランジスタ。

[ 2 ] ( 1 1 1 ) 面を有し、第1導電型にドーピングされたIV族半導体からなる基板と、前記基板の( 1 1 1 ) 面を被覆した、開口部を有する絶縁膜と、前記開口部内に露出した前記基板の( 1 1 1 ) 面および当該開口部の周囲の前記絶縁膜上に配置された、III - V 族化合物半導体からなるコアマルチシェルナノワイヤと、前記基板に接続された、前記ソース電極および前記ドレイン電極の一方と、前記コアマルチシェルナノワイヤに接続された、前記ソース電極および前記ドレイン電極の他方と、前記コアマルチシェルナノワイヤの側面に配置されたゲート絶縁膜と、前記ゲート絶縁膜上に配置された、前記コアマルチシェルナノワイヤの少なくとも一部に電界を作用させる前記ゲート電極と、を有し、前記コアマルチシェルナノワイヤは、前記開口部内に露出した前記基板の( 1 1 1 ) 面に接続された第1領域と、前記第1領域に接続された、前記第1導電型と異なる第2導電型にドーピングされた第2領域とを含む、III - V 族化合物半導体からなる、前記チャンネルとしての中心ナノワイヤと、そのバンドギャップが前記中心ナノワイヤを構成するIII - V 族化合物半導体よりも大きいIII - V 族化合物半導体からなる、前記中心ナノワイヤの側面を被覆するバリア層と、そのバンドギャップが前記中心ナノワイヤを構成するIII - V 族化合物半導体よりも大きく、かつ前記バリア層を構成するIII - V 族化合物半導体よりも小さい、前記第2導電型のIII - V 族化合物半導体からなる、前記バリア層を被覆する変調ドーピング層と、そのバンドギャップが前記中心ナノワイヤを構成するIII - V 族化合物半導体のバンドギャップ以上であるIII - V 族化合物半導体からなる、前記変調ドーピング層を被覆するキャップ層と、を有し、前記第1領域は、真性半導体であるか、または前記第2領域の不純物密度よりも低く前記第2導電型にドーピングされており、前記バリア層および前記キャップ層は、それぞれ、真性半導体であるか、または前記変調ドーピング層の不純物密度よりも低く前記第2導電型にドーピングされており、前記ソース電極およびドレイン電極の他方は、前記中心ナノワイヤの前記第2領域に接続されており、前記ゲート電極は、前記基板の( 1 1 1 ) 面と前記中心ナノワイヤとの接合界面と、前記中心ナノワイヤの前記第1領域とに電界を作用させて、前記接合界面にトンネル現象を生じさせるとともに、同時に前記第1領域に二次元電子ガスを生じさせる、[ 1 ] に記載のトンネル電界効果トランジスタ。

[ 3 ] 前記コアマルチシェルナノワイヤは、前記バリア層および前記変調ドーピング層の間に配置されている、前記変調ドーピング層を構成するIII - V 族化合物半導体と同じ組成のIII - V 族化合物半導体からなる第1スペーサー層と、前記変調ドーピング層および前記キャップ

10

20

30

40

50

層の間に配置されている、前記変調ドーブ層および前記第1スペーサー層を構成するIII-V族化合物半導体と同じ組成のIII-V族化合物半導体からなる第2スペーサー層とをさらに有し、前記第1スペーサー層および前記第2スペーサー層のバンドギャップは、前記中心ナノワイヤを構成するIII-V族化合物半導体のバンドギャップよりも大きく、かつ前記バリア層を構成するIII-V族化合物半導体のバンドギャップよりも小さい、[2]に記載のトンネル電界効果トランジスタ。

[4] 前記変調ドーブ層の不純物密度は、 $10^{17} \sim 10^{21} \text{ cm}^{-3}$ の範囲内である、[2]または[3]に記載のトンネル電界効果トランジスタ。

[5] [1]～[4]のいずれか一項に記載のトンネル電界効果トランジスタを含むスイッチ素子。

10

#### 【発明の効果】

##### 【0011】

本発明によれば、小さなサブスレッショルド係数(60mV/桁以下)で動作可能であり、かつ電流値が大きいトンネル電界効果トランジスタおよびスイッチ素子を提供することができる。本発明に係るトンネル電界効果トランジスタを用いることで、半導体マイクロプロセッサおよび高集積回路の電力消費量の増大を抑制しつつ、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。

#### 【図面の簡単な説明】

##### 【0012】

【図1】図1は、本発明に係るトンネル電界効果トランジスタの等価回路の一例を示す図である。

20

【図2】図2は、本発明の一実施の形態に係るトンネル電界効果トランジスタの構成を示す断面模式図である。

【図3】図3Aは、図2に示されるトンネル電界効果トランジスタのコアマルチシェルナノワイヤの拡大断面図である。図3Bは、コアマルチシェルナノワイヤの変形例の拡大断面図である。

【図4】図4は、図2に示されるトンネル電界効果トランジスタのバンド構造の模式図である。

【図5】図5は、図2に示されるトンネル電界効果トランジスタのバンド構造の模式図である。

30

【図6】図6A～Cは、図2に示されるトンネル電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図7】図7A, Bは、図2に示されるトンネル電界効果トランジスタの製造方法の一例を示す断面模式図である。

【図8】図8は、基板温度を上昇させたとき、および基板温度を高温から低下させたときに生じるシリコン表面の再構成構造(表面原子の配列周期が変化する現象)の分類図である。

【図9】図9Aは、(111)面を示す模式図である。図9Bは、(111)1×1面を示す模式図である。

【図10】図10は、TFET-1用のコアマルチシェルナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡写真である。

40

【図11】図11は、TFET-1に含まれるHEMT構造のバンド図である。

【図12】図12は、TFET-1およびTFET-2におけるドレイン電流とサブスレッショルド係数との関係を示すグラフである。

【図13】図13Aは、TFET-1におけるゲート電圧とドレイン電流との関係を示すグラフである。図13Bは、TFET-1におけるドレイン電圧とドレイン電流との関係を示すグラフである。

【図14】図14Aは、TFET-2におけるゲート電圧とドレイン電流との関係を示すグラフである。図14Bは、TFET-2におけるドレイン電圧とドレイン電流との関係を示すグラフである。

50

## 【発明を実施するための形態】

## 【0013】

## 1. トンネル電界効果トランジスタ

本発明に係るトンネル電界効果トランジスタ(TFET)は、チャンネルと、チャンネルの一端に直接または間接的に接続されたソース電極と、チャンネルの他端に直接または間接的に接続されたドレイン電極と、チャンネルに電界を作用させるゲート電極とを有する。ゲート電極は、チャンネルに電界を作用させて、チャンネルのソース電極側の接合部にトンネル現象を生じさせるとともに、同時にチャンネルに二次元電子ガスを生じさせる。本発明に係るトンネル電界効果トランジスタは、トンネル電界効果トランジスタ(TFET)構造および高電子移動度トランジスタ(HEMT)構造の両方を有することを特徴とする。図1は、本発明に係るトンネル電界効果トランジスタの等価回路の一例を示す図である。以下、本発明に係るトンネル電界効果トランジスタの一例として、IV族半導体からなる基板と、III-V族化合物半導体からなるコアマルチシェルナノワイヤとを含むトンネル電界効果トランジスタについて説明する。

10

## 【0014】

図2は、本発明の一実施の形態に係るトンネル電界効果トランジスタ100の構成を示す断面模式図である。図2に示されるように、本実施の形態に係るトンネル電界効果トランジスタ100は、基板110、絶縁膜120、コアマルチシェルナノワイヤ130、ソース電極140、ドレイン電極150、ゲート絶縁膜160、ゲート電極170および絶縁保護膜180を有する。本実施の形態に係るトンネル電界効果トランジスタ100では、ゲート電極170に電圧を印加したときに、基板110の(111)面とコアマルチシェルナノワイヤ130の中心ナノワイヤ131との接合界面においてトンネル現象が生じるとともに、中心ナノワイヤ131の外周部において二次元電子ガスが発生する。以下、各構成要素について説明する。

20

## 【0015】

基板110は、シリコンやゲルマニウムなどのIV族半導体からなり、(111)面を有する。基板110は、第1導電型(n型またはp型)にドーピングされている。たとえば、基板は、n型シリコン(111)基板またはp型シリコン(111)基板である。

## 【0016】

絶縁膜120は、基板110の(111)面を被覆しており、1または2以上の開口部を有している。絶縁膜120は、中心ナノワイヤ131を基板110の(111)面から成長させる際にマスクパターンとして機能する。絶縁膜120の材料は、中心ナノワイヤの成長を阻害することができ、かつ絶縁体であれば特に限定されない。絶縁膜120の材料の例には、酸化シリコン( $\text{SiO}_2$ )、窒化シリコン( $\text{SiN}$ )、酸化アルミニウム( $\text{Al}_2\text{O}_3$ )などが含まれる。絶縁膜120は、1層であってもよいし、2層以上からなってもよい。絶縁膜120の膜厚は、絶縁性能を適切に発揮しうる限り特に限定されない。たとえば、絶縁膜120は、膜厚20nmの酸化シリコン膜である。

30

## 【0017】

絶縁膜120の開口部は、基板110の(111)面まで貫通しており、開口部内では基板110の(111)面が露出している。開口部は、本実施の形態に係るトンネル電界効果トランジスタ100を製造する際に、中心ナノワイヤ131の成長位置、太さおよび形状を規定する。開口部の形状は、特に限定されず、任意に決定することができる。開口部の形状の例には、三角形、四角形、六角形および円形が含まれる。開口部の外接円の直径は、2~500nm程度であればよい。開口部の数が2以上の場合、開口部の中心間距離は、数十nm~数 $\mu\text{m}$ 程度であればよい。

40

## 【0018】

コアマルチシェルナノワイヤ130は、III-V族化合物半導体からなる、直径7.6nm~1 $\mu\text{m}$ 、長さ100nm~100 $\mu\text{m}$ のコアマルチシェル構造の構造体である。コアマルチシェルナノワイヤ130は、絶縁膜120の開口部内に露出した基板110の(111)面およびその周囲の絶縁膜120上に、その長軸が基板の(111)面に垂直にな

50

るように配置されている。より具体的には、コアマルチシェルナノワイヤ130の中心ナノワイヤ131は、絶縁膜120の開口部内に露出した基板110の(111)面上に配置されており、中心ナノワイヤ131の側面を被覆するバリア層134、変調ドープ層135およびキャップ層136は、開口部の周囲の絶縁膜120上に配置されている。このように、基板110の(111)面上に中心ナノワイヤ131を形成することで、中心ナノワイヤ131を(111)面に垂直になるように配置することができる。

#### 【0019】

図3Aは、コアマルチシェルナノワイヤ130の拡大断面図である。図3Aに示されるように、コアマルチシェルナノワイヤ130は、中心ナノワイヤ131と、中心ナノワイヤ131の側面(軸方向に延びる中心線と交わらない面)を被覆するバリア層134と、バリア層134を被覆する変調ドープ層135と、変調ドープ層135を被覆するキャップ層136とを有する。すべての被覆層(バリア層134、変調ドープ層135およびキャップ層136)は、中心ナノワイヤ131の側面を被覆しているが、中心ナノワイヤ131の2つの端面(軸方向に延びる中心線と交わる面)を被覆していない。被覆層全体の膜厚は、特に限定されないが、2.8~250nm程度であればよい。

#### 【0020】

中心ナノワイヤ131は、III-V族化合物半導体からなり、基板110の(111)面から絶縁膜120の開口部を通して上方に延伸している。中心ナノワイヤ131を構成するIII-V族化合物半導体は、2元化合物半導体、3元化合物半導体、4元化合物半導体、それ以上の元素からなる半導体のいずれでもよい。2元化合物半導体の例には、InAs、InP、GaAs、GaN、InSb、GaSbおよびAlSbが含まれる。3元化合物半導体の例には、AlGaAs、InGaAs、InGaN、AlGaN、GaNAs、InAsSb、GaAsSb、InGaSbおよびAlInSbが含まれる。4元化合物半導体の例には、InGaAlN、AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbおよびAlInGaPSbが含まれる。中心ナノワイヤ131の太さ(軸方向に直交する断面の外接円の直径)は、2~500nm程度であればよい。また、中心ナノワイヤ131の長さは、100nm~100μm程度であればよい。たとえば、中心ナノワイヤ131は、太さ30nmまたは70nmの $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤである。

#### 【0021】

中心ナノワイヤ131は、基板110の(111)面に接続された、チャネルとして機能する第1領域132と、第1領域132に接続された、基板110の導電型(第1導電型)と異なる第2導電型(p型またはn型)にドープされた第2領域133とを含む。第1領域132は、真性半導体であるか、または第2領域133の不純物密度よりも低く第2導電型(p型またはn型)にドープされている。好ましくは、第1領域132は、真性半導体である。たとえば、基板110がp型シリコン(111)基板である場合、第1領域132は、ノンドープの $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤからなり、第2領域133は、n型にドープされた $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤからなる。また、基板110がn型シリコン(111)基板である場合、第1領域132は、ノンドープの $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤからなり、第2領域133は、p型にドープされた $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤからなる。第2領域133は、ドレイン電極150に接続されている。中心ナノワイヤ131の第1領域132と基板110の(111)面とは、基本的に無転位かつ無欠陥の接合界面を形成する。

#### 【0022】

バリア層134は、中心ナノワイヤ131の側面を被覆している。バリア層134は、高電子移動度トランジスタ(HEMT)の閾値を正にする(ゲート電極170に正のゲート電圧を印加した場合に、中心ナノワイヤ131内に二次元電子ガスを形成する)機能を担っている。バリア層134は、絶縁膜120に接触しているが、基板110には接触していない。バリア層134は、中心ナノワイヤ131を構成するIII-V族化合物半導体よりもバンドギャップが大きく、かつ変調ドープ層135を構成するIII-V族化合物半

10

20

30

40

50

導体よりもバンドギャップが大きいIII-V族化合物半導体からなる。また、バリア層134を構成するIII-V族化合物半導体は、真性半導体であるか、または変調ドーブ層135の不純物密度よりも低く第2導電型(p型またはn型)にドーブされている。好ましくは、バリア層134は、真性半導体である。バリア層134を構成するIII-V族化合物半導体は、これらの条件を満たせば特に限定されない。バリア層134を構成するIII-V族化合物半導体の例は、前述の中心ナノワイヤ131を構成するIII-V族化合物半導体の例と同じである。バリア層134の膜厚は、特に限定されず、例えば0.5~10nm程度であればよい。たとえば、中心ナノワイヤ131がInGaAsナノワイヤである場合、バリア層134は、膜厚8nmのドーブされていないInP層である。

#### 【0023】

変調ドーブ層135は、バリア層134を被覆している。変調ドーブ層135は、絶縁膜120に接触しているが、基板110には接触していない。変調ドーブ層135は、中心ナノワイヤ131を構成するIII-V族化合物半導体よりもバンドギャップが大きく、かつバリア層134を構成するIII-V族化合物半導体よりもバンドギャップが小さいIII-V族化合物半導体からなる。変調ドーブ層135を構成するIII-V族化合物半導体の例は、前述の中心ナノワイヤ131を構成するIII-V族化合物半導体の例と同じである。変調ドーブ層135を構成するIII-V族化合物半導体は、第2導電型にドーブされている。変調ドーブ層135の不純物密度は、 $10^{17} \sim 10^{20} \text{ cm}^{-3}$ の範囲内であることが好ましい。変調ドーブ層135の膜厚は、特に限定されず、0.3~10nm程度であればよい。たとえば、中心ナノワイヤ131がInGaAsナノワイヤであり、バリア層134がInP層である場合、変調ドーブ層135は、膜厚5nmのSiがドーブされたInAlAs層である。

#### 【0024】

キャップ層136は、変調ドーブ層135を被覆している。キャップ層136は、コアマルチシェルナノワイヤ130の表面を不活性化する機能およびゲート絶縁膜160と良好な接合界面を形成する機能を担っている。キャップ層136は、絶縁膜120に接触しているが、基板110には接触していない。キャップ層136は、中心ナノワイヤ131を構成するIII-V族化合物半導体のバンドギャップ以上のバンドギャップのIII-V族化合物半導体からなる。また、キャップ層136を構成するIII-V族化合物半導体は、真性半導体であるか、または変調ドーブ層135の不純物密度よりも低く第2導電型(p型またはn型)にドーブされている。好ましくは、キャップ層136は、真性半導体である。キャップ層136を構成するIII-V族化合物半導体は、これらの条件を満たせば特に限定されない。たとえば、キャップ層136を構成するIII-V族化合物半導体は、中心ナノワイヤ131を構成するIII-V族化合物半導体と同じであってもよい。キャップ層136を構成するIII-V族化合物半導体の例は、前述の中心ナノワイヤ131を構成するIII-V族化合物半導体の例と同じである。キャップ層136の膜厚は、特に限定されず、1~10nm程度であればよい。たとえば、中心ナノワイヤ131がInGaAsナノワイヤである場合、キャップ層136は、膜厚7nmのドーブされていないInGaAs層である。

#### 【0025】

図3Bは、コアマルチシェルナノワイヤ130の変形例の拡大断面図である。図3Bに示されるように、コアマルチシェルナノワイヤ130は、バリア層134および変調ドーブ層135の間に配置された第1スペーサー層137と、変調ドーブ層135およびキャップ層136の間に配置された第2スペーサー層138とをさらに有していてもよい。第1スペーサー層137および第2スペーサー層138は、いずれも絶縁膜120に接触しているが、基板110には接触していない。また、第1スペーサー層137および第2スペーサー層138は、いずれも変調ドーブ層135を構成するIII-V族化合物半導体と同じ組成のIII-V族化合物半導体からなる。第1スペーサー層137を構成するIII-V族化合物半導体のバンドギャップは、中心ナノワイヤ131を構成するIII-V族化合物半導体のバンドギャップよりも大きく、かつバリア層134を構成するIII-V族化合物

10

20

30

40

50



半導体のバンドギャップよりも小さい。第1スペーサー層137および第2スペーサー層138の膜厚は、例えば1~10nm程度であればよい。たとえば、中心ナノワイヤ131がInGaAsナノワイヤであり、バリア層134がInP層であり、変調ドープ層135がInAlAs層である場合、第1スペーサー層137および第2スペーサー層138は、それぞれ膜厚10nmのドープされていないInAlAs層である。

#### 【0026】

ソース電極140は、トンネル電界効果トランジスタ100のソース領域に接続され、ドレイン電極150は、トンネル電界効果トランジスタ100のドレイン領域に接続される。たとえば、基板110がソース領域として機能し、中心ナノワイヤ131の第1領域132がチャンネルとして機能し、中心ナノワイヤ131の第2領域133がドレイン領域として機能する場合は、図2に示されるように、ソース電極140は基板110に接続され、ドレイン電極150は中心ナノワイヤ131の第2領域133に接続される。一方、中心ナノワイヤ131の第2領域133がソース領域として機能し、中心ナノワイヤ131の第1領域132がチャンネルとして機能し、基板110がドレイン領域として機能する場合は、ソース電極140は中心ナノワイヤ131の第2領域133に接続され、ドレイン電極150は基板110に接続される。基板110に接続される電極の種類は、特に限定されないが、基板110にオーミック接触できる金属膜、合金膜、金属多層膜またはシリサイド金属膜が好ましい。基板110にオーミック接触できる金属多層膜の例には、Ti/Au多層膜およびNi/Au多層膜が含まれる。基板110にオーミック接触できるシリサイド金属膜の例には、NiSi膜およびTiSi膜が含まれる。中心ナノワイヤ131の第2領域133に接続される電極の種類は、特に限定されないが、第2領域133にオーミック接触できる金属膜、合金膜または金属多層膜が好ましい。第2領域133にオーミック接触できる金属膜の例には、Moが含まれる。第2領域133にオーミック接触できる多層金属膜の例には、Ti/Au多層膜、Ni/Ge/Au多層膜、Ge/Au/Ni/Au多層膜、Ti/Pt/Au多層膜およびTi/Pd/Au多層膜が含まれる。本実施の形態では、ソース電極140は、基板110上に形成されたTi/Au多層膜であり、ドレイン電極150は、コアマルチシェルナノワイヤ130および絶縁保護膜180上に配置されたTi/Au多層膜またはGe/Au/Ni/Au多層膜である。

#### 【0027】

ゲート絶縁膜160は、コアマルチシェルナノワイヤ130の側面(両端面を除くすべての面)を被覆している。ゲート絶縁膜160の材料は、絶縁体であれば特に限定されないが、高誘電体であることが好ましい。ゲート絶縁膜160の材料の例には、酸化シリコン(SiO<sub>2</sub>)、酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>)、ハフニウムアルミネート(HfAlO<sub>x</sub>)、酸化ジルコニウム(ZrO<sub>2</sub>)および酸化ランタン(La<sub>2</sub>O<sub>3</sub>)が含まれる。たとえば、ゲート絶縁膜160は、膜厚14nmのハフニウムアルミネート膜である。

#### 【0028】

ゲート電極170は、コアマルチシェルナノワイヤ130の第1領域132の周囲を覆うようにゲート絶縁膜160上に配置されている。本実施の形態では、ゲート電極170は、ゲート絶縁膜160の上に配置されている。ゲート電極170は、チャンネル(中心ナノワイヤ131の第1領域132)に電界を作用させてトンネル現象および二次元電子ガスを同時に生じさせる。具体的には、ゲート電極170は、基板110の(111)面と中心ナノワイヤ131との接合界面と、中心ナノワイヤ131の第1領域132とに電界を作用させる。ゲート電極170は、基板110と中心ナノワイヤ131との接合界面に電界を作用させることで、この接合界面においてトンネル現象を生じさせる。同時に、ゲート電極170は、中心ナノワイヤ131の第1領域132に電界を作用させることで、中心ナノワイヤ131の外周部において二次元電子ガスを生じさせる。ゲート電極170の上端の位置と、中心ナノワイヤ131における第1領域132および第2領域133の境界の位置との関係は、図2の概略図に示されるようにゲート電極170の上端が第1領域132および第2領域133の境界よりも下側(基板110側)に位置することが好ましいが、特に限定されない。

10

20

30

40

50

## 【0029】

ゲート電極170の種類は、導電性を有していれば特に限定されず、例えば金属膜、金属多層膜、金属化合物膜またはそれ以外の導電性膜である。金属膜を構成する金属の例には、W、Ti、Pt、AuおよびMoが含まれる。金属多層膜の例には、Ti/Au多層膜が含まれる。金属化合物膜の例には、窒化タンタル(TaN)膜および窒化タンゲステン(WN)膜が含まれる。本実施の形態では、ゲート電極170は、ゲート絶縁膜160上に形成されたTi/Au多層膜である。

## 【0030】

絶縁保護膜180は、コアマルチシェルナノワイヤ130、ゲート絶縁膜160およびゲート電極170を被覆する、絶縁樹脂からなる膜である。

10

## 【0031】

本実施の形態に係るトンネル電界効果トランジスタ100では、IV族半導体からなる基板110の(111)面とIII-V族化合物半導体からなる中心ナノワイヤ131との接合界面は、無転位かつ無欠陥であることが好ましいが、少数の転位または欠陥を含んでもよい。具体的には、前記接合界面におけるミスフィット転位の周期は、基板110を構成するIV族半導体と中心ナノワイヤ131を構成するIII-V族化合物半導体との格子不整合から計算されるミスフィット転位の周期よりも大きければよい。また、前記接合界面における貫通転位の密度は、 $0 \sim 10^{10}$ 個/cm<sup>2</sup>の範囲内であればよい。後述する製造方法で中心ナノワイヤ131を形成することで、基本的に無転位かつ無欠陥の接合界面を有する本実施の形態のトンネル電界効果トランジスタ100を製造することができる。

20

## 【0032】

本実施の形態に係るトンネル電界効果トランジスタ100では、IV族半導体からなる基板110の(111)面とIII-V族化合物半導体からなる中心ナノワイヤ131との接合界面がトンネル層として機能する。たとえば、基板110がソース領域として機能する場合は、ゲート電極170に正の電圧を印加することで、ソース領域(基板110)内のキャリアがトンネル現象によりチャンネル領域(中心ナノワイヤ131の第1領域132)内に移動する(ON状態となる)。一方、中心ナノワイヤ131の第2領域133がソース領域として機能する場合は、チャンネル領域(中心ナノワイヤの第1領域)内のキャリアがトンネル現象によりドレイン領域(基板110)内に移動する(ON状態となる)。この動作は、CMOSスイッチのn型またはp型MOSFETのスイッチ動作に相当する。中心ナノワイヤ131を構成するIII-V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III-V族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御することができる。

30

## 【0033】

また、本実施の形態に係るトンネル電界効果トランジスタ100では、ゲート電極170に正の電圧を印加することで、チャンネル領域(中心ナノワイヤ131の第1領域132)の外周部に高移動度の二次元電子ガスが生じて、ソース領域(基板110または中心ナノワイヤ131の第2領域133)内のキャリアがチャンネル領域(中心ナノワイヤ131の第1領域132)の二次元電子ガスを介してドレイン領域(中心ナノワイヤ131の第2領域133または基板110)に移動する(ON状態となる)。すなわち、本実施の形態に係るトンネル電界効果トランジスタ100は、トンネル電界効果トランジスタ(TFET)としてだけでなく高電子移動度トランジスタ(HEMT)としても動作する。したがって、本実施の形態のトンネル電界効果トランジスタ100は、従来のトンネル電界効果トランジスタよりも大きい電流値を実現することができる。

40

## 【0034】

図4は、基板110がp型シリコン(111)基板であり、中心ナノワイヤ131の第2領域133がn型にドーピングされている場合における、トンネル電界効果トランジスタ100のバンド構造の模式図である。図5は、基板110がn型シリコン(111)基板であり、中心ナノワイヤ131の第2領域133がp型にドーピングされている場合における、

50

トンネル電界効果トランジスタ100のバンド構造の模式図である。これらの図に示されるように、本実施の形態に係るトンネル電界効果トランジスタ100では、ゲート電極170に正の電圧を印加することで、基板110内のキャリアがトンネル現象により中心ナノワイヤ131内に移動するとともに、中心ナノワイヤ131内に移動したキャリアが二次元電子ガス内を高速で移動する(ON状態となる)。このように、本実施の形態に係るトンネル電界効果トランジスタ100は、トンネル輸送および二次元電子ガスによるスイッチングを同時に実現することで、小さなサブスレッショルド係数(60mV/桁以下)と電流値の増大を両立することができる(実施例参照)。

#### 【0035】

本実施の形態に係るトンネル電界効果トランジスタ100をスイッチ素子として利用することで、半導体デバイスの消費電力を削減することができる。その結果、省エネルギーおよび環境負荷低減も実現することができる。

#### 【0036】

##### 2. トンネル電界効果トランジスタの製造方法

次に、本実施の形態に係るトンネル電界効果トランジスタ100の製造方法について説明する。図6A~Cおよび図7A, Bは、本実施の形態に係るトンネル電界効果トランジスタ100の製造方法の一例を示す断面模式図である。これらの図に示されるように、本実施の形態に係るトンネル電界効果トランジスタ100は、例えば、1)基板110を準備する第1ステップ(図6A)と、2)コアマルチシェルナノワイヤ130を形成する第2ステップ(図6Bおよび図6C)と、3)ゲート電極170を形成する第3ステップ(図7A)と、4)ソース電極140およびドレイン電極150を形成する第4ステップ(図7B)と、により製造されうる。以下、各工程について説明する。

#### 【0037】

##### 1) 基板の準備

第1ステップでは、開口部を有する絶縁膜120で被覆された基板110を準備する(図6A)。基板110の種類は、(111)面を有するIV族半導体からなる基板であれば特に限定されない。基板110は、第1導電型(n型またはp型)にドーピングされている。たとえば、基板110は、n型シリコン(111)基板またはp型シリコン(111)基板である。基板110が(111)面を有さない基板(シリコン(100)基板など)である場合は、異方性エッチングなどにより(111)面を露出させる。

#### 【0038】

絶縁膜120の材料は、無機絶縁材料であれば特に限定されない。無機絶縁材料の例には、酸化シリコン、窒化シリコンなどが含まれる。(111)面を被覆する絶縁膜120の厚さは、特に限定されないが、例えば20nm程度であればよい。酸化シリコン膜は、例えばシリコン基板を熱酸化することで形成されうる。もちろん、絶縁膜120は、スパッタ法などの一般的な薄膜形成法により形成されてもよい。

#### 【0039】

絶縁膜120には、中心ナノワイヤ131を成長させるための1または2以上の開口部が形成される。開口部は、電子ビームリソグラフィや、フォトリソグラフィ、ナノインプリントリソグラフィなどの微細パターン加工技術を用いることで形成されうる。基板110の(111)面は、開口部を通して外部に露出する。開口部の形状は、特に限定されず、任意に決定することができる。開口部の形状の例には、三角形、四角形、六角形および円形が含まれる。開口部の外接円の直径は、例えば2~100nm程度であればよい。開口部が大きすぎると、基板110の(111)面と中心ナノワイヤ131との接合界面に多数の転位または欠陥が形成されるおそれがある。1つの基板110上に複数の開口部を周期的に配列する場合、開口部の間隔は10nm~数μm程度であればよい。

#### 【0040】

通常、基板110の表面には、自然酸化膜が形成されている。この自然酸化膜は、中心ナノワイヤ131の成長を阻害するので、除去されることが好ましい。そこで、基板110の(111)面を覆う絶縁膜120に開口部を設けた後、高温熱処理することにより、

10

20

30

40

50

開口部内で露出している(111)面に形成された自然酸化膜を除去することが好ましい。高温熱処理は、例えば水素ガスや窒素ガス、アルゴンガスなどの不活性ガス雰囲気中で約900の条件で熱処理すればよい。このように高温熱処理を行うことにより、開口部を通して露出した(111)面を被覆する自然酸化膜が除去されるとともに、IV族半導体と自然酸化膜との界面における結晶構造から、酸素原子が除去される。この酸素原子が除去された箇所には、酸素原子の代わりにIII族原子またはV族原子が吸着する(後述)。

#### 【0041】

高温熱処理後の(111)面は、 $1 \times 1$ 構造で構成される。ところが、そのまま基板110の温度を下げると、図8に示される分類(化合物半導体成長温度範囲)のように不規則な原子配列が基板110の表面に形成される。しかしながら、さらに温度を400程度にまで下げると、再び基板110の表面が $1 \times 1$ 構造に回復する。そこで、本実施の形態に係る製造方法では、高温熱処理後に、基板110の温度を一旦低温(約400程度)に下げる。ここで「低温」とは、中心ナノワイヤ131を成長させるのに必要な温度よりも低い温度をいう。このように基板110の温度を低下させることにより、基板110の(111) $2 \times 1$ 面を(111) $1 \times 1$ 面に変換することができる。「(111) $2 \times 1$ 面」とは、図9Aに示されるように、原子配列を構成する最小単位が2原子間隔 $\times$ 1原子間隔となっている面をいう。一方、「(111) $1 \times 1$ 面」とは、図9Bに示されるように、原子配列を構成する最小単位が1原子間隔 $\times$ 1原子間隔となっている面をいう。

#### 【0042】

後述の通り、基板110の(111) $1 \times 1$ 面は、III族元素またはV族元素により、(111)A面または(111)B面に変換される。ここで、「(111)A面」とは、最表面のIV族原子にV族原子が付いた構造、または最表面のIV族原子がIII族原子で置換された構造をいう。また、「(111)B面」とは、最表面のIV族原子にIII族原子が付いた構造、または最表面のIV族原子がV族原子で置換された構造をいう。

#### 【0043】

基板110の(111) $1 \times 1$ 面を(111)A面または(111)B面にすることで、その面からIII-V族化合物半導体を成長させやすくすることができる。III-V族化合物半導体の(111)A面または(111)B面は、(111) $2 \times 2$ 面、つまり最小単位が2原子間隔 $\times$ 2原子間隔の周期で構成された構造である。よって、IV族半導体基板の表面に、2原子間隔 $\times$ 2原子間隔よりも小さい最小単位でIII族元素またはV族元素が配置されていると、その表面にIII-V族化合物半導体が成長しやすい。

#### 【0044】

一方、シリコン基板を熱処理することによって生じやすい(111)面の安定構造は、(111) $7 \times 7$ 面であると報告されている(Surf. Sci. Vol.164, (1985), p.367-392)。(111) $7 \times 7$ 面を、(111)A面または(111)B面に変換しても、最小単位が7原子間隔 $\times$ 7原子間隔の配列周期となる。この最小単位は、III-V族化合物半導体の結晶構造における配列周期の最小単位よりも大きい。よって、その表面にIII-V族化合物半導体が成長しにくい。

#### 【0045】

基板110の(111) $2 \times 1$ 面を(111) $1 \times 1$ 面にするための低温熱処理は、約350~450(例えば、約400)の温度で行えばよい。低温熱処理は、水素ガス、窒素ガス、アルゴンガス、ヘリウムガスなどの不活性ガス雰囲気下で行うことが好ましい。

#### 【0046】

基板110の(111) $2 \times 1$ 面を低温熱処理により(111) $1 \times 1$ 面に変換するとともに、III族原料またはV族原料を基板110の表面に供給して(111)A面または(111)B面に変換する。III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタン(有機金属化合物であってもよい)を含むガスであることが好ましい。II族原料は、例えばトリメチルインジウムなどの有機アルキル金属化合物である。V族原料は、窒素、リン、ヒ素、アンチモンまたはビスマス(有機金属化合物であってもよい)

10

20

30

40

50

を含むガスであることが好ましい。V族原料は、例えば水素化ヒ素（アルシン； $AsH_3$ ）である。III族原料またはV族原料の供給は、400～500にて行われることが好ましい。

【0047】

基板110の表面を(111)A面または(111)B面に変換する工程は、基板110の表面を(111)1×1面に変換する工程の後に行ってもよいが、(111)1×1面に変換する工程と同時に進んでもよい。すなわち、基板110の(111)面を約400での低温熱処理により(111)1×1面に変換しながら、III族原料またはV族原料も供給して(111)A面または(111)B面に変換してもよい。

【0048】

前述の通り、基板110を高温（例えば900）で熱処理して自然酸化膜を除去するときに、(111)面から酸素原子が除去される。酸素原子が除去された状態で(111)1×1面とすると、IV族元素同士の結合が切れている部分が形成される。図8に示されるように、高温熱処理した後の(111)面は1×1構造で構成され、そのまま温度を下げると、様々な不規則な周期の原子配列が表面に形成される。さらに温度を400程度まで下げることによって、(111)面は1×1構造に回復する。回復した1×1構造は、熱力学的に不安定であり、この状態にIII族元素またはV族元素を供給すると、III族元素またはV族元素は、最表面のIV族原子（例えばシリコン原子）と置き換わるようにIII族原子またはV族原子が表面吸着して、(111)A面または(111)B面を形成する。このため、比較的容易に(111)A面または(111)B面が得られる。

【0049】

2) コアマルチシェルナノワイヤの作製

第2ステップでは、コアマルチシェルナノワイヤ130を形成する（図6Bおよび図6C）。より具体的には、絶縁膜120の開口部内に露出した基板110の(111)面から中心ナノワイヤ131を成長させ（図6B）、次いで中心ナノワイヤ131の側面に複数の被覆層を形成する（図6C）。このとき、中心ナノワイヤ131を成長させる前に、交互原料供給変調法により基板110の(111)面にIII-V族化合物半導体の薄膜を形成することが好ましい。

【0050】

[交互原料供給変調法]

基板110にIII族元素を含む原料ガスとV族元素を含む原料ガスとを交互に提供して（以下「交互原料供給変調法」という）、絶縁膜120の開口部内に露出した(111)A面または(111)B面にIII-V族化合物半導体の薄膜を形成する。この交互原料供給変調法による薄膜形成は、中心ナノワイヤ131を成長させるために必要な温度よりも低い温度にて行われることが好ましい。たとえば、交互原料供給変調法による薄膜形成は、約400で行うか、または400から昇温しながら行えばよい。

【0051】

具体的には、基板110に(111)A面が形成されている場合は、まずIII族元素を含む原料ガスを供給し、その後V族元素を含む原料ガスを供給する。さらに、III族元素を含む原料ガスとV族元素を含む原料ガスとを交互に繰り返し供給する。一方、基板110に(111)B面が形成されている場合は、まずV族元素を含む原料ガスを供給し、その後III族元素を含む原料ガスを供給する。さらに、V族元素を含む原料ガスとIII族元素を含む原料ガスとを交互に繰り返し供給する。

【0052】

V族元素を含む原料ガスの供給時間およびIII族元素を含む原料ガスの供給時間は、それぞれ数秒程度であればよい。また、V族元素を含む原料ガスの供給とIII族元素を含む原料ガスの供給との間に、数秒のインターバルを設けることが好ましい。III-V族化合物半導体の薄膜が所望の厚さになるまで、V族元素を含む原料ガスとIII族元素を含む原料ガスとを交互に供給すればよい。何回か繰り返してガスを供給することにより、III-V族化合物半導体の薄膜が形成される。

## 【 0 0 5 3 】

この交互原料供給変調法は、基板 1 1 0 の ( 1 1 1 ) 1 × 1 面を ( 1 1 1 ) A 面または ( 1 1 1 ) B 面に変換したときに変換できなかった部位があったとしても、( 1 1 1 ) A 面または ( 1 1 1 ) B 面を再形成することができるという補償効果もある。交互原料供給変調法により、IV 族元素と III 族元素または V 族元素とが結合するからである。

## 【 0 0 5 4 】

この後、中心ナノワイヤ 1 3 1 を成長させるために基板温度を上げるが、交互原料供給変調法により形成された III - V 化合物半導体の薄膜は、基板に吸着した III 族元素や IV 族元素が熱で乖離することを防ぐ。

## 【 0 0 5 5 】

## [ 中心ナノワイヤの形成 ]

III - V 化合物半導体の薄膜を形成した後に、基板 1 1 0 の ( 1 1 1 ) 面から絶縁膜 1 2 0 の開口部を通して III - V 族化合物半導体からなる中心ナノワイヤ 1 3 1 を成長させる ( 図 6 B )。中心ナノワイヤ 1 3 1 の成長は、例えば有機金属化学気相エピタキシ法 ( 以下「MOVPE 法」ともいう ) や、分子線エピタキシ法 ( 以下「MBE 法」ともいう ) などにより行われる。好ましくは、中心ナノワイヤ 1 3 1 の成長は、MOVPE 法により行われる。なお、絶縁膜 1 2 0 の開口部以外の領域では、絶縁膜 1 2 0 により中心ナノワイヤ 1 3 1 の成長は阻害される。

## 【 0 0 5 6 】

MOVPE 法による中心ナノワイヤ 1 3 1 の形成は、通常の MOVPE 装置を用いて行うことができる。つまり、所定の温度かつ減圧条件下で、III 族元素を含む原料ガスおよび V 族元素を含む原料ガスを提供すればよい。たとえば、InAs ナノワイヤを形成するときは、約 5 4 0 °C でトリメチルインジウムおよび水素化ヒ素を含むガスを提供すればよい。また、GaAs ナノワイヤを形成するときは、約 7 5 0 °C でトリメチルガリウムおよび水素化ヒ素を含むガスを提供すればよい。また、InGaAs ナノワイヤを形成するときは、約 6 7 0 °C でトリメチルインジウム、トリメチルガリウムおよび水素化ヒ素を含むガスを提供すればよい。

## 【 0 0 5 7 】

以上の手順により III - V 族化合物半導体からなる中心ナノワイヤ 1 3 1 を、その長軸が ( 1 1 1 ) 面に対して垂直になるように基板 1 1 0 の ( 1 1 1 ) 面上に形成することができる。このようにして形成された中心ナノワイヤ 1 3 1 と基板 1 1 0 の ( 1 1 1 ) 面との接合界面は、基本的に無転位かつ無欠陥である。

## 【 0 0 5 8 】

形成された中心ナノワイヤ 1 3 1 の少なくとも第 2 領域 1 3 3 は、基板 1 1 0 とは異なる第 2 の導電型 ( p 型または n 型 ) にドーピングされる。たとえば、MOVPE 法で III - V 族化合物半導体ナノワイヤを形成している間にドーピングガスまたはドーピング有機金属を供給することで、中心ナノワイヤ 1 3 1 に p 型ドーパントまたは n 型ドーパントをドーピングすることができる。ドーピングガスおよびドーピング有機金属の種類は、p 型にドーピングする場合は C、Zn または Te を含むものであれば特に限定されず、n 型にドーピングする場合は C、Si、Ge、Sn、O、S、Se または Te を含むものであれば特に限定されない。たとえば、中心ナノワイヤ 1 3 1 の第 1 領域 1 3 2 を形成した後に、VI 族原子を含むガスまたは有機金属材料と中心ナノワイヤ 1 3 1 の材料とを同時に供給することで、第 2 領域 1 3 3 となる p 型の III - V 族化合物半導体ナノワイヤを形成することができる。同様に、MOVPE 法で中心ナノワイヤ 1 3 1 の第 1 領域 1 3 2 を形成した後に、IV 族原子を含むガスまたは有機金属材料と中心ナノワイヤ 1 3 1 の材料とを同時に供給することで、第 2 領域 1 3 3 となる n 型の III - V 族化合物半導体ナノワイヤを形成することができる。この他にも、中心ナノワイヤ 1 3 1 の第 2 領域 1 3 3 となる部分に対して VI 族原子からなるイオンを打ち込むことで、第 2 領域 1 3 3 を p 型とすることができる。同様に、中心ナノワイヤ 1 3 1 の第 2 領域 1 3 3 となる部分に対して IV 族原子からなるイオンをイオン注入法で打ち込むことで、第 2 領域 1 3 3 を n 型とすることができる。

10

20

30

40

50

## 【 0 0 5 9 】

本実施の形態に係るトンネル電界効果トランジスタ100では、トンネル電界効果トランジスタ(TFET)構造における立ち上がり電圧と、高電子移動度トランジスタ(HEMT)構造における閾値電圧とが一致する必要がある。これを達成するために、中心ナノワイヤ131の第1領域132の不純物密度を制御して、HEMT構造における閾値電圧と一致するようにTFET構造における立ち上がり電圧を調整する。たとえば、中心ナノワイヤ131の第1領域132を形成している間に第1の導電型のドーパントを断続的にドーピングすることで(パルスドーピング)、TFET構造における立ち上がり電圧をシフトさせることができる(国際公開第2015/022777号)。この場合、第1領域132における第1の導電型のドーパントの密度は、第1領域132における第2の導電型のドーパントの密度未満である。このようにパルスドーピングを利用して第1領域132の不純物密度を制御することで、TFET構造における立ち上がり電圧を調整することができる。

10

## 【 0 0 6 0 】

## 〔被覆層の形成〕

中心ナノワイヤ131を形成した後に、中心ナノワイヤ131の側面に被覆層を形成する(図6C)。より具体的には、中心ナノワイヤ131の側面にバリア層134を形成し、次いでバリア層134の上に変調ドーピング層135およびキャップ層136(または、第1スペーサー層137、変調ドーピング層135、第2スペーサー層138およびキャップ層136)をこの順番で積層させる。被覆層の形成は、例えば有機金属化学気相エピタキシ法(以下「MOVPE法」ともいう)や、分子線エピタキシ法(以下「MBE法」ともいう)などにより行われる。作業工程を減らす観点からは、被覆層の形成方法は、中心ナノワイヤ131の製造方法と同じであることが好ましい。

20

## 【 0 0 6 1 】

中心ナノワイヤ131の側面に被覆層を形成するためには、中心ナノワイヤ131の長さ方向よりも動径方向の成長を促進させることが好ましい。動径方向の成長を促進させるには、基板110の温度を中心ナノワイヤ131を成長させた際の温度から50~200程度低下させればよい。これにより、中心ナノワイヤ131の側面における成長速度が中心ナノワイヤ131の長さ方向の成長速度よりも大きくなり、中心ナノワイヤ131の側面に被覆層を形成する横方向成長を実現できる。縦方向の成長は、完全に阻害されていなければならないわけではない。中心ナノワイヤ131の上側の端面を被覆するように被覆層が形成された場合は、機械研磨などにより中心ナノワイヤ131および各被覆層の端面を露出させればよい。

30

## 【 0 0 6 2 】

バリア層134(、第1スペーサー層137)、変調ドーピング層135(、第2スペーサー層138)およびキャップ層136を順に形成するには、被覆層の形成過程において供給する原料ガスの種類を切り替えればよい。たとえば、InGaAsからなる中心ナノワイヤ131側から動径方向にInP(バリア層134)、 $\text{-ドーピングInAlAs}$ (変調ドーピング層135)、InGaAs(キャップ層136)の順で積層した構造(図3A参照)の被覆層を形成するには、トリメチルインジウムガスおよびターシャルブチルホスフィンガスを供給して580℃でInP(バリア層134)を成長させ;次いでトリメチルインジウムガス、トリメチルアルミニウムガス、水素化ヒ素ガスおよびモノシランガスを供給して580℃でInAlAs(変調ドーピング層135)を成長させ;次いでトリメチルインジウムガス、トリメチルガリウムガスおよび水素化ヒ素ガスを供給して580℃でInGaAs(キャップ層136)を成長させればよい。また、InGaAsからなる中心ナノワイヤ131側から動径方向にInP(バリア層134)、InAlAs(第1スペーサー層137)、 $\text{-ドーピングInAlAs}$ (変調ドーピング層135)、InAlAs(第2スペーサー層138)、InGaAs(キャップ層136)の順で積層した構造(図3B参照)の被覆層を形成するには、トリメチルインジウムガスおよびターシャルブチルホスフィンガスを供給して580℃でInP(バリア層134)を成長させ;次いで

40

50

トリメチルインジウムガス、トリメチルアルミニウムガスおよび水素化ヒ素ガスを供給して580でInAlAs(第1スペーサー層137)を成長させ;次いでトリメチルインジウムガス、トリメチルアルミニウムガス、水素化ヒ素ガスおよびモノシランガスを供給して580でInAlAs(変調ドープ層135)を成長させ;次いでトリメチルインジウムガス、トリメチルアルミニウムガスおよび水素化ヒ素ガスを供給して580でInAlAs(第2スペーサー層138)を成長させ;次いでトリメチルインジウムガス、トリメチルガリウムガスおよび水素化ヒ素ガスを供給して580でInGaAs(キャップ層136)を成長させればよい。

#### 【0063】

変調ドープ層135は、第2の導電型(n型またはp型)にドープされる。バリア層134およびキャップ層136は、第2導電型(p型またはn型)にドープされることもあれば、ドープされないこともある。第1スペーサー層137および第2スペーサー層138は、第1導電型(n型またはp型)または第2導電型(p型またはn型)にドープされることもあれば、ドープされないこともある。MOVPE法でIV族原子を含むガスまたは有機金属材料と被覆層の材料とを同時に供給することで、n型の被覆層を形成することができる。同様に、VI族原子を含むガスまたは有機金属材料と被覆層の材料とを同時に供給することで、p型の被覆層を形成することができる。ドーピングガスおよびドーピング有機金属の種類は、n型にドープする場合はC、Si、Ge、Sn、O、S、SeまたはTeを含むものであれば特に限定されず、p型にドープする場合はC、ZnまたはTeを含むものであれば特に限定されない。キャリアの濃度は、特に限定されず、 $1 \times 10^{16} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度であればよい。

#### 【0064】

##### 3) ゲート電極の形成

第3ステップでは、ゲート電極170を形成する(図7A)。具体的には、中心ナノワイヤ131の側面にゲート絶縁膜160を形成し、その上にゲート電極170を形成する。ゲート絶縁膜160を形成する方法は、特に限定されない。たとえば、ALD法などを用いて酸化シリコン( $\text{SiO}_2$ )、酸化アルミニウム( $\text{Al}_2\text{O}_3$ )、酸化ハフニウム( $\text{HfO}_2$ )、酸化ジルコニウム( $\text{ZrO}_2$ )または酸化ランタン( $\text{La}_2\text{O}_3$ )からなる膜を形成すればよい。また、ゲート電極160を形成する方法も、特に限定されない。たとえば、フォトリソグラフィ法を用いて、電極形成予定部位以外の領域をレジスト膜でマスクし、金や白金、チタン、クロム、アルミニウム、パラジウム、モリブデンなどの金属またはポリシリコンなどの半導体を蒸着させ、レジスト膜を除去(リフトオフ)すればよい。また、チタンを蒸着させた後、さらに金を蒸着させて重層して、二層構造の電極としてもよい。ゲート電極170を形成した後に、コアマルチシェルナノワイヤ130、ゲート絶縁膜160およびゲート電極170を保護する絶縁保護膜180を形成してもよい。絶縁保護膜180は、例えば絶縁樹脂からなる膜である。

#### 【0065】

##### 4) ソース電極およびドレイン電極の形成

第4ステップでは、ソース電極140およびドレイン電極150を形成する(図7B)。ソース電極140およびドレイン電極150を形成する方法は、特に限定されない。たとえば、ゲート電極170と同様にフォトリソグラフィ法を用いて形成すればよい。

#### 【0066】

以上の手順により、本実施の形態に係るトンネル電界効果トランジスタ100を製造することができる。

#### 【0067】

本実施の形態に係るトンネル電界効果トランジスタ100の製造方法は、金属触媒を用いずにコアマルチシェルナノワイヤ130を形成するため、金属汚染の影響を受けることなく高品位の結晶構造でデバイスを形成することができる。また、本実施の形態に係るトンネル電界効果トランジスタ100の製造方法は、IV族半導体およびIII-V族化合物半導体の種類を適宜選択することで、精密なドーピング技術を用いることなく所望の特性を

10

20

30

40

50



有するトンネル電界効果トランジスタを製造することができる。さらに、本実施の形態に係るトンネル電界効果トランジスタ100の製造方法では、InGaAsなどの混晶半導体からなる中心ナノワイヤ131を形成する場合、In組成を変化させるのみで接合界面のバンド不連続性が互いに反対の性質を示すようになる。したがって、この性質を利用することで、III-V族化合物半導体からなる中心ナノワイヤ131を1回成長させるのみで、異なるスイッチ特性を示すトンネル電界効果トランジスタ100を製造することができる。

#### 【0068】

なお、ここまで、本発明に係るトンネル電界効果トランジスタの一例としてIV族半導体からなる基板と、III-V族化合物半導体からなるコアマルチシェルナノワイヤとを含む電界効果トランジスタについて説明してきたが、本発明に係るトンネル電界効果トランジスタは、これに限定されない。前述のとおり、本発明に係るトンネル電界効果トランジスタは、トンネル電界効果トランジスタ(TFET)構造および高電子移動度トランジスタ(HEMT)構造の両方を有していれば、例えばFinFETや立体ゲート構造を有するHEMTなどのような構造であってもよい。本発明に係るトンネル電界効果トランジスタは、例えば、現在市販されているような通信用のHEMTや車載用のAlGaN/GaNパワーHEMTなどの代わりに使用されうる。

#### 【実施例】

#### 【0069】

以下、本発明について実施例を参照して詳細に説明するが、本発明はこれらの実施例により限定されない。

#### 【0070】

##### 1. 本発明に係るトンネル電界効果トランジスタの作製

##### (1) TFET-1の作製(実施例)

p型シリコン(111)基板(キャリア濃度： $7 \times 10^{18} \text{ cm}^{-3}$ )を、熱酸化処理して、表面に膜厚20nmの酸化シリコン膜を形成した。電子線ビームリソグラフィーおよびウェットケミカルエッチングにより酸化シリコン膜に周期的に開口部を形成して、シリコン基板の表面を露出させた。開口部の形状は六角形とし、開口部の大きさ(外接円の直径)は30nmとした。

#### 【0071】

開口部を形成した基板を減圧横型MOVPE装置(HR2339;大陽日酸株式会社)にセットした。シリコン基板の温度を925に上昇させて5分間維持することで、シリコン基板の開口部表面に形成された自然酸化膜を除去した。次いで、シリコン基板の温度を925から400に低下させた。水素化ヒ素を水素ガス(キャリアガス)とともに供給した。水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とした。

#### 【0072】

次に、交互原料供給変調法によりシリコン基板の開口部にInGaAsの薄膜を形成した。具体的には、トリメチルインジウムおよびトリメチルガリウムの供給を1秒間、水素ガスによるインターバルを2秒間、水素化ヒ素の供給を1秒間、水素ガスによるインターバルを2秒間の組合せを1サイクルとして、2分間かけて20回繰り返した。トリメチルインジウムの分圧は $4.7 \times 10^{-7} \text{ atm}$ とし、トリメチルガリウムの分圧は $5.7 \times 10^{-7} \text{ atm}$ とし、水素化ヒ素の分圧は $1.3 \times 10^{-4} \text{ atm}$ とした。

#### 【0073】

次に、シリコン基板の温度を上昇させた後、MOVPE法により、太さ(外接円の直径)30nm、長さ1.2 $\mu\text{m}$ の $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤ(中心ナノワイヤ)を成長させた。具体的には、シリコン基板の温度を400から670に上昇させた後、トリメチルインジウム、トリメチルガリウムおよび水素化ヒ素を水素ガスとともに供給して、長さ100nmの $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤ(第1の領域)を成長させた。このとき、トリメチルインジウム、トリメチルガリウムおよび水素化ヒ素の連続供給に併せて、ジエチル亜鉛を断続的に供給した。ジエチル亜鉛の供給では、ジエチル亜鉛の供給

を1秒間、インターバルを29秒間の組み合わせを1サイクルとして、30回サイクルを繰り返した。トリメチルインジウムの分圧は $4.7 \times 10^{-7}$  atmとし、トリメチルガリウムの分圧は $5.7 \times 10^{-7}$  atmとし、水素化ヒ素の分圧は $1.3 \times 10^{-4}$  atmとし、ジエチル亜鉛の分圧は $3.0 \times 10^{-7}$  atmとした。第1の領域におけるドーパント(Zn)の濃度は $1 \times 10^{15}$  cm<sup>-3</sup>であった。続いて、トリメチルインジウム、トリメチルガリウム、水素化ヒ素およびモノシランを水素ガスとともに供給して、長さ1.1 μmのn型In<sub>0.7</sub>Ga<sub>0.3</sub>Asナノワイヤ(第2の領域)を成長させた。トリメチルインジウムの分圧は $4.9 \times 10^{-7}$  atmとし、トリメチルガリウムの分圧は $5.7 \times 10^{-7}$  atmとし、水素化ヒ素の分圧は $1.3 \times 10^{-4}$  atmとし、モノシランの分圧は $7 \times 10^{-8}$  atmとした。第2の領域におけるドーパント(Si)の濃度は $5 \times 10^{18}$  cm<sup>-3</sup>であった。

10

## 【0074】

次に、In<sub>0.7</sub>Ga<sub>0.3</sub>Asナノワイヤ(中心ナノワイヤ)の周囲(主として側面)に、InP層(バリア層)、In<sub>0.5</sub>Al<sub>0.5</sub>As層(第1スペーサー層)、 $\delta$ -ドーピングInAlAs層(変調ドーブ層)、In<sub>0.5</sub>Al<sub>0.5</sub>As層(第2スペーサー層)、In<sub>0.7</sub>Ga<sub>0.3</sub>As層(キャップ層)をこの順番で形成した(図3B参照)。具体的には、シリコン基板の温度を580 Kとして、トリメチルインジウムガスおよびターシャルブチルホスフィンガスを水素ガスとともに供給して、In<sub>0.7</sub>Ga<sub>0.3</sub>Asナノワイヤ(中心ナノワイヤ)の側面に膜厚5 nmのInP層(バリア層)を形成した。次いで、トリメチルインジウムガス、トリメチルアルミニウムガスおよび水素化ヒ素ガスを水素ガスとともに供給して、InP層(バリア層)の上に膜厚2.5 nmのIn<sub>0.5</sub>Al<sub>0.5</sub>As層(第1スペーサー層)を形成した。次いで、トリメチルインジウムガス、トリメチルアルミニウムガス、水素化ヒ素ガスおよびモノシランガスを水素ガスとともに供給して、In<sub>0.5</sub>Al<sub>0.5</sub>As層(第1スペーサー層)の上に膜厚5 nmの $\delta$ -ドーピングInAlAs層(変調ドーブ層)を形成した。次いで、トリメチルインジウムガス、トリメチルアルミニウムガスおよび水素化ヒ素ガスを水素ガスとともに供給して、 $\delta$ -ドーピングInAlAs層(変調ドーブ層)の上に膜厚2.5 nmのIn<sub>0.5</sub>Al<sub>0.5</sub>As層(第2スペーサー層)を形成した。最後に、トリメチルインジウムガス、トリメチルガリウムガスおよび水素化ヒ素ガスを水素ガスとともに供給して、In<sub>0.5</sub>Al<sub>0.5</sub>As層(第2スペーサー層)の上に膜厚5 nmのIn<sub>0.7</sub>Ga<sub>0.3</sub>As層(キャップ層)を形成した。トリメチルインジウムの分圧は $3.6 \times 10^{-6}$  atmとし、ターシャルブチルホスフィンの分圧は $1.2 \times 10^{-4}$  atmとし、トリメチルアルミニウムの分圧は $7.5 \times 10^{-7}$  atmとし、水素化ヒ素の分圧は $1.3 \times 10^{-4}$  atmとし、モノシランの分圧は $1.2 \times 10^{-7}$  atmとし、トリメチルガリウムの分圧は $8.2 \times 10^{-7}$  atmとした。 $\delta$ -ドーピングInAlAs層(変調ドーブ層)のキャリア濃度は、 $1 \times 10^{19}$  cm<sup>-3</sup>とした。

20

30

## 【0075】

これらの工程により、太さ(外接円の直径)70 nm、長さ1.2 μmのコアマルチシェルナノワイヤがシリコン基板表面に形成された。図10は、コアマルチシェルナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡写真(斜視像)である。図10に示されるように、コアマルチシェルナノワイヤの長軸は、シリコン基板の表面に対して垂直であった。

40

## 【0076】

コアマルチシェルナノワイヤの側面にゲート絶縁膜を形成し、さらにその上にゲート電極を形成した。具体的には、ALD法により、膜厚14 nmのHf<sub>0.8</sub>Al<sub>0.2</sub>O膜(ゲート絶縁膜)を形成した。その後、高周波スパッタリング法により、コアマルチシェルナノワイヤのシリコン基板側の部分に膜厚100 nmのW膜(ゲート電極)を形成した。コアマルチシェルナノワイヤの長軸方向に沿ったゲート電極の長さは、150 nmであった。

## 【0077】

50

次に、シリコン基板上に絶縁樹脂（BCB樹脂）膜を形成して、シリコン基板上的コアマルチシェルナノワイヤなどを絶縁樹脂中に包埋した。次いで、反応性イオンエッチングにより絶縁樹脂の上側の一部を除去して、 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤ（中心ナノワイヤ）の先端を露出させた。

【0078】

次に、 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤ（中心ナノワイヤ）が露出した面にドレイン電極として膜厚120nmのTi（20nm）/Pd（20nm）/Au（100nm）多層膜を形成した。また、シリコン基板上にソース電極として膜厚50nmのTi（20nm）/Au（30nm）多層膜を形成した。

【0079】

以上の手順により、本発明に係るトンネル電界効果トランジスタであるTFET-1を作製した（図2および図3B参照）。このトンネル電界効果トランジスタに含まれるHEMT構造のバンド図（ $V_G = 0.50\text{V}$ ）を図11に示す。

【0080】

（2）TFET-2の作製（比較例）

$\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤ（中心ナノワイヤ）の側面上に変調ドープ層などの各被覆層を形成しなかった点を除いてはTFET-1と同様の手順で、比較用のトンネル電界効果トランジスタであるTFET-2を作製した。 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ナノワイヤ（中心ナノワイヤ）の太さ（外接円の直径）は30nmであった。

【0081】

以上の手順により、TFET-1およびTFET-2の2つのトンネル電界効果トランジスタを作製した。TFET-1は、トンネル電界効果トランジスタ（TFET）構造および高電子移動度トランジスタ（HEMT）構造の両方を有している。一方、TFET-2は、トンネル電界効果トランジスタ（TFET）構造を有するが、高電子移動度トランジスタ（HEMT）構造を有していない。

【0082】

3．電気特性の評価

上記工程により作製された2つのトンネル電界効果トランジスタの電気特性を測定した。

【0083】

図12は、TFET-1（実施例）およびTFET-2（比較例）におけるドレイン電流（ $I_{DS}$ ）とサブスレッシュヨルド係数との関係を示すグラフである。このグラフに示されるように、実施例のTFET-1のサブスレッシュヨルド係数は、60mV/桁以下（40mV/桁）であった。この結果から、本発明に係るトンネル電界効果トランジスタは、MOSFETのサブスレッシュヨルド係数の理論的最小値の60mV/桁以下の小さなサブスレッシュヨルド係数で動作可能であることがわかる。

【0084】

図13Aは、TFET-1（実施例）におけるゲート電圧（ $V_G$ ）とドレイン電流（ $I_{DS}$ ）との関係を示すグラフである（ $V_{DS} = 0.05, 0.10, 0.25, 0.50, 1.00\text{V}$ ）。図13Bは、TFET-1（実施例）におけるドレイン電圧（ $V_{DS}$ ）とドレイン電流（ $I_{DS}$ ）との関係を示すグラフである（ $V_G = -0.40 \sim 0.70\text{V}$ 、0.05V刻み）。図14Aは、TFET-2（比較例）におけるゲート電圧（ $V_G$ ）とドレイン電流（ $I_{DS}$ ）との関係を示すグラフである（ $V_{DS} = 0.05, 0.10, 0.25, 0.50, 1.00\text{V}$ ）。図14Bは、TFET-2（比較例）におけるドレイン電圧（ $V_{DS}$ ）とドレイン電流（ $I_{DS}$ ）との関係を示すグラフである（ $V_G = -0.8 \sim 1.20\text{V}$ 、0.10V刻み）。

【0085】

図14Aおよび図14Bに示されるように、高電子移動度トランジスタ（HEMT）構造を有していない比較例のTFET-2では、ドレイン電圧（ $V_{DS}$ ）が0.5Vの場合、ON電流は4nA/ $\mu\text{m}$ 程度であった。一方、図13Aおよび図13Bに示されるよう

10

20

30

40

50

に、高電子移動度トランジスタ（HEMT）構造を有している実施例のTFET-1では、ドレイン電圧（ $V_{DS}$ ）が0.5Vの場合、ON電流は $3.5 \mu A / \mu m$ 程度（875倍）であった。この結果から、本発明に係るトンネル電界効果トランジスタは、電流値が大きいことがわかる。

【0086】

本出願は、2015年9月30日出願の特願2015-193196に基づく優先権を主張する。当該出願明細書および図面に記載された内容は、すべて本願明細書に援用される。

【産業上の利用可能性】

【0087】

本発明の電界効果トランジスタは、例えば半導体マイクロプロセッサおよび高集積回路に形成されるスイッチ素子として有用である。

【符号の説明】

【0088】

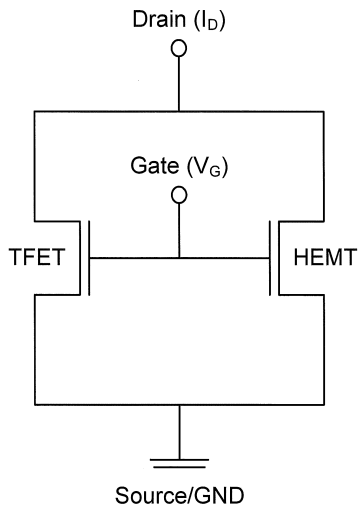
- 100 トンネル電界効果トランジスタ
- 110 基板
- 120 絶縁膜
- 130 コアマルチシェルナノワイヤ
- 131 中心ナノワイヤ
- 132 第1領域
- 133 第2領域
- 134 バリア層
- 135 変調ドープ層
- 136 キャップ層
- 137 第1スペーサー層
- 138 第2スペーサー層
- 140 ソース電極
- 150 ドレイン電極
- 160 ゲート絶縁膜
- 170 ゲート電極
- 180 絶縁保護膜

10

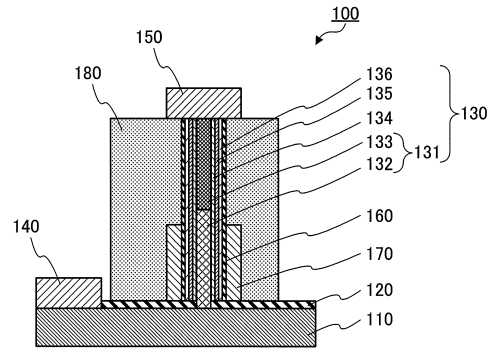
20

30

【 図 1 】



【 図 2 】



【 図 3 】

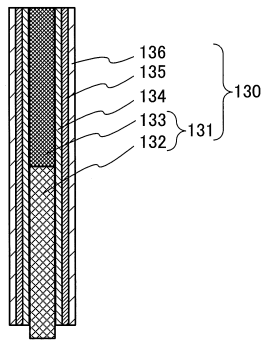


図3A

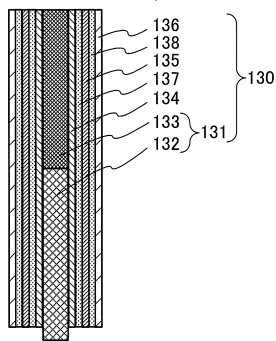
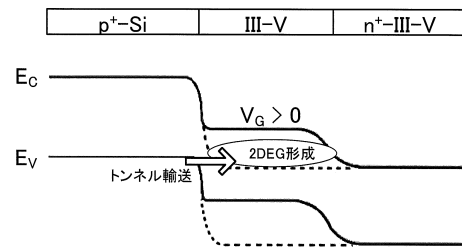
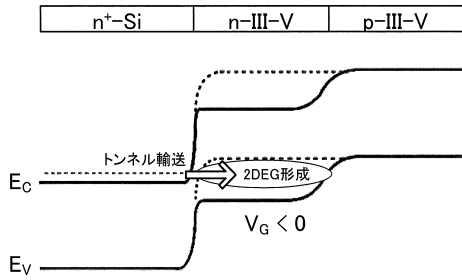


図3B

【 図 4 】



【図5】



【図6】



図6A

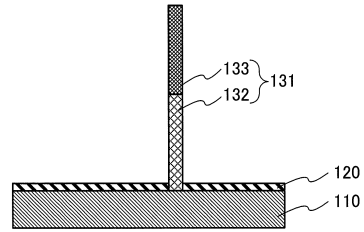


図6B

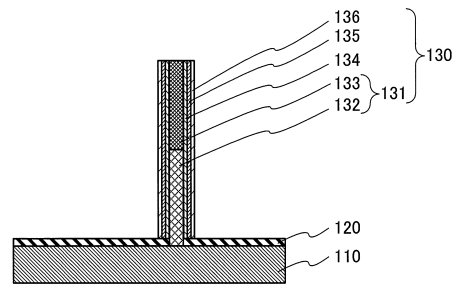


図6C

【図7】

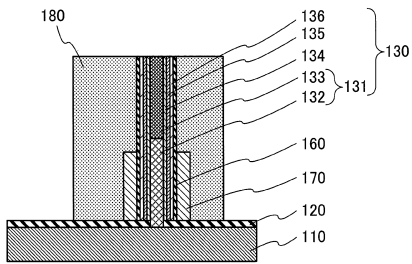


図7A

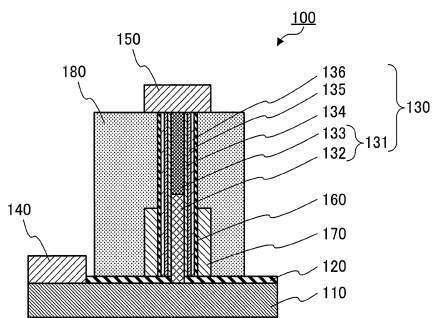
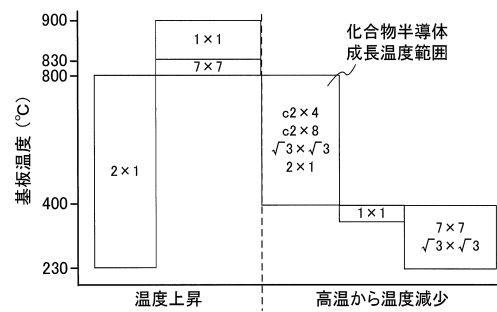
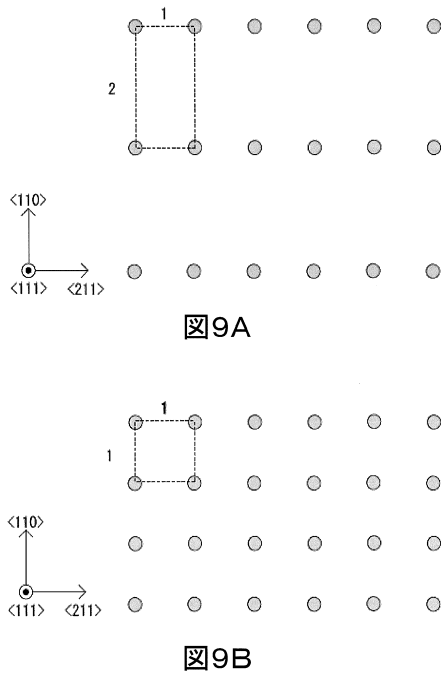


図7B

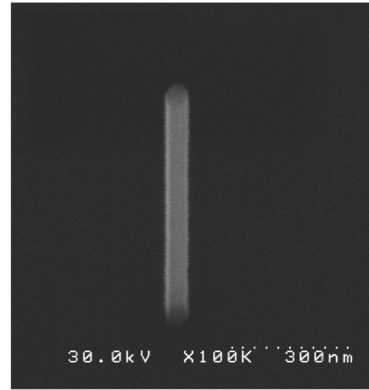
【図8】



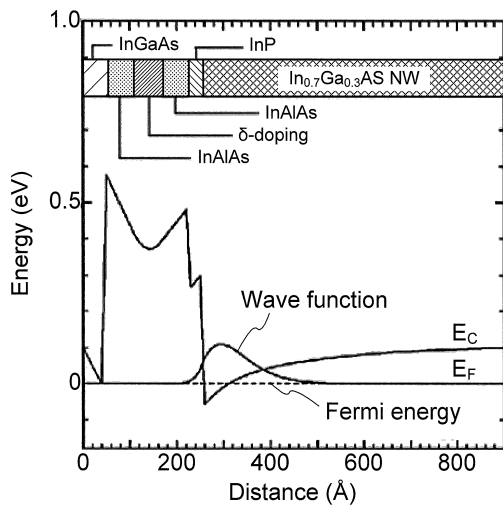
【 図 9 】



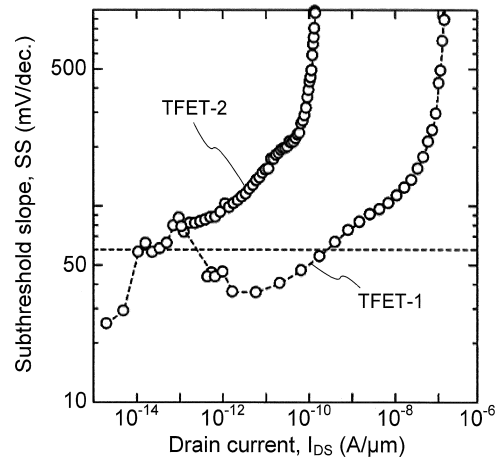
【 図 10 】



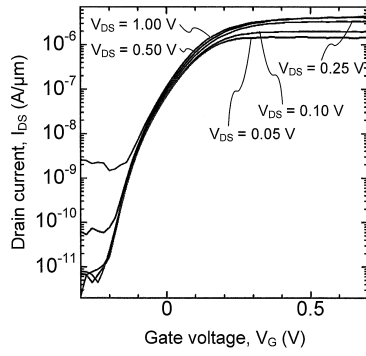
【 図 11 】



【 図 12 】

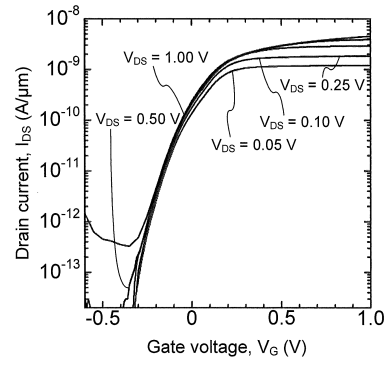


【 13 】

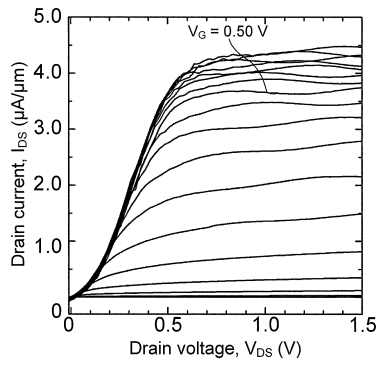


13A

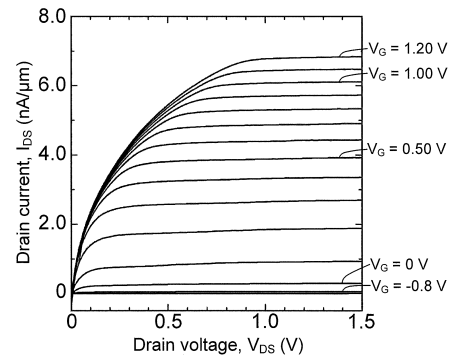
【 14 】



14A



13B



14B



フロントページの続き

(51) Int.Cl.		F I			
<i>H 0 1 L</i>	<i>21/28</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/20</i>	
<i>H 0 1 L</i>	<i>29/41</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/28</i>	<i>3 0 1 B</i>
<i>H 0 1 L</i>	<i>29/417</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/44</i>	<i>S</i>
<i>B 8 2 Y</i>	<i>30/00</i>	<i>(2011.01)</i>	<i>H 0 1 L</i>	<i>29/50</i>	<i>M</i>
			<i>H 0 1 L</i>	<i>29/50</i>	<i>J</i>
			<i>B 8 2 Y</i>	<i>30/00</i>	

審査官 市川 武宜

- (56) 参考文献 特開 2013 - 187291 (JP, A)  
 特開平 08 - 186271 (JP, A)  
 国際公開第 2015 / 022777 (WO, A1)  
 特開 2013 - 110160 (JP, A)  
 特開 2015 - 118968 (JP, A)

(58) 調査した分野 (Int.Cl., DB 名)

*H 0 1 L* *2 1 / 3 3 6*  
*B 8 2 Y* *3 0 / 0 0*  
*H 0 1 L* *2 1 / 2 0*  
*H 0 1 L* *2 1 / 2 8*  
*H 0 1 L* *2 9 / 0 6*  
*H 0 1 L* *2 9 / 4 1*  
*H 0 1 L* *2 9 / 4 1 7*  
*H 0 1 L* *2 9 / 6 6*  
*H 0 1 L* *2 9 / 7 8*