

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-148214

(P2018-148214A)

(43) 公開日 平成30年9月20日(2018.9.20)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 B 5 F 1 4 O
 HO 1 L 29/78 (2006.01)

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2018-37972 (P2018-37972)
 (22) 出願日 平成30年3月2日(2018.3.2)
 (31) 優先権主張番号 特願2017-43291 (P2017-43291)
 (32) 優先日 平成29年3月7日(2017.3.7)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 899000068
 学校法人早稲田大学
 東京都新宿区戸塚町1丁目104番地
 (74) 代理人 100137800
 弁理士 吉田 正義
 (74) 代理人 100148253
 弁理士 今枝 弘充
 (74) 代理人 100148079
 弁理士 梅村 裕明
 (74) 代理人 100158241
 弁理士 吉田 安子
 (72) 発明者 川原田 洋
 東京都新宿区戸塚町1丁目104番地 学
 校法人早稲田大学内

最終頁に続く

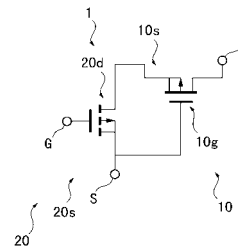
(54) 【発明の名称】 ノーマリオフ動作ダイヤモンド電力素子及びこれを用いたインバータ

(57) 【要約】

【課題】 ノーマリオフモードで動作するダイヤモンド電力素子を提供する。

【解決手段】 ダイヤモンド電界効果トランジスタ10と、これに直列に接続するエンハンスメント型のpチャネル電界効果トランジスタ20とを備え、ダイヤモンド電界効果トランジスタ10が、ダイヤモンド基板に設けられるドレイン電極と、ドレイン電極から離間してダイヤモンド基板に設けられるソース電極と、ドレイン電極及びソース電極の間におけるダイヤモンド基板の表面に設けられ、炭素水素結合を有する水素化層と、水素化層を覆うゲート絶縁膜と、ゲート絶縁膜上に設けられるゲート電極とを含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ダイヤモンド電界効果トランジスタと、これに直列に接続するエンハンスメント型の p チャンネル電界効果トランジスタとを備え、

前記ダイヤモンド電界効果トランジスタが、

ダイヤモンド基板に設けられるドレイン電極と、

前記ドレイン電極から離間して前記ダイヤモンド基板に設けられるソース電極と、

前記ドレイン電極及び前記ソース電極の間における前記ダイヤモンド基板の表面に設けられ、炭素水素結合を有する水素化層と、

前記水素化層を覆うゲート絶縁膜と、

前記ゲート絶縁膜上に設けられるゲート電極とを含む、ダイヤモンド電力素子。

10

【請求項 2】

前記ダイヤモンド電界効果トランジスタの前記ゲート電極が前記 p チャンネル電界効果トランジスタのソースと接続される、請求項 1 に記載のダイヤモンド電力素子。

【請求項 3】

前記 p チャンネル電界効果トランジスタがシリコンで構成される、請求項 1 又は 2 に記載のダイヤモンド電力素子。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の前記ダイヤモンド電力素子と、

前記ダイヤモンド電力素子に直列に接続される n チャンネル電界効果トランジスタと

を備えるインバータ。

20

【請求項 5】

前記 n チャンネル電界効果トランジスタがシリコンで構成される、請求項 4 に記載のインバータ。

【請求項 6】

前記 n チャンネル電界効果トランジスタが III - V 族化合物半導体で構成される、請求項 4 に記載のインバータ。

【請求項 7】

前記 III - V 族化合物半導体がガリウムと窒素を含む半導体である、請求項 6 に記載のインバータ。

30

【請求項 8】

前記ガリウムと窒素を含む半導体で構成される前記 n チャンネル電界効果トランジスタが、前記ダイヤモンド基板に設けられている、請求項 7 に記載のインバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ノーマリオフ動作ダイヤモンド電力素子及びこれを用いたインバータに関する。

40

【背景技術】

【0002】

ダイヤモンドは、高電圧及び大電流の条件のもとでの動作が求められる電力素子に適した半導体材料として期待されている。ダイヤモンド基板を用いた種々の電界効果トランジスタ (FET: Field Effect Transistor) は、これまでも提案されている。特許文献 1 には、ダイヤモンド基板の表面を水素化することにより、水素化層直下に 2 次元正孔ガス (2DHG; two-dimensional hole gas) 層を生成し、これを電界効果トランジスタのチャンネル層として用いるダイヤモンド FET が提案されている。

【先行技術文献】

50

【特許文献】

【0003】

【特許文献1】特開2014-60377号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、ダイヤモンド基板の表面を水素化することにより生成される2DHG層はゲート電圧を印加しない場合でも存在するため、特許文献1に提案されるダイヤモンドFETはノーマリオンモードで動作する。消費電力の低減や安全性、既存の回路への適用性の観点から、電力素子はノーマリオフモードで動作することが好ましく、ノーマリオフモードで動作するダイヤモンド電力素子が望まれている。

10

本発明は、上記事情に鑑みてなされ、ノーマリオフモードで動作するダイヤモンド電力素子及びこれを用いたインバータを提供する。

【課題を解決するための手段】

【0005】

本発明の第1の態様は、ダイヤモンド電界効果トランジスタと、これに直列に接続するエンハンスメント型のpチャネル電界効果トランジスタとを備え、ダイヤモンド電界効果トランジスタが、ダイヤモンド基板に設けられるドレイン電極と、ドレイン電極から離間してダイヤモンド基板に設けられるソース電極と、ドレイン電極及びソース電極の間におけるダイヤモンド基板の表面に設けられ、炭素水素結合を有する水素化層と、水素化層を覆うゲート絶縁膜と、ゲート絶縁膜上に設けられるゲート電極とを含むダイヤモンド電力素子を提供する。

20

【0006】

本発明の第2の態様は、第1の態様のダイヤモンド電力素子と、ダイヤモンド電力素子に直列に接続されるnチャネル電界効果トランジスタとを備えるインバータを提供する。

【発明の効果】

【0007】

本発明によれば、ノーマリオフモードで動作するダイヤモンド電力素子及びこれを用いたインバータが提供される。

【図面の簡単な説明】

30

【0008】

【図1】本発明の第1の実施形態によるダイヤモンド電力素子の回路図である。

【図2】本実施形態のダイヤモンド電力素子のダイヤモンド電界効果トランジスタを模式的に示す断面図である。

【図3】ゲート電圧を印加した場合におけるダイヤモンド電界効果トランジスタの等価回路図である。

【図4】ゲート電圧を印加しない場合におけるダイヤモンド電界効果トランジスタの等価回路図である。

【図5】本実施形態のダイヤモンド電力素子の電流電圧特性を示すグラフである。

【図6】本実施形態のダイヤモンド電力素子の他の電流電圧特性を示すグラフである。

40

【図7】比較のために、本実施形態のダイヤモンド電力素子内のダイヤモンド電界効果トランジスタの電流電圧特性を示すグラフである。

【図8】本実施形態のダイヤモンド電力素子の耐電圧特性を示すグラフである。

【図9】本発明の第2の実施形態によるインバータを示す回路図である。

【図10】本実施形態のインバータの動作特性を示すグラフである。

【図11】実施例1に係る本発明の相補型インバータの回路図である。

【図12】実施例2に係る本発明の相補型インバータの回路図である。

【図13】(a)は本発明の相補型インバータの第2段目の回路に入力される入力電圧波形を示す図であり、(b)は本発明の相補型インバータの第1段目の回路に入力される入力電圧波形および第2段目の回路から出力される出力電圧波形を示す図である。

50

【発明を実施するための形態】

【0009】

以下、添付の図面を参照しながら、本発明の限定的でない例示の実施形態について説明する。添付の全図面中、同一または対応する部材または部品については、同一または対応する参照符号を付し、重複する説明を省略する。

【0010】

(第1の実施形態)

以下、図1から図8までを参照しながら、本発明の第1の実施形態によるダイヤモンド電力素子を説明する。

【0011】

図1は、本実施形態によるダイヤモンド電力素子1の回路図である。図示のとおり、ダイヤモンド電力素子1は、ダイヤモンド電界効果トランジスタ(以下、ダイヤモンドFET(Field Effect Transistor)という)10と、pチャネル電界効果トランジスタ(以下、p-FETという)20とを有する。ダイヤモンドFET10とp-FET20は互いに直列に接続されている。つまり、ダイヤモンドFET10のソース10sがp-FET20のドレイン20dに接続されている。また、ダイヤモンドFET10のゲート10gは、p-FET20のソース20sに接続されている。すなわち、本実施形態のダイヤモンド電力素子1は、ドレイン端子D(ダイヤモンドFET10のドレイン端子に相当)、ソース端子S(p-FET20のソース端子に相当)、及びゲート端子G(p-FET20のゲート端子に相当)を有する三端子素子様の構成を有している。

10

20

【0012】

次に、ダイヤモンドFET10について説明する。図2を参照すると、ダイヤモンドFET10は、基板11に設けられるドレイン電極12と、ドレイン電極12から離間して基板11に設けられるソース電極13と、ドレイン電極12及びソース電極13の間における基板11の表面に設けられ、炭素水素(C-H)結合を有する水素化層15と、水素化層15を覆うゲート絶縁膜16と、ゲート絶縁膜16上に設けられるゲート電極14とを含む。ゲート絶縁膜16は、ドレイン電極12及びソース電極13の上方にコンタクト孔17を有しており、コンタクト孔17を通してドレイン電極12及びソース電極13が上方に露出している。ゲート電極14は、ドレイン電極12とソース電極13の間においてゲート絶縁膜16上に設けられている。

30

【0013】

基板11はダイヤモンドで形成されている。本実施形態においては、基板11は、単結晶(Ib(001))のダイヤモンド基板11aと、その表面にエピタキシャル成長されたアンドープのダイヤモンド層11bとを有している。ダイヤモンド層11bは、例えばマイクロ波化学気相堆積法(CVD; Chemical Vapor Deposition)により成長することができる。ダイヤモンド層11bの厚さは例えば約100nmであってよい。

【0014】

ドレイン電極12は、チタンカーバイド(TiC)層12a、チタン(Ti)層12b、及び金(Au)層12cを有している。Ti層12b及びAu層12cは、例えば、フォトリソグラフィ技術、蒸着法、及びリフトオフ法を順次用いることにより形成することができる。TiC層12aは、例えばTi層12b及びAu層12cの形成後に基板11を加熱し、Ti層12bを構成するTiをその直下のダイヤモンド層11bに拡散させることにより形成することができる。TiC層12aにより、ドレイン電極12はダイヤモンド層11bに対してオーミック接続する。

40

【0015】

ソース電極13は、TiC層13a、Ti層13b、及びAu層13cを有している。このソース電極13の各層13a~13cは、ドレイン電極12の各層12a~12cと同じであるので、その詳細な説明は省略する。

【0016】

なお、Ti層12b, 13b、及びAu層12c, 13cの厚さは、適宜決めてよい。

50

例えば、Ti層12b, 13bの厚さは3nmから50nmまでの範囲内であってよく、Au層12c, 13cの厚さは50nmから1μmまでの範囲内であってよい。詳細には、Ti層12b, 13bは約30nm、Au層12c, 13cは約100nmの厚さであると好ましい。

【0017】

水素化層15は、ドレイン電極12とソース電極13の間におけるダイヤモンド層11bの表面に形成されている。水素化層15では、ダイヤモンド層11bを形成する炭素(C)原子のダングリングボンドが水素(H)原子により終端されている(すなわち、C-H結合が形成されている)。水素化層15は、その直下のダイヤモンド層11b内に2次元正孔ガス(2DHG: two-dimensional hole gas)層(図示せず)を誘起する。2DHG層は、ダイヤモンドFET10のp型チャンネル層として機能する。2DHG層は、ダイヤモンドFET10へゲート電圧を印加しない場合であっても存在するため、ダイヤモンドFET10はデプレッション型の素子として機能する。

10

【0018】

水素化層15は例えば以下のように形成することができる。まず、ドレイン電極12とソース電極13が形成された基板11を例えば600℃に加熱しながら、ダイヤモンド層11bの表面を水素プラズマに曝す。これにより、ドレイン電極12及びソース電極13で覆われた部分を除いて、ダイヤモンド層11bの表面の全面が水素終端される。次いで、ドレイン電極12とソース電極13の間の領域を含む所定の範囲をフォトリソマスクで覆った後、ダイヤモンド層11bを酸素プラズマに曝す。酸素プラズマに曝された領域の表面は酸化されてC-H結合が消失し、この領域から水素化層15が除去される。一方、フォトリソマスクで覆われた領域にはC-H結合が残り、このフォトリソマスクを除去すると、所定のサイズを有する水素化層15が得られる。

20

【0019】

ゲート絶縁膜16はアルミナ(Al_2O_3)で形成されている。このゲート絶縁膜16は、ゲート電極14を水素化層15から電気的に絶縁するとともに、水素化層15を保護する保護膜としても機能する。ゲート絶縁膜16の厚さは適宜決めることができるが、ダイヤモンドFET10の耐圧を向上させる観点から、50nm以上とし、好ましくは100nm以上とし、より好ましくは400nm以上とするのがよい。

【0020】

なお、ゲート絶縁膜16は、トリメチルアルミニウム(TMA)と、気相状態の水(H_2O)とを原料とする原子層堆積(ALD: Atomic Layer Deposition)法により形成することができる。

30

【0021】

ゲート電極14は、ゲート絶縁膜16上に、ドレイン電極12及びソース電極13の各々から所定の間隔をあけて配置されている。ゲート-ドレイン間隔 L_{GD} 、ゲート-ソース間隔 L_{GS} 、ゲート長 L_G は、適宜決めることができるが、ゲート-ドレイン間隔 L_{GD} は1~30μm、ゲート-ソース間隔 L_{GS} は1~10μm、ゲート長 L_G は1~20μmの範囲内とするのがよい。ゲート電極14は例えばアルミニウム(Al)で形成されている。ゲート電極14は、例えば、フォトリソグラフィ技術、蒸着法、及びリフトオフ法を順次用いることにより形成することができる。ゲート電極14の厚さは例えば約0.5μmであってよい。

40

【0022】

コンタクト孔17は、例えば、ドレイン電極12及びソース電極13の上方に開口を有するフォトリソマスクを形成し、水酸化テトラメチルアンモニウム(TMAH)により開口に露出するゲート絶縁膜16を除去することにより形成される。これによりコンタクト孔17を通してドレイン電極12及びソース電極13が露出する。なお、コンタクト孔17は、ゲート電極14を形成する前に形成することが好ましい。これによれば、ゲート電極14を形成するときに、コンタクト孔17を通して露出するドレイン電極12及びソース電極13上にもAlが堆積され、堆積されたAl層をコンタクト層(図示せず)と

50

して利用することができる。

【0023】

p-FET20(図1)は、本実施形態においてはシリコン(Si)で構成されたエンハンスメント型(ノーマリオフ型)のpチャネルFETである。p-FET20としては、これらに限定されることなく例えば、ゲート閾値電圧(V_{th})が-0.8Vから-4Vまでの範囲内にあり、ドレイン-ソース間降伏電圧($V_{(BR)DSS}$)が-100Vから-200Vまでの範囲内あるFETを使用することができる。具体的には、例えばルネサステクノロジ社製の2SJ410や東芝社製の2SJ380などの市販のFETを使用してよい。

【0024】

次に、ダイヤモンド電力素子1の動作を図3及び図4を参照しながら説明する。図3は、ゲート電圧 V_{GS} を印加した場合のダイヤモンド電力素子1の等価回路を示す。ゲート電圧 V_{GS} (ソース端子Sに対しゲート端子Gが負電位)が印加されると、ダイヤモンド電力素子1のp-FET20(エンハンスメント型)がオンになるため、図中のab間の電圧 V_{ab} は0Vとなる。電圧 V_{ab} はダイヤモンドFET10のゲート-ソース間の電圧に相当し、これが0Vとなるため、デプレッション型のダイヤモンドFET10は導通したままとなる。すなわち、ゲート電圧 V_{GS} を印加する場合は、ダイヤモンドFET10及びp-FET20の双方がオンになり、ダイヤモンド電力素子1はオンとなる。

【0025】

図4は、ゲート電圧 V_{GS} を印加しない場合のダイヤモンド電力素子1の等価回路を示している。この場合、p-FET20はオフであり、ドレイン-ソース間に生じるキャパシタ20cと等価になる。このとき、ドレイン電圧 V_{DS} によりデプレッション型のダイヤモンドFET10からp-FET20へ瞬間的に電流が流れ込み、キャパシタ20cが充電される。その結果、電圧 V_{ab} が正電圧(bを基準として)となり、ダイヤモンドFET10のゲート-ソース間電圧が $-V_{ab}$ となる。この電圧がダイヤモンドFET10の閾値電圧を超えると、ダイヤモンドFET10はオフへ反転する。したがって、ゲート電圧 V_{GS} を印加しない場合、ダイヤモンド電力素子1はオフとなる。すなわち、ダイヤモンド電力素子1はノーマリオフモードで動作することとなる。

【0026】

消費電力の低減や安全性、既存の回路への適用性の観点から、電力素子は一般にノーマリオフモードで動作することが好ましいところ、ダイヤモンドFET10は上述のとおりデプレッション型であり、ダイヤモンドFET10単体ではノーマリオンモードで動作する。一方、本実施形態によるダイヤモンド電力素子1によれば、ダイヤモンドFET10を使用しつつ、ノーマリオフモードで動作する電力素子が提供される。

【0027】

次に、本実施形態によるダイヤモンド電力素子1の電気特性の測定結果を説明する。図5は、ダイヤモンド電力素子1の電流電圧特性(ゲート電圧-ドレイン電流特性)の一例を示すグラフである。測定に用いたダイヤモンド電力素子1におけるダイヤモンドFET10の主な仕様は以下のとおりである。

ダイヤモンド基板11aの厚さ	: 500 μ m
ダイヤモンド層11bの厚さ	: 500 nm
Ti層12b, 13bの厚さ	: 30 nm
Au層12c, 13cの厚さ	: 100 nm
ゲート電極14の厚さ	: 100 nm
ゲート絶縁膜16の厚さ	: 200 nm
ゲート幅(水素化層15の幅)	: 25 μ m
ゲート-ドレイン間隔 L_{GD}	: 5 μ m
ゲート長 L_G	: 4 μ m
ゲート-ソース間隔 L_{GS}	: 2 μ m

【0028】

10

20

30

40

50

また、 p -FET20として、上記の東芝社製のFET(2SJ380)を使用し、このFETをダイヤモンドFET10に対し、図1に示すように接続することによりダイヤモンド電力素子1を作製した。電気特性の測定には、プローバを備える真空チャンバを用い、適宜、このチャンバ内にダイヤモンド電力素子1を格納して測定を行った。

【0029】

図5を参照すると、ドレイン電圧 V_{DS} ($-10V$)を印加しても、ゲート電圧 V_{GS} が $0V$ の場合には電流は流れないことが分かる。すなわち、ダイヤモンド電力素子1がノーマリオフモードで動作することが実際の測定においても確認された。また、ゲート電圧 V_{GS} が約 $-0.9V$ より低くなると、ドレイン電流 I_{DS} は急峻に立ち上がっている。すなわち、このダイヤモンド電力素子1の閾値電圧は約 $-0.9V$ であり、この値は、使用した p -FET20の規格値 $-0.8V \sim -1.0V$ にほぼ一致している。なお、 p -FET20として、上記のSJ410を用いた場合にも、ダイヤモンド電力素子1の閾値電圧は、2SJ410の閾値電圧定格値の範囲内に収まった。この結果から、 p -FET20の閾値電圧により、ダイヤモンド電力素子1の閾値電圧が決まることが分かる。

10

【0030】

なお、図5のグラフにおいて、ドレイン電流 I_{DS} は約 $-13mA/mm$ で飽和している。これは、ダイヤモンド電力素子1がオンの場合、ダイヤモンドFET10は定電流源として働いており、 p -FET20のゲート電圧が上がっても p -FET20へ流れ込む電流が一定となるためである。

20

【0031】

次に、図6を参照しながら、ダイヤモンド電力素子1の電流電圧特性(ドレイン電圧-ドレイン電流特性)について説明する。図6は、ドレイン電圧 V_{DS} を $0V$ から $-30V$ まで変化させてドレイン電流 I_{DS} を測定した結果を示している。このとき、ゲート電圧 V_{GS} をパラメータとして $-0.02V$ の増分で $-1.2V$ まで変化させた。ドレイン電圧 V_{DS} を負方向に増大していくとともにドレイン電流 I_{DS} も増大していき、ドレイン電流 I_{DS} は、 $V_{GS} = -1.2V$ 、 $V_{DS} = -30V$ のときに、約 $-20.8mA/mm$ となった。これにより、ダイヤモンド電力素子1が電力素子として使用可能であることが確認された。なお、このグラフにおいてもドレイン電流 I_{DS} が飽和しており、特にゲート電圧 V_{GS} が低い場合に、低い値でドレイン電流 I_{DS} が飽和している。これは、 p -FET20を流れる電流がゲート電圧 V_{GS} により制限されるためである。

30

【0032】

次いで、比較のため、ダイヤモンド電力素子1のダイヤモンドFET10における電流電圧特性を測定した。すなわち、図1におけるダイヤモンドFET10のドレイン(ドレイン端子D)とソース10sの間にドレイン電圧 V_{ds} ($-10V$)を印加しつつ、ゲート10gとソース10sの間に印加するゲート電圧 V_{gs} を変化させて、ドレイン電流 I_{ds} を測定した。図7に示すように、ゲート電圧 V_{gs} が $0V$ の場合であっても、約 $-13mA/mm$ のドレイン電流が流れている。すなわち、ダイヤモンドFET10は、ノーマリオンモードで動作していることが分かる。この結果を図5に示す結果と比較することにより、本実施形態によるダイヤモンド電力素子1は、ノーマリオンモードで動作するダイヤモンドFET10を使用しつつも、ノーマリオフモードで動作することが分かる。

40

【0033】

続けて、ダイヤモンド電力素子1の耐電圧特性について説明する。図8は、ゲート電圧 V_{GS} を印加しない場合(すなわちオフ時)における電流電圧特性を示すグラフである。このグラフにはドレイン電流 I_{DS} 及びゲート電流 I_{GS} の双方をプロットしてある。このグラフに示すように、ドレイン電圧 V_{DS} を $0V$ から $-1.5kV$ 程度まで変化させても、ドレイン電流 I_{DS} は概ね $10^{-8}A$ から $10^{-9}A$ までの極めて低い範囲内に収まり、ゲート電流 I_{GS} は概ね $10^{-12}A$ から $10^{-10}A$ までの極めて低い範囲内に収まっている。絶縁破壊が生じたのはドレイン電圧 V_{DS} が $-1735V$ のときであり、この結果から、ダイヤモンド電力素子1は高電圧電力素子として好適に使用できることが分かる。

50

【0034】

また、ドレイン電圧 V_{D_S} が $-200V$ のときに（ゲート電圧 $V_{G_S} = 0V$ ）、ダイヤモンドFET10とp-FET20のそれぞれに印加される電圧（分圧）を測定したところ、p-FET20に印加される電圧は $-24.2V$ であった。すなわち、p-FET20にかかる電圧はドレイン電圧 V_{D_S} のほぼ12%に過ぎない。ダイヤモンド電力素子1の耐電圧に関しては、ダイヤモンドFET10が大きな役割を担っていることが分かった。

【0035】

なお、ドレイン電圧 V_{D_S} として $1.7kV$ を印加した場合であっても、p-FET20が破壊されることなく、正常に動作することが実験上確認されている。

10

【0036】

（第2の実施形態）

次に、図9を参照しながら、第2の実施形態によるインバータについて説明する。図示のとおり、インバータ100は、上述のダイヤモンド電力素子1と、このダイヤモンド電力素子1のドレイン端子D（図1）に対してドレインが接続されるnチャネル電界効果トランジスタ（以下、n-FET）30とを有している。換言すると、インバータ100は、pチャネルFETとしてのダイヤモンド電力素子1と、nチャネルFETとしてのn-FET30とで構成されるインバータである。n-FET30としては、市販の高耐電圧のSi製n-FETを使用することができる。ここではTK20A60（東芝社製）を使用した。

20

【0037】

また、インバータ100において、入力端子 V_{i_n} は、ダイヤモンド電力素子1のゲート端子G（図1）とn-FET30のゲートとに導通し、出力端子 $V_{o_u t}$ は、ダイヤモンド電力素子1とn-FET30のドレインに導通している。

【0038】

インバータ100の端子 V_{d_d} に所定の電圧（説明の便宜上、電圧Vという）を印加し、端子 V_{s_s} を接地した場合において、入力端子 V_{i_n} に電圧Vを印加すると、ダイヤモンド電力素子1がオフになり、n-FET30がオンになる。したがって、出力端子 $V_{o_u t}$ の電圧は $0V$ となる。入力端子 V_{i_n} に入力電圧を印加しない場合には、ダイヤモンド電力素子1がオンになり、n-FET30がオフになる。したがって、出力端子 $V_{o_u t}$ には電圧Vが出力される。

30

【0039】

図10は、インバータ100の動作特性を示すグラフである。このグラフにおいて、実線が入力電圧を示し、破線が出力電圧を示している。入力電圧が「ロー」（ $0V$ ）の場合に出力電圧は「ハイ」（この場合、約 $20V$ ）となり、入力電圧が「ハイ」の場合に出力電圧が「ロー」となっていることが分かる。すなわち、インバータ100がインバータとして動作することが確認された。

【0040】

なお、出力電圧は、1サイクル $1ms$ に対して下降時の遅延が約 $215ns$ であった。一方、上昇時には約 $290\mu s$ の遅延DLが生じている。この遅延DLは、ダイヤモンド電力素子1内のダイヤモンドFET10のゲート長が、n-FET30のゲート長よりも小さいことから生じると推測される。これらを調整することにより、遅延DLの低減が期待される。

40

【0041】

上述のとおりダイヤモンド電力素子1は、ノーマリオフモードで動作する高耐電圧のpチャネルFETとして機能する。このようなダイヤモンド電力素子1を高耐電圧のノーマリオフモードで動作するn-FET30とともに用いることにより、高耐電圧のインバータ100が提供される。

【0042】

以上、いくつかの実施形態を参照しながら本発明を説明したが、本発明は、これらの実

50

施形態に限定されることなく、種々に変更又は変形することができる。

【0043】

例えば、上記の実施形態においては、単結晶のダイヤモンド基板11aが用いたが、黒色多結晶のダイヤモンド基板を用いてもよい。この場合、その表面に多結晶のダイヤモンド層を堆積してもよいし、堆積しなくてもよい。

【0044】

また、上記の実施形態では、p-FET20としてSi製FETを例示したが、他の材料により構成されたエンハンスメント型p-FETを用いてもよい。例えば、ゲルマニウム(Ge)で構成されたpチャンネルFET(チャンネル層としてGe又はSiGeが採用されたFETも含む)を使用することができ、III-V族化合物半導体で構成されたpチャンネルFETをp-FET20として使用してもよい。例えばインジウムガリウムヒ素(InGaAs)層をチャンネル層として有するFETを使用してよい。

10

【0045】

上記の実施形態によるダイヤモンド電力素子1では、ダイヤモンドFET10のゲート10gと、p-FET20のソース20sとが互いに接続されているが、各々が接地されていてもよい。

【0046】

さらに、インバータ100におけるn-FET30として、Si製FETに限らず、他の材料により構成されたn-FETを用いることができる。例えば、n-FET30として、窒化アルミニウムガリウム(AlGaN)/窒化ガリウム(GaN)系のn-FETを用いた素子を用いてもよい。具体的には、この素子は、AlGaN/GaN系のn-FET(デプレッション型)と、エンハンスメント型のn-FETを有することができる。AlGaN/GaN系のn-FETのソースと、エンハンスメント型のn-FETのドレインとが接続され、AlGaN/GaN系のn-FETのゲートと、エンハンスメント型のn-FETのソースとが接続されており、これにより、この素子はノーマリオフモードで動作する。これによれば、ダイヤモンド電力素子1と、ガリウムと窒素を含む半導体で構成される第1のnチャンネル電界効果トランジスタと、この第1のnチャンネル電界効果トランジスタに直列に接続されるエンハンスメント型の第2のnチャンネル電界効果トランジスタとを含み、ダイヤモンド電力素子1に直列に接続される素子と、を含むインバータが提供される。

20

30

【0047】

なお、このような素子を使用する場合には、AlGaN/GaN系のn-FETは、ダイヤモンドFET10が形成された基板11の上に形成されてもよい。

【実施例】

【0048】

[実施例1]

図11を参照しながら、本発明の実施例1について説明する。同図面において、記号Dはドレイン、記号Sはソース、記号Gはゲートを表わすものとする。

【0049】

実施例1の相補型インバータ200は、デプレッション型のダイヤモンドFET211とエンハンスメント型のSi製p-FET212をカスコード接続したカスコードp-FET210と、デプレッション型のAlGaN/GaN系n-FET221とエンハンスメント型のSi製n-FET222をカスコード接続したカスコードn-FET220が相補型インバータを構成するように、カスコードp-FET210のドレインとカスコードn-FET220のドレインを相互に接続した回路から構成されている。

40

【0050】

カスコードp-FET210において、Si製p-FET212のドレインはダイヤモンドFET211のソースに接続されており、Si製p-FET212のソースはダイヤモンドFET211のゲートに接続されている。Si製p-FET212のソース(カスコードp-FET210のソース端子に相当)は、直流電源260aに接続されている。

50

ダイヤモンドFET211のドレイン（カスコードp-FET210のドレイン端子に相当）は、AlGaN/GaN系n-FET221のドレイン（カスコードn-FET220のドレイン端子に相当）に接続されている。

【0051】

一方、カスコードn-FET220において、Si製n-FET222のドレインはAlGaN/GaN系n-FET221のソースに接続されており、Si製n-FET222のソースはAlGaN/GaN系n-FET221のゲートに接続されている。Si製p-FET222のソース（カスコードn-FET220のソース端子に相当）は直流電源260bに接続されている。AlGaN/GaN系n-FET221のドレイン（カスコードn-FET220のドレイン端子に相当）は、ダイヤモンドFET211のドレイン電極（カスコードp-FET210のドレイン端子に相当）に接続されている。

10

【0052】

そして、信号源250から延出される信号線は、2つに分岐して、それぞれSi製p-FET212のゲート（カスコードp-FET210のゲート端子に相当）及びSi製p-FET222のゲート（カスコードp-FET220のゲート端子に相当）に接続されている。

【0053】

本実施例では、上記のように構成された相補型インバータ200を用いて、直流電源260aからカスコードp-FET210のソース端子に電圧+10Vを印加し、直流電源260bからカスコードn-FET220のソース端子に電圧-10Vを印加し、信号源250からカスコードp-FET210及びカスコードn-FET220のゲート端子に入力電圧レベル0V、振幅10V、周期1000Hz、デューティ比50%の矩形パルスを入力して、カスコードp-FET210のドレイン端子とカスコードn-FET220のドレイン端子を接続する中点から波形反転した振幅10Vの矩形パルスを出力として得た。

20

【0054】

[実施例2]

図12を参照しながら、本発明の実施例2について説明する。同図面においても、記号Dはドレイン、記号Sはソース、記号Gはゲートを表わすものとする。

【0055】

実施例2の相補型インバータ300は、入力電圧のレベルシフタとして機能する第1段目の回路330と、相補型インバータとして機能する第2段目の回路340とから構成されている。

30

【0056】

まず、第2段目の回路340から説明する。第2段目の回路340は、デプレッション型のダイヤモンドFET311とエンハンスメント型のSi製p-FET312をカスコード接続したカスコードp-FET310と、デプレッション型のAlGaN/GaN系n-FET321とエンハンスメント型のSi製n-FET322をカスコード接続したカスコードn-FET320が相補型インバータを構成するように、カスコードp-FET310のドレインとカスコードn-FET320のドレインを相互に接続した回路から構成されている。

40

【0057】

カスコードp-FET310において、Si製p-FET312のドレインはダイヤモンドFET311のソースに接続されており、Si製p-FET312のソースはダイヤモンドFET311のゲートに接続されている。Si製p-FET312のソース（カスコードp-FET310のソース端子に相当）は、直流電源360aに接続されている。ダイヤモンドFET311のドレイン（カスコードp-FET310のドレイン端子に相当）は、AlGaN/GaN系n-FET321のドレイン（カスコードn-FET320のドレイン端子に相当）に接続されている。

【0058】

50

一方、カスコード n -FET 320 において、Si 製 n -FET 322 のドレインは AlGaIn/GaN 系 n -FET 321 のソースに接続されており、Si 製 n -FET 322 のソースは AlGaIn/GaN 系 n -FET 321 のゲートに接続されている。Si 製 p -FET 322 のソース（カスコード n -FET 320 のソース端子に相当）は、直流電源 360b に接続されている。AlGaIn/GaN 系 n -FET 321 のドレイン（カスコード n -FET 320 のドレイン端子に相当）は、ダイヤモンド FET 311 のドレイン（カスコード p -FET 310 のドレイン端子に相当）に接続されている。

【0059】

次に、第1段目の回路 330 について説明する。第1段目の回路 330 は、第2段目の回路 340 の Si 製 p -FET 312 のゲート（カスコード p -FET 310 のゲート端子に相当）及び Si 製 n -FET 322 のゲート（カスコード n -FET 320 のゲート端子に相当）に入力される入力信号の電圧レベルがそれぞれ所定の電圧レベルとなるように、信号源 350 から入力される信号の電圧レベルをレベルシフトするための回路である。Si 製 n -FET 331 のソースと Si 製 p -FET 332 のソースを接続した相補的に動作するスイッチ回路を構成しており、該ソースは接地されている。また、信号源 350 の信号線は、2つに分岐して、それぞれ Si 製 n -FET 331 及び Si 製 p -FET 332 のゲートに接続されている。

10

【0060】

Si 製 n -FET 331 のドレインには抵抗 333 が接続され、さらに抵抗 333 の先には抵抗 334 が直列に接続されていて、抵抗 333 と抵抗 334 は抵抗分圧器をなしている。そして、抵抗 334 の抵抗 333 に接続される端部とは反対側の端部は直流電源 360a に接続されている。また、抵抗 333 と抵抗 334 の間の中点は、Si 製 p -FET 312 のゲートに接続されており、抵抗 333 と抵抗 334 によって抵抗分圧され、所定の電圧レベルにレベルシフトされた電圧をカスコード p -FET 310 のゲート端子に信号入力することができる。本実施例では、抵抗 333 と抵抗 334 の抵抗比は 4 : 1 とした。

20

【0061】

一方、Si 製 p -FET 332 のドレインには抵抗 335 が接続され、さらに抵抗 335 の先には抵抗 336 が直列に接続されて、抵抗 335 と抵抗 336 は抵抗分圧器をなしている。そして、抵抗 336 の抵抗 335 に接続される端部とは反対側の端部は直流電源 360b に接続されている。また、抵抗 335 と抵抗 336 の間の中点は、Si 製 n -FET 322 のゲートに接続されており、抵抗 335 と抵抗 336 によって抵抗分圧され、所定の電圧レベルにレベルシフトされた電圧をカスコード p -FET 320 のゲート端子に信号入力することができる。本実施例では、抵抗 335 と抵抗 336 の抵抗比は 4 : 1 とした。

30

【0062】

本実施例では、上記のように構成される相補型インバータ 300 を用いて、直流電源 360a からカスコード p -FET 310 のソース端子に電圧 +100V を印加し、直流電源 360b からカスコード n -FET 320 のソース端子に電圧 -100V を印加し、信号源 350 から第1段目の回路 330 の Si 製 n -FET 331 及び Si 製 p -FET 332 のゲートに入力電圧レベル 0V かつ振幅 5V の矩形パルスを入力した。

40

【0063】

抵抗 333 と抵抗 334 の抵抗比は 4 : 1 に設定しているため、第1段目の回路 330 の Si 製 n -FET 331 がオンすると、抵抗 333 と抵抗 334 に電流が流れ、信号源 350 から入力された入力信号が抵抗分圧によって直流電源 360a の電源電圧 +100V よりも 20V 低い電圧レベルにレベルシフトされるため、カスコード p -FET 310 のゲートとソース間の電圧が 20V 開き、カスコード p -FET 310 がオンする。逆に、第1段目の回路 330 の Si 製 n -FET 331 がオフすると、抵抗 333 と抵抗 334 に電流が流れないので、カスコード p -FET 310 のゲートは直流電源 360a の電源電圧 +100V にプルアップされ、カスコード p -FET 310 のゲートとソース間の

50

電圧が 0 V になり、カスコード p - F E T 3 1 0 がオフする。

【 0 0 6 4 】

一方、抵抗 3 3 5 と抵抗 3 3 6 の抵抗比は 4 : 1 に設定しているため、第 1 段目の回路 3 3 0 の Si 製 p - F E T 3 3 2 がオンすると、抵抗 3 3 5 と抵抗 3 3 6 に電流が流れ、信号源 3 5 0 から入力された入力信号が抵抗分圧によって直流電源 3 6 0 b の電源電圧 - 1 0 0 V よりも 2 0 V 高い電圧レベルにレベルシフトされ、カスコード n - F E T 3 2 0 のゲートとソース間の電圧が 2 0 V 開き、カスコード n - F E T 3 2 0 がオンする。逆に、第 1 段目の回路 3 3 0 の Si 製 p - F E T 3 3 2 がオフすると、抵抗 3 3 5 と抵抗 3 3 6 に電流が流れないので、カスコード n - F E T 3 2 0 のゲート電極は直流電源 3 6 0 b の電源電圧 - 1 0 0 V にプルダウンされ、カスコード n - F E T 3 2 0 のゲートとソース間の電圧が 0 V になり、カスコード n - F E T 3 2 0 がオフする。

10

【 0 0 6 5 】

第 1 段目の回路 3 3 0 における Si 製 n - F E T 3 3 1 と Si 製 p - F E T 3 3 2 が相補的に動作するため、第 2 段目の回路 3 4 0 におけるカスコード p - F E T 3 1 0 とカスコード n - F E T 3 2 0 も相補的に動作する。

【 0 0 6 6 】

図 1 3 (a) に、信号源 3 5 0 から入力電圧レベル 0 V、振幅 5 V、周期 1 0 0 0 H z、デューティ比 5 0 % の矩形パルス (I N P U T 1) を入力した場合の第 1 段目の回路 3 3 0 の 2 つの出力信号、すなわちカスコード p - F E T 3 1 0 のゲート入力信号 (I N P U T 2 c h 1) とカスコード n - F E T 3 2 0 のゲート入力信号 (I N P U T 2 c h 2) を示した。図示したように、所定の電圧レベルにレベルシフトされている。そして、図 1 3 (b) の下段に第 1 段目の回路 3 3 0 への入力信号、図 1 3 (b) の上段に第 2 段目の回路 3 4 0 の出力波形を示した。図示したように、電圧レベル 0 V かつ振幅 1 0 0 V の矩形パルスが出力されている。

20

【 0 0 6 7 】

なお、実施例 2 に一例として挙げた相補型インバータ 3 0 0 の耐圧は、第 1 段目の回路 3 3 0 の耐圧で制限される。第 1 段目の回路 3 3 0 において、Si 製の n - F E T 3 3 1 は A l G a N / G a N 系 n - F E T 及び Si 製 n - F E T をカスコード接続したカスコード n - F E T に、Si 製 p - F E T 3 3 2 はダイヤモンド F E T 及び Si 製 p - F E T をカスコード接続したカスコード p - F E T に置き換えてもよい。このようにすれば、相補型インバータ 3 0 0 の全体の耐圧を大幅に改善することができる。

30

【 0 0 6 8 】

また、第 1 段目の回路 3 3 0 は、入力電圧レベルを所定の電圧レベルにレベルシフトできる回路ならば、本実施例の回路構成に限定されず、他の回路であってもよいが、第 2 段目の回路 3 4 0 を構成するカスコード p - F E T 3 1 0 とカスコード n - F E T 3 2 0 が同期するように、電圧レベルは異なるが同期のとれている 2 信号を出力できる回路であることが特に好ましい。

【 符号の説明 】

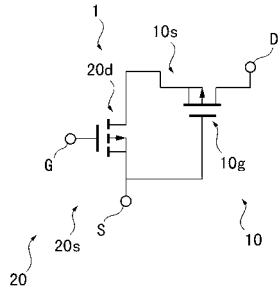
【 0 0 6 9 】

- 1 0 ダイヤモンド F E T
- 1 1 基板
- 1 1 a ダイヤモンド基板
- 1 1 b ダイヤモンド層
- 1 2 ドレイン電極
- 1 3 ソース電極
- 1 4 ゲート電極
- 1 5 水素化層
- 1 6 ゲート絶縁膜

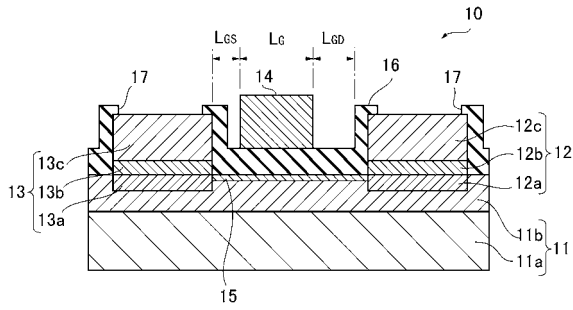
40

50

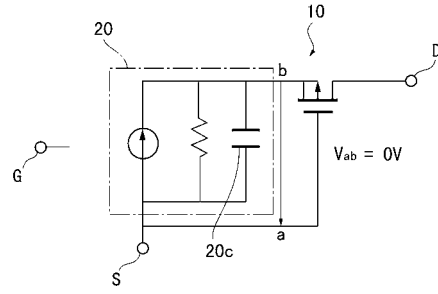
【 図 1 】



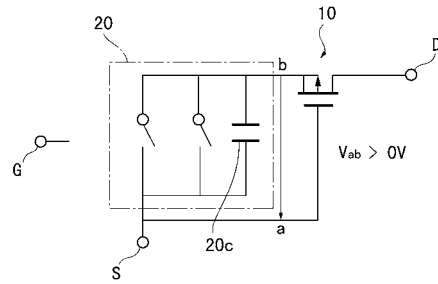
【 図 2 】



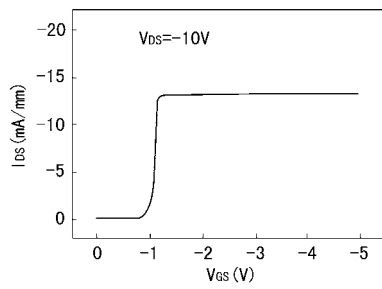
【 図 3 】



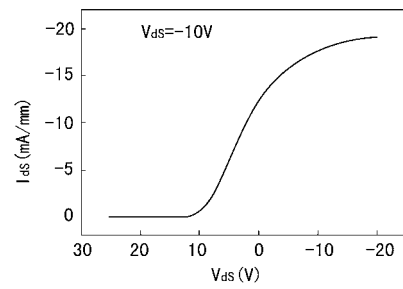
【 図 4 】



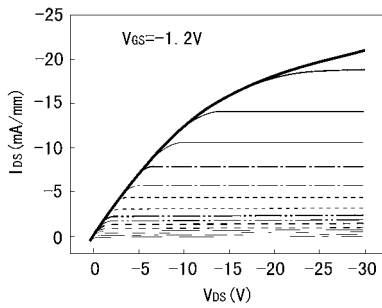
【 図 5 】



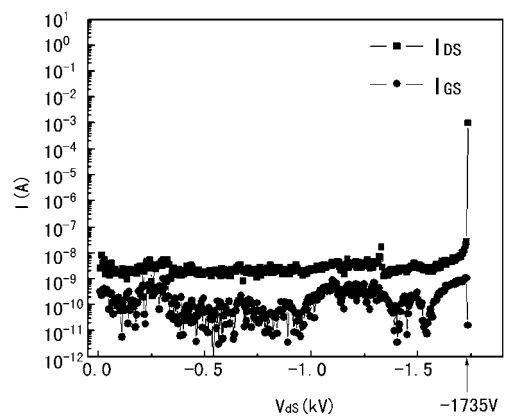
【 図 7 】



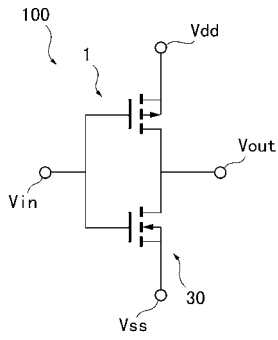
【 図 6 】



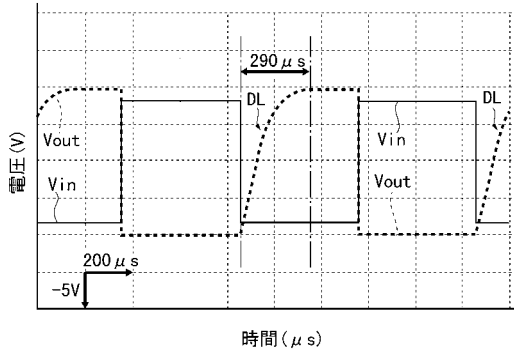
【 図 8 】



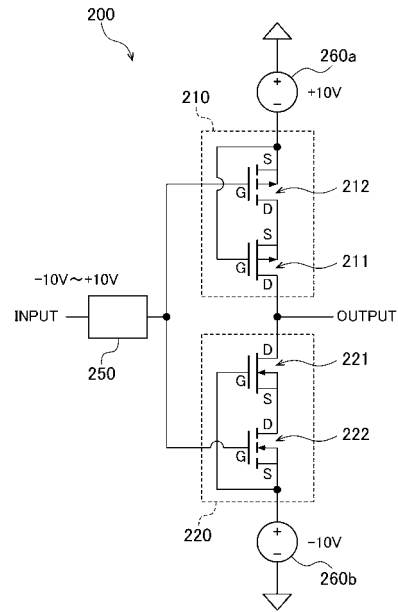
【 図 9 】



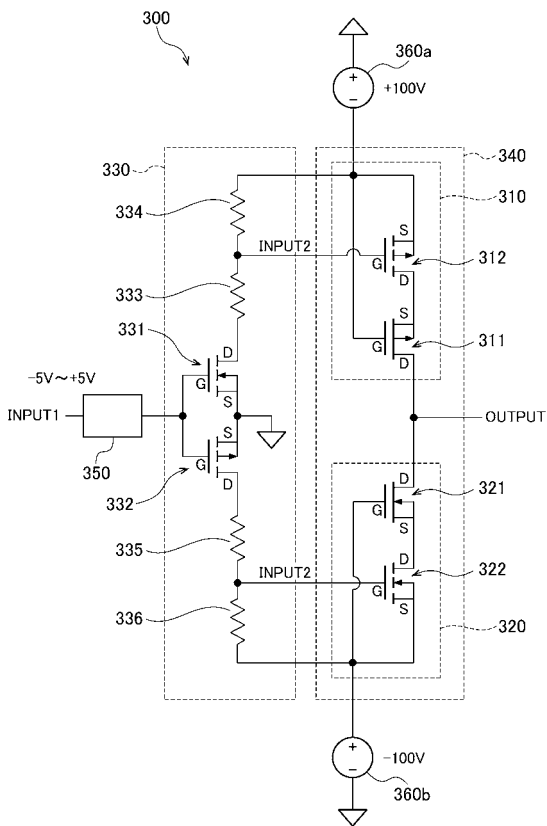
【 図 1 0 】



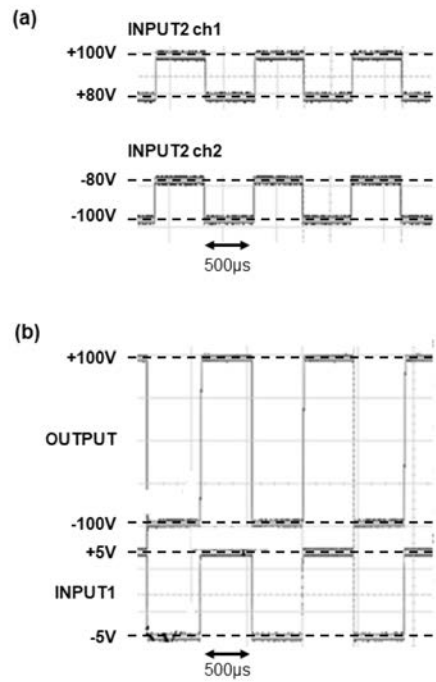
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

- (72)発明者 稲葉 優文
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内
- (72)発明者 牛 俊雄
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内
- (72)発明者 畢 特
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内
- (72)発明者 大井 信敬
東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内

Fターム(参考) 5F140 AA25 AA29 AC01 AC02 BA01 BA04 BA16 BB06 BC12 BD11
BE09 BF01 BF05 BG30 BH47 BJ03 BJ11 BJ15 BJ17 BK29
CE02